

ALMA MATER STUDIORUM · UNIVERSITÀ DI BOLOGNA

Scuola di Scienze
Corso di Laurea in Fisica

Test hardware del primo batch di schede ROD per l'esperimento ATLAS IBL

Relatore:

Dott. Alessandro Gabrielli

Presentata da:

Claudio Preti

Correlatore:

Prof. Nicola Semprini Cesari

Dott. Luca Lama

Sessione III
Anno Accademico 2012/2013

Sommario

L'acceleratore di particelle LHC, al CERN di Ginevra, permette studi molto rilevanti nell'ambito della fisica subnucleare. L'importanza che ricopre in questo campo il rivelatore è grandissima ed è per questo che si utilizzano tecnologie d'avanguardia nella sua costruzione. È altresì fondamentale disporre di un sistema di acquisizione dati quanto più moderno ma soprattutto efficiente. Tale sistema infatti è necessario per gestire tutti i segnali elettrici che derivano dalla conversione dell'evento fisico, passaggio necessario per rendere misurabili e quantificabili le grandezze di interesse. In particolare in questa tesi viene seguito il lavoro di test delle schede ROD dell'esperimento ATLAS IBL, che mira a verificare la loro corretta funzionalità, prima che vengano spedite nei laboratori del CERN. Queste nuove schede gestiscono i segnali in arrivo dal Pixel Detector di ATLAS, per poi inviarli ai computer per la successiva elaborazione. Un sistema simile era già implementato e funzionante, ma il degrado dei chip ha causato una perdita di prestazioni, che ha reso necessario l'inserimento di un layer aggiuntivo. Il nuovo strato di rivelatori a pixel, denominato Insertable Barrel Layer (IBL), porta così un aggiornamento tecnologico e prestazionale all'interno del Pixel Detector di ATLAS, andando a ristabilire l'efficacia del sistema.

Indice

Introduzione	5
1 LHC	7
1.1 ATLAS	8
1.2 Il rivelatore interno	11
1.2.1 Transition Radiation Tracker	12
1.2.2 Semi Conductor Tracker	12
1.2.3 Pixel Detector	12
1.3 IBL	13
2 Elettronica del sistema DAQ di IBL	16
2.1 IBL BOC	18
2.2 IBL ROD	19
2.2.1 Hardware	21
3 Test	27
3.1 Software utilizzato	27
3.2 Test dell'alimentazione	28
3.3 Test della temperatura	28
3.4 Test di distribuzione del clock	29
3.5 Test ROD Master	30
3.5.1 Test catena JTAG	30

3.5.2	Test memoria SODIMM DDR2	30
3.5.3	Test connessione Virtex 5-Spartan 6	31
3.5.4	Test connessione Virtex 5-PRM	31
3.5.5	Test memoria FLASH	31
3.6	Test ROD Slave	32
3.6.1	Test della connessione BOC-ROD	32
3.6.2	Test connessione Ethernet Spartan 6	32
3.6.3	Test memoria RAM DDR2	33
3.6.4	Test memorie SSRAM	33
3.6.5	Test delle linee S-Link e XC	34
3.7	Test PRM	34
3.7.1	Test della connessione PRM-Virtex 5	34
3.7.2	Configurazione JTAG-PROM	35
3.8	Test del sistema	36
4	Risultati e problemi riscontrati	38
	Conclusioni	41

Introduzione

Il lavoro presentato in questa tesi si riferisce principalmente all'esecuzione dei test sul primo batch di schede VME, dette ReadOut Drivers (ROD) che sono state realizzate per l'esperimento ATLAS Insertable B-Layer (IBL) del CERN. In particolare, IBL è un layer addizionale che andrà a far parte del rivelatore a pixel di ATLAS nel 2014. L'intenzione è infatti quella di fare in modo che IBL continui a lavorare insieme ai tre layer attuali di rivelatori a pixel, denominati Barrel Layer 0, 1 e 2, così che l'intero sistema sarà costituito da quattro strati di rivelatori a pixel. In questo modo, quando il layer B0 mostrerà un'importante degrado e una carenza in termini di prestazioni dovuti alla crescente luminosità del collider, il rivelatore a pixel sarà comunque composto di 3 strati.

Questa tesi vuole dare una breve visione di insieme del sistema, prima di scendere negli aspetti più tecnici inerenti i test realizzati sulle schede di readout del nuovo layer. Quest'ultimo costituisce quindi la parte più innovativa del rivelatore a pixel di ATLAS ed è controllato da schede VME, le quali sono state prodotte in più lotti al fine di risolvere per gradi i problemi esistenti. Questa accurata e approfondita indagine ha portato alla produzione del primo batch di 5 schede, facenti parte della produzione finale, la quale conta complessivamente un totale di 20 di questi circuiti stampati. Ora - Marzo 2014 - la produzione è terminata e già alcune di queste schede sono state completamente testate. Quando anche le ultime schede avranno passato i controlli, l'intero lotto andrà a costituire il sistema di acquisizione del rivelatore a pixel di ATLAS.

I test su effettuati su queste schede sono di diverso tipo e si differenziano per il diverso modo di interagire con la scheda. Il primo tipo di test che viene effettuato è

quello hardware, con il controllo visivo della scheda e misure dirette sulla ROD stessa; vi sono poi test che richiedono lo sviluppo di un firmware (codice da implementare direttamente su circuiti integrati programmabili, detti FPGA, presenti sulla scheda) per controllare componenti specifiche (bus e memorie statiche); infine vi sono test che hanno reso necessaria l'implementazione di software, come i test delle porte Ethernet e delle RAM.

Concludendo, il mio lavoro si è incentrato principalmente sull'esecuzione di questi test sulle schede ROD e sulla verifica delle loro funzionalità, accompagnati dalla stesura di un piccolo manuale.

Capitolo 1

LHC

LHC (Large Hadron Collider) è il più grande acceleratore di adroni mai costruito, collocato nel tunnel che ha ospitato il LEP (Large Electron-Positron collider) presente a Ginevra, al confine franco-svizzero e gestito dal Centro Europeo per la Ricerca Nucleare (CERN).

È formato da un anello della lunghezza di 27 km che è collocato ad una profondità media di circa 100 m dove vengono fatti scontrare protoni con una energia massima nel centro di massa di 14 TeV.

Per permettere alle particelle di viaggiare su una traiettoria circolare lungo l'anello di LHC sono presenti 1232 magneti superconduttori, i quali vengono raffreddati ad una temperatura di 1.9°K grazie ad elio superfluido, arrivando a produrre un campo magnetico massimo di 8.3 T. Sono inoltre presenti altri magneti che hanno il compito di mantenere il fascio ben focalizzato lungo il percorso.

I fasci di protoni non sono immessi direttamente nell'anello principale, ma vengono prima portati all'energia desiderata tramite altri acceleratori. In un primo momento, tramite l'acceleratore lineare LINAC, i protoni vengono portati ad un'energia di 50 MeV; questi passano poi attraverso tre diversi sincrotroni, che portano il fascio ad un'energia di 450 GeV, alla quale possono essere immessi nell'anello principale. Ad LHC sono presenti diversi esperimenti: ATLAS, CMS, ALICE e LHC-b.

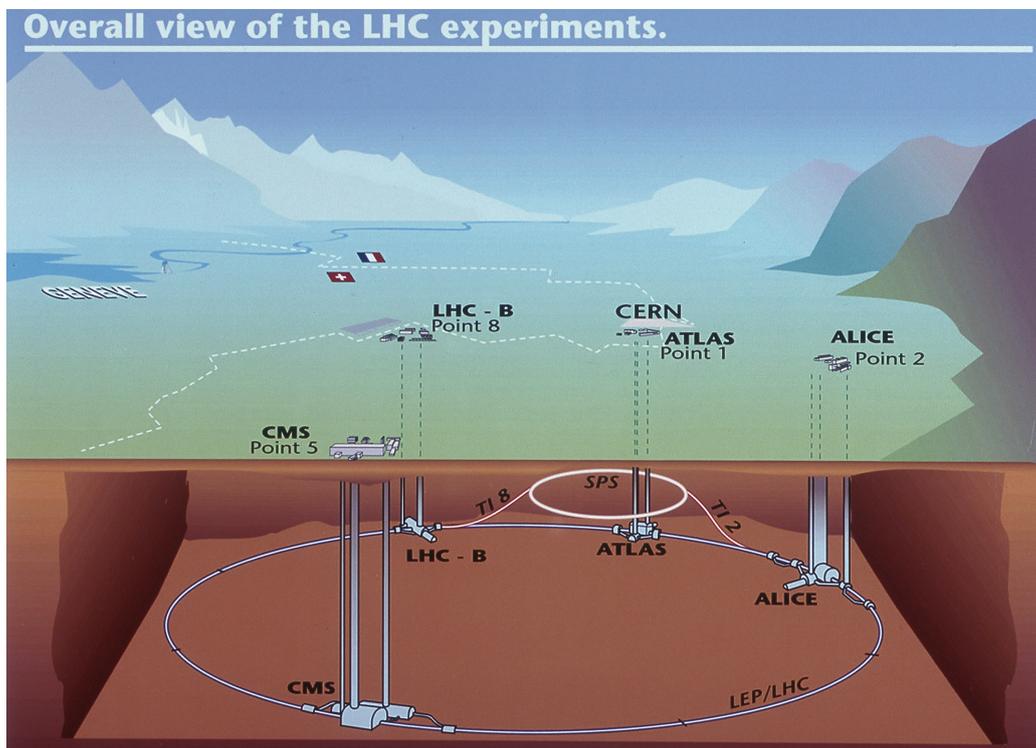


Figura 1.1: Panoramica di LHC e relativi esperimenti.

1.1 ATLAS

Lungo l'anello che costituisce l'acceleratore si trovano diversi rivelatori di particelle, uno dei quali è ATLAS (A Thoroidal LHC ApparatuS), lungo 44 m, con un diametro di 25 m e un peso di circa 7000 t, progettato per osservare collisioni entro tutto il range energetico di LHC. Anch'esso, come i detector di ALICE e CMS, è costruito con una simmetria cilindrica, come in Figura 1.2.

Per il funzionamento del detector è necessario anche un grande campo magnetico uniforme, che viene creato mediante l'utilizzo di magneti superconduttori che avvolgono il rivelatore. Tale sistema di magneti consiste fondamentalmente di due tipi di geometrie differenti: una solenoidale e una toroidale. La prima delle due consiste quindi di un grande solenoide di 5,3 m di lunghezza e 2,4 m di diametro, formato da fili superconduttori che garantiscono un campo magnetico di 2 T d'intensità, con un picco massimo di 2,6 T.

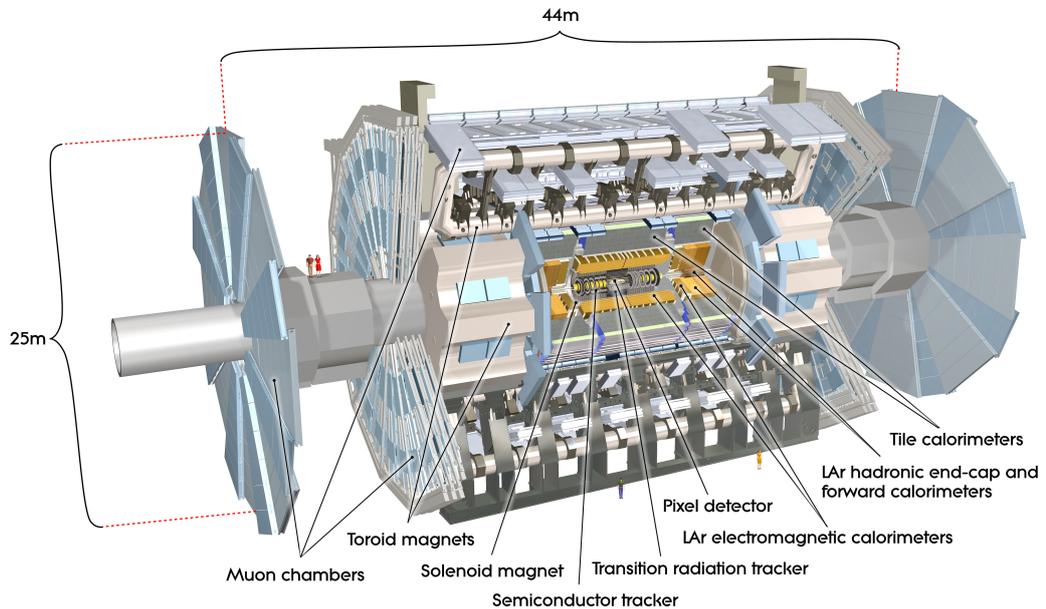


Figura 1.2: Rivelatore ATLAS.

La struttura toroidale conta due diverse componenti: un Barrel Toroid (vedi Figura 1.3) e due End Cap Toroid (vedi Figura 1.4). Entrambi condividono la stessa configurazione strutturale, in quanto sono formati da 8 bobine a superconduttore, inclinate di 45° l'una rispetto all'altra, che operano ad una temperatura di circa 4°K , facendo circolare una corrente di 20 kA, la quale produce un campo magnetico con intensità di circa 4 T. Il Barrel Toroid si sviluppa intorno alla beampipe per 25,3 m in lunghezza, con un'estensione radiale che va da 9,4 a 20,1 m. Gli End Cap Toroid invece hanno una lunghezza di 5 m ed un'estensione radiale di che va da 1,65 m a 10,7 m.

Le misure di momento, le ricostruzioni dei vertici e delle tracce sono ottenute con una combinazione di pixel a semiconduttore ad alta risoluzione e rivelatori a strip per il tracciamento nella parte più interna del volume, mentre nella parte esterna sono presenti sottili tubi di rivelatori.

Questa scelta risulta essere un buon compromesso fra costo dell'apparato e precisione nella misurazione, in quanto un singolo strato di rivelatori a pixel costa molto di più che

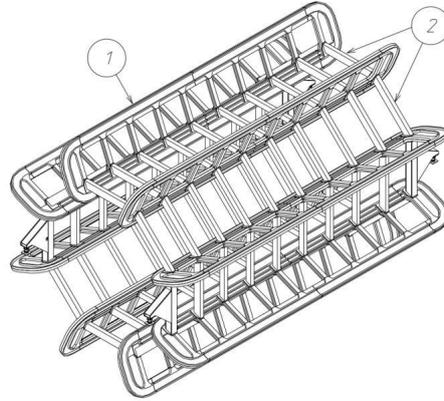


Figura 1.3: Barrel Toroid: vengono indicate le bobine (1) e le strutture di supporto (2).

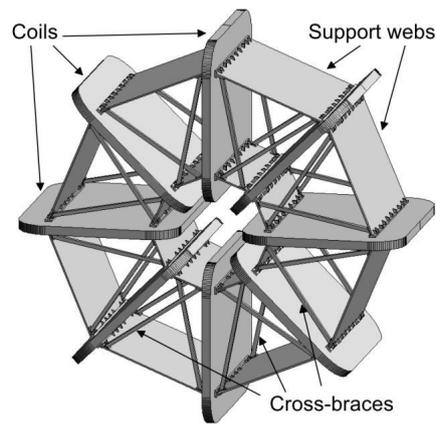


Figura 1.4: End Cap Toroid: visualizzazione di bobine e strutture di mantenimento.

uno di rivelatori a tubi sottili.

È presente inoltre un sistema di calorimetri con lo scopo di misurare le energie delle particelle cariche e neutre: questi funzionano mediante un assorbitore che trasforma l'energia incidente in un getto di particelle, le quali sono rivelate dagli elementi sensibili del calorimetro stesso.

La parte più esterna del rivelatore, che definisce le dimensioni generali di ATLAS sopra citate, è costituita dallo spettrometro di muoni, che misura con precisione il momento di queste particelle, le quali sono le uniche che non vengono bloccate dal calorimetro.

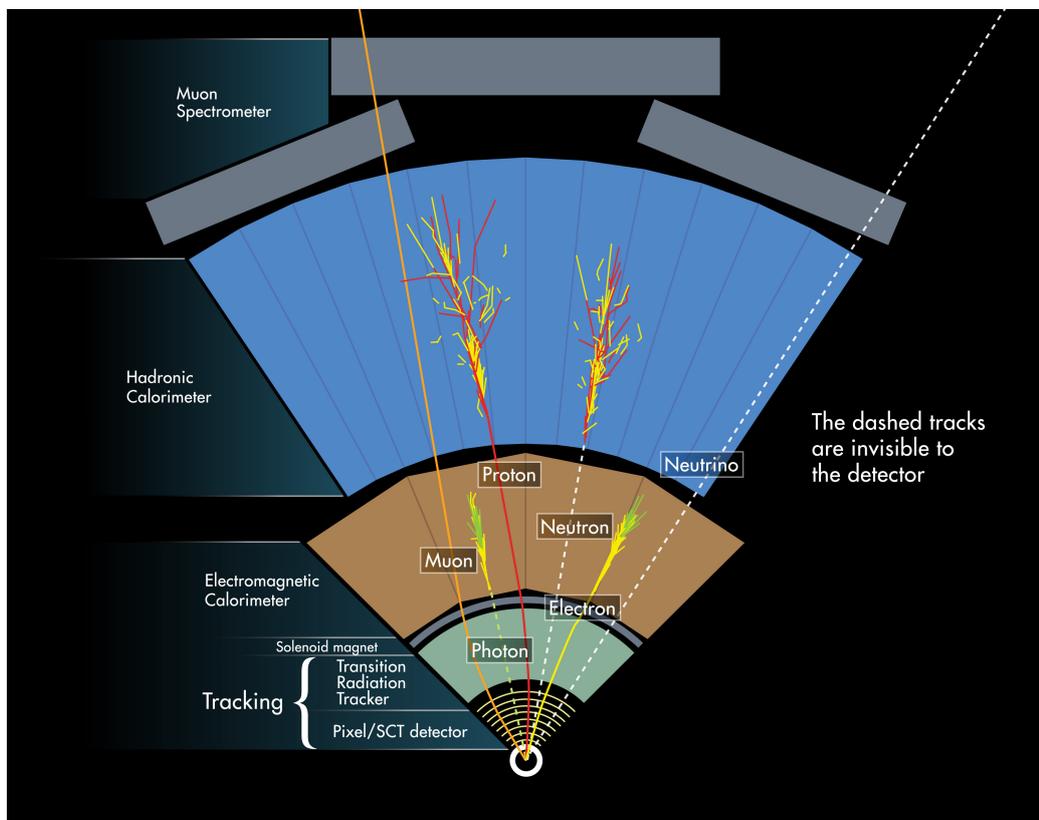


Figura 1.5: Schema di funzionamento del rivelatore.

Lo spettrometro a muoni implementa inoltre un sistema di trigger con alta velocità di risposta.

1.2 Il rivelatore interno

Il rivelatore interno (Inner Detector, vedi Figura 1.6, Figura 1.7) risulta essere il detector più importante per la rivelazione della posizione dei vertici e del momento delle particelle prodotte. L'Inner Detector deve quindi soddisfare alcuni requisiti: in termini di performance, in quanto deve tener conto dell'elevata dose di radiazione a cui è sottoposto e dell'elevato rate di interazione da rilevare; in termini di geometria del rivelatore, imposta dalle dimensioni dei detector che lo circondano. Il rivelatore interno si compone

percì di tre differenti rivelatori, di seguito descritti.

1.2.1 Transition Radiation Tracker

Il primo rivelatore che si incontra partendo dall'esterno è denominato TRT (Transition Radiation Tracker) ed è uno strato di tubi sottili che costituiscono la parte più esterna del rivelatore interno.

Viene utilizzato per rivelare la radiazione di transizione, la quale è una forma di radiazione elettromagnetica che viene emessa quando una particella carica passa attraverso un mezzo non omogeneo, come il confine fra due materiali diversi.

1.2.2 Semi Conductor Tracker

Il secondo detector, denominato SCT (Semi Conductor Tracker) è uno strato costruito con una tecnologia simile a quella del Pixel Detector, ossia formato da strisce di rivelatori, ma con tracciatori al silicio meno costosi. Questa scelta è dovuta al fatto che tali rivelatori ricoprono un'area che è più di 30 volte maggiore rispetto a quella di Pixel Detector; infatti, la simmetria cilindrica e la maggior distanza dalla beampipe, unitamente alla presenza dei 4 strati a simmetria cilindrica e dei 9 endcap per lato, aumenta di gran lunga la superficie da coprire con questo rivelatore.

1.2.3 Pixel Detector

L'ultimo rivelatore, nonché il più interno, è il Pixel Detector, la cui costruzione, in termini di resistenza alla radiazione e di risoluzione, ha richiesto l'utilizzo delle tecnologie più avanzate.

Questo detector è diviso in tre strati, denominati layer B0, layer 1 e 2, ognuno dei quali è formato da diverse strutture meccaniche che ospitano i rivelatori, dette stave. Su ciascuna di queste stave sono presenti 13 moduli, formati a loro volta da alcune componenti (tra i quali possiamo citare i chip di front-end end FE-I3, responsabili della lettura del segnale di carica del pixel), le quali contribuiscono tutte, qualora si verifichi

un evento, alla raccolta dei dati e al loro invio alle schede ROD (ReadOut Drivers). Anche il Pixel Detector possiede una simmetria cilindrica e, con la stessa tecnologia, sono presenti 3 endcap (dischi di rivelatori) per lato.

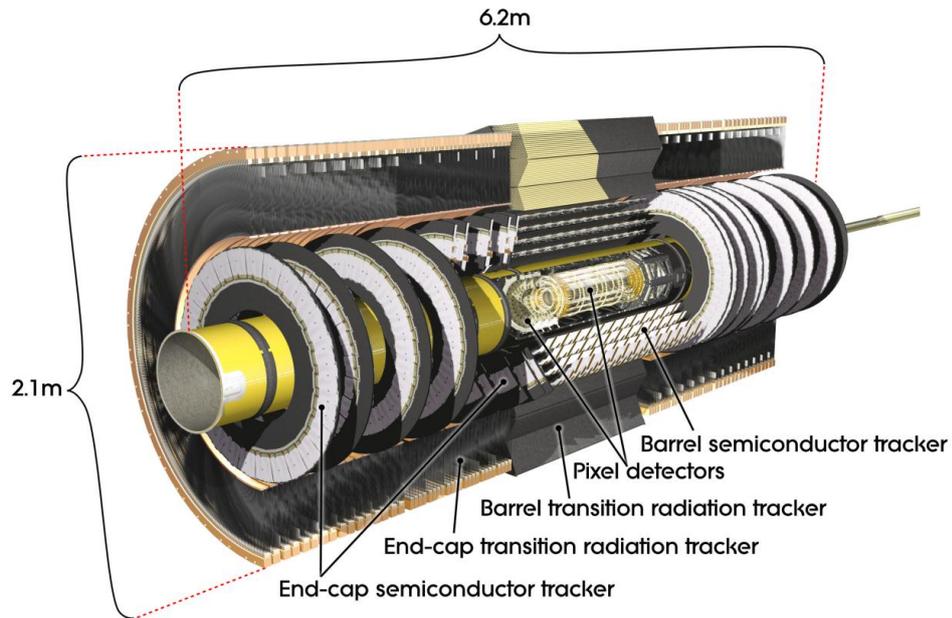


Figura 1.6: Inner Detector

1.3 IBL

IBL (Insertable Barrel Layer) è un nuovo quarto strato di rivelatori a pixel che verrà inserito con una nuova beam-pipe all'interno dell'attuale B-Layer. Le ragioni che hanno portato a questo sviluppo sono le seguenti:

- L'attuale layer interno soffre di una grande mortalità di pixel, la quale aumenterà nel corso del tempo, a causa dell'esposizione alla radiazione. Questa inefficienza causa una seria perdita di efficacia del sistema, la quale viene ripristinata completamente grazie a IBL, anche nel caso di un completo malfunzionamento del B-Layer.

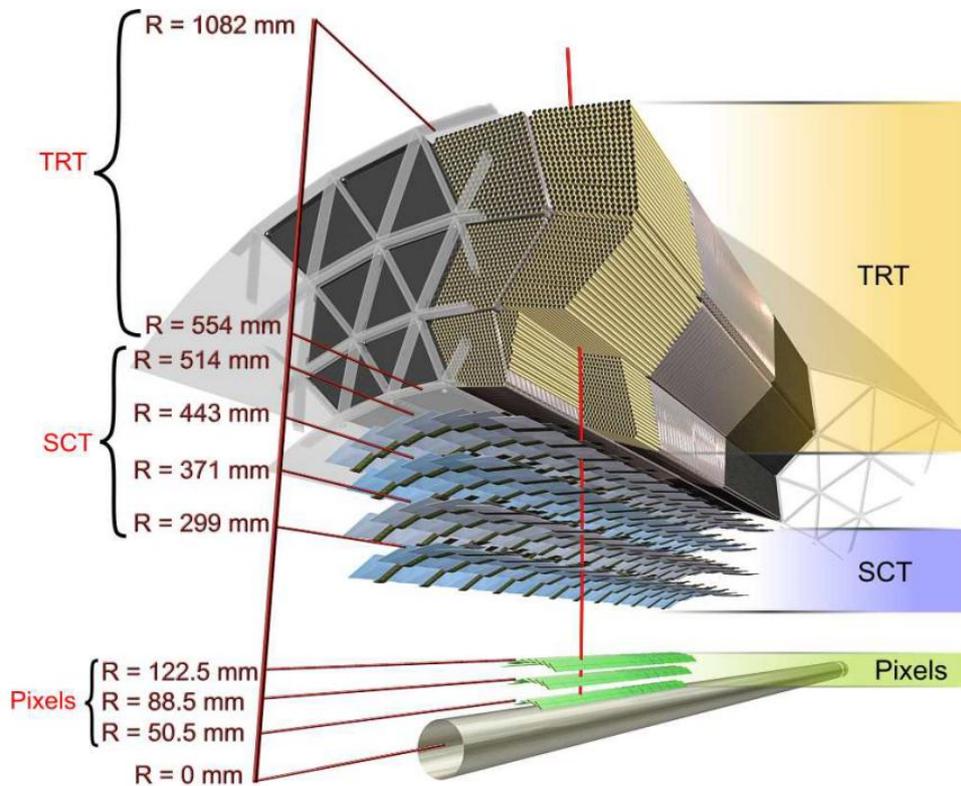


Figura 1.7: Visualizzazione a layer dell'Inner Detector.

- I futuri sviluppi di LHC renderanno la banda attualmente supportata dal B-Layer insufficiente per far fronte all'incremento di dati, dovuto all'aumentata luminosità ottenuta con gli sviluppi del rivelatore.
- La precisione nel tracciamento è notevolmente migliorata, grazie al fatto che si hanno pixel più vicini al punto di interazione, che forniscono così una sensibilità maggiore.

Questa maggiore vicinanza alla beam-pipe costringe a rispettare alcuni vincoli, che non si erano resi necessari precedentemente negli altri layer: nella fattispecie, l'elettronica deve essere molto più resistente alla radiazione e l'area sensibile del chip deve essere maggiore del 70% della superficie totale disponibile. Per raggiungere tale scopo si è reso necessario

l'aggiornamento del chip FE-I3 ad una nuova versione (denominata FE-I4), la quale è caratterizzata da un'area sensibile del 90%.

Tuttavia la presenza di un ulteriore rivelatore porta necessariamente ad una maggiore interazione delle particelle con il materiale di cui è costituito il rivelatore stesso e le strutture di supporto a quest'ultimo. Si è quindi tenuto conto di questo fattore e, nel caso di IBL, si è provveduto cercando di minimizzare lo spessore dei sensori, dell'elettronica e di tutto l'apparato di supporto.

Capitolo 2

Elettronica del sistema DAQ di IBL

Il sistema di acquisizione dati di un esperimento complicato, quale è ATLAS, meriterebbe un'ampia descrizione la quale non è però nelle intenzioni di questa tesi. È tuttavia necessario introdurre il sistema DAQ che ha costituito l'apparato sperimentale preso in analisi durante il lavoro che viene qui descritto. La Figura 2.1 mostra schematicamente il sistema di acquisizione utilizzato nel corso delle prove.

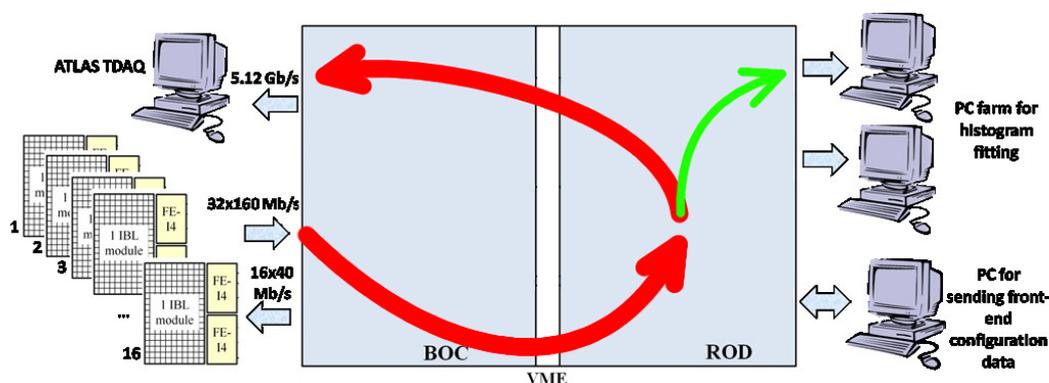


Figura 2.1: Visualizzazione completa del layout del sistema di acquisizione dati. In rosso il normale percorso dei dati, in verde quello relativo agli istogrammi.

Attualmente tutta la configurazione hardware è implementata sia al CERN che a Bologna, dove però mancano i collegamenti ottici per motivi strettamente legati ai loro costi. Tale differenza tuttavia non inficia la precisione dei test, i quali rimangono co-

munque accurati, come confermato dalla lunga lista di errori corretti e di funzionalità sviluppate.

Il percorso che i dati seguono lungo la linea di acquisizione è relativamente semplice. Dai 32 chip FE-I4 partono 32 linee seriali a 160 Mb/s verso la scheda BOC (Back Of Crate), tramite collegamento ottico; qui il segnale viene deserializzato su un otto bus da 12 bit ciascuno, tramite i quali procede verso la ROD dove ha inizio una prima formattazione dei dati, che vengono poi spediti ai computer. Su questa scheda i dati possono seguire due strade possibili: lungo la prima i dati formattati sono spediti di nuovo alla BOC, dove sono convertiti e mandati ai computer tramite collegamenti ottici, come si è visto poco sopra; il secondo percorso possibile prevede che i dati vengano raccolti e inviati direttamente ai computer, senza passare per la BOC, al fine di poter realizzare una calibrazione del sistema, coadiuvata eventualmente da istogrammi.

Va inoltre aggiunto che i chip di front-end possiedono anche una linea ottica in ingresso, operante ad una velocità massima di 40 Mb/s, tramite la quale è possibile inviare i dati di configurazione all'FE-I4 stesso (vedi Figura 2.2). Questi dati vengono spediti attraverso un computer collegato alla ROD, dove quindi passano per attraversare poi la BOC e giungere al chip di front-end voluto.

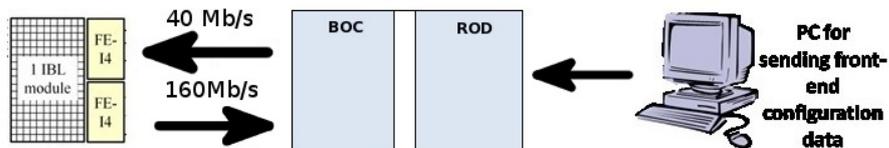


Figura 2.2: Dettaglio del percorso dati relativo al chip FE-I4.

La catena DAQ conta anche sul supporto di altri elementi, che sono :

- Una scheda con interfaccia VME, denominata TIM (TTC Interface Module), che fa parte della catena che gestisce il timing dell'intero esperimento ATLAS e che occupa il tredicesimo slot nel crate dove alloggiavano le ROD. I principali compiti della TIM sono:
 - Propagare il clock a tutto il crate VME, ossia a tutte le coppie BOC-ROD.
 - Ricevere e propagare i segnali di trigger.
 - Inviare le precedenti informazioni anche alla ROD.

L'interfaccia fra la TIM e la ROD è già completamente sviluppata e non sono previsti ulteriori aggiornamenti.

- Una scheda, detta SBC (Single Board Computer), che di fatto è un computer ad interfaccia VME. È utilizzata per controllare tutte le operazioni VME sulla ROD, può programmarne alcune sue componenti e monitorarne la temperatura.

2.1 IBL BOC

Sulla BOC sono presenti tre Spartan6, ossia FPGA (Field Programmable Gate Array), responsabili del controllo della scheda, le quali processano i dati da e per il detector: una delle due (BOC Control FPGA, BCF) si occupa dell'Ethernet e della comunicazione con gli altri dispositivi; le altre due FPGA (BOC Main FPGA, BMF) prelevano il segnale dai collegamenti seriali con i chip FE-I4 e lo spediscono alla ROD su otto bus da 12 bit. Il compito principale della BOC è quindi quello di raccogliere i dati, impacchettarli e mandarli alla scheda ROD.

In aggiunta, la BOC distribuisce il clock globale a 40 MHz al rivelatore e alla ROD stessa. Come riportato in precedenza, i dati possono anche seguire un percorso inverso, passando attraverso le due BMF, che codificano i dati di configurazione provenienti dalla ROD e li spediscono ai Front-End chip; tale flusso di dati può anche essere generato dalla BOC stessa per fini di controllo.

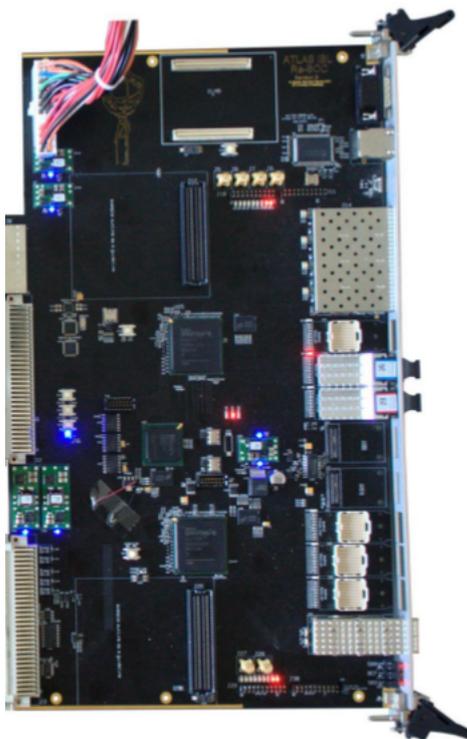


Figura 2.3: La scheda BOC.

2.2 IBL ROD

La ROD è una scheda che interfaccia la catena di acquisizione dati standard di ATLAS con gli specifici componenti di acquisizione dati presenti all'interno del rivelatore. Più specificamente, i compiti di questa scheda sono:

- Propagare i segnali di trigger ai front end chip.
- Inviare le configurazioni appropriate ai chip FE-I4 connessi.
- Ricevere i frammenti di un evento dai 32 FE-I4 e compattarli in uno singolo, che viene poi rispedito alla BOC.

Una delle decisioni prese nel progetto IBL è stata quella di sostituire la vecchia SiROD con una nuova scheda, la ROD, da progettare però *ex novo*. Questa necessità è dovuta

principalmente al fatto che i nuovi FE-I4 hanno una velocità di trasmissione dati maggiore rispetto alla versione precedente (i chip FE-I3 con i quali si interfaccia la SiROD) e avrebbero generato così un flusso di dati che la vecchia scheda non era in grado di gestire. Il passaggio alla ROD ha richiesto, parallelamente, lo sviluppo di una nuova BOC. Questo nuovo sistema BOC-ROD è così in grado ora di gestire ben 32 front-end chip, rispetto ai precedenti 16. Inoltre questo aggiornamento è in grado di interfacciarsi coi vecchi FE-I3, grazie all'interfaccia VME che è rimasta sulla ROD, la quale ha inoltre richiesto il mantenimento delle precedenti dimensioni. Questa retro-compatibilità è molto importante, in quanto IBL sarà un'estensione del rivelatore esistente e per questo la ROD risulta compatibile anche con la scheda BOC di vecchia generazione.

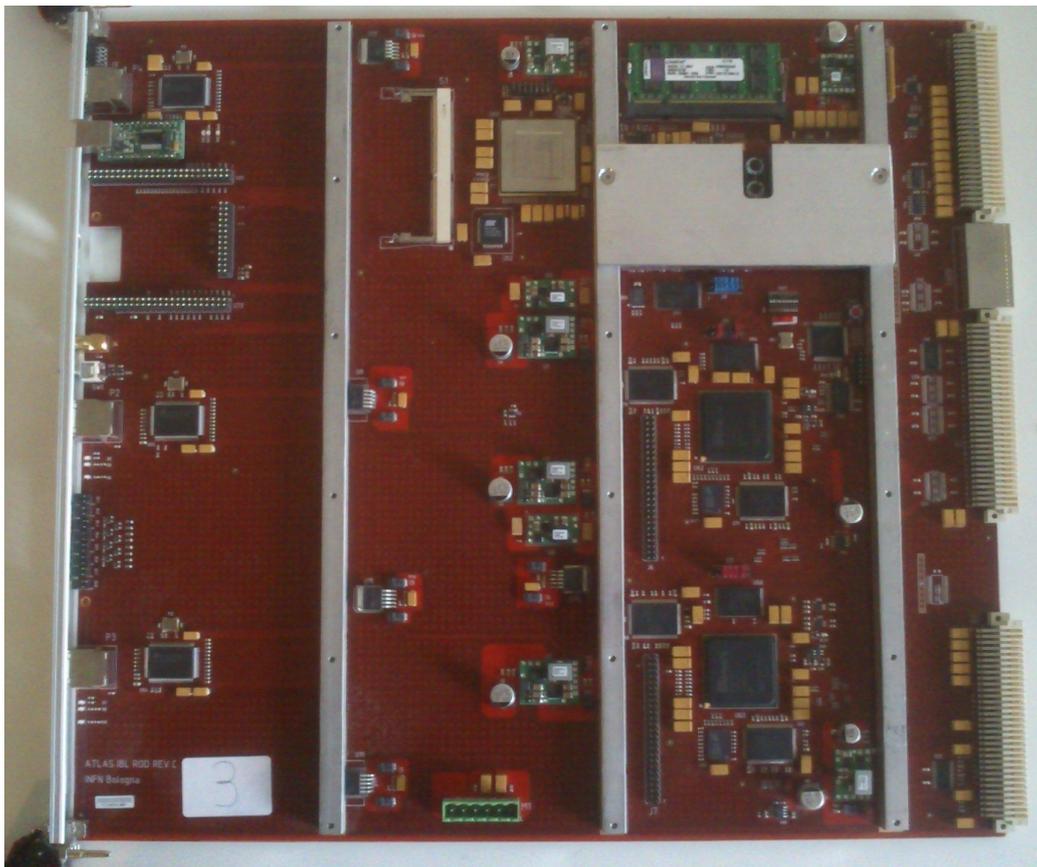


Figura 2.4: Scheda ROD

2.2.1 Hardware

Nonostante il flusso di dati passanti per la ROD sia notevolmente aumentato rispetto all SiROD, è anche notevolmente diminuito il numero di componenti presenti sulla scheda stessa, grazie all'utilizzo di FPGA di ultima generazione. Sulla scheda è presente la seguente componentistica:

- Una SDRAM DDR da 32 MByte
- Una memoria FLASH da 64 Mbit
- 3 tipi di FPGA:
 - 1 Xilinx Spartan6 XC6SLX45-FGG484: costituisce il nuovo dispositivo PRM (Program Reset Manager), che eredita dalla vecchia PRM il compito di interfaccia con il bus VME, oltre che le operazioni di reset e programmazione della scheda.
 - 1 Xilinx Virtex5 XC5VFX70T-FF1136: è la nuova FPGA che funge da controller della ROD e al suo interno è presente un processore PowerPC.
 - 2 Xilinx Spartan6 XC6SLX150-FGG900: implementano l'elaborazione dei dati all'interno della ROD. Ad ognuna di esse sono connessi due chip di RAM statica e uno di RAM dinamica DDR2. La memoria statica, grazie alla sua velocità di trasferimento, viene utilizzata come cache per il passaggio dei dati alla DDR2, la quale, essendo dinamica, necessita di intervalli di refresh durante i quali la scrittura non è abilitata.
- Una SODIMM DDR2 da 2 GByte
- Memorie PROM che servono per immagazzinare i file di programmazione delle singole FPGA.
- 3 interfacce Gbit Ethernet

Sul pannello frontale, tra le altre cose, trovano collocazione:

- 1 porta USB
- 1 connettore JTAG per la programmazione delle FPGA.
- 1 pulsante di reset.
- 3 porte Gbit Ethernet
- 8 LED di stato.

Alimentazione

Questa scheda complicata richiede l'utilizzo di più valori di tensione di alimentazione (vedi Figura 2.5), in quanto deve gestire diversi standard per tutti i !!! sulla scheda e per gestire le varie interfacce.

Distribuzione del clock

Su questa scheda sono presenti due sorgenti principali di clock: uno interno, utilizzato quando la scheda lavora in maniera autonoma, e uno esterno, proveniente dalla BOC. Sulla scheda è presente un Dip Switch, tramite il quale si può controllare da quale delle due sorgenti deve essere prelevato il clock. Inoltre, la BOC può essere configurata per ricevere il clock direttamente dalla TIM, permettendo così che i clock all'interno del crate siano così tutti in fase.

JTAG

Il JTAG è un metodo standard per il controllo e la programmazione dei dispositivi FPGA. Sulla scheda sono presenti due diverse catene JTAG: una è utilizzata per programmare la PRM e la sua EEPROM (Electrically Erasable Programmable Read-Only Memory); l'altra, qualora siano stati posizionati tutti i jumper sulla scheda, è composta dai seguenti dispositivi (cfr. Figura 2.6):

- XCF32P (Spartan 6A PROM)

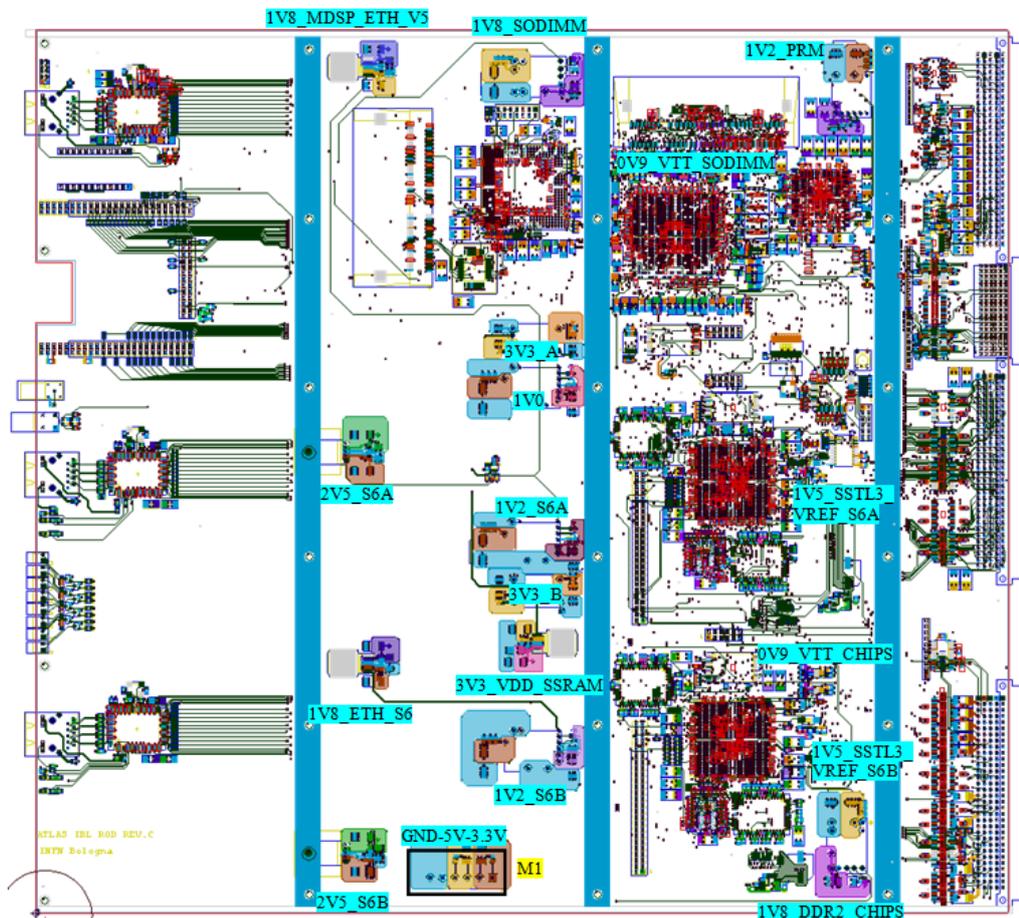


Figura 2.5: Distribuzione dell'alimentazione sulla scheda.

- XCF08P (Spartan 6A PROM)
- XC6SLX150 (Spartan 6A FPGA)
- XCF32P (Spartan 6B PROM)
- XCF08P (Spartan 6B PROM)
- XC6SLX150 (Spartan 6B FPGA)
- XCF32P (Virtex 5 PROM)
- XC5VFX70T (Virtex 5 FPGA)

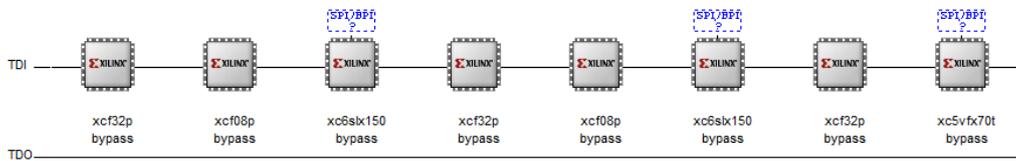


Figura 2.6: La catena JTAG principale visualizzata tramite il programma IMPACT

Collegamento BOC-ROD

Sono presenti 96 fili (cioè 8 bus da 12 bit) che collegano la scheda BOC alla ROD che possono essere divisi in gruppi di 12, i quali gestiscono i dati provenienti dai front-end chip e sono quindi una parte delicata del percorso seguito dai dati. Ciascuno di questi gruppi è formato da:

- Write Enable: è un singolo bit, attivo alto, che attesta la validità dei dati correnti.
- Controllo: è un singolo bit, attivo alto, che etichetta i dati entranti come parola di controllo.
- Indirizzo: sono due bit che riferiscono quale canale ha generato i dati correnti.
- Dati: sono 8 bit che costituiscono una parte dell'output dei chip FE-I4.

Il motivo per cui bastano linee di indirizzo a 2 bit risiede nel fatto che si è scelto di collegare ad ogni ROD i 32 chip FE-I4 presenti su una singola stave. Ognuna delle due Spartan 6 implementa infatti due data path indipendenti, su ciascuno dei quali sono presenti 4 canali (realizzati dalla linea di indirizzo a due bit), a ognuno dei quali è collegato un front-end chip FE-I4.

VME

Versa Module Eurocard è un protocollo standard che è stato seguito per determinare i bus e le dimensioni della scheda. Ogni bus richiede un controller, che può essere sia della scheda che l'SBC. Questo sistema era utilizzato, nelle precedenti versioni, per scaricare

istogrammi, mentre ora è utilizzato solo a fini di aggiornamento e di monitoraggio, poiché gli istogrammi passano per attraverso l'Ethernet.

Ethernet

A parte la PRM, ogni FPGA ha il suo connettore Ethernet corrispondente, accessibile dal pannello frontale della scheda. Inoltre, l'Ethernet della Virtex 5 può essere usata per accedere a tutti i registri dei processori delle FPGA.

Virtex 5

Questa è l'FPGA Master della scheda di Read Out Driver e si deve interfacciare con i front-end chip, i trigger e le informazioni a loro correlate. Questi compiti possono essere svolti dal PPC all'interno della Virtex 5 o da altri componenti all'interno della stessa FPGA: tale dualità di percorso è necessaria per permettere di usare la ROD fuori dal crate, oltre che per testare il percorso dei dati, quando i trigger giungono via Ethernet e non dalla TIM.

Spartan 6

Le Spartan sono FPGA più economiche che gestiscono tutti i dati passanti durante il processo di prelievo dei dati. Inoltre raccolgono i dati in istogrammi, che vengono memorizzati sulle SSRAM e mandati al server.

PRM

È un'altra Spartan 6 che serve per l'interfaccia VME.

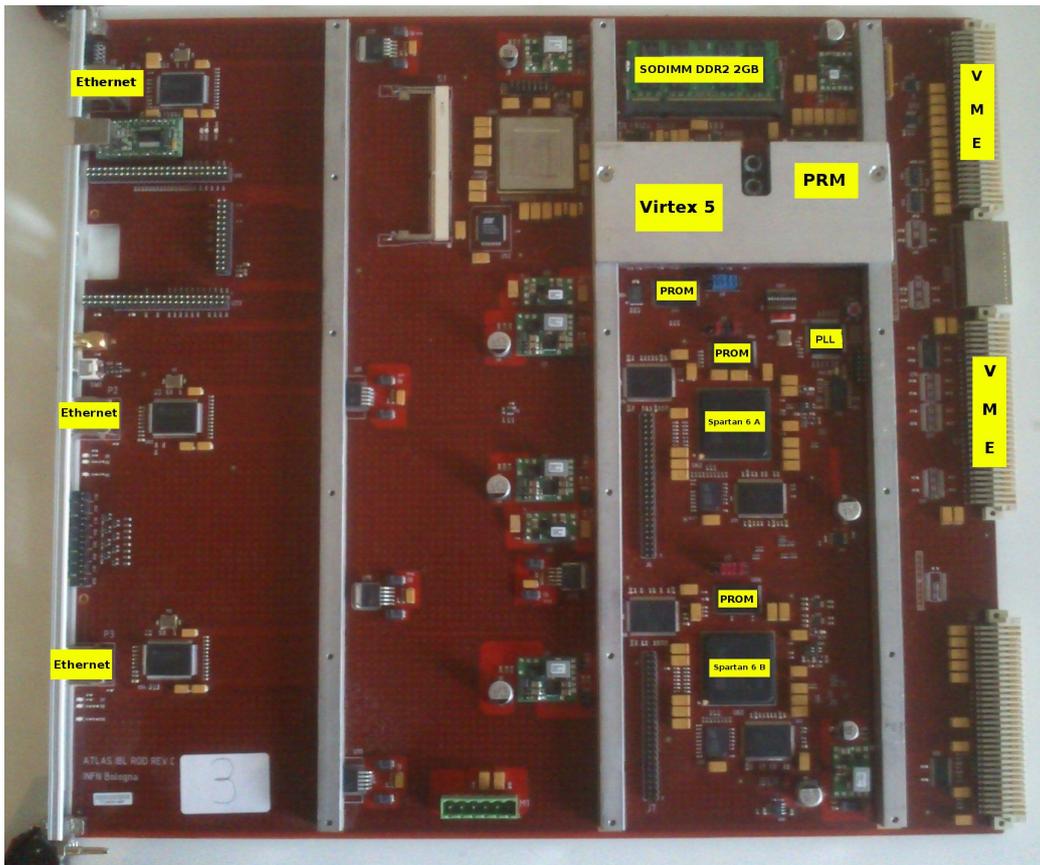


Figura 2.7: La scheda ROD e le sue componenti.

Capitolo 3

Test

In questo capitolo si spiegherà in dettaglio come sono state testate le schede ROD della produzione che verranno utilizzate nell'esperimento ATLAS.

Quando un PCB (Printed Circuit Board, Circuito Stampato) viene prodotto e assemblato è possibile che siano presenti piccoli errori, che devono assolutamente essere individuati e rimossi prima della prima accensione della scheda: un errato montaggio di un condensatore al tantalio o la presenza di un cortocircuito accidentale si rivelerebbero fatali per la scheda alla sua accensione.

Per spiegare più in dettaglio i test qui riportati è necessario aggiungere alcune informazioni riguardo le FPGA: queste possono essere programmate per eseguire compiti specifici, cambiandone così il comportamento elettrico dei componenti. Questo tipo di programmazione è quindi diverso dalla classica scrittura di codice, che viene poi eseguita sul microprocessore stesso, poiché questa non influenza in alcun modo il comportamento elettrico delle componenti coinvolte, che è definito precedentemente.

3.1 Software utilizzato

Per effettuare i test sono stati utilizzati principalmente due software, che hanno consentito di programmare tutta la componentistica in esame, utilizzando il codice precedentemente sviluppato.

In particolare è stata utilizzata la suite Xilinx ISE (Integrated System Environment), prodotta e distribuita dalla stessa Xilinx, la quale include numerosi strumenti utili, oltre che alla programmazione, al debug delle FPGA e al controllo complessivo della scheda ROD. Quando la programmazione delle componenti interessate dal test è avvenuta per mezzo del connettore JTAG, si è ricorso al software Impact, utile appunto a caricare su FPGA e PROM i file binari creati.

Un altro software molto utilizzato è Chipscope, il quale consente di visualizzare le forme d'onda ed i valori dei segnali all'interno della logica delle FPGA: si possono così catturare segnali in ingresso, in uscita ed anche interni alle FPGA stesse, per poterli poi visualizzare in tempo reale. È questo il caso di alcuni dei test effettuati su bus e memorie, che hanno reso necessario un controllo dei dati in transito in tempo reale.

Nell'utilizzo di questo software, al fine di interfacciare il computer con la scheda ROD tramite JTAG, si rende sempre necessario l'utilizzo di un programmatore USB Xilinx.

3.2 Test dell'alimentazione

Dopo un primo controllo visivo per verificare il corretto montaggio dei componenti (specialmente dei condensatori) e aver scongiurato la presenza di cortocircuiti, si può procedere con i primi e più semplici test. Ad accensione avvenuta si verifica, mediante multimetro digitale, che le tensioni in uscita dai vari stabilizzatori della scheda siano corrispondenti ai valori attesi, riportati nella Figura 2.5.

3.3 Test della temperatura

Con la scheda accesa si verifica, mediante telecamera termica, la temperatura delle varie componenti (vedi Figura 3.1), al fine di evitare danni da surriscaldamento. Possibili cause di questo eccesso di temperatura possono essere contatti fra parti che dovrebbero essere isolate oppure componenti montati nella maniera sbagliata.

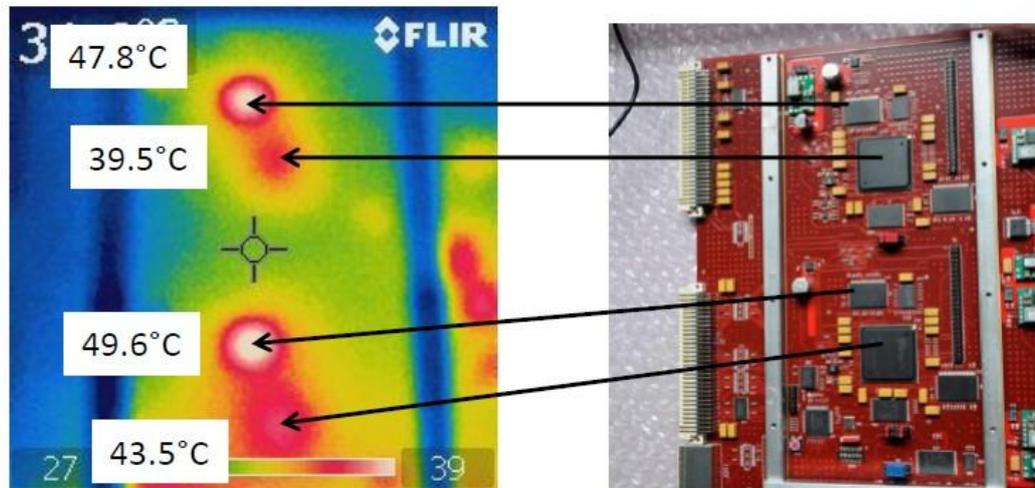


Figura 3.1: Un'immagine della ROD scattata con la telecamera termica.

3.4 Test di distribuzione del clock

I clock sono segnali differenziali di tipo Low Voltage Differential Signal (LVDS), presenti sulla ROD. Il segnale di clock proveniente dalla BOC viene trasmesso alla ROD, dove viene convertito prima in forma PECL (Positive Emitter Coupled Logic), poi in forma LVPECL (Low Voltage Positive Emitter Coupled Logic), dopodiché viene diretto al Lattice PLL (Phase-Locked Loop), che lo distribuisce a tutte le componenti presenti sulla scheda che lo necessitano, ma nella definitiva forma di segnale LVDS. Il PLL inoltre moltiplica la frequenza di clock per soddisfare le esigenze di particolari componenti della scheda, come ad esempio il PowerPC (PPC) presente all'interno della Virtex 5, il quale necessita di un clock a 100 MHz.

La sorgente di clock preferenziale è la TIM, poiché questa è l'interfaccia che viene usata durante l'esecuzione dell'esperimento. Sono presenti inoltre altre possibili sorgenti di clock:

- Clock interno a 40 MHz. Viene generato tramite un quarzo presente sulla scheda ROD, vicino al PLL ed è usato nel caso la scheda venga utilizzata da sola.
- La BOC ha un clock interno a 40 MHz, che può anche essere trasmesso alla ROD

tramite connettore apposito.

- Lanciando un programma specifico è possibile configurare la BOC e fissarla sul clock generato dalla TIM, potendo creare così potenzialmente una catena di schede che ricevono lo stesso clock.

Per il test in modalità stand-alone è stato utilizzato il clock interno della ROD, misurando tramite oscilloscopio l'uscita sul pin della scheda vicino al PLL.

3.5 Test ROD Master

Questi sono in controlli che vengono effettuati sulla scheda, che coinvolgono particolarmente l'FPGA Virtex 5 e la componentistica ad essa associata.

3.5.1 Test catena JTAG

All'FPGA Master della ROD si può accedere tramite il connettore JTAG presente sul pannello frontale della scheda, grazie al programmatore USB-JTAG Xilinx. In questa modalità la Virtex 5 è presente all'interno di una catena di otto dispositivi, come riportato nella Figura 2.6.

Dopo aver acceso la scheda, la Virtex 5 si programma automaticamente leggendo il contenuto della corrispondente PROM; tale dispositivo può essere configurato sia tramite programmatore JTAG, sia tramite VME, anche se in questo caso la programmazione è più lenta e richiede quindi più tempo.

La verifica del corretto funzionamento della catena JTAG avviene in maniera di fatto continua, in quanto la programmazione delle componenti sopra citate, che ha luogo durante i test descritti in questo capitolo, ne costituisce un'effettiva conferma.

3.5.2 Test memoria SODIMM DDR2

Sul PPC implementato all'interno della Virtex 5 è stato caricato ed eseguito un piccolo programma che accede continuamente alla SODIMM DDR2, scrivendo sequenze note e

rileggendole: qualora i valori letti differiscano da quelli scritti viene aumentato il valore di una variabile visibile su schermo durante l'esecuzione, permettendo così di correggere eventuali problemi.

3.5.3 Test connessione Virtex 5-Spartan 6

Per controllare la qualità della connessione fra la Virtex 5 e le Spartan 6 viene inviato un campione di dati a 80 MHz dalla ROD Master alle due Slave, dove poi il contenuto del pacchetto viene confrontato con i valori attesi. Più precisamente, il campione può essere deciso dall'utilizzatore a livello software, caricando uno specifico file sul PPC, il quale riempie un blocco di memoria RAM della Virtex 5, il cui contenuto è poi inviato alle due Spartan 6. Durante il test, grazie al software, le luci LED frontali della ROD vengono accese e il tutto viene lasciato funzionare per un paio di ore; un eventuale errore sulla scheda è segnalato dallo spegnimento dei LED.

3.5.4 Test connessione Virtex 5-PRM

Il collegamento fra la Virtex 5 e la PRM è implementato per mezzo di un bus che si compone di diverse linee. Della totalità di queste, alcune formano la porta HPI (Host Port Interface), utilizzata per accedere al PPC e che non vengono testate in questa sezione (vedi "Test della connessione PRM-Virtex 5"); la restante parte invece viene testata facendo mandare alla Virtex 5 un campione noto di dati alla PRM, verificandone poi la correttezza andandolo a leggere.

3.5.5 Test memoria FLASH

Sulla scheda è presente una memoria FLASH, connessa alla ROD master, che può essere programmata attraverso interfaccia VME. Questa procedura richiede che il computer utilizzato per la programmazione si interfacci con la VME attraverso l'SBC presente nel crate. Nel corso di alcuni dei test descritti questa memoria viene programmata via VME, secondo le necessità, per fare in modo che il PPC, accendendosi, carichi i file scritti su

di essa. Tale procedura è quindi, di fatto, un test di verifica di funzionamento di questa memoria, che non richiede perciò un test specifico.

3.6 Test ROD Slave

In questa sezione i test che sono presentati interessano particolarmente le due Spartan 6, insieme ai bus, alle connessioni e alla componentistica legata a queste FPGA.

3.6.1 Test della connessione BOC-ROD

Utilizzando un programma specifico, vengono inviati campioni di dati noti dalla BOC alle Spartan 6 della ROD, le quali confrontano ciò che hanno ricevuto con il modello di dati caricato precedentemente in un loro blocco di memoria. Questo test viene tenuto in funzione per circa un paio d'ore e monitorato grazie al programma Chipscope, che controlla la presenza di eventuali errori, i quali costringerebbero a congelare l'ultimo flusso di dati, per poi renderlo disponibile alla visualizzazione su schermo (vedi Figura 3.2). Questo test viene fatto funzionare per la durata prestabilita con ognuno dei quattro diversi angoli di sfasatura tra invio e ricezione del segnale (0° , 90° , 180° , 270°). Per ogni angolo la prova viene ripetuta mandando due differenti modelli di segnale: in un caso viene inviata una parola standard (AA55), mentre nel secondo caso si implementa un semplice conteggio, il quale ricomincia dall'inizio ogni volta che raggiunge il valore massimo prestabilito.

3.6.2 Test connessione Ethernet Spartan 6

In questo test si vuole verificare il corretto funzionamento della connessione Ethernet, realizzata tramite le porte presenti sul pannello frontale della scheda.

Tramite il programmatore JTAG viene caricato su ciascuna Spartan 6 il codice che implementa un echo-server; a questo punto, tramite connessione Ethernet, vengono inviati pacchetti noti di dati alle FPGA, le quali li rispediscono indietro al computer, che

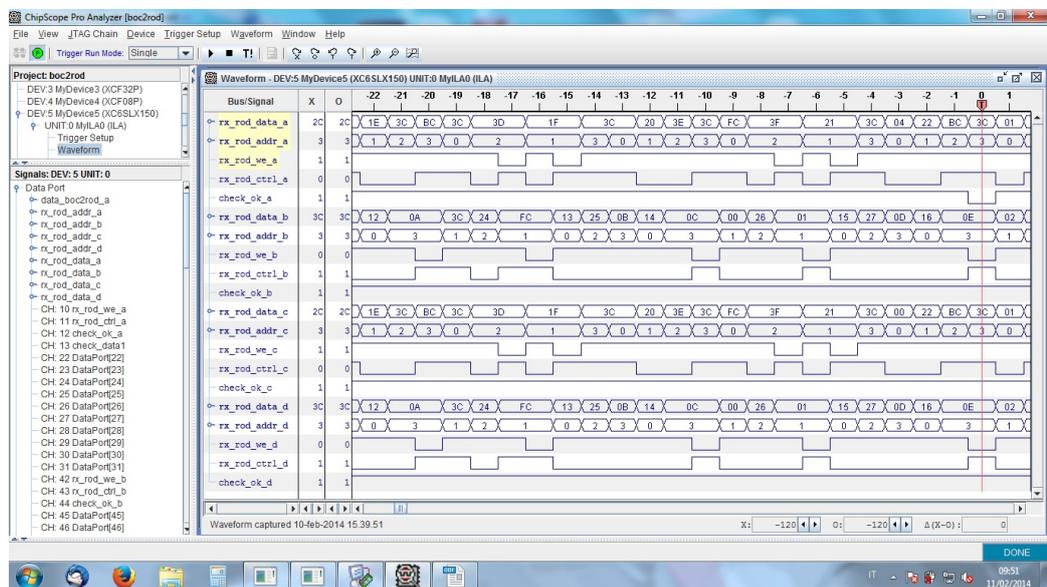


Figura 3.2: Ingrandimento di un errore rilevato tramite Chipscope. È segnalato dal livello basso del segnale `check_ok_a`, in corrispondenza della linea rossa che lo evidenzia.

li controlla alla ricerca di possibili errori, che fermerebbero l'invio di tale flusso. Questa modalità di test non ha lo scopo verificare le capacità del sistema alla sua massima velocità di trasmissione, ma vuole semplicemente controllarne il corretto funzionamento.

3.6.3 Test memoria RAM DDR2

Questo test viene eseguito lasciando funzionare per un paio d'ore un programma caricato sulle Spartan 6, il quale accede in maniera continua alla memoria, scrivendo campioni noti e rilegendoli; di nuovo, la presenza di errori blocca l'esecuzione, permettendone l'analisi grazie ad un apposito software, SDK.

3.6.4 Test memorie SSRAM

Il test serve a verificare la bontà della comunicazione fra le due SSRAM disponibili per ogni Spartan 6 e la stessa FPGA. Dopo aver configurato le due ROD slave, vengono scritte in maniera ciclica, alla frequenza di 200 MHz, aree della memoria indirizzate con

un bus a 16 bit, che vengono poi rilette per verificare la presenza di errori: in tal caso uno specifico canale (`test_b`) si porta ad un livello alto per un singolo colpo di clock. Infine, un ultimo bus a 16 bit (`err_count`) effettua un conteggio del numero di errori riscontrati e lo comunica, in modo da consentirne la correzione.

3.6.5 Test delle linee S-Link e XC

Dalla due Spartan 6 partono alcuni bus che raggiungono la BOC, implementando così il percorso di ritorno dei dati dalla ROD alla BOC, indicato con la freccia rossa in Figura 2.1. Il bus completo delle linee XC in realtà collega la Virtex 5 ad ognuna delle due FPGA Slave, da dove poi proseguono verso la BOC. La prima parte di questo collegamento viene testata quando si verificano i bus complessivi che connettono l’FPGA Master alle due slave, come descritto nella sezione “Test connessione Virtex 5-Spartan 6”, mentre la seconda parte viene verificata nel corso di questo test, unitamente al controllo sulle linee XC. Vengono quindi inviati dati su questi bus e, con la consueta procedura logica, si controlla l’eventuale presenza di errori.

3.7 Test PRM

3.7.1 Test della connessione PRM-Virtex 5

Per accedere al PPC presente sulla Virtex 5 è possibile utilizzare la PRM, fornendo istruzioni attraverso l’interfaccia VME; tra le due FPGA è presente infatti un bus dedicato, detto HPI, che consente, oltre che di programmare la memoria flash della Virtex 5, di leggere i registri interni del PPC, dove si possono trovare, per esempio, i valori di temperature e tensioni attuali della scheda. In tal senso, al fine di testare anche la connettività sul bus in considerazione, è stato implementato un programma che svolge la funzione di monitor di sistema, andando a leggere tali valori dal PPC (vedi Figura 3.3). Per accedere ai registri in questione si utilizza l’SBC e la sua interfaccia VME, tramite la

quale si arriva, passando attraverso la PRM, ai dati su temperature e tensioni; tali valori vengono poi visualizzati su schermo, con un refresh rate di circa 1 secondo.

Figura 3.3: Monitor del sistema: nella prima colonna si può notare l'indicazione dello slot occupato dalla scheda, mentre nelle restanti colonne vengono visualizzate temperature e tensioni associate.

3.7.2 Configurazione JTAG-PROM

La PRM viene configurata tramite il connettore JTAG presente sul pannello frontale della scheda ROD; tale catena conta solo una PROM (vedi Figura 3.4) e la corrispondente Spartan 6, le quali non sono programmabili attraverso l'interfaccia VME. Solo dopo l'accensione la PRM risulta programmata, grazie alla lettura di dati presenti sulla PROM.

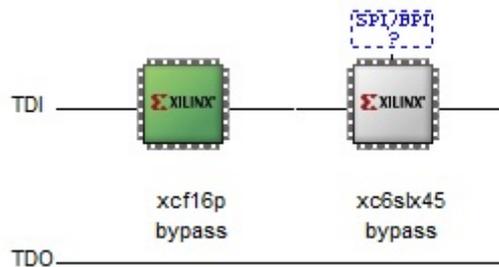


Figura 3.4: Catena JTAG PRM visualizzata con IMPACT

3.8 Test del sistema

Al fine di verificare che tutto il sistema funzioni correttamente è stato creato questo test, che si occupa di controllare alcune funzionalità attraverso i passaggi descritti qui di seguito:

- Viene istruito il PLL ad agganciarsi al segnale di clock proveniente dalla scheda TIM, in modo da simulare ciò che realmente avverrà quando la scheda ROD sarà inserita nel crate in funzione al CERN. Qualora questa istruzione abbia un esito positivo viene visualizzato un messaggio su schermo che conferma il successo dell'operazione.
- In un primo momento, si carica la FLASH con un codice che fornisce al PPC un indirizzo IP. Qualora il PPC riesca a leggere con successo i valori nella memoria, la successiva istruzione di ping ha un esito positivo e restituisce il tempo di risposta in millisecondi, che viene visualizzato su schermo; in caso di esito negativo viene lasciato un segnale di non raggiungibilità dell'indirizzo cercato.
- Vengono testati i bus all'interno della ROD, scrivendo alcuni indirizzi di memoria, per poi rileggerli. La rilettura viene poi stampata su un file, il quale viene confrontato con un altro che contiene l'output corretto che si dovrebbe ottenere. A questo punto, tramite un programmino specifico, si controlla se sono presenti differenze tra i due file citati e tali discordanze vengono a loro volta scritte come

file. Chiaramente, quello che ci si aspetta in caso di esito positivo, è di non trovare nulla come output, che confermerebbe l'identità dei due file analizzati.

- Vengono di nuovo testati, in maniera più generale e completa, i bus che connettono la due Spartan 6 alla Virtex 5. In questa fase si istruisce inoltre la TIM a inviare segnali di trigger, con conseguente verifica della loro ricezione e di tutte le fasi successive di gestione dei dati. L'output di tale test è visualizzabile utilizzando il programma ChipScope, il quale consente, fra l'altro, di controllare ciò che è presente sulle linee S-Link della BOC proveniente dalle due BMF.
- Viene eseguito un trigger test: si utilizza la TIM per mandare 10000 segnali di trigger alla ROD, che vengono poi letti e contati grazie alla Virtex 5. Il loro effettivo numero letto viene poi visualizzato su schermo, ripetendo la procedura completa tre volte e verificando che non vi siano discrepanze fra la quantità di segnali mandati e ricevuti.

Capitolo 4

Risultati e problemi riscontrati

Si vuole dare ora una breve descrizione di quelli che sono stati i risultati ottenuti. Durante questo lavoro è stato riportato su un logbook (vedi Figura 4.1) l'insieme dei test eseguiti e dei problemi riscontrati, al fine di garantire una maggiore tracciabilità per ogni scheda. Le 5 schede che hanno raggiunto il CERN a Ginevra hanno passato tutte i test a cui sono state sottoposte e nella Tabella 4.1 sono esposti sinteticamente gli esiti. Diversamente dalle ROD che seguiranno, queste prime 5 non hanno eseguito il test di connessione BOC-ROD (vedi Test della connessione BOC-ROD, Figura 4.1) completo, in quanto non era al momento disponibile il firmware per l'invio del secondo tipo di campione di dati; nonostante questo il test può dirsi comunque superato, anche se conta solo della prima parte.

Tra i principali problemi hardware che hanno afflitto queste schede si può sicuramente annoverare la presenza di difetti di assemblaggio e di cortocircuiti. Infatti, sono stati riscontrati su alcune schede montaggi errati di condensatori, i quali sono stati smontati e ricollocati correttamente, evitando così spiacevoli inconvenienti alla prima accensione. In altre schede sono stati riscontrati cortocircuiti causati ancora una volta da un errato montaggio: infatti, la saldatura a stagno, che serve a fissare il componente alla scheda, presentava a volte delle sbavature che creavano un collegamento fra due punti che dovevano rimanere isolati. In questo caso si è proceduto direttamente nel laboratorio alla sistemazione del problema, ricostruendo la saldatura a stagno manualmente. Infine, per

N° scheda	Test						
	Hardware	Temperatura	Clock	ROD Master	ROD Slave	PRM	Sistema
289	✓	✓	✓	✓	× BOC-ROD	✓	✓
290	✓	✓	✓	✓	× BOC-ROD	✓	✓
291	× CC riparato	✓	✓	✓	× BOC-ROD	✓	✓
293	× Ethernet alta	✓	✓	✓	× BOC-ROD	✓	✓
300	✓	✓	✓	✓	× BOC-ROD	✓	✓

Tabella 4.1: Riassunto dei test svolti. Ad ogni scheda è associato un numero identificativo per facilitarne il riconoscimento.

alcune schede non è stato possibile montare il frontalino a causa di una porta Ethernet mal collocata. Per tali schede si è proceduto con la loro restituzione alla casa produttrice, che ha smontato e ricollocato le porte in questione.

L'ultimo problema che ha afflitto la totalità delle schede testate è quello inerente al test del collegamento BOC-ROD, come riportato nella Tabella 4.1. In questo passaggio il test non ha dato esito positivo con tutti gli angoli di sfasatura possibili, ma solo con alcuni (gli stessi per tutte e 5 le schede). Questo fatto non è da imputare ad un problema della ROD stessa, ma alla logica con cui è stato scritto il firmware. Questo problema non inficia quindi la bontà della scheda, poichè quello che interessa è che almeno ad uno stesso angolo di sfasatura per tutte le ROD il test dia esito positivo, in modo da aver sempre garantita la possibilità di una corretta connessione fra BOC e ROD.

T3M00289

Created Wednesday 05 February 2014

- CERN 28/01/2014 Wednesday
 - Visual inspection
 - Power supply test
 - Temperature test
 - PLL Clock test
 - Jtag chain check
 - V5-S6 Bus check
 - BOC2ROD
 - AA55 0
 - AA55 90
 - AA55 180
 - AA55 270
 - Counter_0
 - Counter_90
 - Counter_180
 - Counter_270
- SSRAM 200MHz
- DDR2 S6
 - A
 - B
- Ethernet S6
- DDR2 V5
- Power supply screws substituted
- ROD BUS
- PROM Standard FW program
- TIM +
- ROD2BOC (S-Link + Ctrl)
- Loaded prom Files (Leds V5 + first_check S6)

Figura 4.1: Esempio di una pagina di logbook per una scheda.

Conclusioni e sviluppi futuri

Il lavoro descritto in questa tesi si inserisce all'interno del progetto IBL, il nuovo layer che verrà inserito a contatto con la beampipe del rivelatore dell'esperimento ATLAS. Il mio contributo si è concentrato prevalentemente sull'esecuzione dei test di validazione delle schede ROD, che andranno a costituire una parte del sistema di acquisizione dati di questo esperimento.

Delle 20 schede totali che devono essere inviate al CERN, 5 hanno già finito completamente e passato i test elaborati; delle 15 rimanenti 10 sono attualmente - Marzo 2014 - in fase di test, 5 delle quali hanno ormai terminato questo passaggio, mentre altre 5 sono ancora in produzione. Tali test sono eseguiti ora a Bologna nel laboratorio di progettazione elettronica dell'INFN e del Dipartimento di Fisica ed Astronomia, dopodiché verranno nuovamente testate al CERN, all'interno di un sistema ovviamente molto più completo. In questo modo l'intero sistema di acquisizione dati, quando sarà connesso al Pixel Detector di ATLAS, sarà capace di garantire le performance richieste dall'esperimento. È per questo motivo, oltre che per una maggiore chiarezza, che nel mio lavoro mi sono occupato di stendere un piccolo manuale che riporta i test e le loro modalità di esecuzione. Mi sono occupato inoltre della creazione e della compilazione di un logbook per queste schede, dove sono stati riportati i test effettuati volta per volta su ogni scheda, riportando i singoli successi e gli eventuali errori riscontrati. In questo modo si è potuto dare una maggiore rintracciabilità ad ogni scheda, facilitando così le fasi di debug e di controllo.

Questo progetto è molto importante per l'Istituto Nazionale di Fisica Nucleare, in quanto rappresenta l'unico coinvolgimento di un gruppo di ricerca della sezione INFN di

Bologna in un esperimento del CERN che riguarda i pixel. Ad oggi l'impegno dell'INFN di Bologna è stato completo e si è concordi nel continuare lo sviluppo del sistema anche per gli altri layer di pixel, primo fra tutti il layer 2. Ci si aspetta infatti che sia quest'ultimo il primo layer a mostrare inefficienze a seguito sia dell'incremento di luminosità previsto per LHC, che di una velocità di lettura dei pixel troppo limitata, ed è per questo che è stato progettato anche l'aggiornamento del layer 2, seppur mantenendo il rivelatore fisico attuale.

Bibliografia

- [1] Comunità ATLAS IBL. ATLAS Insertable B-Layer Technical Design Report. 2010.
- [2] G.Balbi, M.Bindi, S.P.Chen, D.Falchieri, T.Flick, A.Gabrielli, S.Hauck, S.C.Hsu, A.Kugel, L.Lama, P.Morettini, R.Travaglini, M.Wensing. “The read-out driver (rod) card for the atlas experiment: commissioning for the ibl detector and upgrade studies for the pixel layers 1 and 2. *Journal Of Instrumentation*”. 2014.
- [3] Gabriele Balbi, Davide Falchieri, Alessandro Gabrielli, Luca Lama, Riccardo Travaglini, Samuele Zannoli. “IBL ROD board revC reference manual”. Novembre 2012.