

ALMA MATER STUDIORUM - UNIVERSITÀ DI BOLOGNA

SCUOLA DI INGEGNERIA E ARCHITETTURA

*DIPARTIMENTO DELL'ENERGIA ELETTRICA E DELL'INFORMAZIONE
"GUGLIELMO MARCONI" - DEI*

INGEGNERIA ELETTRONICA M

TESI DI LAUREA

in

Elaborazione Statistica dei Segnali nei Sistemi Elettronici

**IMPLEMENTAZIONE DI UN MODULATORE SIGMA
DELTA DIGITALE PER LA SINTESI DI SEGNALI PWM AD
ALTA FEDELTA'**

Candidato
LORENZO CERTELLI

Relatore:
Chiar.mo Prof. RICCARDO ROVATTI

Correlatori:
**Dott. Ing. SALVATORE CAPORALE
Ing. VALERIO CAMBARERI
Chiar.mo Prof. GIANLUCA SETTI**

Anno Accademico 2012/13

Sessione II

Ringraziamenti

Questa tesi di Laurea Magistrale è stata sviluppata presso il gruppo di Elaborazione Statistica dei Segnali (SSIGPRO) del centro d'eccellenza ARCES - Università di Bologna.

Vorrei ringraziare il Dott. Ing. Salvatore Caporale e l'Ing. Valerio Cambareri, che sono stati una guida sempre disponibile, esperta e stimolante, durante tutto il periodo di preparazione della tesi; oltre a loro, non posso non essere riconoscente verso il professore Riccardo Rovatti che mi ha dato la possibilità di affrontare ed approfondire tematiche così interessanti durante il mio percorso di studi.

Questo è l'atto simbolicamente conclusivo di un percorso di crescita e l'inizio di una nuova stagione della mia vita: un viaggio non possibile senza i miei genitori ed Alessandro che sono stati il migliore sostegno ed incoraggiamento che potessi desiderare fino ad oggi.

Infine vorrei dimostrare tutto la mia gratitudine per lo spirito di sopportazione e per l'affetto dei miei più cari amici, che ci sono stati sempre quando serviva e che spero continuino ad esserci, nonostante i miei difetti e l'erosione che tempo e lontananza provocano sulle cose umane.

Indice

Introduzione	1
1 Modulatore PWM	3
1.1 Modulazione PWM	3
1.2 Modulazione Sigma Delta	7
1.3 Modulatore PWM misto digitale analogico	11
2 Dimensionamento del modulo Sigma Delta Digitale	19
2.1 Definizione del problema	20
2.2 Studio dell'effetto della lunghezza delle parole dei segnali sul rumore	26
2.3 Dimensionamento delle parole dei segnali	31
2.3.1 Funzioni di ricerca delle WL dei coefficienti	33
2.3.2 Funzione Newton di ricerca delle WL degli operatori	34
2.3.3 Funzione Veloce di ricerca delle WL degli operatori	37
2.4 Scelta delle WL	42
3 Realizzazione su scheda	43
3.1 Scheda Spartan 3E ed implementazione	43
3.2 Misure e risultati	46
Conclusioni	53
Bibliografia	55

Elenco delle figure

1.1	Modello di un amplificatore con interruttori pilotati da segnale PWM (Classe D)	4
1.2	Modulatore PWM analogico	5
1.3	Evoluzione amplificatori con modulazione PWM [3]	6
1.4	Sovra-campionamento	8
1.5	Filtro $\Sigma\Delta$ del primo ordine	9
1.6	Funzioni di trasferimento del segnale utile (STF) e del rumore (NTF) per $\Sigma\Delta$ di vario ordine	10
1.7	Andamento nel tempo della risposta di un $\Sigma\Delta$ del primo ordine, con quantizzatore ad un bit	10
1.8	Implementazione analogico digitale modulatore PWM	12
1.9	Spettri schematici della potenza dei segnali interni del modulatore PWM.	13
1.10	Filtro CRFB di quarto ordine	15
1.11	Funzione del Quantizzatore mid-rise, N = numero bit, $Q = 2^{N-1}$, $\Delta = 2^N - 1$	16
2.1	Risposta in frequenza del $\Sigma\Delta$ CRFB del 4° ordine	21
2.2	Scomposizione sommatore a 3 ingressi	22
2.3	$\Sigma\Delta$ CRFB di 4° ordine, modificato	23
2.4	Struttura oggetto f_i usato per simulare il CRFB	24
2.5	Rumore in uscita con uguali WL associate ad segnale	27

2.6	Media quadratica del rumore in banda rispetto a differenti WL associate ai vari operatori, per il CRFB del quarto ordine. Vengono considerati le differenti tipologie di operatori ed i coefficienti, con WL dello stesso valore per ognuna: ogni tipologia è analizzata per alcuni valori di WL, con le altre a WL massima.	29
2.7	NTF del CRFB di quarto ordine rispetto ad alcune WL. Per gli operatori della stessa tipologia o i coefficienti vengono associate le stesse WL, ed alle altre vengono associate WL massime. Le figure si riferiscono ognuna all'analisi di una tipologia di operatori o ai coefficienti: (a) coefficienti, (b) sommatori, (c) accumulatori, (d) moltiplicatori	30
2.8	Procedimento Newton per la definizione delle WL dei coefficienti	33
2.9	Risposta in frequenza con WL dei coefficienti ridotte per i due casi di studio: (a) $n_{Lim} = -57dB$; (b) $n_{Lim} = -40dB$	35
2.10	Procedimento Newton per le WL degli operatori	36
2.11	Risposta in frequenza con WL degli operatori ridotte con la funzione del procedimento Newton per i due casi di studio: (a) $n_{Lim} = -57dB$; (b) $n_{Lim} = -40dB$	38
2.12	Procedimento veloce per le WL degli operatori	40
2.13	Risposta in frequenza con WL degli operatori ridotte con la funzione MATLAB che esegue il metodo Veloce	41
3.1	Scheda Spartan 3E della Xilinx	44
3.2	Generazione dei prodotti per i coefficienti a_i , nel modulo $\Sigma\Delta$ con specifica di NTF in banda a -57 dB	45
3.3	Risposta in frequenza del $\Sigma\Delta$ con $NTF_{MAX,B} = -57dB$. In ingresso sinusoidale a frequenza 1.2 KHz: (a) con finestra Hann; in (b) con finestra FFlat Top	47
3.4	Risposta in frequenza del $\Sigma\Delta$ con $NTF_{MAX,B} = -57dB$. In ingresso sinusoidale a frequenza 4.8 KHz: (a) con finestra Hann; in (b) con finestra FFlat Top	48

ELENCO DELLE FIGURE

3.5	Risposta in frequenza del $\Sigma\Delta$ con $NTF_{MAX,B} = -57dB$. In ingresso sinusoidale a frequenza 9.6 KHz: (a) con finestra Hann; in (b) con finestra FLat Top	49
3.6	Risposta in frequenza del $\Sigma\Delta$ con $NTF_{MAX,B} = -40dB$. In ingresso sinusoidale a frequenza 1.2 KHz: (a) con finestra Hann; in (b) con finestra FLat Top	50
3.7	Risposta in frequenza del $\Sigma\Delta$ con $NTF_{MAX,B} = -40dB$. In ingresso sinusoidale a frequenza 4.8 KHz: (a) con finestra Hann; in (b) con finestra FLat Top	51
3.8	Risposta in frequenza del $\Sigma\Delta$ con $NTF_{MAX,B} = -40dB$. In ingresso sinusoidale a frequenza 9.6 KHz: (a) con finestra Hann; in (b) con finestra FLat Top	52

Elenco delle tabelle

1.1	Parametri per il dimensionamento dell'amplificatore PWM . . .	16
2.1	Parametri del $\Sigma\Delta$	20
2.2	Coefficienti del $\Sigma\Delta$ CRFB del 4° ordine	21
2.3	Parametri degli oggetti <i>fimath</i> associati agli operatori del CRFB	25
2.4	Tempi di calcolo in virgola fissa e mobile con MATLAB	25
2.5	Vincoli imposti per le WL degli operatori	32
2.6	Word Length dei coefficienti	34
2.7	WL per gli operatori definite dall'Algoritmo Newton per gli operatori	37
2.8	WL per gli operatori definite con l'Algoritmo Veloce	41

Introduzione

Nell'ambito dell'elettronica per l'elaborazione dei segnali, i progressi tecnologici si concentrano da un lato nella ricerca di nuovi dispositivi e schemi circuitali ottimizzati, e dall'altro a livello algoritmico, dove si ricercano metodi di analisi e sintesi dei segnali per sfruttare in maniera efficiente l'hardware. L'uso sempre più pervasivo di sistemi portatili rende sempre più determinante l'efficienza energetica nei sistemi sviluppati.

In questo scenario gli amplificatori pilotati a modulazione di durata d'impulso (PWM) rivestono un ruolo importante, in quanto permettono di ottenere un'efficienza energetica elevata, di circa il 90 %.

Per poter utilizzare questa tecnica in sistemi che richiedano un'alta fedeltà, si adottano strategie che al prezzo di una maggiore complessità realizzativa possano ottenere il vantaggio di un'elevato rapporto tra segnale e rumore, coniugato con un'elevata efficienza energetica.

In questo ambito viene ampiamente utilizzata la modulazione Sigma Delta: consistente nel sovra-campionare il segnale per ridurre l'effetto di quantizzazione nella banda del segnale, e, grazie ad un modulatore non lineare, aumenta ulteriormente il rapporto segnale rumore a basse frequenze e lo amplifica ad alte.

Nell'ambito presentato, è stato proposto a livello accademico [1] un modulatore PWM, che converte segnali digitali (PCM) in segnali PWM, e coniugando la modulazione Sigma Delta Digitale per ottenere un migliore rapporto segnale rumore.

Il lavoro presentato in questa tesi consiste nell'implementazione del modulo

Sigma Delta per la riduzione del rumore in banda. Il componente è composto da un filtro lineare ed un quantizzatore: sfruttando la retroazione tra ingresso ed uscita permette di ridurre il rumore a basse frequenze. L'effetto prodotto richiede che a valle ci sia un filtro passa basso per eliminare le componenti frequenziali amplificate fuori dalla banda utile del segnale, ottenendo un miglioramento netto della qualità del segnale.

L'obiettivo è una realizzazione con un ridotto utilizzo di risorse; essendo un sistema non lineare si rende necessario uno studio numerico preliminare all'implementazione attraverso un procedimento euristico semi-automatico. Sono definiti due casi di studio per un dimensionamento sub ottimo del modulo: nel primo caso è richiesto che l'effetto sul rumore sia congruente a quello teorico, nel secondo caso, sacrificando le prestazioni, è dimensionato con una riduzione delle risorse necessarie.

L'elaborato è così suddiviso:

Capitolo 1: Introduzione della modulazione PWM, Sigma Delta e del modulatore PWM;

Capitolo 2: Studio in ambiente MATLAB del profilo del rumore del modulo Sigma Delta: analisi semi-automatica per definire le lunghezze delle parole dei segnali

Capitolo 3: Implementazione e misura dei moduli Sigma Delta dimensionati.

Capitolo 1

Modulatore PWM

In questo capitolo viene introdotto un modulatore per convertire segnali digitali in segnali analogici a durata d'impulso, con ampio range dinamico (90 dB), proposto in [1]. Il modulo *Sigma Delta* implementato è inserito in questa architettura.

La modulazione a durata di impulso, dall'inglese *Pulse Width Modulation* (PWM) è stata ideata per pilotare amplificatori operanti in commutazione che possano raggiungere alti rendimenti.

La tecnica utilizzata nel modulatore *Sigma Delta* ($\Sigma\Delta$), da cui prende il nome, ha come scopo il miglioramento del rapporto segnale rumore (SNR) nella banda di frequenze del segnale. Il capitolo è suddiviso in: modulazione PWM, modulazione Sigma Delta e descrizione del modulatore.

1.1 Modulazione PWM

La modulazione a durata d'impulso è realizzata da una grande varietà di schemi circuitali con differenti concezioni e prestazioni. Viene utilizzata in diversi ambiti dell'elettronica: da quella di potenza per il controllo di motori AC/AC o DC/DC, fino ad applicazioni a bassa potenza, come sistemi audio. L'amplificatore controllato da segnali PWM viene definito di classe D (figura 1.1).

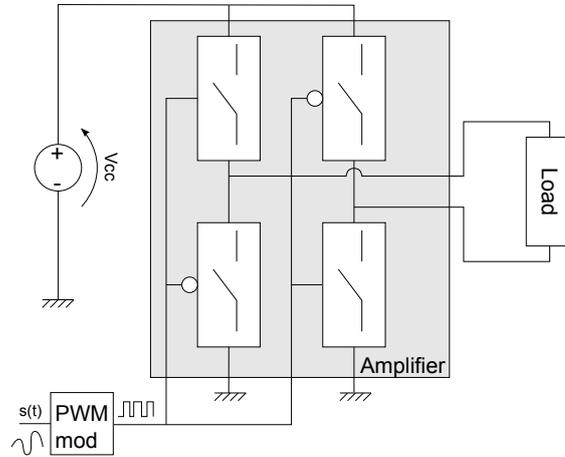


Figura 1.1: Modello di un amplificatore con interruttori pilotati da segnale PWM (Classe D)

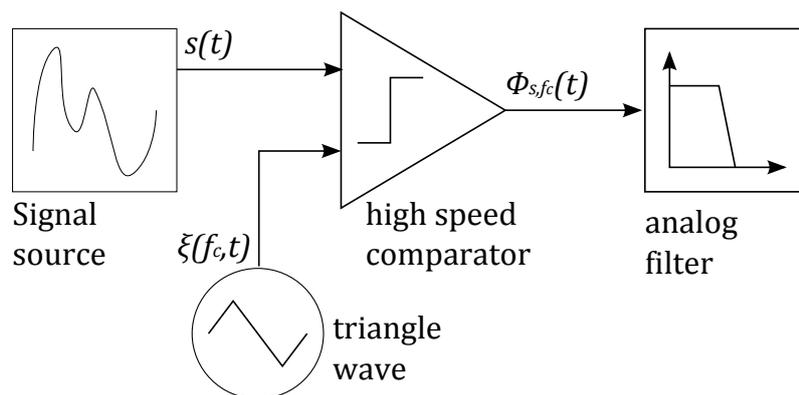
Il modulatore può essere realizzato per via analogica o digitale, quest'ultima sempre più utilizzata soprattutto nell'elaborazione audio.

Il modello base per la realizzazione analogica è mostrato in figura 1.2(a): il segnale $s(t)$ in ingresso viene confrontato con una portante a frequenza f_c , $\xi(f_c, t)$ mediante un comparatore. All'uscita di quest'ultimo viene generato un segnale PWM $\phi_{s, f_c}(t)$, che vale 1 se $s(t) > \xi(f_c, t)$ e viceversa 0 come mostrato in figura 1.2(b) [2]. La portante è generalmente realizzata con segnali triangolari o a dente di sega, nel seguito verrà considerato solo il primo caso. Il segnale modulato a durata d'impulso ha due soli livelli, e l'informazione è quindi veicolata nel duty-cycle: questo fa sì che il principale contributo di potenza dissipata risulti essere quella dinamica, dovuta alla commutazione degli interruttori dell'amplificatore. Lontano dalle commutazioni i dispositivi che costituiscono l'amplificatore sono in saturazione o interdizione, permettendo quindi di ottenere un rendimento di circa il 90%.

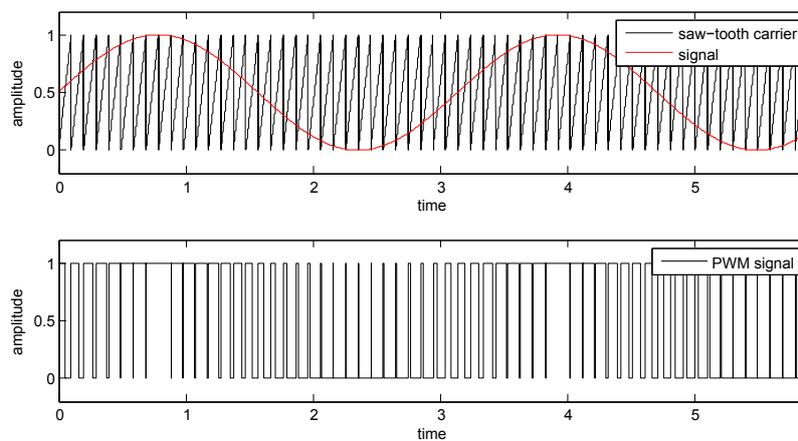
Il segnale pilotante il carico risulta distorto a causa della PWM ed è quindi necessario un filtraggio passa basso per eliminare la distorsione fuori banda del segnale [4].

Un modulatore PWM analogico può essere implementato con dei compara-

1. Modulatore PWM



(a) Schema implementativo base



(b) Andamento nel tempo dei segnali in ingresso e di quello PWM generato

Figura 1.2: Modulatore PWM analogico

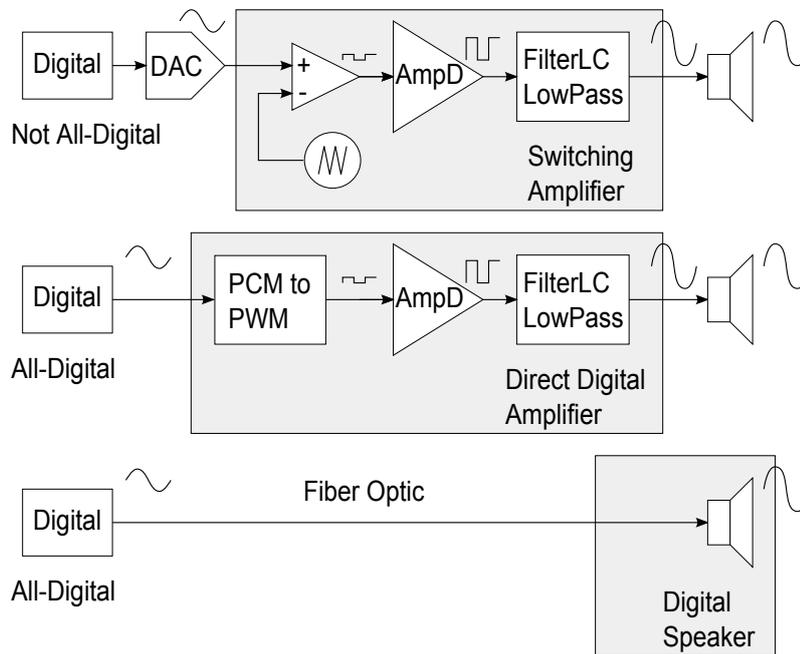


Figura 1.3: Evoluzione amplificatori con modulazione PWM [3]

tori e dei generatori di forme d'onda. I principali limiti di questo approccio sono dovuti al rumore sulla modulante e sulla portante che causano distorsioni sul segnale finale.

Inoltre, l'utilizzo del formato digitale nella memorizzazione ed elaborazione dei segnali audio porta a prediligere gli schemi di modulazione digitale [5, 6, 7, 8]. In figura 1.3 è mostrata l'evoluzione delle architetture PWM, consistente nel passaggio da schemi completamente analogici a quelli completamente digitali, abbinati ai *digital speaker*, che ricevono segnali digitali ed hanno internamente un amplificatore per generare il segnale audio.

Il modulatore a cui si fa riferimento in questo lavoro è uno sviluppo dell'architettura mista digitale analogica ed è proposto come soluzione innovativa attraverso strategie di generazione ottimizzata del segnale modulato.

1.2 Modulazione Sigma Delta

La modulazione Sigma Delta ($\Sigma\Delta$) viene utilizzata principalmente per cambiare il range dinamico (DR) dei segnali. Da diversi anni è utilizzata nella conversione A/D e D/A, come nelle applicazioni audio ad alta fedeltà: avendo il vantaggio che permette di non avere componenti analogici particolarmente accurati e costosi.

Il modulatore PWM successivamente esposto sfrutta un'implementazione digitale del $\Sigma\Delta$ che riproduce l'effetto di una conversione D/A e quindi si farà riferimento solo a questa [10, 11].

La modulazione $\Sigma\Delta$ si basa sul concetto di sovra-campionamento e di *noise shaping*; il vantaggio del sovra-campionamento del segnale, figura 1.4(a), è di ridurre il rumore di quantizzazione in banda, infatti questo si calcola come

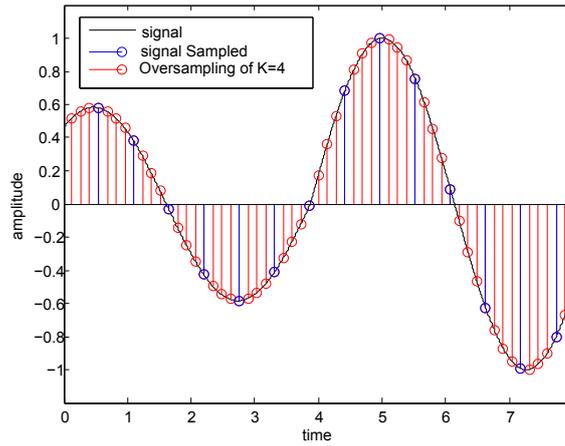
$$Q_N = \frac{2q^2 f_B}{12f_s} \quad (1.1)$$

dove f_s è la frequenza di campionamento e f_B la banda del segnale utile. A causa del sovra-campionamento aumenta f_s , ma la potenza totale rimane $q^2/12$ e quindi si ha una riduzione del contributo in banda, come mostrato in figura 1.4(b). Il *noise shaping* permette di far passare la componente utile del segnale senza distorsione e di filtrare solo la componente di rumore in banda. Questo comportamento è dovuto ad una architettura in retroazione composta da un filtro ed un quantizzatore, che permette di ottenere un miglioramento del SNR in banda base, perché riduce il rumore di quantizzazione a basse frequenze.

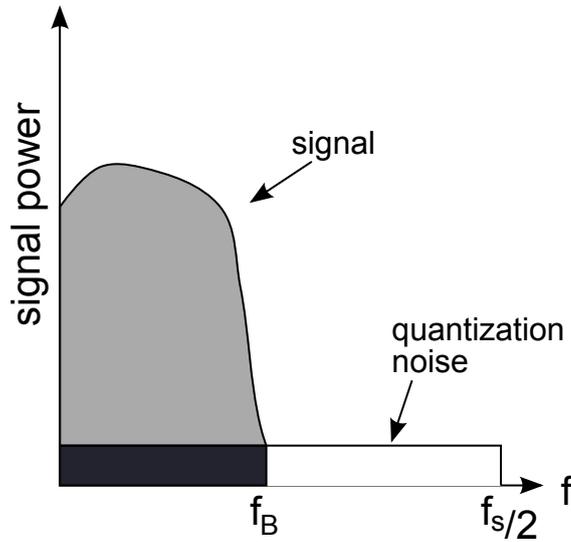
In figura 1.5 è mostrato il $\Sigma\Delta$ del primo ordine ad un bit di quantizzazione. Si possono considerare due differenti funzioni di trasferimento per il segnale utile (STF) ed il rumore (NTF): in figura 1.6 è mostrata una famiglia di caratteristiche di noise shaping.

La funzione nel dominio delle trasformate Z per un $\Sigma\Delta$ del primo ordine è

$$Y(z) = X(z) + (1 + z^{-1})N(z) \quad (1.2)$$



(a) Sovra-campionamento nel dominio del tempo



(b) Rumore di quantizzazione in banda

Figura 1.4: Sovra-campionamento

1. Modulatore PWM

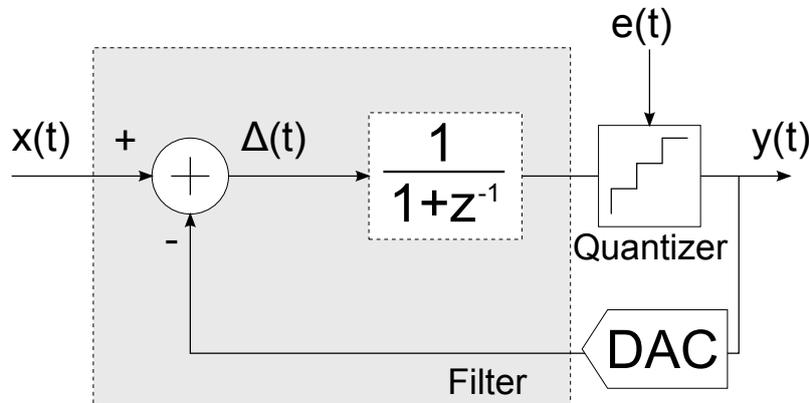


Figura 1.5: Filtro $\Sigma\Delta$ del primo ordine

dove in coerenza con figura 1.6, Y rappresenta la trasformata del segnale d'uscita, X di quello d'ingresso ed N del rumore.

Il filtro è un accumulatore delle differenze tra ingresso ed uscita sfasate di un periodo. Dal punto di vista del solo rumore di quantizzazione, si può pensare il $\Sigma\Delta$ come un passa alto che attenua in banda ed amplifica fuori banda, in figura 1.7 ne è mostrato il comportamento nel tempo.

Dopo la conversione in analogico è richiesto un filtro passa basso per eliminare il contributo di rumore fuori banda.

A livello analitico per filtri di ordine P , l'NTF è una potenza di quella del primo ordine:

$$Y(z) = X(z) + (1 + z^{-1})^P N(z) \quad (1.3)$$

le realizzazioni pratiche sono molteplici e si discostano da quella base.

L'aumento di ordine del filtro dà un miglioramento teoriche del SNR, ma allo stesso tempo rende sempre più critico il range di valori dei segnali d'ingresso per la stabilità del filtro; questo fa sì che non sia necessario che un filtro di ordine superiore riduca in misura maggiore il rumore come discusso in [12, 13, 14]. Nella sezione successiva verrà anche mostrata un'architettura per $\Sigma\Delta$ di ordine superiore al primo.

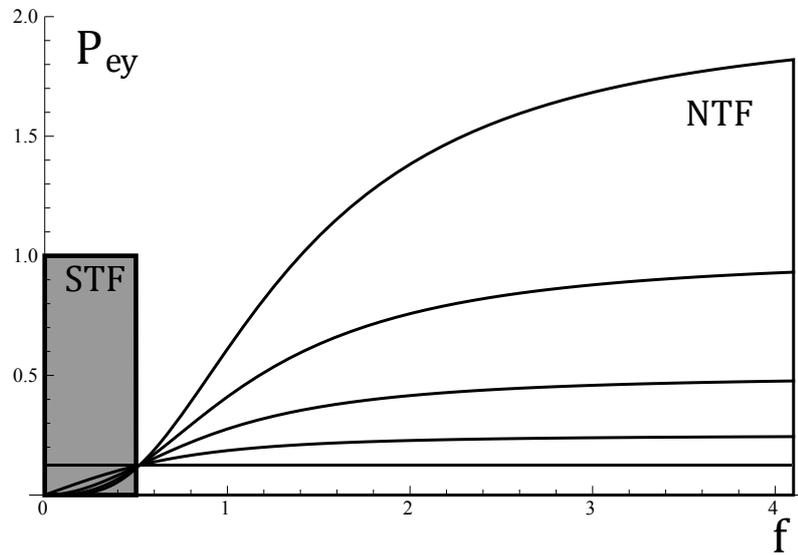


Figura 1.6: Funzioni di trasferimento del segnale utile (STF) e del rumore (NTF) per $\Sigma\Delta$ di vario ordine

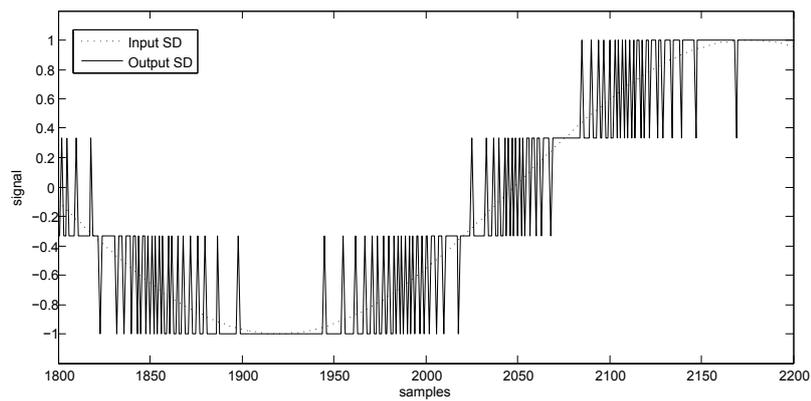


Figura 1.7: Andamento nel tempo della risposta di un $\Sigma\Delta$ del primo ordine, con quantizzatore ad un bit

1.3 Modulatore PWM misto digitale analogico

La tecnica di modulazione $\Sigma\Delta$, come illustrato precedentemente, ha diversi vantaggi nell'implementazione di amplificatori ad alta fedeltà, cioè quando si vuole ottenere un range dinamico elevato (100 dB). Allo stesso tempo i segnali PWM sono vantaggiosi per pilotare amplificatori ad alta efficienza, in quanto l'informazione viene mappata in una sequenza a due livelli avente variazioni mediamente più lente rispetto al caso $\Sigma\Delta$.

Quindi sono stati coniugati nell'implementazione di un modulatore PWM misto digitale analogico, che converte segnali digitali PCM in analogici modulati, proposto in [1], ed il cui schema è mostrato in figura 1.8.

Il segnale d'ingresso è una sequenza di campioni, $s[n]$ a frequenza f_s (Figura 1.9(b)); $s[n]$ viene interpolato ed il nuovo segnale ha una frequenza $f_z = K f_s$, dove K è il fattore di sovra-campionamento. A livello pratico, l'interpolazione viene fatta aggiungendo K zeri tra un segnale e l'altro. Il nuovo segnale ha uno spettro periodico (Figura 1.9(b)) le cui ripetizioni vengono attenuate da un filtro ellittico; il segnale filtrato $z[n]$ ha la banda di $s[n]$ diviso K (Figura 1.9(c)).

Il segnale deve entrare in un comparatore; la portante del comparatore sarebbe di tipo triangolare e quindi a banda di frequenza elevata. Applicando una distorsione su entrambi i segnali si ottengono due nuovi segnali, il cui confronto ha come risultato un segnale, con i stessi passaggi per zero di quello che sarebbe risultato dal confronto tra i segnali originali. Il vantaggio è che si può utilizzare una portante sinusoidale al prezzo di introdurre delle distorsioni sul segnale $z[n]$ (Figura 1.9(d)).

Dopo la distorsione sinusoidale si riconduce al modello classico della modulazione PWM: il confronto tra segnale d'ingresso e onda triangolare viene sostituito con il segnale corrispondente ad $s[t]$ distorto, cioè $\sin(\pi z[n]/2)$ ed una funzione non lineare del seno, ovvero $\cos(2\pi f_c n/K)$, con $n \in \mathbb{Z}$, ottenendo

$$\chi[n] = \sin(\pi z[n]/2) - \cos(2\pi f_c n/K). \quad (1.4)$$

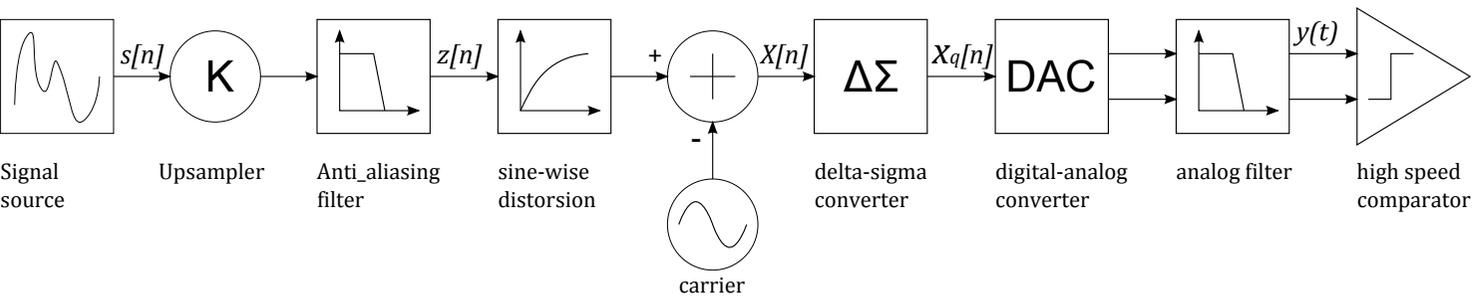


Figura 1.8: Implementazione analogico digitale modulatore PWM

1. Modulatore PWM

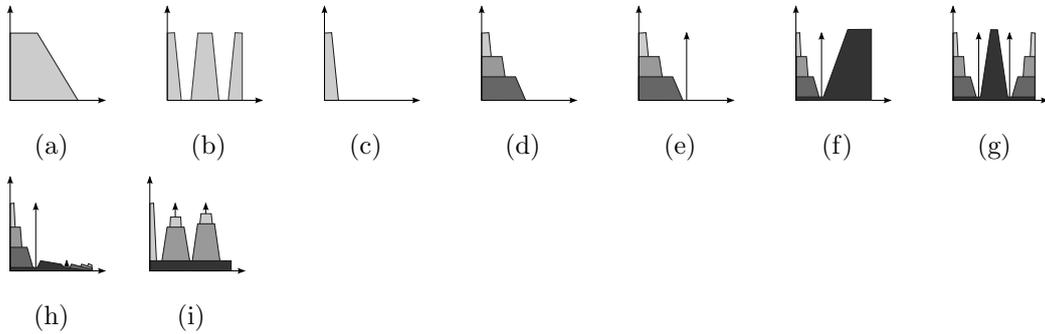


Figura 1.9: Spettri schematici della potenza dei segnali interni del modulatore PWM.

Con riferimento a 1.8: (a) Segnale d'ingresso, $s[n]$; (b) Segnale sovra-campionato; (c) Segnale filtrato $z[n]$; (d) Segnale distorto, $\sin(\pi/2z[n])$; (e) Segnale con portante, $\chi[n]$; (f) Segnale modulato da $\Sigma\Delta$, $\chi_q[n]$; (g) Segnale convertito D/A; (h) Segnale analogico filtrato, $y(t)$; (e) Segnale PWM d'uscita;

lo spettro è mostrato in 1.9(e). Il segnale χ viene processato dal modulo $\Sigma\Delta$ che ha lo scopo di ridurre il rumore in banda di χ_q ; il quale viene convertito da digitale ad analogico (Figura 1.9(g)). A valle, un filtro passa basso attenua il contributo fuori banda, $y(t)$ (Figura 1.9(h)). Questo segnale viene modulato a durata d'impulso da un comparatore veloce (Figura 1.9(i)).

Illustrata per sommi capi l'architettura, vengono ora caratterizzati i parametri necessari alla sua implementazione. Sia q il numero di bit del quantizzatore del $\Sigma\Delta$ e $r = \log_2 K$ il fattore di sovra-campionamento, allora si può determinare l'aumento di *range dinamico* (DR) prodotto dal $\Sigma\Delta$. Considerando come segnale d'ingresso una sinusoide di range $[-1, 1]$, la sua potenza è $P_s = 1/2$, quindi il guadagno di DR vale:

$$10 \log_{10} \left(\frac{P_s}{P_e} \right) \approx q \cdot 6.02 + 1.76 \quad (1.5)$$

dove $P_e = \Delta^2/12$, con $\Delta = 2/2^q$ è il rumore di quantizzazione.

Il guadagno di sovra-campionamento è

$$10 \log_{10} \left(\frac{f_z}{f_s} \right) \approx r \cdot 3.01 \quad (1.6)$$

L'attenuazione in banda della NTF è:

$$\lambda_{NTF} = -10 \log_{10} \left(1/f_{\xi} \int_0^{f_{\xi}} |\eta(f)|^2 df \right) \quad (1.7)$$

L'attenuazione intrinseca dovuta alla distorsione sinusoidale: $20 \log_{10} (2 \cdot 2\pi) \approx 2.1$. Considerando la variabile $\lambda_{\Sigma\Delta}$ come un fattore di scala per garantire la stabilità del filtro, il DR di χ_q vale:

$$DR_{\chi_q} = \lambda_{NTF} + (2q + r) \cdot 3.01 + 0.34 - \lambda_{\Sigma\Delta} \quad (1.8)$$

Introducendo la specifica di massimo guadagno della NTF, oltre a q , r e $\lambda_{\Sigma\Delta}$, si determinano univocamente il valore di λ_{NTF} . Definendo la risposta del filtro passa basso analogico come $\beta(f)$:

$$\max |\eta(f)\beta(f)| \approx \lambda_{NTF} \quad (1.9)$$

questo richiede che la frequenza di taglio e l'ordine della NTF siano rispettivamente, strettamente maggiore e minore di quelli del filtro, affinché il prodotto tra attenuazione ed amplificazione sia adeguata.

La modellizzazione della parte analogica ed ulteriori dettagli sulle componenti digitali, escluso il modulo $\Sigma\Delta$, esulano da questa trattazione, che è solo introduttiva dei parametri del $\Sigma\Delta$.

Sono state considerate delle specifiche per realizzazioni PWM per segnali audio a banda fino a 20 KHz. I parametri che definiscono il sistema sono presentati nella tabella 1.1.

I parametri sono stati scelti per ottenere un $DR_{PWM} \approx 90$ dB, di cui 57 dB sono dovuti al contributo del $\Sigma\Delta$.

Il $\Sigma\Delta$ è stato realizzato secondo l'architettura classica definita *Cascade of Resonator, FeedBack form* (CRFB); l'architettura del quarto ordine è mostrata in figura 1.10, da osservare che l'architettura è completamente digitale e quindi il blocco rappresentato come DAC, e così chiamato anche di seguito, in realtà mappa dei valori digitali descritti a quattro bit a degli altri con un numero di bit maggiore. Il quantizzatore a 4 bit è di tipo *mid-rise* ed ha la funzione di trasferimento mostrata in figura 1.11.

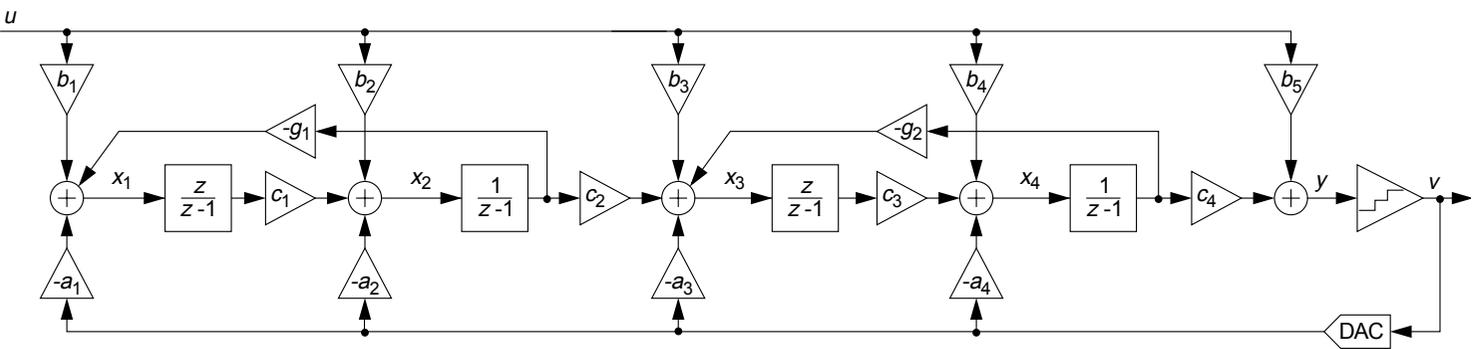


Figura 1.10: Filtro CRFB di quarto ordine

parametro	valore
$r = \log_2 K$	8
bit quantizzatore	4
ordine filtro $\Sigma\Delta$	4
fattore di scala $\Sigma\Delta$	3
NTF_{MAX}	4
fattore di sovra-campionamento	1/11.5
ordine filtro	5

Tabella 1.1: Parametri per il dimensionamento dell'amplificatore PWM

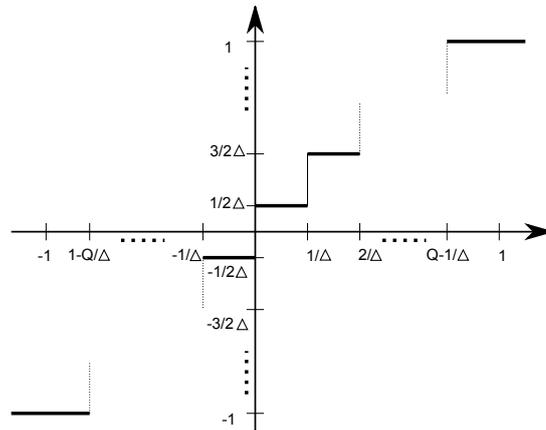


Figura 1.11: Funzione del Quantizzatore mid-rise, $N = \text{numero bit}$, $Q = 2^{N-1}$, $\Delta = 2^N - 1$

1. Modulatore PWM

Nel capitolo successivo viene illustrata l'analisi degli effetti delle lunghezze delle parole dei segnali sul rumore, per determinare un dimensionamento del filtro.

Capitolo 2

Dimensionamento del modulo Sigma Delta Digitale

In questo capitolo viene illustrato lo studio sul modulo $\Sigma\Delta$ come elemento a se stante dal resto dell'architettura.

La realizzazione del sistema deve essere fatta con un consumo limitato di risorse, per questo motivo i segnali devono essere codificati a virgola fissa, che richiede meno calcoli rispetto a quelli in virgola mobile. Il sistema è non-lineare e quindi non risulta possibile usare un modello analitico per definire i bit necessari ad ottenere un determinato livello di rumore come per i filtri lineari [16].

Sono state fatte delle analisi numeriche in ambiente MATLAB, per determinare la relazione tra la lunghezza delle parole dei segnali (WL) ed il rumore. Con lunghezza della parola di un segnale o di una variabile si intende il numero di bit di codifica.

Lo studio ha permesso di determinare due vettori di WL associate ai segnali interni del modulo. I due vettori corrispondono a due diverse specifiche sul rumore in banda del $\Sigma\Delta$: la prima determina una NTF analoga a quella ideale, mentre la seconda corrisponde ad un livello di rumore in banda maggiore, che permette un risparmio di risorse utilizzate.

Il capitolo è suddiviso in definizione del problema, considerazioni sull'effetto

parametro	valore
Sovra-campionamento	11.5
bit quantizzatore	4
ordine	4
guadagno massimo NTF	4
fattore di scala	3
tipo di filtro	CRFB

Tabella 2.1: Parametri del $\Sigma\Delta$

delle WL sull'NTF, determinazione delle WL e conclusioni.

2.1 Definizione del problema

In letteratura esistono diversi studi per implementare filtri non-lineari in virgola fissa [17, 18, 19, 20, 21], ed in particolare per dei $\Sigma\Delta$ [22]. Ogni strategia, più o meno consolidata e generale verte su di un'analisi numerica e quindi, anche in questo lavoro si è scelto di procedere per questa via.

È stato utilizzato l'ambiente MATLAB ed in particolare sono stati sfruttati due *toolbox*: *Delta Sigma* e *Fixed Point*. Il primo ha permesso di avere un modello predefinito del modulo $\Sigma\Delta$; il secondo fornisce una serie di funzionalità per lavorare con i numeri in virgola fissa.

In seguito, con abuso di linguaggio, si parlerà di WL degli operatori intendendo quelle delle variabili, che rappresentano i segnali prodotti dagli operatori interni al modulo (Sommatore, accumulatori e moltiplicatori).

Le specifiche architetture del modulo studiato sono riportate in tabella 2.1. Il segnale utilizzato per le prove è un segnale chirp in banda con range di valori tra $[-2,+2]$ e banda minore di quella attenuata dalla NTF.

Nella figura 2.1 è mostrata la risposta in frequenza del segnale d'ingresso, d'uscita e del rumore, che ha un valore massimo di -57 dB in banda, come da teoria.

2. Dimensionamento del modulo Sigma Delta Digitale

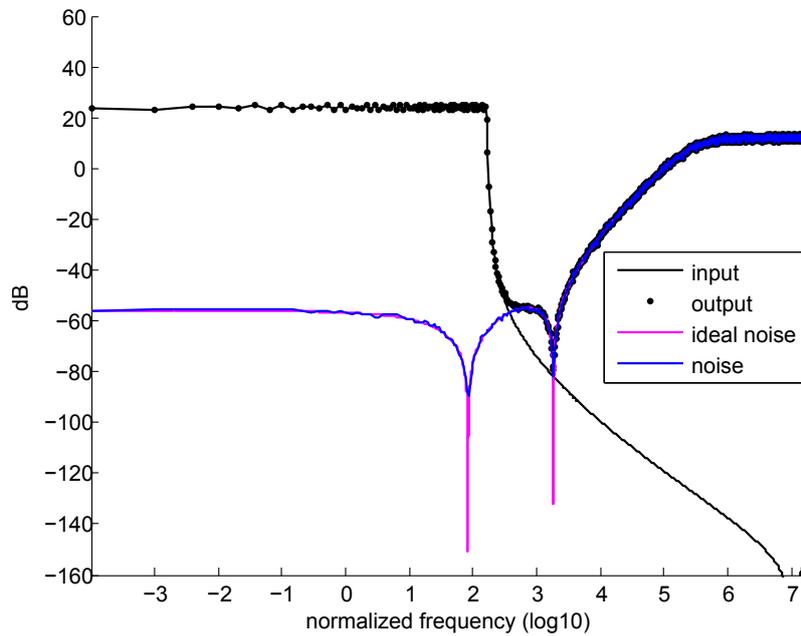


Figura 2.1: Risposta in frequenza del $\Sigma\Delta$ CRFB del 4° ordine

Le risposte in frequenza sono ricavate utilizzando le funzioni del Sigma Delta Toolbox di MATLAB, che utilizza una descrizione matriciale per generare la risposta: è utile per conoscere l'uscita attesa, ma non per simulare il funzionamento in tempo reale in cui i campioni vengono elaborati in sequenza.

Passando alla realizzazione ci si riferisce al modello CRFB mostrato in 1.10 che permette alcune semplificazioni. In tabella 2.2 sono raccolti i valori dei coefficienti del filtro: i c_i e b_5 sono di valore unitario quindi il loro prodotto è semplicemente eliminabile.

	a	b	c	g
1	$1,15 \cdot 2^{-2}$	$1,15 \cdot 2^{-2}$	1	$1,10 \cdot 2^{-7}$
2	0,85	0,85	1	$0,88 \cdot 2^{-4}$
3	$0,79 \cdot 2$	$0,79 \cdot 2$	1	
4	0,94	0,94	1	
5		1		

Tabella 2.2: Coefficienti del $\Sigma\Delta$ CRFB del 4° ordine

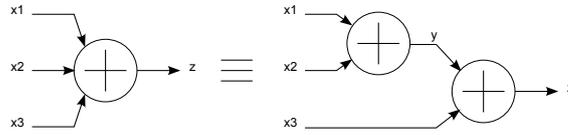


Figura 2.2: Scomposizione sommatore a 3 ingressi

Per quanto riguarda i coefficienti a_i e quelli b_i rimasti, può essere utile riorganizzare il modulo per avere solo metà di questi prodotti, risparmiando sia sul numero di operatori che sui coefficienti da memorizzare.

Un sommatore ad n ingressi equivale ad $n-1$ sommatore a due ingressi, come mostrato nell'esempio di figura 2.2, quindi vale:

$$a_i u[n] - b_i v[n] + x_{i-1}[n] = a_i (u[n] - v[n]) + x_{i-1}[n] \quad (2.1)$$

i segnali si riferiscono a figura 1.10.

L'architettura è stata riformulata come mostrato in figura 2.3, che esegue la stessa funzione del filtro CRFB ma risparmia sui moltiplicatori e sui sommatore.

Risulta utile definire un parametro che stimi le risorse da allocare: l' FPGA utilizzata in questo lavoro, ed illustrata nel capitolo successivo, è composta da *tavole di verità* (LUT) per la logica combinatoria e flip-flop per memorizzare i bit. Ogni LUT ha quattro ingressi e due uscite, e può essere programmata per generare una qualsiasi funzione booleana.

$$N_{LUT} \triangleq \sum_{i=1}^{n_{sum}} N_{LUT,sum_i} + \sum_{i=1}^{n_{acc}} N_{LUT,acc_i} + \sum_{i=1}^{n_{mpy}} N_{LUT,mpy_i} + N_{LUT,quant,DAC} \quad (2.2)$$

i fattori dell'equazione sono rispettivamente le LUT da allocare per sommatore, accumulatori, moltiplicatori e per quantizzatore e DAC¹.

Riferendosi a 2.2 ed assumendo che le WL siano tutte uguali ad eccezione

¹Una somma con p addendi ad n bit occupa $n \cdot (p-1)$ LUT; inoltre se k addendi vengono approssimati per essere compatibili con la somma desiderata (Casting), comprende anche $n \cdot k$ LUT. Il quantizzatore, esegue 2^q confronti, per un segnale ad n bit, e quindi richiede $n \cdot 2^q/4$ LUT

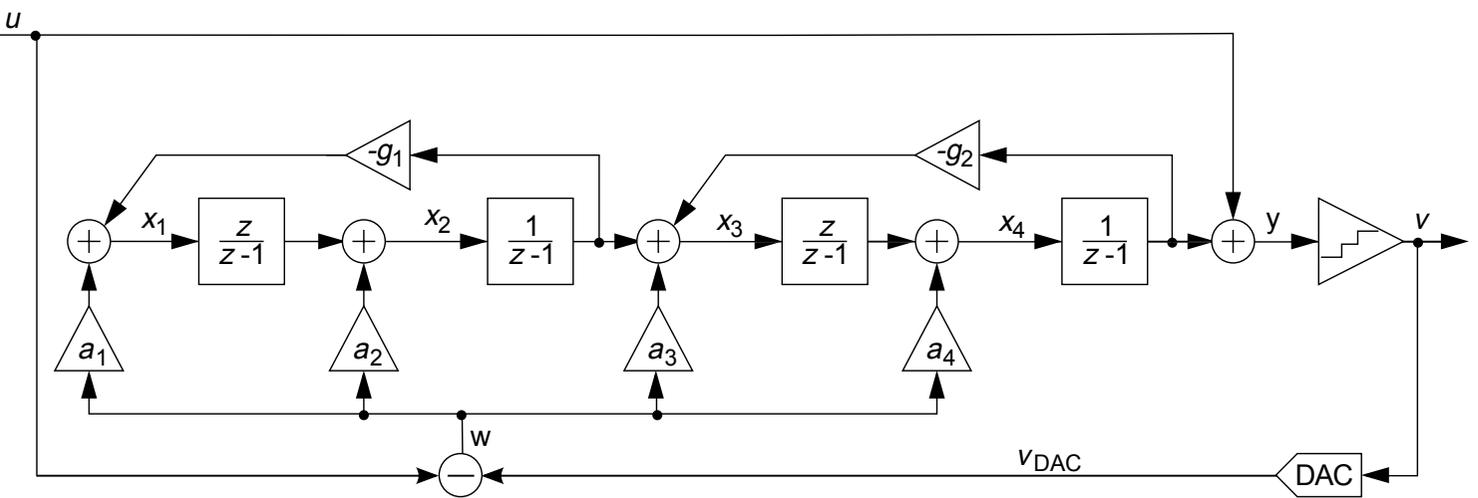
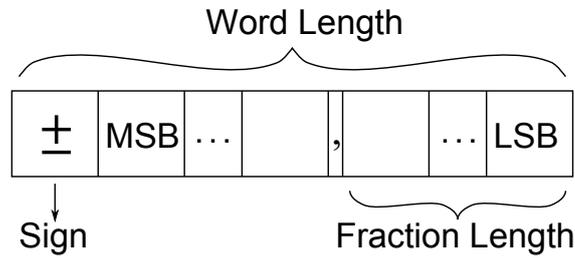


Figura 2.3: $\Sigma\Delta$ CRFB di 4° ordine, modificato

Figura 2.4: Struttura oggetto fi usato per simulare il CRFB

di quelle dei coefficienti, la riduzione dell'area occupata da parte del CRFB modificato è:

$$\frac{N_{LUT,CRFB_{def}}}{N_{s,CRFB_{mod}}} = \frac{29 + 9(WL_{coeff} - 1)}{37 + 13(WL_{coeff} - 1)} \quad (2.3)$$

si ottiene un miglioramento che per $WL_{coeff} = 1$ è pari a 1,28 e tende a 1,44 al crescere di questa.

Dopo queste manipolazioni si è passati alla realizzazione del modulo, utilizzando il *fixed point toolbox* di MATLAB, che mette a disposizione degli oggetti fi che sostituiscono la semplice variabile, permettendo di impostare le lunghezze delle parole delle variabili e definire la posizione della virgola come in figura 2.4. Inoltre permette di definire appositi oggetti fi *math*, per impostare tutte le caratteristiche delle operazioni algebriche. In tabella 2.3 sono mostrate le principali variabili e come sono state impostate, maggiori dettagli sono nella guida MATLAB.

L'ambiente Matlab è pensato per ottimizzare i calcoli in virgola mobile, e per riprodurre quelli in virgola fissa richiede diverse operazioni intermedie che rendono oneroso questo tipo di calcoli dal punto di vista temporale. In tabella 2.1 sono comparati i tempi per eseguire le stesse operazioni in virgola fissa ed in virgola mobile in ambiente Matlab. Sono presentati anche i tempi per generare gli oggetti fi e fi *math*.

Le misure sono state fatte su di un laptop dual-core e sono solo indicative dei differenti ordini di grandezza per i due tipi di calcoli: infatti se la stessa operazione viene reiterata ci sarebbe un miglioramento delle prestazioni.

Confrontando le due colonne si può osservare che la differenza è di almeno

2. Dimensionamento del modulo Sigma Delta Digitale

SumWordLength	SWL_i	i-esimo sommatore
SumFractionLength	SFL_i	i-esimo sommatore
ProductWordLength	PWL_i	i-esimo moltiplicatore
ProductFraciontLength	PFL_i	i-esimo moltiplicatore
SumMode	SpecifyPrecision	SWL,SFL definite dall'utente
ProductMode	SpecifyPrecision	PWL,PFL definite dall'utente
CastBeforeSum	true	casting sugli addendi
OverflowMode	wrap	saturazione di tipo <i>wrap</i>
RoundingMethod	nearest	tipo di arrotondamento

Tabella 2.3: Parametri degli oggetti *fimath* associati agli operatori del CRFB

	double	fixed point	dimensione input
Sum	5μ	741μ	1
Multiply	12μ	596μ	1
CRFB	15m	338m	1×2^4
CRFB	74m	2060m	1×2^8
CRFB	0,8	90	1×2^{12}
CRFB	0,9	90	$2^2 \times 2^{12}$
CRFB	0,9	100	$2^4 \times 2^{12}$
CRFB	1,0	170	$2^5 \times 2^{12}$
CRFB	1,0	230	$2^6 \times 2^{12}$
fi		18m	1
fi		35m	1×2^5
fimath		$53m$	1×10

Tabella 2.4: Tempi di calcolo in virgola fissa e mobile con MATLAB

due ordini di grandezza, il che rende critico dal punto di vista temporale il numero di operazioni in virgola fissa se sono eseguite in quantità elevate e per matrici di dimensioni consistenti.

Il tempo di calcolo per determinare le WL non è una specifica della progettazione, però risulta necessario tenerne nell'implementare funzioni eseguibili in tempi accettabili. Il sistema richiede vettori in ingresso di lunghezza significativa per entrare a regime, quindi è stato scelto con metodo empirico, di utilizzare matrici di $2^5 \times 2^{12}$ campioni; questi corrispondono a 2^5 misure con segnali da 2^{12} campioni.

Nella sezione successiva viene illustrato il percorso euristico per determinare un sottoinsieme di soluzioni all'interno delle quali cercare i vettori di WL. Un parametro scalare, indicativo del profilo di rumore del segnale è:

$$n \triangleq \|N(f)\|_{2,f \in B} \quad (2.4)$$

corrisponde alla media quadratica in banda del rumore del segnale in uscita e verrà utilizzato come parametro per determinare il livello di rumore.

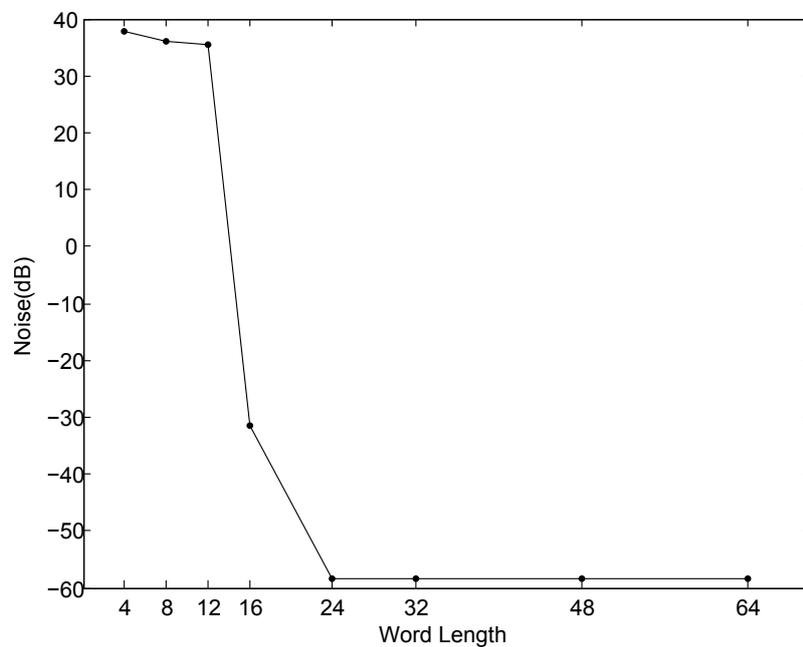
Verranno anche definite le soglie discriminanti i vettori di WL, conseguentemente alle osservazioni sull'andamento del rumore.

2.2 Studio dell'effetto della lunghezza delle parole dei segnali sul rumore

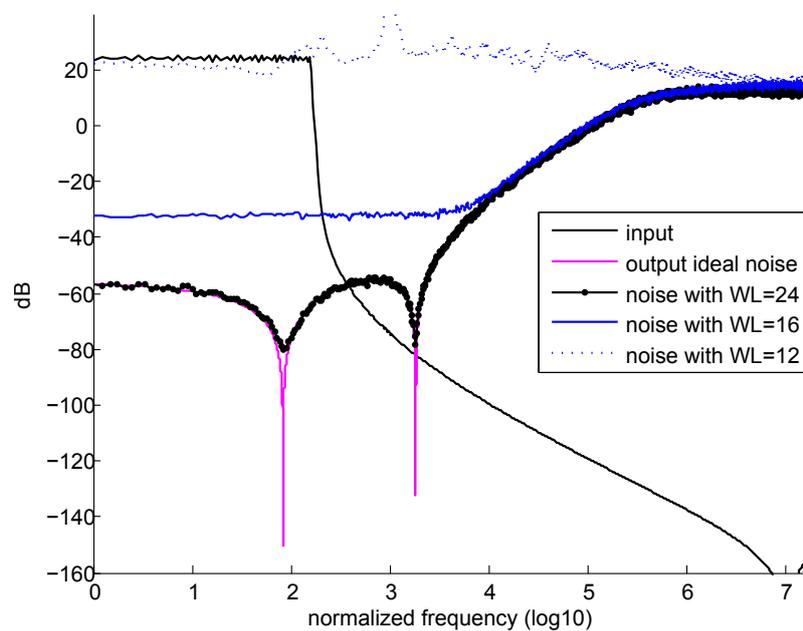
Il primo obiettivo è stato di definire un limite massimo di valori per le WL al fine di considerare un insieme limitato di soluzioni; è stato studiato il comportamento della NTF con uguali WL associate ad ogni operatore (Figura 2.5).

Al di sopra di WL a 24 bit non ci sono variazioni apprezzabili del rumore in banda; tra 24 e 16 bit risulta esserci una differenza di circa 20 dB. Andando nel dettaglio, in figura 2.5(b), la riduzione a 16 bit determina una degradazione del profilo del rumore. L'NTF con queste WL ha l'andamento tipico del $\Sigma\Delta$, ovvero con una attenuazione in banda ed un'amplificazione fuori banda.

2. Dimensionamento del modulo Sigma Delta Digitale



(a) Valore di $n = \|N(f)\|_{2, f \in B}$ per le differenti configurazioni



(b) NTF

Figura 2.5: Rumore in uscita con uguali WL associate ad segnale

A 12 bit il filtro non funziona più correttamente, e diventa instabile.

Il limite massimo è stato considerato come 24 bit; il limite minimo delle possibili WL per gli operatori è 2, cioè quello minimo per la codifica di una variabile con segno, mentre per i coefficienti è 1, essendo variabili senza segno.

Lo spazio delle soluzioni così definito ha dimensione:

$$N_{sol} = Range_{op}^{N_{op}} \cdot Range_{coeff}^{N_{coeff}} \approx 6 \cdot 10^{18} \quad (2.5)$$

corrisponde a tutte le combinazioni possibili di WL per ogni operatore e coefficiente. Risulta essere un insieme di dimensione eccessivamente elevata per poter essere analizzato in maniera completa, se si considera il tempo necessario ad eseguire un'istanza della funzione MATLAB che simula il CRFB.

In questo lavoro è stato scelto di determinare delle soluzioni sub ottime che consentano un corretto funzionamento del sistema, per questo non sono state esplorate tutte le possibili soluzioni, ma sono stati utilizzati dei metodi euristici per escluderne la maggior parte.

Sono state fatte ulteriori osservazioni sull'effetto delle WL sul rumore: sommatore, accumulatori, moltiplicatori e coefficienti svolgono funzioni differenti, e questo può implicare anche una diversa criticità rispetto al rumore. Sono stati analizzati a gruppi separati a seconda della tipologia: per ogni gruppo sono state considerate WL uguali per ogni operatore e le WL degli altri vengono mantenute al valore massimo (24).

In figura 2.7 sono mostrati i valori di n determinati dall'analisi dei diversi tipi di operatori e coefficienti: le WL dei coefficienti sono un elemento meno critico rispetto a quelle degli operatori.

In figura sono mostrati i profili di rumore corrispondenti alle differenti WL degli operatori e dei coefficienti.

Dopo questa prima analisi sono stati definiti due casi di studio: i vettori di WL cercati devono soddisfare la specifica di determinare due filtri che diano rumore in banda di -57 dB e di -40 dB. La prima specifica equivale a chiedere che l'NTF del filtro realizzato corrisponda sostanzialmente a quella ideale; la seconda ad un minor consumo di risorse, al prezzo di un deterioramento

2. Dimensionamento del modulo Sigma Delta Digitale

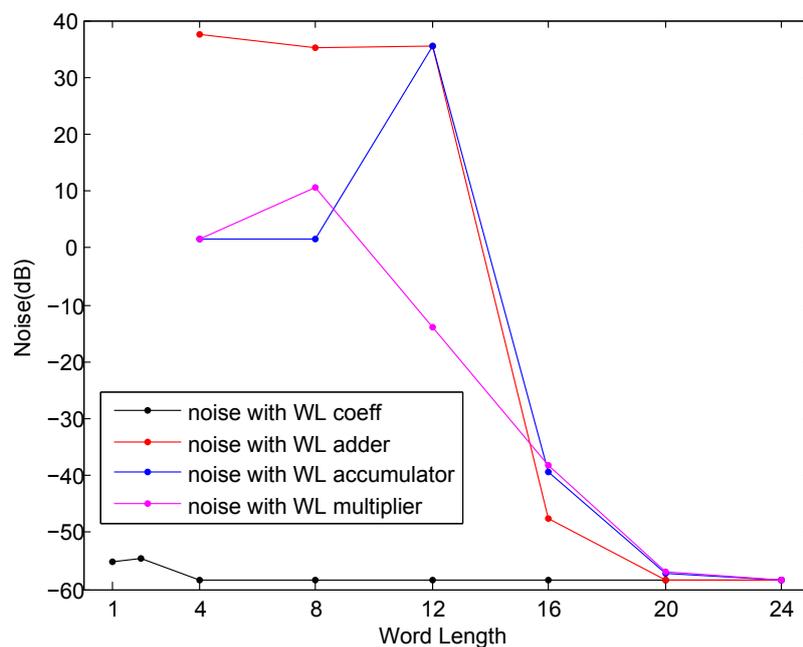


Figura 2.6: Media quadratica del rumore in banda rispetto a differenti WL associate ai vari operatori, per il CRFB del quarto ordine. Vengono considerati le differenti tipologie di operatori ed i coefficienti, con WL dello stesso valore per ognuna: ogni tipologia è analizzata per alcuni valori di WL, con le altre a WL massima.

2.2 Studio dell'effetto della lunghezza delle parole dei segnali sul rumore

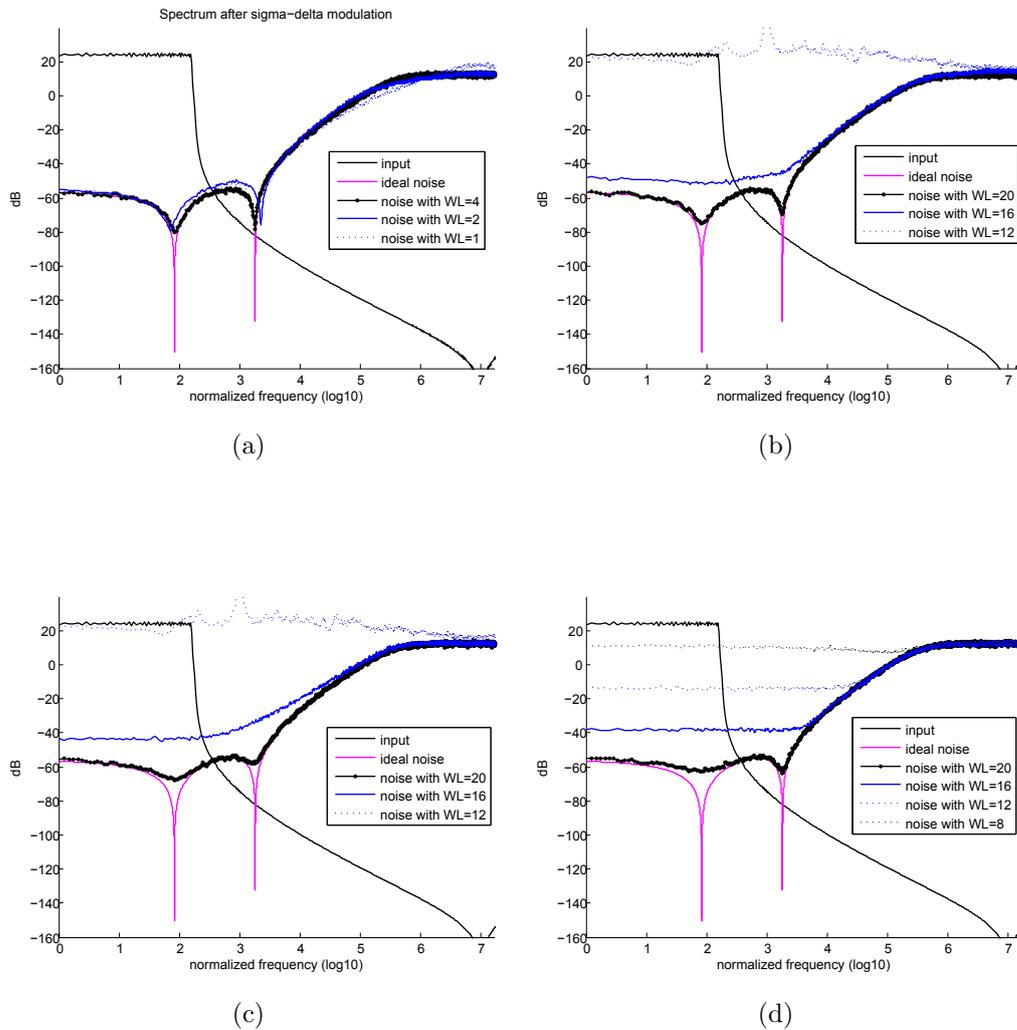


Figura 2.7: NTF del CRFB di quarto ordine rispetto ad alcune WL. Per gli operatori della stessa tipologia o i coefficienti vengono associate le stesse WL, ed alle altre vengono associate WL massime. Le figure si riferiscono ognuna all'analisi di una tipologia di operatori o ai coefficienti: (a) coefficienti, (b) sommatori, (c) accumulatori, (d) moltiplicatori

2. Dimensionamento del modulo Sigma Delta Digitale

dell'attenuazione del rumore in banda.

Per i casi di studio considerati sono state definite due soglie, rispettivamente:

$$\begin{aligned}n_{Lim,MAX} &\triangleq -57dB \\ n_{Lim,MIN} &\triangleq -40dB\end{aligned}\tag{2.6}$$

Queste verranno utilizzate come soglie per misurare il rispetto delle specifiche determinate.

2.3 Dimensionamento delle parole dei segnali

Le analisi del capitolo precedente hanno permesso di sviluppare alcuni funzioni MATLAB, per determinare dei vettori di WL per i moduli CRFB che rispettino le specifiche dei casi di studio.

L'implementazione ha carattere sufficientemente generale da poter essere utilizzata per architetture di $\Sigma\Delta$ CRFB con parametri differenti.

Sono state fatte alcune scelte al fine di ridurre l'insieme di possibili soluzioni: un vincolo imposto è stato di considerare solo WL pari per gli operatori, e quindi i possibili valori di WL si riducono a:

$$\begin{aligned}WL_{Op} &\in \{2, 4, \dots, 24\} \\ WL_{Coeff} &\in \{1, 2, 3, \dots, 24\}.\end{aligned}\tag{2.7}$$

Ipotizzando che questa limitazione introduca una distanza massima tra la soluzione trovata e quella ottima solo di un bit per ogni WL, allora il massimo errore è $N_{add} + N_{acc} + N_{mpy} \cdot 2 = 23LUT$.

Un'ulteriore assunzione fatta per ridurre la complessità del problema è stato di considerare separatamente i coefficienti e gli operatori, ottimizzandoli in fasi differenti e successive. Il problema con 22 variabili è stato ricondotto a due problemi di 6 e 16 variabili riducendone la complessità.

Determinare le WL per gli operatori è più critico rispetto al corretto funzionamento del $\Sigma\Delta$ come risulta dalle precedenti osservazioni. inoltre il numero di possibili soluzioni è elevato dal punto di vista dei tempi di calcolo: è stato

$MSB_{accumulatore,k}$ da simulazioni in double
$LSB_{accumulatore,k} = LSB_{sommatore,k}$
$MSB_{moltiplicatore,K} = MSB_{sommatore,k} + MSB_{coeff,k} + 1$
$LSB_{moltiplicatore,K} = LSB_{som/acc,k} + LSB_{coeff,k}$
$WL \in [2, 4, 6, \dots, 24]$

Tabella 2.5: Vincoli imposti per le WL degli operatori

deciso di ridurre ulteriormente i gradi di libertà del problema vincolando parte delle variabili alle restanti.

In tabella 2.3 sono riportati i vincoli definiti per questo scopo.

Le analisi della sezione 2.2 mostrano che il profilo di rumore rispetto alle WL è simile per sommatore e accumulatore. Inoltre da un'analisi della struttura del CRFB, figura 2.3, si osserva che l'unico ingresso di ogni integratore è il risultato del sommatore a monte. Queste due considerazioni hanno fatto decidere di vincolare le WL degli accumulatori a quelle dei sommatore come mostra la tabella.

L'ulteriore vincolo della tabella riguarda le WL dei moltiplicatori che sono definite rispetto alle altre. Le WL dei fattori di ogni prodotto sono determinate, essendo un coefficiente ed il risultato di una somma. Inoltre i prodotti subiscono un successivo casting essendo variabili in ingresso ai sommatore: non è determinante considerare le WL dei moltiplicatori.

Le scelte descritte hanno ridotto il problema della ricerca delle WL degli operatori a quelle dei soli sommatore, con un numero di variabili che è $N_{adder} = 6$. Viene escluso dalla ricerca il segnale d'ingresso, e del coefficiente di attenuazione che sono determinati in base ai segnali interni del $\Sigma\Delta$.

Passando alle funzioni definite con MATLAB per determinare le WL di ogni operatore e coefficiente, nei paragrafi successivi viene descritto il loro funzionamento. Sono stati definiti funzioni che eseguono: un algoritmo per i coefficienti, e due differenti algoritmi per gli operatori, a conclusione della loro descrizione saranno analizzati i risultati e definite le WL. I risultati ottenuti sono stati utilizzati nella programmazione dei due moduli $\Sigma\Delta$ per i

2. Dimensionamento del modulo Sigma Delta Digitale

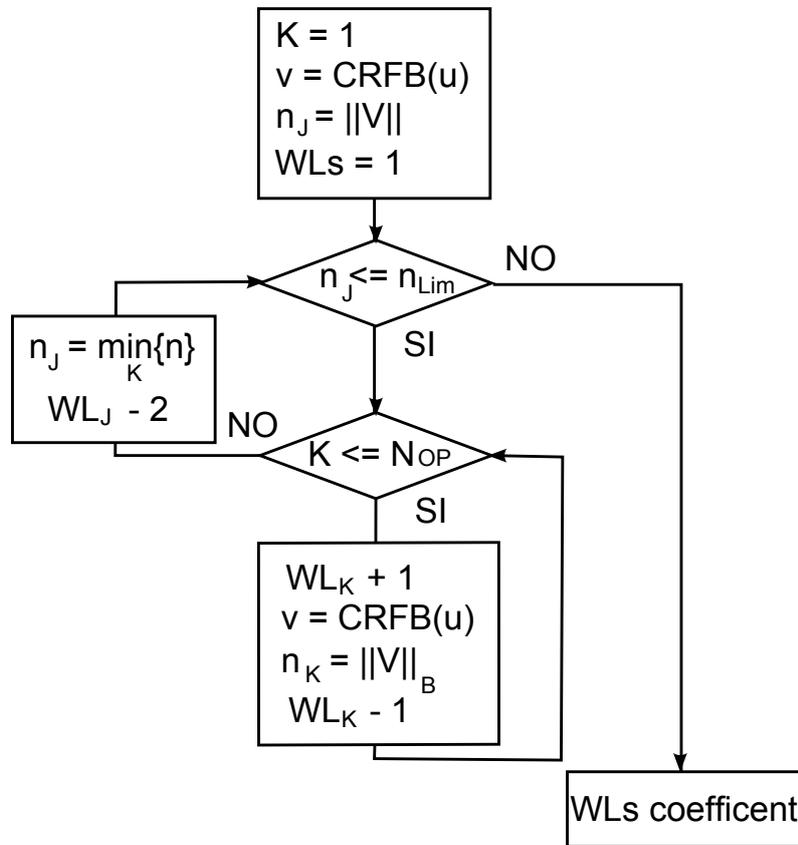


Figura 2.8: Procedimento Newton per la definizione delle WL dei coefficienti

due casi di studio.

2.3.1 Funzioni di ricerca delle WL dei coefficienti

Il problema di definizione delle WL dei coefficienti ha 6 variabili, che possono assumere valori interi compresi tra 1 e 4; essendo noti i valori dei coefficienti, il numero di possibili soluzioni è dato dai bit a valore 1 della loro codifica, cioè $\prod_{i=1}^{N_{coeff}} N_{i,1'} = 432$.

Le misure fatte per i coefficienti mostrano che bastano alcuni bit di codifica per avere una NTF poco distorta rispetto a quella teorica: si è scelto di implementare un algoritmo di salita a n minima, come mostrato in figura 2.3.1.

Ad ogni ciclo si ha un set di WL di partenza, all'inizio sono tutte uguali

coefficiente	bit _{$n_{Lim}=-57dB$}	bit _{$n_{Lim}=-40dB$}	posizione MSB
a1	1001	1	-2
a2	11	1	-1
a3	11	1	0
a4	1111	1	-1
g1	1	1	-7
g2	111	1	-4

Tabella 2.6: Word Length dei coefficienti

a 1, quindi vengono collezionati N_{coeff} valori n_i ed ogni n_i viene misurata aumentando momentaneamente la WL del coefficiente i di 1. Selezionando la n_i minima viene determinato quale WL associata ad un coefficiente aumentare definitivamente, mentre agli altri viene ripristinata l'originale. Questo procedimento viene iterato fino a quando non viene raggiunta la soglia n_{Lim} . In tabella ?? sono mostrati i risultati ottenuti: nella prima colonna sono indicati i coefficienti, nelle due centrali la codifica binaria, e nell'ultima la posizione, x , dell'MSB, considerata come 2^x .

L'algoritmo per i due casi con n_{Lim} uguale a -57 dB e -40 dB, esegue 61 e 1 chiamate della funzione che simula il modulo CRFB.

In figura 2.3.1 sono mostrati i profili di rumore in frequenza dei due casi esaminati, con le WL degli operatori a massima precisione (24 bit).

Come atteso, nel caso con $n_{f \in B, MAX} = -57dB$ le WL hanno valore diverso, compresi tra 1 e 4, mentre in quello con specifica più rilassata hanno valore unitario.

2.3.2 Funzione Newton di ricerca delle WL degli operatori

La funzione *Newton* per definire le WL degli operatori applica un algoritmo standard Newton, per la discesa rispetto le WL degli operatori, con

2. Dimensionamento del modulo Sigma Delta Digitale

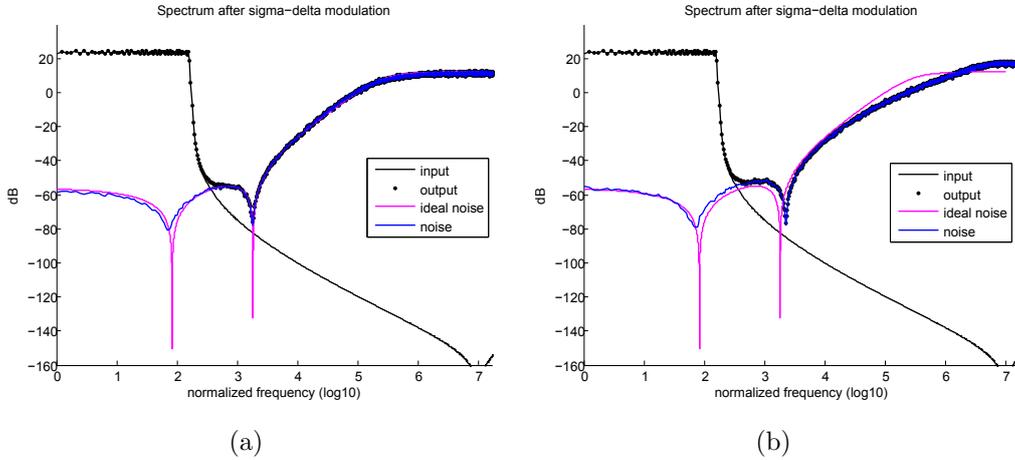


Figura 2.9: Risposta in frequenza con WL dei coefficienti ridotteper i due casi di studio: (a) $n_{Lim} = -57dB$; (b) $n_{Lim} = -40dB$

gradiente minimo su n : questo metodo permette di raggiungere un minimo locale.

In figura 2.3.2 è mostrato l'algoritmo: viene calcolata n per ogni direzione, cioè rispetto la riduzione della WL di un solo operatore alla volta. Successivamente è selezionata la n minima che determina quale WL debba essere ridotta definitivamente e ripristinate le altre. Il procedimento è ripetuto fino a quando sia rispettato il limite su n .

I risultati ottenuti per le due specifiche su n , dall'algoritmo, sono mostrati in tabella 2.3.2.

Nella prima colonna sono riportati i nomi dei segnali come definiti in figura 2.3 e nelle altre il numero di bit delle parole che codificano il segnale per i due casi di studio.

L'algoritmo nei due casi ($n_{Lim} = -57$ e -40), esegue la chiamata della funzione che simula il CRFB 78 e 144 volte.

Si può fare una stima delle LUT necessari con queste soluzioni delle WL, riferendosi alla equazione 2.2:

$$\begin{aligned} N_{met1,-57dB} &= 567 \\ N_{met1,-40dB} &= 334 \end{aligned} \tag{2.8}$$

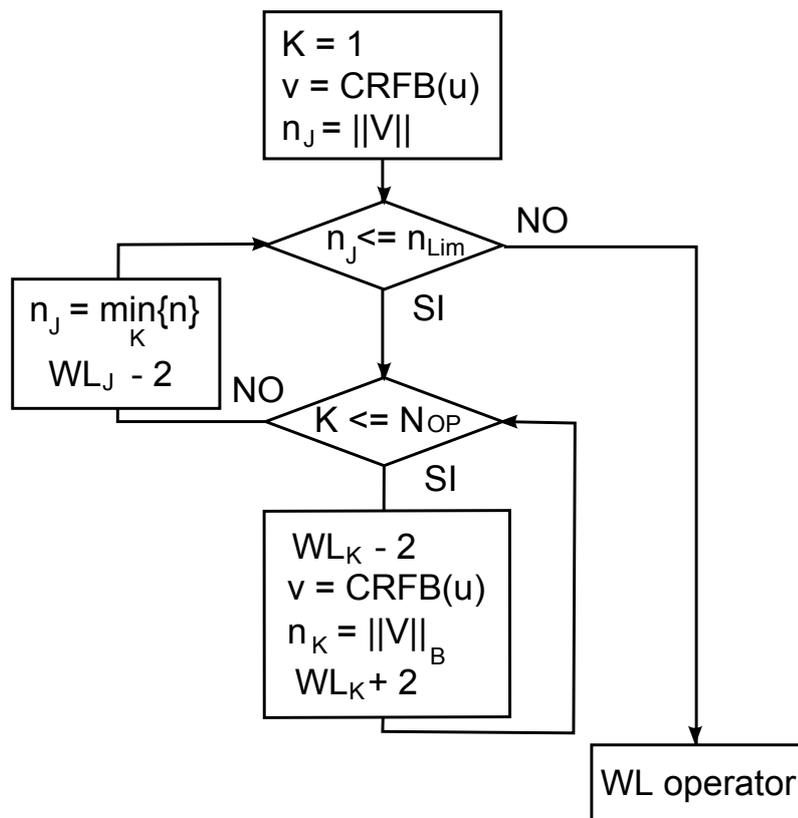


Figura 2.10: Procedimento Newton per le WL degli operatori

2. Dimensionamento del modulo Sigma Delta Digitale

Segnale	WL, $n_{Lim} = -57$	WL, $n_{Lim} = -40$
x_1	18	16
x_2	22	18
x_3	20	16
x_4	20	16
y	18	16
w	20	16
$x_{1,acc}$	20	18
$x_{2,acc}$	25	21
$x_{3,acc}$	23	19
$x_{4,acc}$	22	18

Tabella 2.7: WL per gli operatori definite dall'Algoritmo Newton per gli operatori

In figura 2.3.2 è mostrata la risposta in frequenza con le WL appena definite per $n_{Lim} = -57\text{dB}$ e per $n_{Lim} = -40\text{dB}$.

Il profilo di rumore del CRFB con il primo insieme di WL mostra una NTF poco degradata, rispetto a quella ideale, e il rumore in banda è minore di quello di soglia, quindi questo algoritmo ottiene una configurazione di WL che rispetta le specifiche.

Il secondo profilo di rumore mostra come prevedibile un livello di rumore in banda maggiore che è coerente con quanto atteso visto che rispetta le specifiche date.

2.3.3 Funzione Veloce di ricerca delle WL degli operatori

L'ulteriore funzione sviluppata per cercare le WL per gli operatori, implementa un algoritmo pensato per ridurre i tempi di calcolo rispetto a quello di tipo Newton.

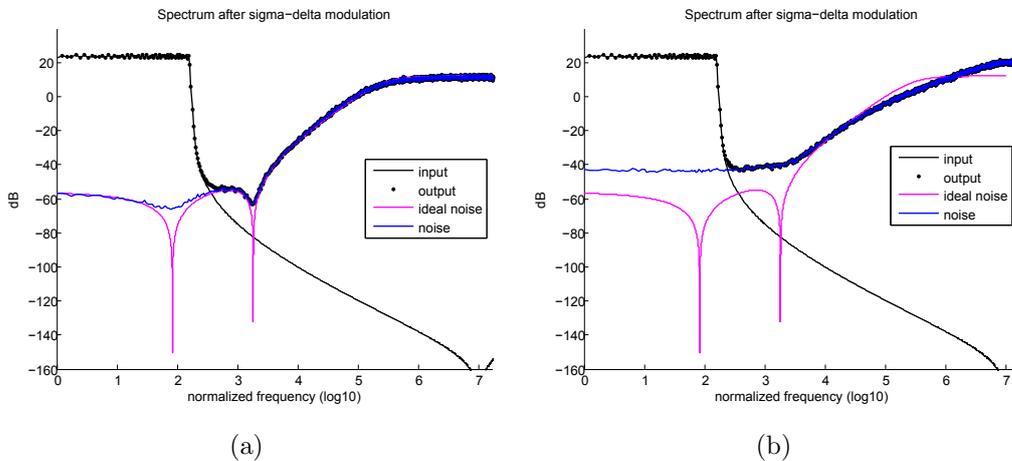


Figura 2.11: Risposta in frequenza con WL degli operatori ridotte con la funzione del procedimento Newton per i due casi di studio: (a) $n_{Lim} = -57dB$; (b) $n_{Lim} = -40dB$

L'algoritmo si basa sull'idea che sia possibile, studiando un operatore alla volta, estrarre delle informazioni sul comportamento complessivo del sistema al variare contemporaneo delle WL di tutti gli operatori. Questo procedimento a posteriori ha dimostrato estrarre dei valori accettabili, se confrontati con il precedente. In figura è mostrato il funzionamento dell'algoritmo. Si suddivide in due fasi: nella prima viene fatto variare un solo operatore per volta mentre gli altri hanno WL massima, e nella seconda vengono sfruttate le informazioni raccolte per determinare il vettore di WL.

Nella prima parte vengono fatti un numero di cicli pari a quello degli operatori, per determinare le WL minime associate ad ognuno di questi. Le WL sono calcolate con le quelle dei restanti operatori al valore massimo. Una volta conclusa questa fase sono collezionate le WL minime e le n_i corrispondenti per ogni operatore. Il set di WL risultante non dovrebbe verificare la specifica sul rumore, essendo che ogni WL_i è stata determinata separatamente: se accade vengono aumentate contemporaneamente le WL associate a più operatori contemporaneamente. Il criterio per incrementarle consiste nel considerare le n_i precedentemente collezionate, e definire un incremento

2. Dimensionamento del modulo Sigma Delta Digitale

proporzionale per le WL corrispondenti. Ogni salto risulta essere il più efficace tra quattro tentativi di salto differenti; viene selezionato quello migliore dal punto di vista del rumore e dei bit incrementati. Quando viene soddisfatta la specifica sul rumore l'algoritmo si conclude. In caso contrario viene mantenuto l'incremento più efficiente e viene reiterata quest'ultima fase.

In figura 2.12 è mostrato un esempio semplificato dell'andamento delle WL nel caso di un problema con due operatori. Le coordinate del grafico corrispondono alle WL degli operatori. Nella prima fase vengono ridotte tutte le WL al minimo accettabile, come rappresentato dai due segmenti blu con origine nel punto (WL_{MAX}, WL_{MAX}) ; questi sono segmenti paralleli alle due direzioni essendo che le WL sono ridotte una alla volta.

La fase successiva è rappresentata dalla spezzata rossa, che parte dal punto che ha come coordinate le due WL minime e si sposta non più parallelo agli assi, ma con "salti" per più bit su entrambe le direzioni.

L'esecuzione dell'algoritmo richiede, nei casi di studio considerati 30 e 34 chiamate della funzione CRFB, essendo che compie un solo "salto" prima di raggiungere una serie di WL che dia $n \leq n_{Lim}$.

I risultati sono mostrati in tabella 2.3.3.

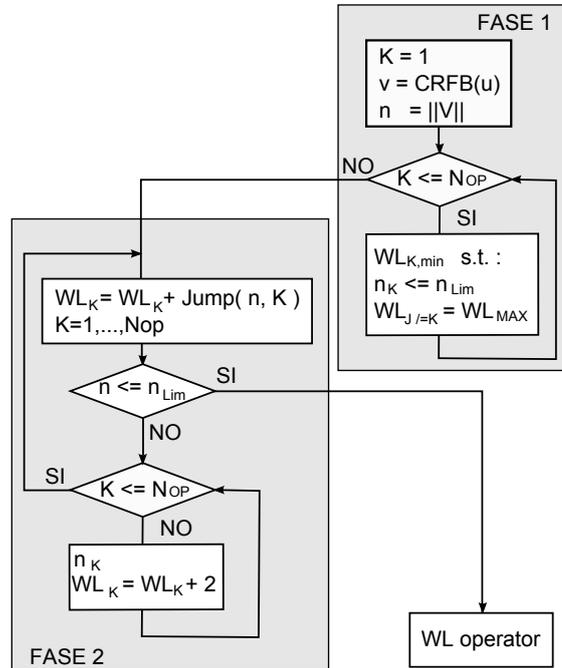
La tabella è strutturata come la precedente (Tabella 2.3.2).

In figura 2.3.3 è mostrata la risposta in frequenza del rumore per i due casi di studio.

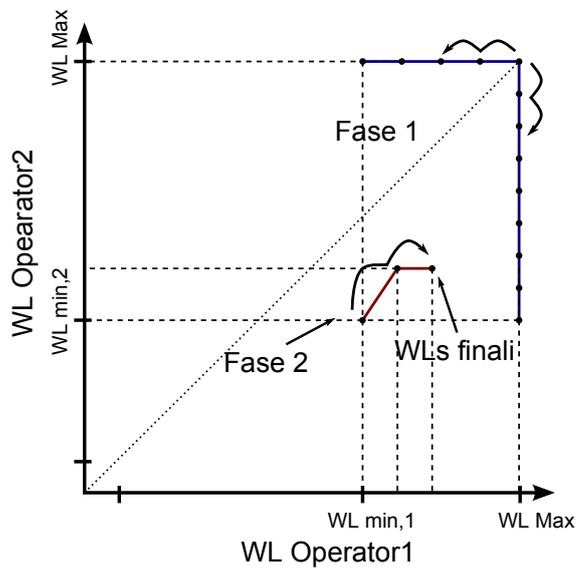
Il rumore del CRFB con il primo vettore di WL, come il precedente, ha una NTF accettabile che ha piccoli scostamenti da quella ideale e si mantiene sotto la soglia teorica di -57 dB: questo algoritmo ottiene una configurazione di WL che rispetta le specifiche per questo problema, analogamente al precedente.

Anche qui è utile stimare il numero di sommatori equivalenti:

$$\begin{aligned}
 N_{met2} &= \sum_{i=1}^{N_{add}+N_{acc}} SWL_{i \cdot} + \sum_{i=1}^{N_{mpy}} WL_{factor,i} \cdot (N_{coef,i} - 1) \\
 N_{met2,-57dB} &= 528 \\
 N_{met2,-40dB} &= 326
 \end{aligned} \tag{2.9}$$



(a) Algoritmo



(b) Esempio del percorso della funzione con due operatori, considerando le loro WL come variabili

Figura 2.12: Procedimento veloce per le WL degli operatori

2. Dimensionamento del modulo Sigma Delta Digitale

Segnale	WL, $n_{Lim} = -57$ dB	WL, $n_{Lim} = -40$ dB
x_1	20	16
x_2	22	18
x_3	20	16
x_4	22	20
y	20	16
w	18	14
$x_{1,acc}$	22	18
$x_{2,acc}$	25	21
$x_{3,acc}$	23	19
$x_{4,acc}$	24	22

Tabella 2.8: WL per gli operatori definite con l'Algoritmo Veloce

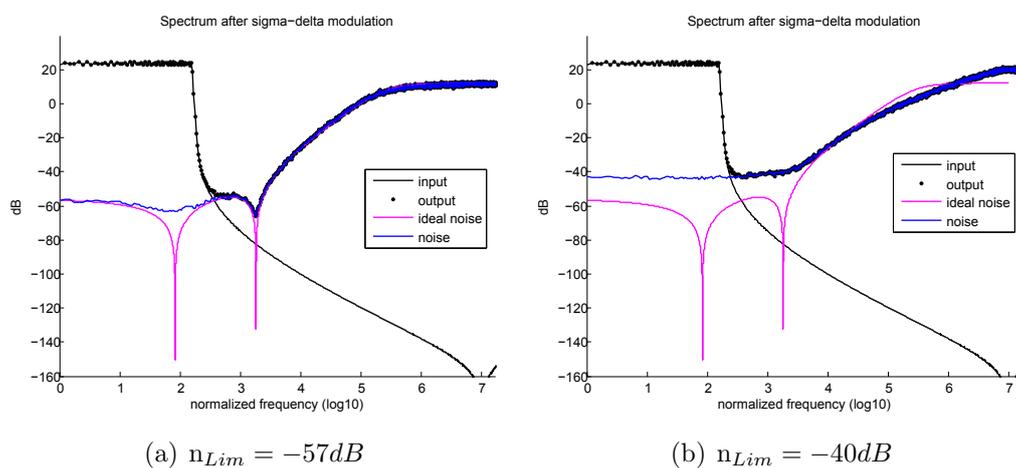


Figura 2.13: Risposta in frequenza con WL degli operatori ridotte con la funzione MATLAB che esegue il metodo Veloce

2.4 Scelta delle WL

I risultati ottenuti mostrano un profilo di rumore adeguato alle attese in entrambi i casi di studio. I due algoritmi per gli operatori determinano WL simili se si considerano le stime delle LUT. Risultano però differenti dal punto di vista dei tempi di calcolo: se si considera che è circa proporzionale al numero di chiamate della funzione che simula CRFB allora si ha un fattore circa di 7 di miglioramento sul secondo algoritmo.

L'algoritmo per i coefficienti risulta richiedere poco tempo, perché questi sono poco critici dal punto di vista del rumore e quindi sono sufficienti pochi passi per avere una serie accettabile.

Il numero di sommatori equivalenti stimato nei due casi è 372 e 190, scegliendo per i due casi di studio l'insieme minore di WL, i vettori scelti sono quelli definiti dall'Algoritmo Newton, mostrati in tabella 2.3.2, e che saranno utilizzati nell'implementazione vera e propria.

Capitolo 3

Realizzazione su scheda

In questo capitolo viene illustrata l'implementazione su scheda del modulo $\Sigma\Delta$ CRFB a virgola fissa. La realizzazione è stata fatta per i due casi considerati nel capitolo precedente: NTF in banda a -40 dB e -57 dB.

Viene presentata la scheda di supporto utilizzata, la sua programmazione, le misure effettuate ed i risultati ottenuti.

3.1 Scheda Spartan 3E ed implementazione

La scheda utilizzata è fabbricata dalla Xilinx, la Spartan xc3s500e-4fg320 [23], della famiglia Spartan 3e, mostrata in figura 3.1: presenta diversi componenti, tra cui un microcontrollore PicoBlaze, diverse porte di I/O, DAC ADC seriali, memoria flash e un FPGA.

La Xilinx mette a disposizione un tool di programmazione in linguaggio VHDL per la programmazione della scheda, *Xilinx ISE*, utilizzato per implementare e simulare il modulo, attraverso il simulatore di forme d'onda *Isim*.

Il sistema è stato programmato sull'FPGA della scheda. La matrice della FPGA è formata da blocchi logici (CLB). Ogni blocco contiene 4 slice che a loro volta sono formate da 2 look-up-tables (LUT), per implementare gli schemi combinatori e da due flip-flop (FF). Una LUT è una tavola di verità

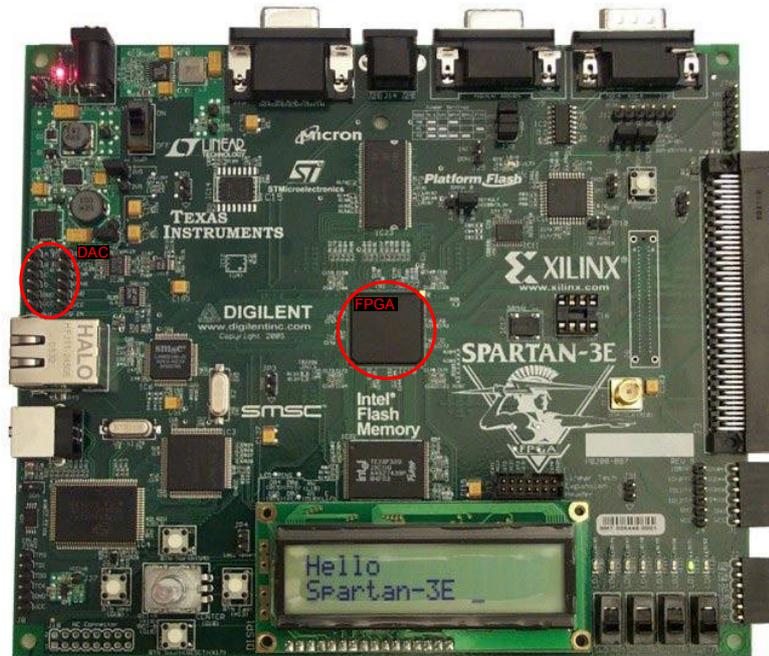


Figura 3.1: Scheda Spartan 3E della Xilinx

con quattro ingressi ed uscita, che permette di generare qualsiasi uscita in base a come viene programmata.

Questo motiva la scelta dei capitoli precedenti di considerare il numero di LUT necessarie alla programmazione dei vari elementi. L'FPGA della scheda utilizzata ha 4656 slice, che corrispondono a 9312 LUT.

Di seguito sono illustrate le implementazioni dei due moduli e quindi le misure fatte.

La prima realizzazione del modulo $\Sigma\Delta$ è riferita alla specifica di NTF in banda di -57 dB ed al relativo vettore di WL, tabella 2.3.1 per i coefficienti e tabella 2.3.3 per gli operatori.

Per generare i prodotti tra i coefficienti a_i ed il segnale w , è stato sfruttato il fatto che questi prodotti hanno tutti lo stesso segnale in ingresso, permettendo di ridurre il numero di somme parziali necessarie, come mostrato di

3. Realizzazione su scheda

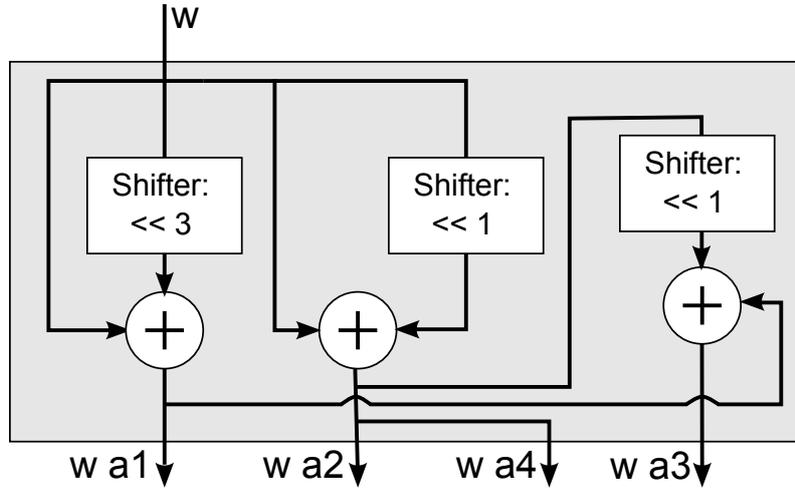


Figura 3.2: Generazione dei prodotti per i coefficienti a_i , nel modulo $\Sigma\Delta$ con specifica di NTF in banda a -57 dB

seguito:

$$\begin{aligned}
 a_1 &= "1001" \\
 a_2 = a_3 &= "11" \\
 a_4 &= (a_3 \&"0") + a_1
 \end{aligned}
 \tag{3.1}$$

applicando la proprietà associativa di somma e prodotto risulta possibile con tre sommatori ottenere tutti i prodotti come mostrato in figura 3.2, con un risparmio di calcoli e quindi d'area.

L'implementazione ha un occupazione d'area di 546 LUT che si discosta di poco da quello atteso.

La seconda realizzazione del modulo $\Sigma\Delta$ è riferita alla specifica di NTF in banda di -40 dB ed alle WL corrispondenti (Tabella 2.3.1 per i coefficienti e tabella 2.3.3 per gli operatori).

Questa implementazione ha un occupazione d'area di 349 LUT.

Al fine di misurare le prestazioni dei due schemi è stato approntato un banco di prova: un generatore di sinusoidi produce il segnale d'ingresso al $\Sigma\Delta$. I segnali generati hanno ampiezza uguale a 2 come i segnali in ingresso al $\Sigma\Delta$ nel modulatore PWM e l'uscita è comandata sul DAC della scheda. L'analisi è stata fatta misurando elettricamente le uscite del DAC con l'analizzatore

di spettro 35670A dell'Agilent.

3.2 Misure e risultati

Le misure sono eseguite con sinusoidi a frequenza:

$$f_s = [1, 2k, 4, 8K, 9, 6K]Hz \quad (3.2)$$

I campioni generati dalle simulazioni corrispondono uno ad uno rispetto i valori attesi da simulazione MATLAB, lo spettro delle risposte in frequenza del primo modulo CRFB, cioè con $NTF_{MAX,B} = -57$ dB è mostrato nelle figure 3.3, 3.4, 3.5. Gli stessi risultati sono mostrati con due differenti metodi di finestatura: *Hann* e *Flat Top*. Risulta presente il tono sinusoidale ed il tipico profilo di rumore del $\Sigma\Delta$. Nelle immagini è osservabile come il profilo di rumore del Sigma Delta Digitale, abbia una differenza in banda e fuori inferiore rispetto a quella attesa: questo avviene in quanto il DAC utilizzato è a 12 bit, e quindi ha un range dinamico non sufficiente a mostrare il profilo completo. Risulta comunque garantito il corretto funzionamento dalla corrispondenza dei campioni nel dominio del tempo.

Lo spettro delle risposte in frequenza del secondo modulo CRFB, cioè con $NTF_{MAX,B} = -40$ dB è mostrato in figura 3.6, 3.7, 3.8. Come prima sono utilizzate entrambe le finestrate. La differenza di potenza di rumore in banda e fuori risulta essere minore di quella attesa, come nel caso precedente, per lo stesso effetto dato dal rumore di quantizzazione del DAC a 12 bit.

3. Realizzazione su scheda

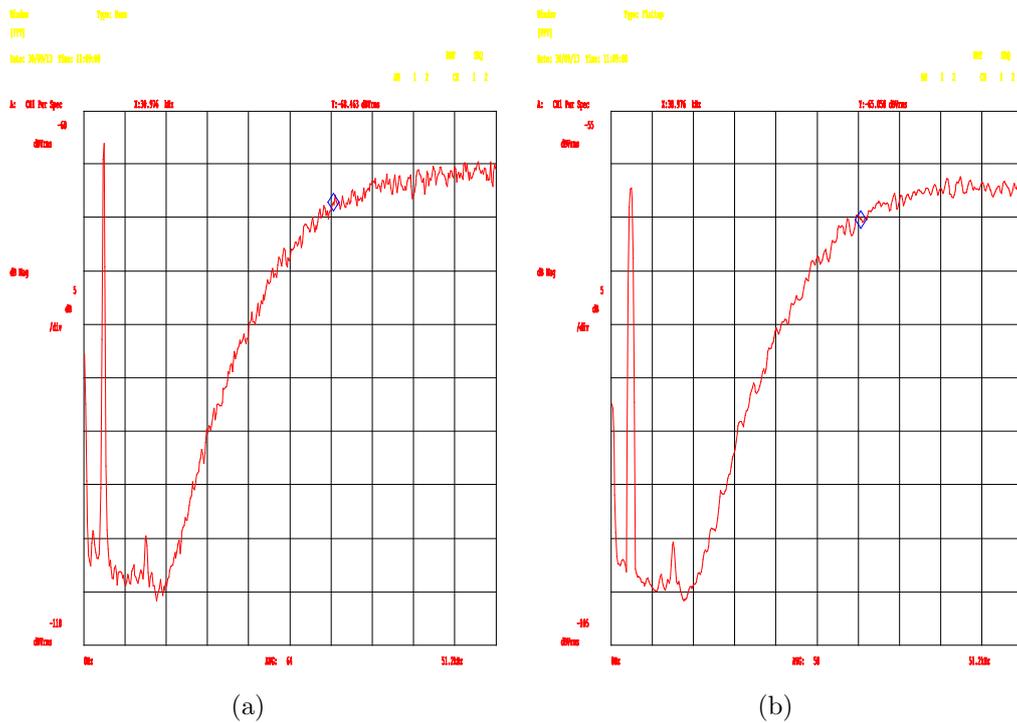


Figura 3.3: Risposta in frequenza del $\Sigma\Delta$ con $\text{NTF}_{MAX,B} = -57\text{dB}$. In ingresso sinusoide a frequenza 1.2 KHz: (a) con finestra Hann; in (b) con finestra FFlat Top

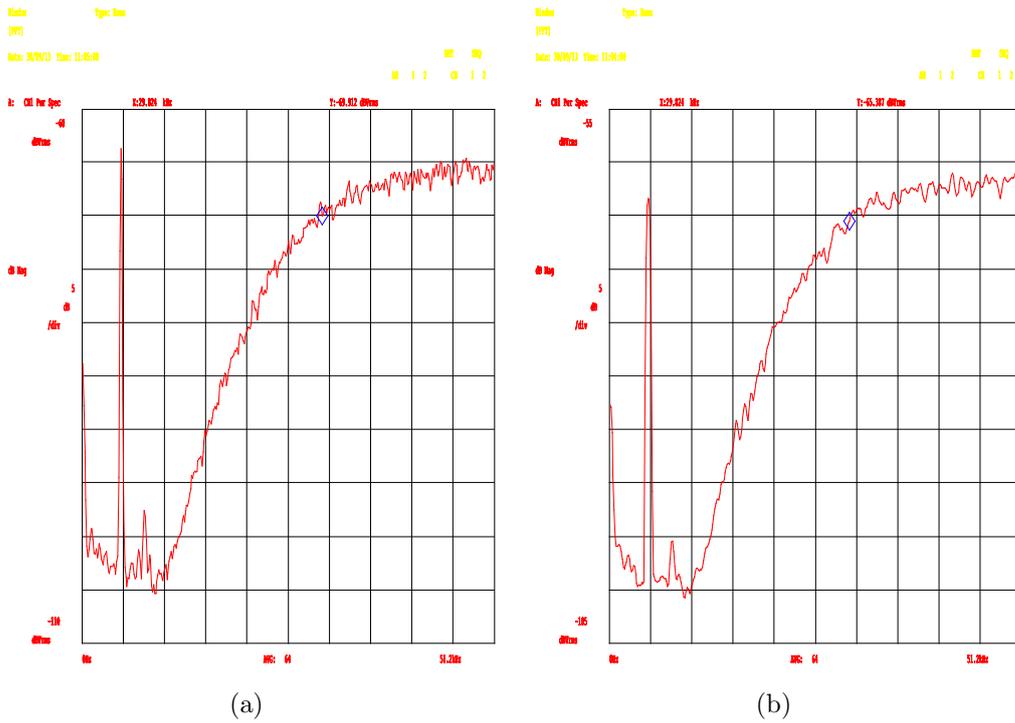


Figura 3.4: Risposta in frequenza del $\Sigma\Delta$ con $NTF_{MAX,B} = -57dB$. In ingresso sinusoide a frequenza 4.8 KHz: (a) con finestatura Hann; in (b) con finestatura Flat Top

3. Realizzazione su scheda

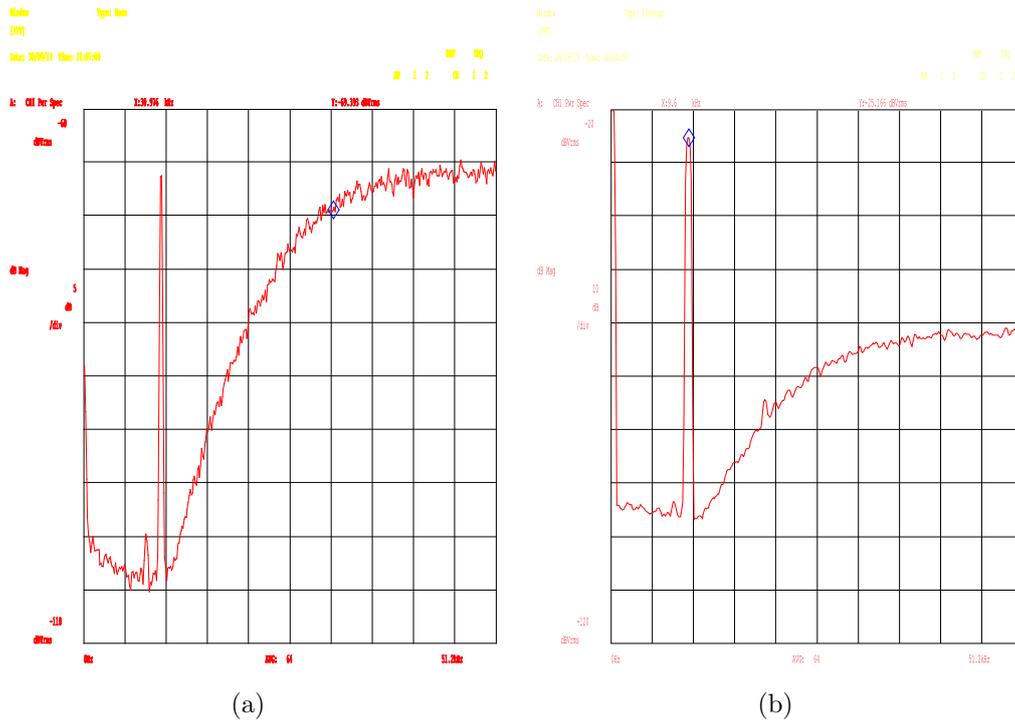


Figura 3.5: Risposta in frequenza del $\Sigma\Delta$ con $NTF_{MAX,B} = -57dB$. In ingresso sinusoide a frequenza 9.6 KHz: (a) con finestatura Hann; in (b) con finestatura Flat Top

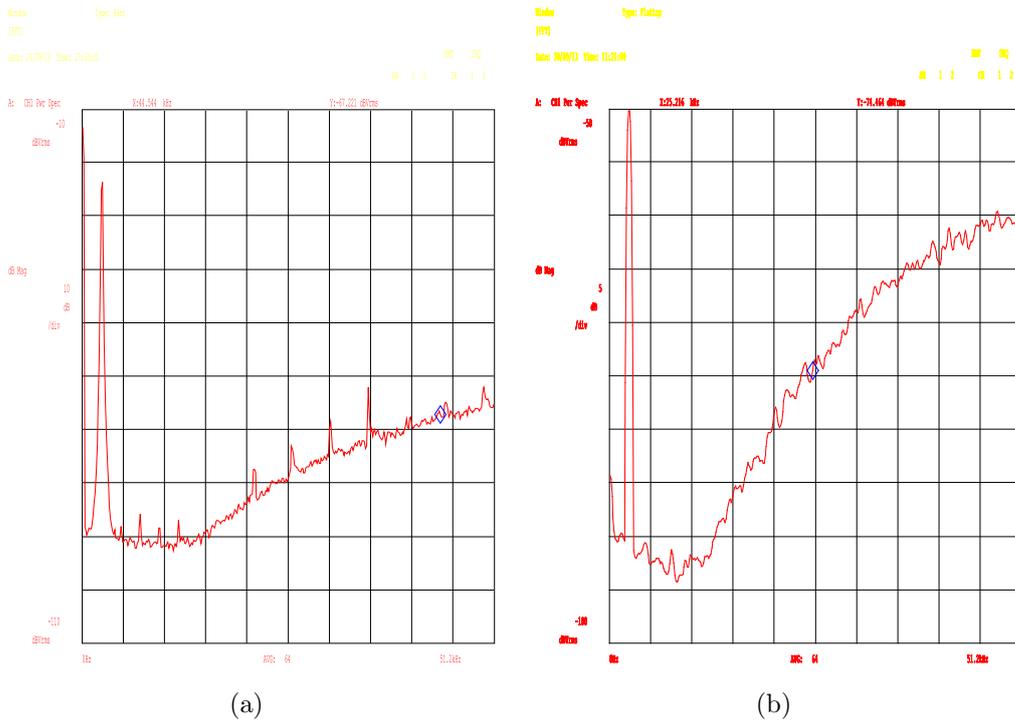


Figura 3.6: Risposta in frequenza del $\Sigma\Delta$ con $NTF_{MAX,B} = -40dB$. In ingresso sinusoide a frequenza 1.2 KHz: (a) con finestrata Hann; in (b) con finestrata FFlat Top

3. Realizzazione su scheda

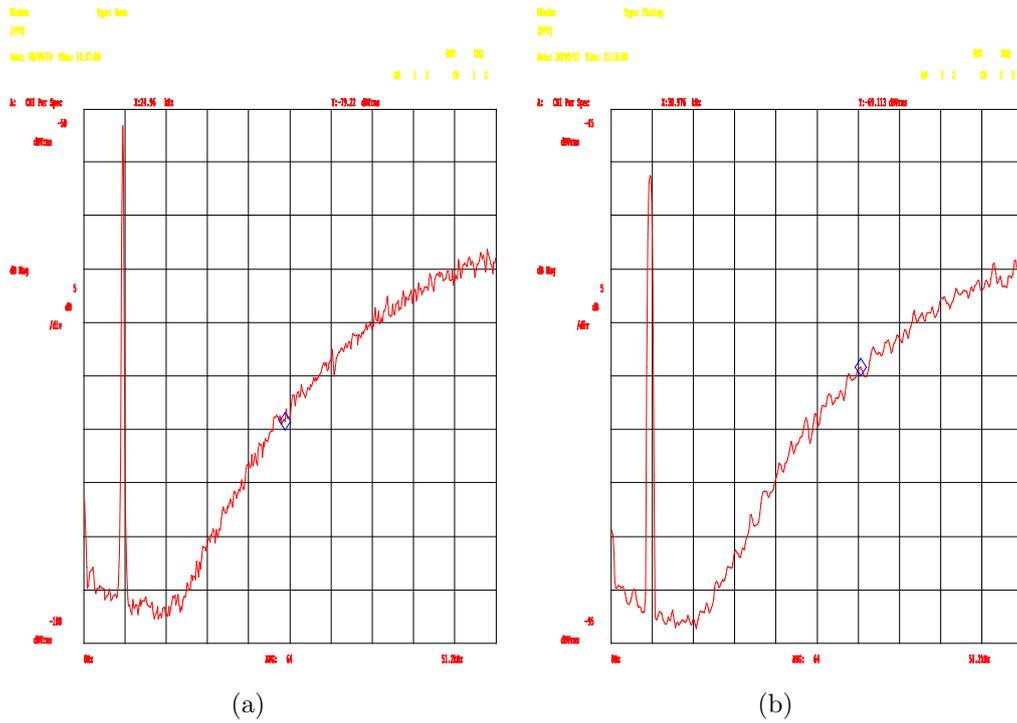


Figura 3.7: Risposta in frequenza del $\Sigma\Delta$ con $NTF_{MAX,B} = -40dB$. In ingresso sinusoide a frequenza 4.8 KHz: (a) con finestatura Hann; in (b) con finestatura FFlat Top

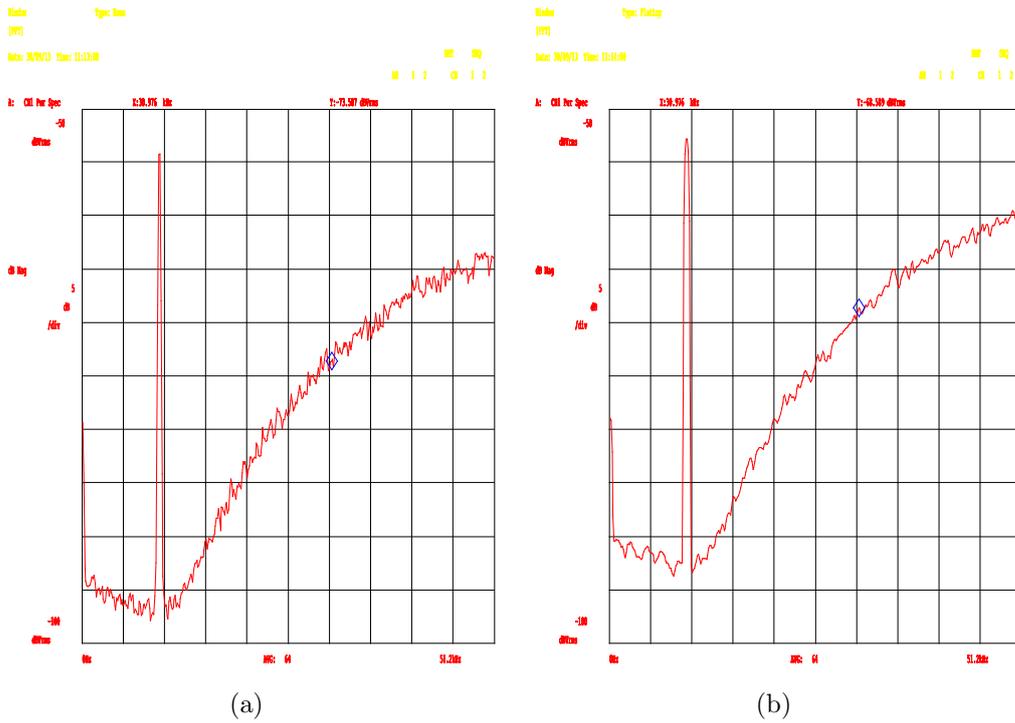


Figura 3.8: Risposta in frequenza del $\Sigma\Delta$ con $NTF_{MAX,B} = -40dB$. In ingresso sinusoide a frequenza 9.6 KHz: (a) con finestrata Hann; in (b) con finestrata Flat Top

Conclusioni

Questo lavoro è consistito nel dimensionare e implementare su FPGA, un modulo Sigma Delta Digitale, pensato come componente di un modulatore PWM che converte segnali PCM in analogici modulati. I parametri architettureali del modulo sono stati definiti in base alla struttura complessiva ed alle rispettive prestazioni: per il Sigma Delta Digitale quarto ordine, fattore di sovra-campionamento 11.5, il quantizzatore mid-rise a quattro bit, differenza di guadagno della funzione di trasferimento del rumore in banda e fuori banda di almeno 61 dB. L'architettura realizzativa è quella classica definita *Cascade Resonator in FeedBack* (CRFB).

L'implementazione è stata fatta, considerando come elemento da ottimizzare la quantità di risorse allocate su FPGA: sono stati considerati due casi di studio. Nel primo è stato dimensionato e implementato un modulo che ottiene un profilo di rumore congruente a quello ideale, nel secondo al fine di aver un risparmio di risorse è stato considerato un minore effetto di riduzione del rumore in banda. I due casi sono stati definiti considerando la media quadratica del rumore in banda base, della quale è stata definito il limite massimo rispettivamente di -57 dB e -40 dB.

Il sistema è non lineare e quindi si è resa necessaria un'analisi sul profilo del rumore del segnale d'uscita in relazione alle lunghezze delle parole dei segnali interni. Sono state fatte delle analisi euristiche con algoritmi di ricerca per ottenere un vettore di lunghezze che dia una soluzione accettabile. Una prima analisi è servita per ridurre l'insieme delle possibili combinazioni di lunghezze dei campioni, ed in una seconda fase sono state sviluppate delle

funzioni MATLAB per definire le lunghezze delle parole. Lo studio fatto ha un carattere generale ed è riutilizzabile per dimensionare moduli Sigma Delta Digitali generici.

I risultati ottenuti hanno permesso di realizzare i due moduli, in linguaggio VHD, sull'FPGA xc3s500e-4fg320, della scheda Spartan 3E. Le prestazioni ottenute dalle implementazioni sono in linea con quelle attese; considerando il numero di Slice necessarie, ovvero le celle che compongono la FPGA, le implementazioni ne richiedono: 524 e 349, rispettivamente per avere rumore in banda base a -57 e -40 dB.

L'ulteriore sviluppo è la realizzazione completa del modulatore PWM.

Bibliografia

- [1] “A Mixed-Signal Architecture for High-Fidelity Pulse Width Modulation”, S. Caporale, F. Pareschi, IEEE Member, V. Cambareri, R. Rovatti IEEE Fellow, G. Setti, IEEE Fellow (in fase di stesura)
- [2] Pulse Width Modulation for Power Converters: Principles and Practice. D. Grahame Holmes, Thomas A. Lipo, U.S.A., 2003, pp. 95-152
- [3] “Pulsewidth modulation-a survey,” Industrial Electronics, J. Holtz, IEEE, Transactions on, vol. 39, no. 5, pp. 410–420, 1992.
- [4] Power electronics. N. Mohan, T. Undeland, W. Robbins, Wiley, New York, 1995
- [5] “High-Fidelity PWM Inverter for Digital Audio Amplification: Spectral Analysis, Real-Time DSP Implementation, and Results” César Pascual, Zukui Song, Philip T. Krein, Fellow, IEEE, Dilip V. Sarwate, Fellow, IEEE, Pallab Midya, Senior Member, IEEE, and William (Bill) J. Roeckner
- [6] ”Hybrid pulse width modulation/sigma-delta modulation power digital-to-analogue converter “ Magrath, A.J. Sandler, M.B.
- [7] ”Comparative Analysis of PWM Techniques: Simulation and DSP Implementation” D. C. Rus, N. S. Preda, I. I. Incze

- [8] "New high accuracy pulse width modulation based digital-to-analogue convertor/power amplifier," J. M. Goldberg and M. B. Sandler, in *IEEE Proc.: Circuits, Devices, Syst.*, vol. 141, Aug. 1994, pp. 315–324.
- [9] "An FPGA implemented 24-bit audio DAC with 1-bit sigma-delta modulator" Xiaoxiao Li, A. Lee, Dec. 2010
- [10] "A review of sigma-delta modulation structures" Mathew, M.I., Lewis, C.P.
- [11] "An overview of sigma delta ADCs and DAC devices" Stewart, R.W.
- [12] R. E. Hiorns, J. M. Goldberg, and M. B. Sandler, "Design limitations for digital audio power amplification," M.Al-Janabi, Member IEEE; Izzet Kale, Member IEEE
- [13] "Stability Analysis of Higher-Order Delta-Sigma Modulators for Sinusoidal Inputs" Jaswinder Lota, MIEEE, Mohammed Al-Janabi, MIEEE
- [14] "'The Application of Monte Carlo Analysis in the Sigma-Delta Modulators Stability Design " Chen Yueyang, Zhong Shun'an, Dang Hua'
- [15] Sigma Delta toolbox di Matlab, (online):
<http://www.mathworks.com/matlabcentral/fileexchange/19-delta-sigma-toolbox>
- [16] Dispense di Elaborazione elettronica dei segnali digitali LS, G. Baccharani (online):
http://didattica.arces.unibo.it/file.php/2/Elaborazione_elettronica_dei_segnali_digitali/Dispense/dsp.pdf
- [17] W. Sung and K.-I. Kum, "Simulation-Based Word-Length Optimization Method for Fixed-Point Digital Signal Processing Systems," *IEEE Trans. Signal Processing*, vol. 43, no. 12, pp. 3087–3090, 1995.

BIBLIOGRAFIA

- [18] G. A. Constantinides, P. Y. K. Cheung, and W. Luk, “Wordlength Optimization for Linear Digital Signal Processing,” *IEEE Trans. Computer-Aided Design*, vol. 22, no. 10, pp. 1432–1442, 2003.
- [19] D.-U. Lee, A. Gaffar, R. Cheung, W. Mencer, O. Luk, and G. Constantinides, “Accuracy-Guaranteed Bit-Width Optimization,” *IEEE Trans. Computer-Aided Design*, vol. 25, no. 10, pp. 1990–2000, 2006.
- [20] L. Jackson, “Roundoff-noise analysis for fixed-point digital filters realized in cascade or parallel form,” *IEEE Trans. Audio Electroacoust.*, vol. 18, pp. 107–122, Jun 1970.
- [21] “Fast fixed-point optimization of DSP algorithms” G. Caffarena, C. Carreras, J.A. Lopez, A. Fesrnandez, Dec. 2010.
- [22] Chung-Ming Hsieh, Hung-Wei Chiu, “Sigma Delta Modulator Design Automation”, *Communications, Circuits and Systems*, pp 1034-1038, International Conference on Kokura, July 2007
- [23] Datasheet scheda spartan 3E (online) <http://www.xilinx.com/support/documentation/data.sheets/ds312.pdf>