

**ALMA MATER STUDIORUM
UNIVERSITA' DI BOLOGNA SEDE DI CESENA**

SECONDA FACOLTA' DI INGEGNERIA CON SEDE A CESENA
CORSO DI LAUREA IN INGEGNERIA ELETTRONICA E DELLE
TELECOMUNICAZIONI

**DISPOSITIVI FPGA DI ULTIMA GENERAZIONE:
ANALISI E CONFRONTO**

ELABORATO IN
ELETTRONICA DEI SISTEMI DIGITALI

Relatore:
Dott. Ing. Aldo Romani

Tesi di Laurea presentata da:
Caligari Christian
Matricola n. 0000352057

TERZA SESSIONE DI LAUREA

ANNO ACCADEMICO 2011/2012

Introduzione

Questa tesi si prefissa l'obiettivo di analizzare l'evoluzione dei sistemi FPGA nel corso degli anni, evidenziando le novità e gli aspetti tecnici più significativi che ogni famiglia ha introdotto.

Il primo capitolo avrà il compito di mostrare l'architettura ed il funzionamento generale di un FPGA, cercando di illustrare i punti focali che caratterizzano questi dispositivi.

Il secondo capitolo introdurrà i dispositivi FPGA Xilinx e mostrerà le caratteristiche tecniche di ogni singolo device di questa azienda.

Il terzo capitolo, così come il secondo, mostrerà le caratteristiche tecniche degli FPGA dell'altra azienda leader del settore, ossia Altera.

Il quarto ed ultimo capitolo, invece, metterà a confronto alcuni dei parametri fondamentali di un FPGA utilizzando metodi grafici.

INDICE

1. I dispositivi FPGA	6
1.1. I dispositivi programmabili	6
1.2. FPGA oggi	7
1.3. Architettura interna FPGA	10
1.3.1. Logic Array Block	11
1.3.2. Elementi logici	14
1.3.3. Memoria integrata	20
1.3.4. Global clock network e phase-locked loop	24
1.3.5. Struttura di un IOE	28
2. FPGA Xilinx	31
2.1. Spartan-3	31
2.2. Spartan-6	33
2.3. Virtex-4	35
2.4. Virtex-5	38
2.5. Virtex-6	41
2.6. Serie-7	43
3. FPGA Altera	48
3.1. Cyclone	48
3.2. CycloneII	48
3.3. CycloneIII	49
3.4. CycloneIV	50
3.5. CycloneV	52
3.6. ArriaGX	62
3.7. ArriaII	64
3.8. ArriaV	66

3.9. Stratix	69
3.10. StratixII	70
3.11. StratixIII	71
3.12. StratixIV	72
3.13. StratixV	77
3.14. Tecnologie future	79
4. FPGA a confronto	80
4.1. Legge di Moore	80
4.2. Confronto tra FPGA Altera Cyclone	81
4.2.1. Frequenza nei dispositivi Cyclone	84
4.3. Confronto tra FPGA Altera Arria	85
4.4. Confronto tra FPGA Altera Stratix	88
4.5. Confronto tra le famiglie Altera	91
4.6. Confronto tra FPGA Xilinx Spartan	92
4.7. Xilinx Virtex e Serie-7	93
Bibliografia	95
Ringraziamenti	97

Capitolo 1

I dispositivi FPGA

1.1. I dispositivi programmabili

Alla base dell'elettronica digitale vi sono le porte logiche che, a seconda della combinazione con le quali sono collegate tra di loro, producono una funzione logica descritta dalla logica booleana.

Alcune delle famiglie logiche più importanti sono:

- TTL (Transistor to Transistor Logic)
- ECL (Emitter Coupled Logic)
- I²L (Integrated Injection Logic)
- MOS (Metal Oxide Semiconductor)
- CMOS (Complementary MOS)

In generale tutte le famiglie logiche possono essere divise in due gruppi:

- Famiglie logiche bipolari (TTL, ECL, I²L)
- Famiglie logiche unipolari (MOS, CMOS)

Le famiglie bipolari utilizzano i diodi ed i transistor a giunzione per implementare il singolo elemento logico mentre le famiglie unipolari utilizzano i MOSFET (Metal Oxide Semiconductor Field Effect Transistor).

La differenza sta nel fatto che nelle famiglie bipolari la corrente circolante nel circuito è funzione dei portatori maggioritari e minoritari, mentre in quelle unipolari essa è funzione solo dei portatori maggioritari.

Nascita dei dispositivi programmabili

Utilizzare componenti discreti per implementare funzioni logiche ha un limite: i dispositivi prodotti non sono riprogrammabili.

Così negli anni '80 nascono i PLD (Programmable Logic Device) i quali consentivano di realizzare funzioni logiche bruciando le connessioni tra i diodi grazie a dei fusibili. Questi dispositivi rappresentano, quindi, il primo abbozzo di logica programmabile e sono il capostipite di una lunga serie di tecnologie più o meno riuscite che ci hanno portato alle FPGA di oggi.

Oggi l'industria FPGA ha una quota di mercato di miliardi di dollari, a simboleggiare l'importanza che le logiche programmabili hanno avuto e hanno nella storia dell'elettronica.

Oggi esistono dispositivi di capacità logica equivalente a milioni di gate e si sono raggiunte dimensioni dell'ordine dei nanometri riducendo costi e consumi di potenza.

1.2. FPGA oggi

Per realizzare questo capitolo ci si è avvalsi di guide come riportato in [1] e [2] e dei datasheet Altera e Xilinx come riportato nella bibliografia .

FPGA è l'acronimo di Field Programmable Gate Array, ossia un insieme di porte logiche programmabili. Un FPGA è, quindi, una matrice di elementi più o meno complessi che possono essere configurati in maniera tale da realizzare le funzioni logiche desiderate. Le connessioni tra i vari elementi possono essere programmate e stabilite dall'utilizzatore per creare l'applicazione desiderata. Le FPGA ereditano il concetto di riprogrammabilità proprio dei microcontrollori con la differenza che , in queste, le funzionalità vengono realizzate per via hardware mediante l'interconnessione di porte logiche e non eseguendo un codice applicativo.

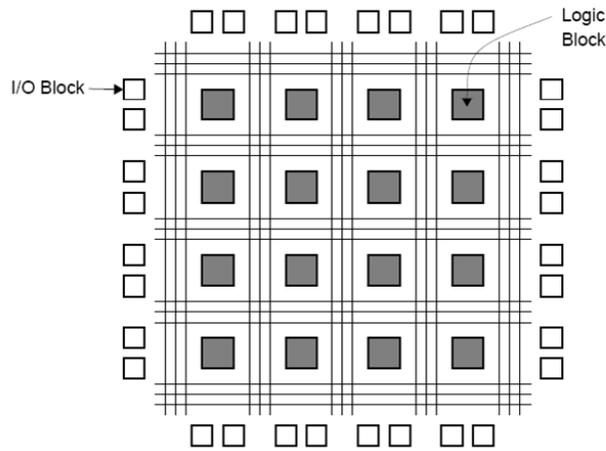


Figura 1

Rappresentazione schematica dell'architettura di un FPGA, come riportato in [2]

Per la realizzazione dei dispositivi FPGA vengono utilizzate principalmente tre tecnologie:

- Antifuse
- Flash
- RAM statica

La tecnologia antifuse

I dispositivi antifuse sono caratterizzati da tanti moduli logici semplici con funzionalità predefinite che sono connessi tra loro mediante antifusibili.

Gli antifusibili sono normalmente aperti e diventano dei cortocircuiti quando vi viene fatta passare una certa quantità di corrente. Cortocircuitando gli antifusibili viene quindi creata la connessione tra i moduli.

Ovviamente, anche quando l'alimentazione viene rimossa le connessioni rimangono invariate.

I vantaggi di questa tecnologia sono una minore dissipazione di potenza, l'immediata operatività all'accensione, ritardi di propagazione molto bassi e una riduzione dell'area di silicio occupata.

Gli svantaggi sono dati da una minore capacità logica rispetto ad altre tecnologie, la non riprogrammabilità del componente ed il fatto che la programmazione debba essere effettuata prima del montaggio su scheda.

Il principale produttore di FPGA in tecnologia antifuse è la *Actel*.

La tecnologia Flash

Nei dispositivi flash gli elementi di interconnessioni programmabili si basano su switch realizzati, appunto, in tecnologia flash.

Ogni switch è realizzato mediante un transistor con *floating gate*, ovvero materiale conduttivo, rivestito di isolante e disposto tra gate e canale, utilizzato per memorizzare la carica; un secondo transistor è utilizzato per il read-back e la verifica della configurazione dello switch. Quando è abilitato, lo switch assicura una connessione a bassa resistenza.

Anche le FPGA in tecnologia flash sono non volatili ma a differenza delle antifuse sono riprogrammabili sebbene la riprogrammazione richieda tensioni diverse da quelle di normale funzionamento. Per questo motivo, il numero di cancellazioni e programmazioni di un FPGA di questo tipo è ben preciso e si aggira sulle centinaia di volte.

La tecnologia SRAM

Questa tecnologia è abbastanza diversa dalle altre due. In questo caso le funzioni logiche non vengono realizzate connettendo tra loro delle primitive ma impiegando una LUT (Look-Up Table).

Una LUT è una memoria statica a n bit di indirizzamento; data una funzione logica di n variabili e nota la sua tabella delle verità, il valore della funzione per una qualsiasi combinazione degli ingressi è programmato dalla LUT all'indirizzo corrispondente a quella stessa combinazione di ingressi.

Quindi, una LUT ad n ingressi può implementare una qualsiasi funzione logica di n variabili.

Per creare le LUT vengono usate celle di memoria riprogrammabili e per connettere più LUT tra di loro viene creata una rete di linee di distribuzione di segnali.

I vantaggi dei dispositivi ad SRAM sono l'elevata capacità logica ed il livello di integrazione, la frequenza di funzionamento ed i costi minori. Altro punto a favore è la possibilità di riprogrammare i dispositivi in totale libertà.

Le FPGA di tipo SRAM sono dispositivi volatili e quindi ad ogni accensione richiedono il caricamento della configurazione da una memoria esterna.

A seconda della complessità i tempi di programmazione possono risultare lunghi, il dispositivo non è quindi immediatamente funzionante al power-up.

I principali produttori di logiche programmabili in tecnologia SRAM sono *Xilinx e Altera*.

Dato che Xilinx e Altera coprono, insieme, quasi la totalità del mercato FPGA e dato che queste due aziende producono FPGA di fascia medio-alta in tecnologia SRAM, la tesi si focalizzerà su questi aspetti.

1.3. Architettura interna FPGA

Prima di poter elencare i dati e le caratteristiche di ogni FPGA bisogna esaminare e capire l'architettura interna di un FPGA.

Come campione di osservazione si prendono la serie Spartan-3 della Xilinx e la Cyclone di Altera in quanto, pur essendo ormai obsolete, possiedono tutte le caratteristiche principali di qualsiasi FPGA moderno.

Progettate appositamente per applicazioni a basso costo in produzioni di massa (e quindi per tutte le applicazioni consumer come sistemi di accesso a larga banda, video digitale, home networking) hanno segnato un abbassamento del costo per singolo pezzo e allo stesso tempo hanno aumentato le funzionalità.

L'architettura dei dispositivi FPGA si basa sul concetto di righe e colonne ed è divisa nei seguenti blocchi:

- CLB (Configurable Logic Block) o LAB (Logic Array Block): composti da elementi logici (LE) che a loro volta contengono le LUT ed altri elementi logici come flip-flop e latch necessari a svolgere le funzioni logiche richieste.
- Input/Output Block (IOB): consentono la connessione tra i segnali interni e i pin di input/output della FPGA. Questi blocchi sono formati da IOE (I/O Element)
- Blocco RAM: blocchi di memoria implementati all'interno degli FPGA
- Rete di clock globale

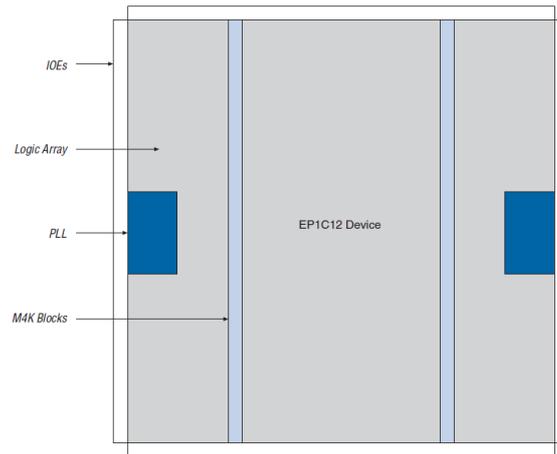


Figura 2

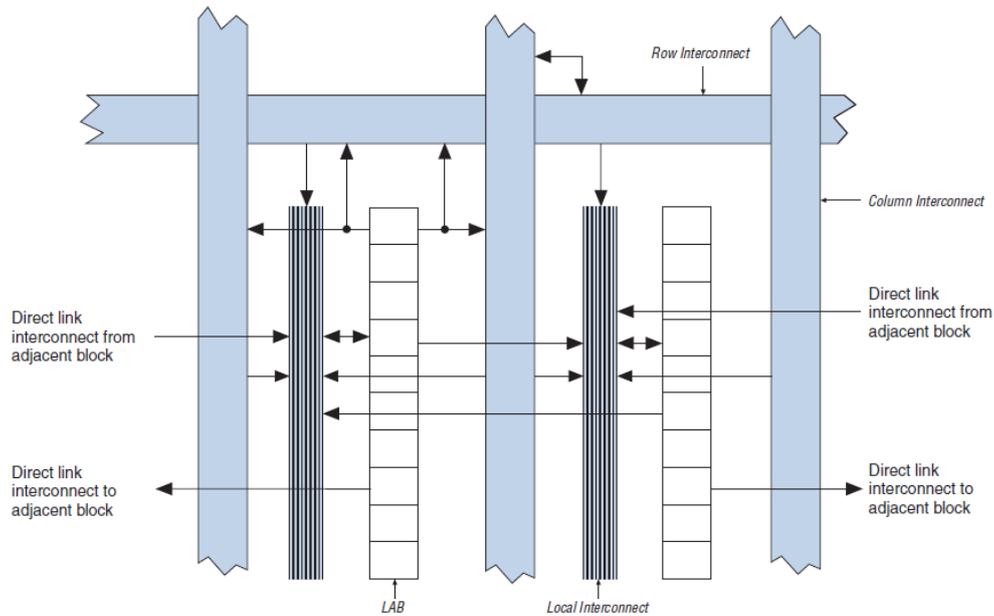
Diagramma a blocco di un FPGA Altera Cyclone, come riportato in [18]

1.3.1. Logic Array Block

Questo blocco comprende le risorse base per la realizzazione delle funzionalità logiche di un FPGA.

Ogni LAB consiste di vari LE, catene di riporto di LE, controllo del segnale LAB, una interconnessione locale, una catena LUT e linee di connessione alla catena di registri.

- La connessione locale trasferisce il segnale tra le LE nello stesso LAB.
- La catena LUT trasferisce l'uscita di un LE a quello adiacente nel caso ci sia una connessione tra LUT dello stesso LAB.
- La catena di registri trasferisce l'uscita di un registro relativo ad un LE ad un altro registro dello stesso LAB.

**Figura 3**

Struttura di un LAB di un FPGA Altera Cyclone, come riportato in [18]

-Interconnessioni LAB

Le interconnessioni locali possono pilotare LE dello stesso LAB. Queste interconnessioni sono, a loro volta, pilotate dalle interconnessioni tra colonne e righe e dalle uscite degli LE dello stesso LAB. Blocchi vicini di LAB, PLL e RAM possono pilotare una interconnessione locale attraverso la connessione a link diretto, la quale minimizza l'uso di interconnessioni tra colonne e righe, provvedendo ad alte prestazioni e flessibilità.

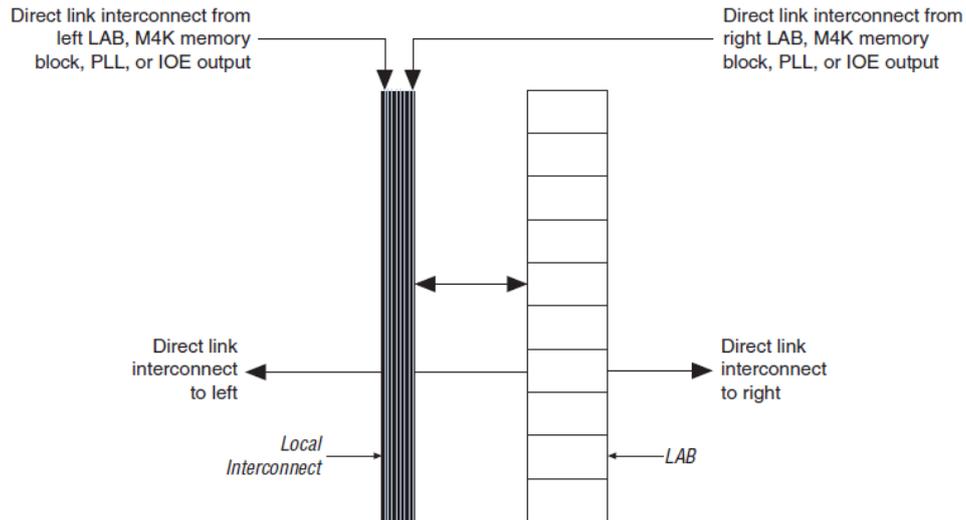


Figura 4

Connessione a link diretto di un FPGA Altera Cyclone, come riportato in [18]

-Segnali di controllo in LAB

Ogni LAB contiene logiche dedicate per pilotare segnali di controllo per i suoi LE. I segnali di controllo includono due clock, due clock enable, due clear asincroni, clear sincrono, preset/load asincrono, load sincrono e segnali di somma/sottrazione.

Questo dà un massimo di 10 segnali di controllo alla volta.

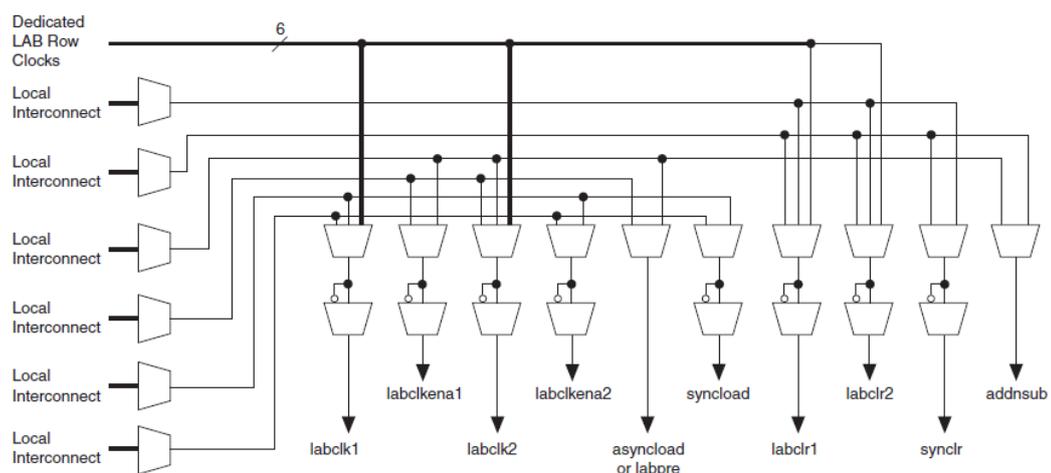


Figura 5

Segnali di controllo in LAB di un FPGA Altera Cyclone, come riportato in [18]

1.3.2. Elementi Logici

La più piccola unità logica dell'architettura di un FPGA è compatta e contiene una LUT (in questo caso a 4 ingressi) che è un generatore di funzioni che può implementare qualsiasi funzione a quattro variabili. Inoltre, ogni LE contiene un registro programmabile ed una catena di riporto. Un singolo LE può supportare sottrazioni e addizioni dinamiche a singolo bit. Ogni LE pilota tutti i tipi di interconnessione: locale, righe, colonne, catena di LUT, catena di registri e interconnessione a link diretto.

Ogni LE ha tre uscite che pilotano le risorse di routing locali, una colonna o una riga. Anche la LUT o il registro di uscita possono pilotare queste tre uscite. Ciò permette alle LUT di pilotare un'uscita mentre il registro ne pilota un'altra. Questa possibilità, chiamata *register packing*, migliora l'utilizzo del dispositivo in quanto quest'ultimo può usare il registro e la LUT per funzioni non correlate tra loro. Un'altra modalità di utilizzo consente all'uscita del registro di fare un *feed-back* della LUT dello stesso LE.

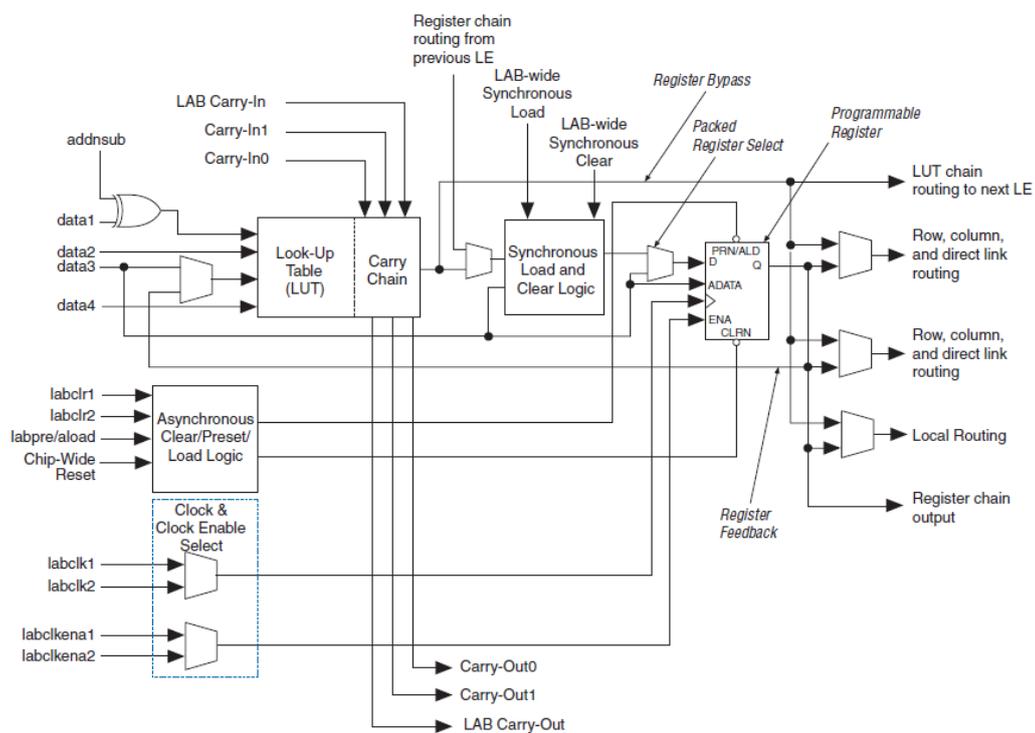


Figura 6

LE di un FPGA Altera Cyclone, come riportato in [18]

-LUT

La look-up table è una generatrice di funzioni basata su RAM ed è la principale risorsa per implementare funzioni logiche. Inoltre, una LUT può essere configurata come RAM distribuita oppure come shift register a 16 bit. Ogni LUT ha quattro ingressi ed una singola uscita e quindi, qualsiasi operazione logica booleana a quattro variabili può essere implementata in una LUT. Funzioni che richiedono più ingressi possono essere realizzate mettendo in cascata più LUT o usando la funzione multiplexer (combinandoli in maniera particolare). L'uscita di una LUT può connettersi alla logica multiplexer, al carry, alla logica aritmetica o direttamente all'uscita del LAB.

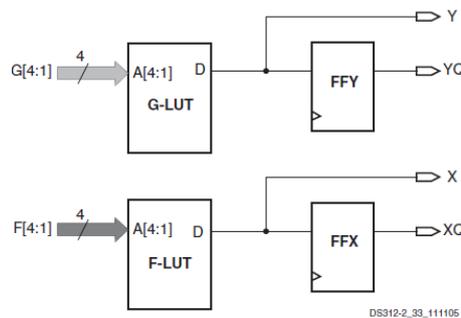


Figura 7

LUT, come riportato in [26]

-LUT Chain e Register Chain

Oltre alle tre uscite generali di routing, il LE di un LAB ha le uscite LUT chain e register chain. Le LUT chain consentono alle LUT di un LAB di avere una configurazione a cascata così da creare funzioni più complesse. Le register chain consentono ad un LAB di usare le LUT per una singola funzione combinatoria. Queste catene migliorano la velocità di connessione tra LAB in quanto si risparmiano risorse di interconnessione.

-addsub Signal

La caratteristica di sommare/sottrarre di un LE fa guadagnare risorse logiche usando un set di LE per implementare un sommatore o un sottrattore. Il

segnale che controlla questa parte di un LE è *addnsub* controllato dal LAB. Il segnale *addnsub* può fare svolgere sia una somma che una sottrazione (A+B ed A-B). La LUT calcola l' addizione mentre la sottrazione è calcolata aggiungendo i due complementi della sottrazione. Il segnale del LAB crea i due complementi invertendo il bit B e settando *carry-in=1* per aumentare di uno il LSB (Least Significant Bit).

-Modalità di operazione di un LE

Un LE può operare nelle due seguenti modalità:

- Normal mode
- Dynamic arithmetic mode

Ogni modo usa le risorse di un LE in maniera differente però per entrambi otto ingressi di un LE sono diretti a destinazioni diverse per avere la funzione logica desiderata.

I segnali provenienti dal LAB sono presenti in entrambe le modalità e provvedono al clock, ai segnali clear asincrono, preset/load asincrono, load sincrono ed al segnale di controllo per registri clock enable.

Il segnale *addnsub* è permesso solo nell' arithmetic mode.

Normal Mode

Questa modalità è utilizzata per applicazioni logiche generali e funzioni combinatorie.

Quattro dati di ingresso dall'interconnessione locale LAB sono immessi in un LUT a quattro ingressi. Il compilatore Quartus automaticamente seleziona il segnale *carry-in* o il segnale *data3* come uno degli input al LUT. Ogni LE può usare catene di LUT per pilotare l' uscita combinatoria direttamente al prossimo LE del LAB.

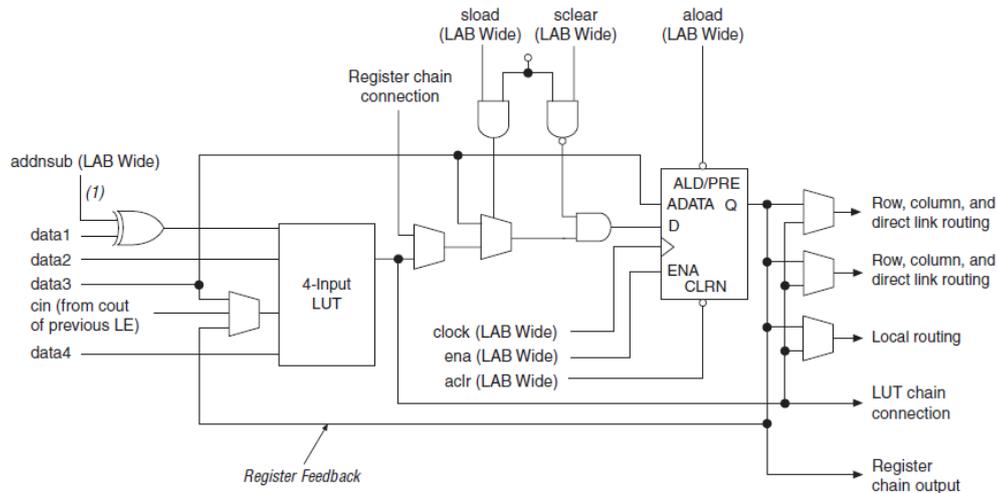


Figura 8

LE in Normal Mode, come riportato in [18]

Dynamic Arithmetic Mode

Questa modalità è ideale per implementare sommatore, contatori, accumulatori, funzioni di parità e comparatori. Un LE in dynamic arithmetic mode usa quattro LUT a due ingressi configurabili come un sommatore/sottrattore dinamico. I primi due LUT computano due sommatorie su un possibile carry-in di 1 o 0; le altre due LUT generano dei carry-outputs per le due catene del circuito carry select. Il segnale di carry-in del LAB seleziona o la catena *carry-in0* o la *carry-in1*. La catena scelta determina quale somma parallela è generata come un'uscita combinatoria o registrata.

Per esempio, quando viene implementato un sommatore, il valore in uscita è la selezione di due possibili somme calcolate:

$$data1 + data2 + carry-in0 \text{ oppure } data1 + data2 + carry-in1$$

Le altre due LUT usano i segnali *data1* e *data2* per generare due possibili segnali di carry-out (uno per un carry di 1 e l'altro per un carry di 0). Il segnale *carry-in0* diventa il carry select per l'uscita *carry-out0* e il segnale *carry-in1* diventa il carry select per l'uscita *carry-out1*. Gli LE in arithmetic mode possono pilotare versioni registrate o non registrate dell'uscita LUT.

Inoltre questa modalità offre clock enable, counter enable, controllo up/down sincrono, clear sincrono, load sincrono ed opzioni per sommatore/sottrattori dinamici.

L'interconnessione locale LAB di dati in ingresso genera il counter enable ed i segnali di controllo up/down sincroni. Il clear sincrono ed il load sincrono sono segnali provenienti dai registri del LAB.

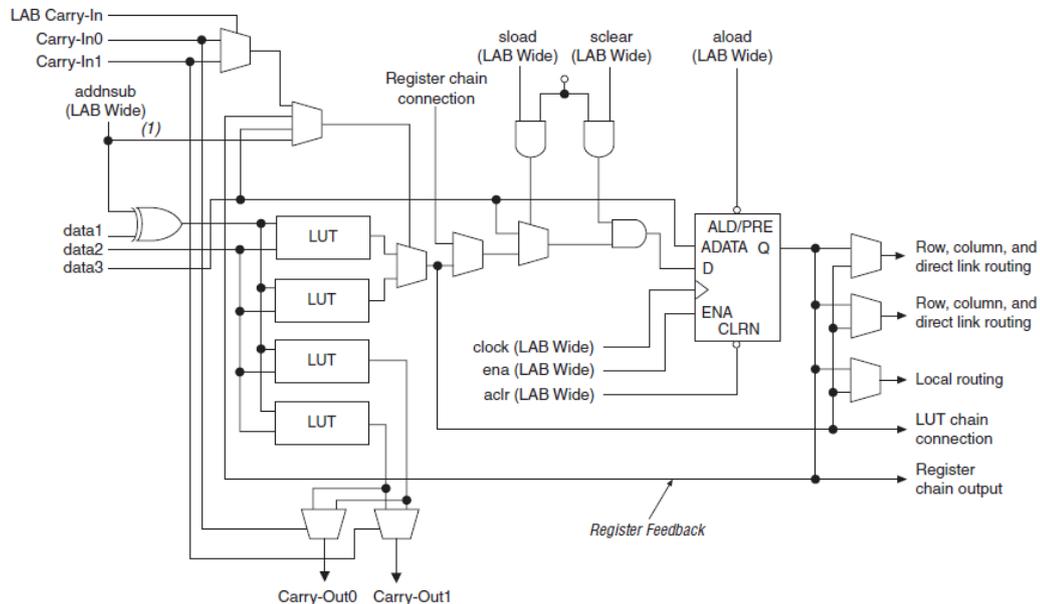


Figura 9,
LE in Dynamic Arithmetic Mode, come riportato in[18]

-Carry Select Chain

La carry-select chain permette una selezione di riporto (di una funzione) veloce tra le LE. Questa catena usa i calcoli di riporto ridondanti per aumentare la velocità delle funzioni. Gli LE sono configurati in modo da poter calcolare in parallelo i segnali *carry-in0* e *carry-in1*. Il vantaggio di velocità di questa catena sta nel precalcolo in parallelo. In questo modo l'unica criticità in gioco è il delay di propagazione del segnale tra un LE ed un altro.

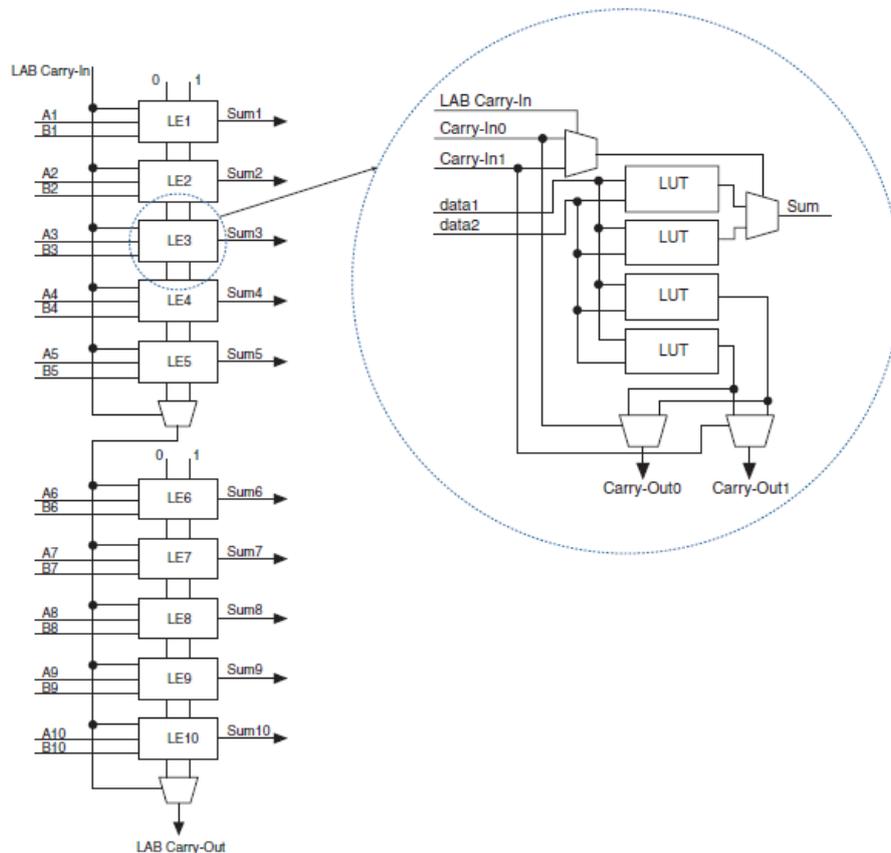


Figura 10 ,

Circuiteria carry-select in un LAB per un 10-bit full-adder, come riportato in[18]

Una porzione di LUT genera la somma di due bit usando i segnali di ingresso e il relativo bit di carry-in. La somma è portata in uscita del LE. Il registro può essere bypassato tramite un semplice sommatore oppure può essere usato come accumulatore di funzioni.

Un'altra porzione di LUT genera i bit di carry-out. Un bit di carry-in del LAB seleziona quale catena sarà utilizzata per compiere la somma. Il segnale di carry-in per ogni catena, seleziona il carry-out prendendo il segnale di carry-in del prossimo bit di ordine più alto. Il carry-out finale è mandato ad un LE che lo invierà ad una interconnessione locale, ad una riga o ad una colonna.

-Interconnessioni "MultiTrack"

Nell'architettura degli FPGA Altera, le connessioni tra LE, blocchi di memoria e pin di I/O sono definite dalla struttura di interconnessioni

MultiTrack con tecnologia DirectDrive. Questa struttura consiste in linee di routing con differenti velocità che collegano i vari blocchi. La tecnologia DirectDrive assicura lo stesso uso delle linee di routing per qualsiasi funzione in modo da non avere colli di bottiglia.

Le interconnessioni MultiTrack e la tecnologia DirectDrive semplificano l'integrazione tra blocchi eliminando cicli di routing superflui.

Le interconnessioni MultiTrack consistono in righe e colonne distanziate in modo fisso. In questo modo, le performance sono predicibili e ripetibili anche variando la densità di codice nel dispositivo.

-Moltiplicatori embedded

In aggiunta alla logica di riporto dedicata interna alle CLB, le FPGA Spartan-3 dispongono anche di un moltiplicatore embedded 18x18 in complemento a 2 che funziona fino ad una frequenza di clock di 250 MHz. Per realizzare funzioni più complesse possono essere connessi tra di loro fino a 104 moltiplicatori presenti all'interno della FPGA.

Un moltiplicatore a 32 bit in virgola mobile può, ad esempio, essere realizzato tramite quattro moltiplicatori embedded e della logica accessoria in CLB.

Oltre che fare moltiplicazioni di interi con e senza segno, i moltiplicatori embedded possono anche servire a creare funzioni logiche risparmiando, in questo modo, le risorse delle CLB.

Un registro a scorrimento, ad esempio, è realizzabile con un moltiplicatore se uno dei due operandi è il vettore da scorrere e l'altro la potenza di due pari al numero di bit da scorrere.

1.3.3. Memoria Integrata

La memoria integrata negli FPGA Cyclone consiste in colonne di blocchi di memoria da 4Kb. Alcuni dispositivi hanno una sola colonna mentre altri ne hanno due.

Ogni blocco può implementare vari tipi di memoria con o senza parità, includendo true dual-port, simple dual-port e single-port RAM, ROM e buffer FIFO.

I blocchi di memoria possono implementare queste caratteristiche:

- 4608 bit
- performance fino a 250 MHz
- memoria true dual-port
- memoria simple dual-port
- memoria single-port
- byte enable
- bit di parità
- shift register
- buffer FIFO
- ROM
- modalità con mixed clock

Gli FPGA Spartan-3 contengono blocchi di memoria embedded da 18 kbit, di cui 16 kbit utilizzabili come dati e 2 kbit riservati per il controllo di parità.

-Modalità della memoria

I blocchi di memoria da 4Kb offrono una modalità true dual-port per supportare qualsiasi combinazione di operazioni a due porte: due letture, due scritture, una lettura ed una scrittura a due differenti frequenza di clock.

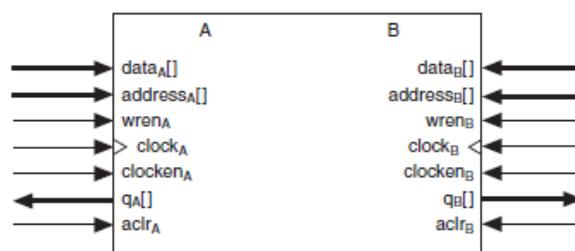


Figura 11

Configurazione di memoria true dual-port di un FPGA Cyclone, come riportato in [18]

Come scritto precedentemente, si possono avere configurazioni simple dual-port (supporta una lettura/scrittura simultanea) e single-port RAM (supporta letture/scritture non simultanee).

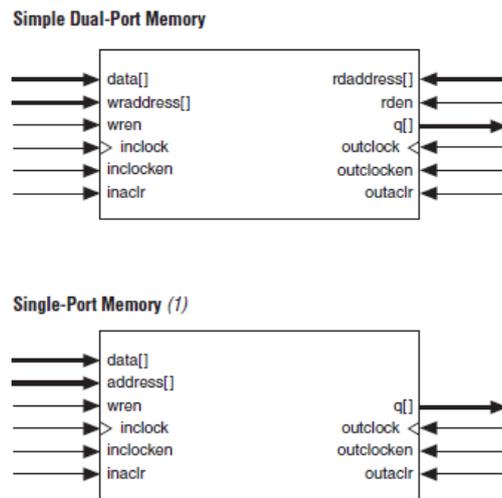


Figura 12

Configurazione di memoria simple dual-port e single-port di un FPGA Cyclone, come riportato in [18]

-Bit di parità

I blocchi di memoria supportano un bit di parità per ogni byte. Questo bit implementa un controllo di parità per assicurare l'integrità dei dati.

-Configurazione Shift Register

Si possono configurare i blocchi di memoria per implementare shift register per applicazioni DSP come generatori di numeri random, filtraggio multi-canale e auto-correlazione. Queste e tante altre applicazioni DSP richiedono un immagazzinamento di dati locale, che di solito è implementato con flip-flop che possono consumare velocemente molte celle logiche e connessioni. Quindi, usare la memoria integrata è un'alternativa più efficiente.

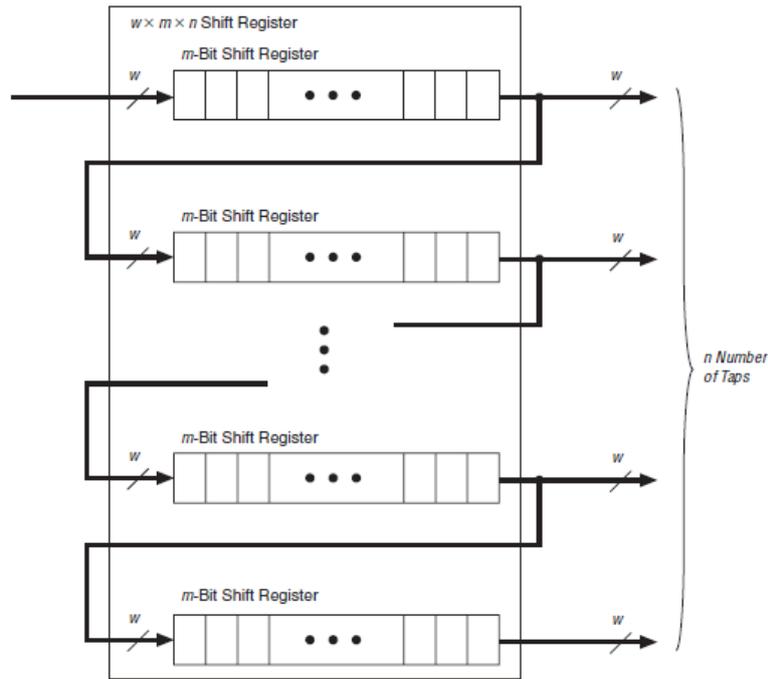


Figura 13

Configurazione di memoria shift register di un FPGA Cyclone, come riportato in [18]

Le dimensioni di uno shift register ($w \cdot m \cdot n$) sono determinate dalla ampiezza dei dati (w), dalla lunghezza dei collegamenti (m) e dal numero di quest'ultimi (n).

-Dimensioni configurazione memoria

La profondità di indirizzo di una memoria può essere configurata come 4096x1, 2048x2, 1024x4, 512x8, 256x16 e 128x32.

-In-System Flash

La peculiarità degli FPGA è la disponibilità di memoria flash (In-System Flash) riprogrammabile e non volatile.

La memoria ISF è organizzata in pagine, blocchi e settori:

una pagina consiste in 264 byte e rappresenta l'unità più piccola cancellabile;

un blocco è formato da 8 pagine ed un settore è di 32 blocchi, ovvero 66 Kbyte.

Sono previsti, in aggiunta, fino a due banche di memoria SRAM che consentono di memorizzare un'intera pagina. È anche disponibile un Security Register di capacità 128 byte scrivibile una sola volta che può essere utilizzato per memorizzare chiavi di cifratura o codici di sicurezza.

1.3.4. Global Clock Network e Phase-Locked Loop

-Global Clock Network

Ci sono quattro pin dedicati per il clock (CLK[3..0]) che pilotano la rete di clock globale.

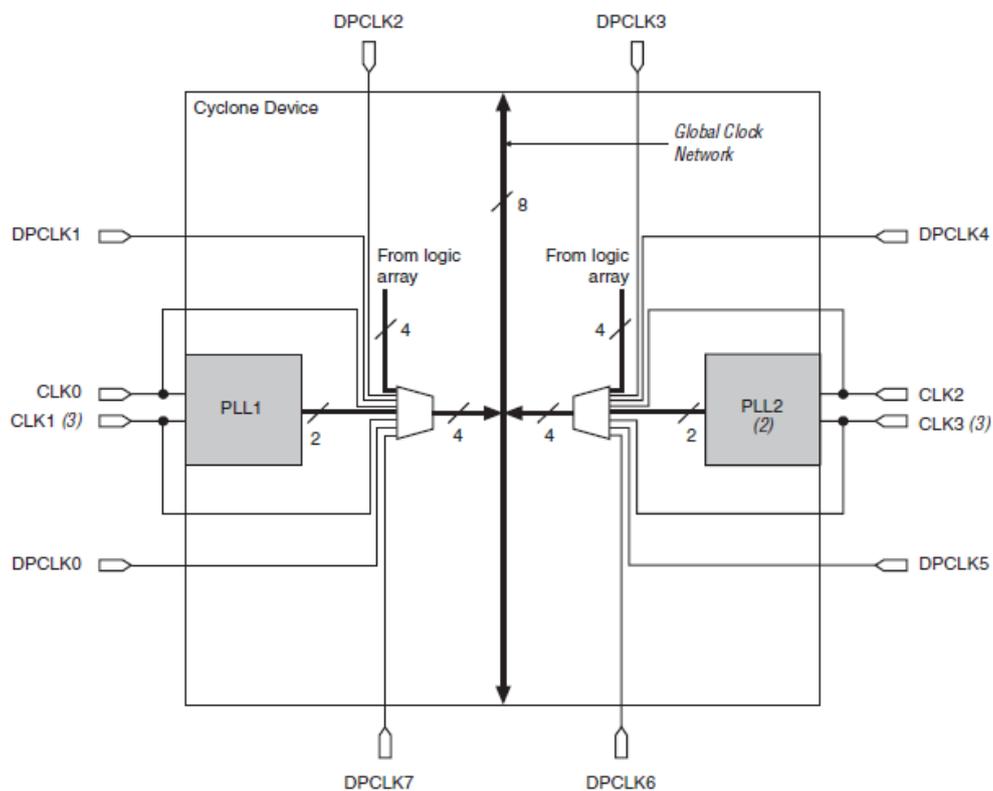


Figura 14

Generazione del clock globale di un FPGA Cyclone, come riportato in [18]

Le otto linee di clock globale viaggiano attraverso tutto l'FPGA e provvedono a tutte le risorse all'interno del dispositivo. Possono essere usate per il controllo di segnale, come clock enable, alimentazione (sincrona o asincrona) di pin esterni.

-Pin di Dual-Purpose Clock

Ogni dispositivo della famiglia Cyclone (eccetto Cyclone EP1C3) ha otto pin di clock dual-purpose (DPCLK[7..0]). Questi pin si possono connettere alla rete di clock globale per segnali di controllo ad alto fanout come clock, clear asincroni, preset e clock enable.

-PLL

I Phase-Locked Loop provvedono a creare clock general-purpose con moltiplicazioni e sfasamenti di clock così come uscite per supporti I/O differenziali. Gli FPGA Cyclone contengono due PLL (eccetto Cyclone EP1C3 che ne contiene uno)

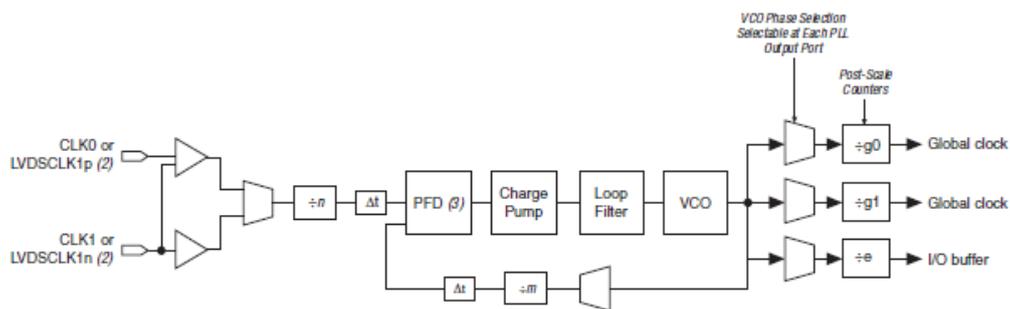


Figura 15

PLL di un FPGA Cyclone, come riportato in [18]

(2) L'ingresso LVDS (Low-Voltage Differential Signaling) è supportato dalla funzione secondaria dei pin di clock dedicati

(3) PFD: Phase Frequency Detector

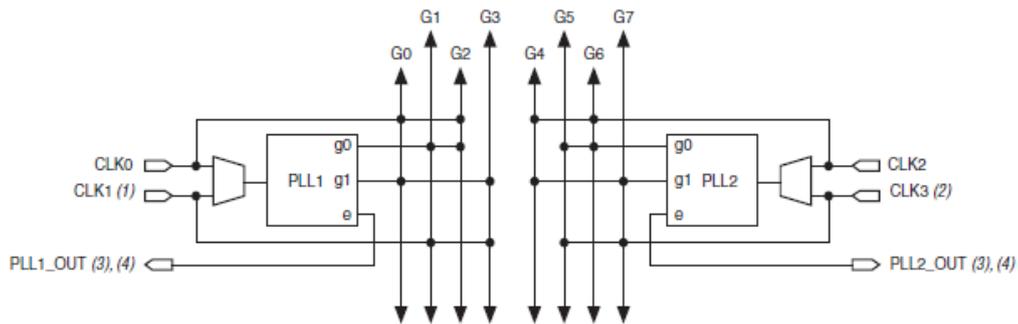


Figura 16

Connessioni del PLL al clock globale di un FPGA Cyclone, come riportato in [18]

- (1) PLL1 supporta un single-ended o un input LVDS tramite i pin CLK0 e CLK1
- (2) PLL2 supporta un single-ended o un input LVDS tramite i pin CLK2 e CLK3
- (3) PLL1_OUT e PLL2_OUT supporta single-ended o uscita LVDS

-Moltiplicazione e divisione di clock

I PLL degli FPGA Cyclone provvedono la sintesi del clock usando fattori di scaling $m/(n \cdot \text{post scale counter})$. Il clock in ingresso è diviso da un divisore pre-scale, n , ed è poi moltiplicato da un fattore di feedback m . Il loop di controllo pilota il VCO fino a raggiungere $f_{IN} \cdot (m/n)$. Ogni porta di uscita ha un unico post-scale counter da dividere fino alla frequenza del VCO.

Ogni PLL ha un divisore pre-scale, n , che può raggiungere il valore da 1 a 32. Ogni PLL ha un divisore di moltiplicazione, m , che può raggiungere un valore da 2 a 32. L'uscita di clock globale ha due divisori post-scale G e l'uscita di clock esterno ha un divisore E , entrambi che con un valore che va da 1 a 32. Il software QuartusII sceglie automaticamente i fattori di scaling appropriati in accordo con le frequenze di ingresso e i valori ottenuti da moltiplicazioni e divisioni.

-External Clock Input ed External Clock Output

Ogni PLL supporta ingressi single-ended o differenziali per ricevitori a sorgente sincrona o general-purpose. I pin di clock dedicato (CLK[3..0]) alimentano gli ingressi del PLL.

Ogni PLL supporta un' uscita differenziale o una single ended per trasmettitori a sorgente sincrona o per clock esterni general-purpose.

Standard I/O	CLK Input	EXTCLK Output
3.3-V LVTTTL/LVCMOS	√	√
2.5-V LVTTTL/LVCMOS	√	√
1.8-V LVTTTL/LVCMOS	√	√
1.5-V LVCMOS	√	√
3.3-V PCI	√	√
LVDS	√	√
SSTL-2 ClassI	√	√
SSTL-2 ClassII	√	√
SSTL-3 ClassI	√	√
SSTL-3 ClassII	√	√
Differential SSTL-2	-	√

Tabella 1

Standard I/O supportati dai pin di I/O di un PLL di un FPGA Cyclone, come riportato in [18]

Per quanto riguarda gli FPGA Spartan-3, le diverse risorse sono connesse da una complessa matrice di switching che consiste in canali di:

- 24 long lines che percorrono l'intero dispositivo in orizzontale e verticale, connettendo una CLB ogni sei (data la loro bassa densità, queste linee sono perfette per la distribuzione di segnali critici veloci a basso skew)
- 8 hex lines che connettono una CLB ogni due
- 8 double line che connettono una CLB ogni due
- Connessioni dirette tra CLB vicine

Inoltre sono presenti reti dedicate per la distribuzione del clock a basso skew e risultano disponibili buffer connessi direttamente ai pin di I/O e multiplexer di clock che permettono la generazione in uscita di segnali senza glitch.

Sono presenti DCM (Digital Clock Manager) per la riduzione dello skew, lo shift in fase del segnale, la sintesi di clock a diversa frequenza, la correzione del duty-cycle, il mirroring e il forwarding del segnale di clock.

1.3.5. Struttura di un IOE

Le caratteristiche di un IOE sono:

- Standard I/O differenziali e single-ended
- Conforme a 3.3-V, 64- e 32-bit, 66- e 33-MHz PCI
- Supporto JTAG (Join Test Action Group) BST (Boundary-Scan Test)
- Controllo del pilotaggio in uscita
- Resistori di pull-up
- Controllo dello slew-rate
- Buffer tri-state
- Circuiteria bus-hold
- Resistori programmabili in modalità user
- Delay di ingresso ed uscita programmabili
- Uscite open-drain
- Pin DQ e DQS

Gli FPGA Cyclone contengono un buffer di I/O bidirezionale e tre registri per trasferimenti di dati bidirezionali.

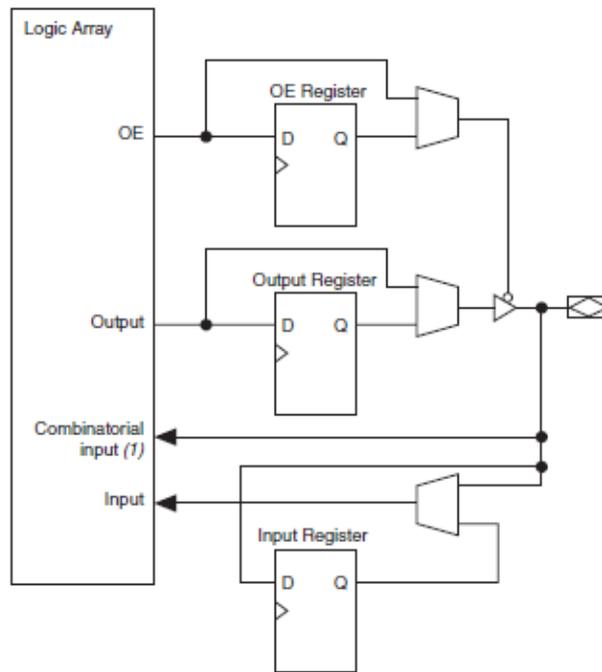


Figura 17

Struttura di un IOE di un FPGA Cyclone, come riportato in [18]

Gli IOE contengono un registro di input, uno di output ed un registro di output enable. Il registro di input può essere utilizzato per tempi di setup rapidi mentre quello di output per tempi di clock-to-output rapidi.

Gli IOE sono allocati nei blocchi di I/O nella zona più esterna del FPGA. Ci sono fino a tre IOE per riga e per colonna.

I segnali ai pin datain possono pilotare l'array di logica. I clock `io..clk[5..0]` provvedono una risorsa di routing dedicata per clock a basso skew e ad alta velocità. La rete globale di clock genera i clock IOE che alimentano le colonne e righe delle regioni I/O.

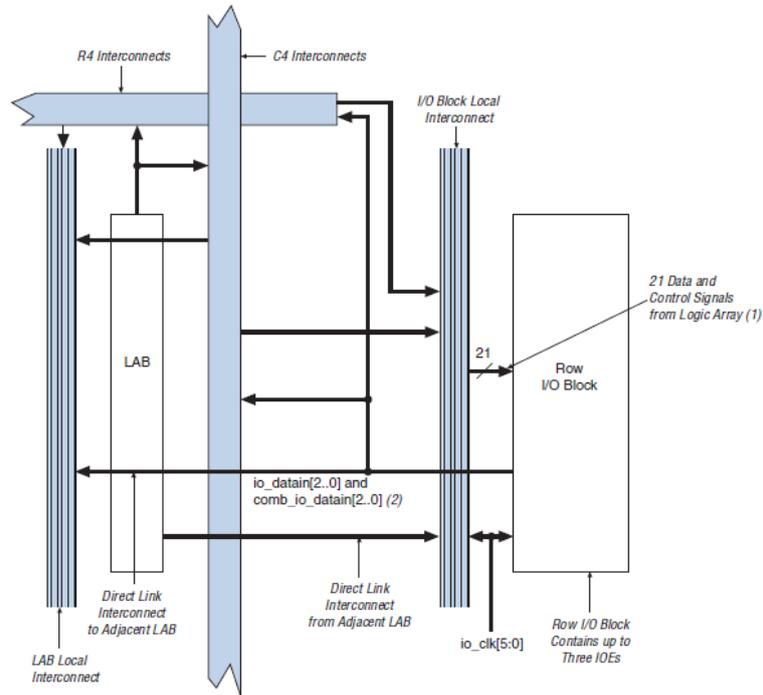


Figura 18, Figura che mostra come una riga di un blocco I/O si connette al logic array, come riportato in[18]

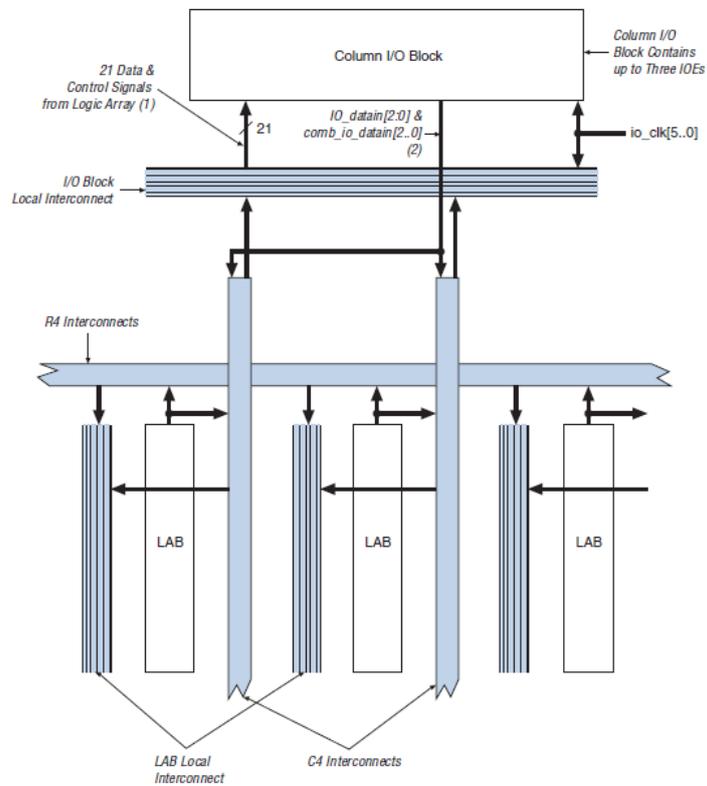


Figura 19, Figura che mostra come una colonna di un blocco I/O si connette al logic array, come riportato in[18]

Capitolo 2

FPGA XILINX

Questo capitolo è stato creato grazie ai contenuti riportati da [3] a [8].

2.1. SPARTAN-3

Questa famiglia, realizzata in una tecnologia a 90 nm, è stata creata per applicazioni consumer a basso costo e prestazioni che richiedono alti volumi di produzione.

Le Tab.2 e 3 confrontano i diversi modelli della famiglia Spartan-3 e le loro caratteristiche principali:

Device	XC3S50A/AN	XC3S200A/AN	XC3S400A/AN	XC3S700A/AN	XC3S1400A/AN	XC3S1800A	XC3S3400
System Gates	50000	200000	400000	700000	1400000	18000000	3400000
Logic Cells	1584	4032	8064	13248	25344	37440	53712
CLB	176	448	896	1472	2816	4160	5968
Slices	704	1792	3584	5888	11264	16640	23872
Distributed RAM Bits	11000	28000	56000	92000	176000	260000	373000
Block RAM Bits	54000	288000	360000	360000	576000	1512000	2268000
In-system Flash Bits	1000000	4000000	4000000	8000000	16000000	-	-
Dedicated Multipliers	3	16	20	20	32	-	-
DSP48A	-	-	-	-	-	84	126
DCM	2	4	4	8	8	8	8
Maximum User I/O	144	248	311	372	502	519	469

Tabella 2

Device	System Gates	Equivalent Logic Cells	CLBs	Slice	Distributed RAM Bit	Block RAM Bit	Dedicated Multiplier	DCM	Maximum User I/O
XC3S100E	100K	2160	240	960	15K	72K	4	2	108
XC3S250E	250K	4508	612	2448	38K	216K	12	4	172

XC3S500	500K	10476	1164	4656	73K	360K	20	4	232
XC3S1200E	1200K	19512	2168	8672	136K	504K	28	8	304
XC3S1600E	1600K	33192	3688	14752	231K	648K	36	8	376

Tabella 3

Le principali novità di questa famiglia:

- 8 reti di clock globale a basso skew.
- LUT a 4 ingressi.
- Le slice DSP48A contengono moltiplicatore in complemento a 2 con segno 18x18, una logica di somma, un accumulatore da 48-bit. Ogni moltiplicatore o accumulatore può essere usato indipendentemente. Questi blocchi sono progettati per implementare applicazioni efficienti e ad alta velocità.
- I blocchi DCM (Digital Clock Managers) provvedono all'autocalibrazione, moltiplicazione, divisione e sfasamento dei segnali di clock.

Un anello di IOB circonda un array di CLB. Ogni device ha due colonne di blocco RAM. Ogni colonna di RAM consiste in diversi blocchi da 18Kb, ognuno associato a diversi moltiplicatori. I DCM sono posizionati nel centro (due nella parte superiore e due nella parte inferiore del dispositivo).

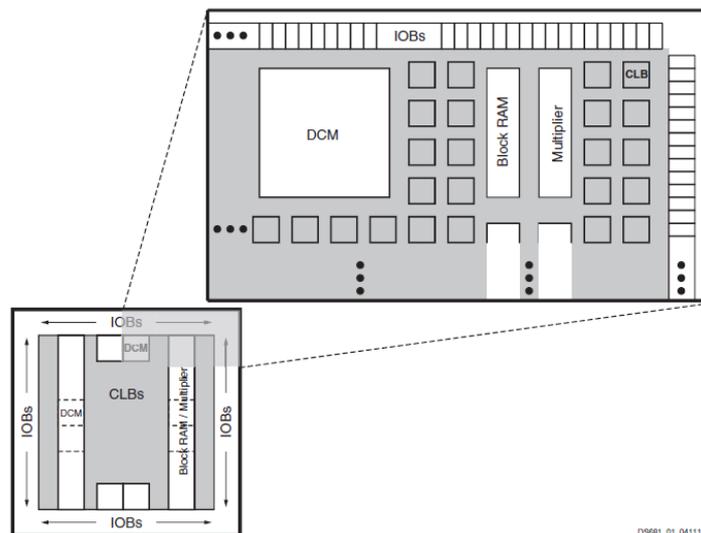


Figura 20

Organizzazione dei DCM in un FPGA Xilinx Spartan

2.2. SPARTAN-6

Questa famiglia di FPGA segue la linea dettata da Spartan-3 garantendo buone prestazioni con costi per alto volume di produzione molto bassi.

I tredici modelli disponibili di questa famiglia garantiscono un range di celle logiche che vanno da 3840 a 147443 ed un consumo di potenza ridotto del 50% rispetto a quello della famiglia Spartan-3.

Queste FPGA sono realizzate in una tecnologia a 45nm.

Due sotto-famiglie:

-Spartan-6 LX: logica ottimizzata.

-Spartan-6 LXT: connettività seriale ad alta velocità.

Le Tab.4 e 5 confrontano i diversi modelli della famiglia Spartan-6 e le loro caratteristiche principali:

Device	Logic Cells	Slices	Flip-Flops	Max Distributed RAM	DSP481A Slices	18Kb RAM Blocks	Max (Kb) RAM Blocks
XC6SLX4	3840	600	4800	75	8	12	216
XC6SLX9	9152	1430	11440	90	16	32	576
XC6SLX16	14579	2278	18224	136	32	32	576
XC6SLX25	24051	3758	30064	229	38	52	936
XC6SLX45	43661	6822	54576	401	58	116	2088
XC6SLX75	74637	11662	93296	692	132	172	3096
XC6SLX100	101261	15822	126576	976	180	368	4824
XC6SLX150	147443	23038	184304	1355	180	268	4824
XC6SLX25T	24051	3758	30064	229	38	52	936
XC6SLX45T	43661	6822	54576	401	58	116	2088
XC6SLX75T	74637	11662	93296	692	132	172	3096
XC6SLX100T	101261	15822	126822	976	180	268	4824
XC6SLX150T	147443	23038	184304	1355	180	268	4824

Tabella 4

Device	CMTs	Memory Block	Controller	Endpoint Blocks for PCI Express	Maximum Transceivers	GTP	Total I/O Bank	Max User I/O
XC6SLX4	2	0		0	0		4	132
XC6SLX9	2	2		0	0		4	200
XC6SLX16	2	2		0	0		4	232
XC6SLX25	2	2		0	0		4	266

XC6SLX45	4	2	0	0	4	358
XC6SLX75	6	4	0	0	6	408
XC6SLX100	6	4	0	0	6	480
XC6SLX150	6	4	0	0	6	576
XC6SLX25T	2	2	1	2	4	250
XC6SLX45T	4	2	1	4	4	296
XC6SLX75T	6	4	1	8	6	348
XC6SLX100T	6	4	1	8	6	498
XC6SLX150T	6	4	1	8	6	540

Tabella 5

-Ogni slice contiene quattro LUT ed otto flip-flop.

-Ogni slice DSP48A1 contiene un moltiplicatore 18x18, un sommatore ed un accumulatore.

-I blocchi RAM sono fondamentalmente di 18Kb. Possono, però, essere suddivisi in due blocchi indipendenti da 9Kb.

Le principali novità rispetto alla generazione precedente:

- LUT a 6 ingressi.
- 16 reti di clock globale.
- I blocchi di controllo della memoria (MCB) bersagliano un singolo chip DRAM (oppure DDR, DDR2, DDR3 o LPDDR) supportando una velocità di accesso fino a 800Mb/s. I MCB hanno piste dedicate per predefinire gli I/O del FPGA. Il controllo di memoria offre un' interfaccia arbitraria multi-porta alla logica del FPGA e può essere connesso con una DRAM esterna a 4-, 8- o 16-bit. In molte applicazioni un MCB provvede ad una interfaccia DRAM più veloce rispetto ai tradizionali bus dati.
- I CMT (Clock Management Tile) sono blocchi contenenti due DCM ed un PLL.
- I ricetrasmittitori a bassa potenza (Low-Power Gigabit Transceiver) sono un trasmettitore ed un ricevitore combinati per operare ad un data-rate massimo di 3.2 Gb/s. Questi due circuiti sono indipendenti in quanto usano PLL separati per moltiplicare le frequenze in ingresso.

Il trasmettitore è un convertitore da parallelo a seriale con una capacità di conversione di 8, 10, 16 o 20.

Il ricevitore è un convertitore da seriale a parallelo che cambia i bit seriali del segnale differenziale in un flusso di parole in parallelo, ognuna di 8, 10, 16 o 20 bit.

- Il PCI Express è una interfaccia seriale standard punto-punto e la sua specifica definisce una bit rate di 2.5Gb/s per canale, per direzione (trasmissione e ricezione). I dispositivi Spartan-6 includono un blocco integrato di Endpoint per la tecnologia PCI Express conforme con le specifiche PCI Express. Questo blocco è configurabile per le richieste di progetto ed opera come un canale singolo di Endpoint. Questo blocco si interfaccia con i ricetrasmittitori GTP per serializzazioni/deserializzazioni e con i blocchi RAM per data buffering.

2.3. VIRTEX-4

La serie Virtex ha integrate logiche FIFO ed ECC, blocchi DSP, controlli PCI-Express, blocchi Ethernet MAC e ricetrasmittitori ad alta velocità.

Grazie a questi dispositivi queste FPGA vengono utilizzate in infrastrutture wireless o wired, sistemi medici, sistemi di test o di misura ed in sistemi di difesa.

Alcuni modelli della famiglia Virtex sono progettati per operare in ambienti in cui sono presenti forti radiazioni.

Queste FPGA sono realizzate in una tecnologia a 90nm.

Tre sotto-famiglie – LX/SX/FX:

-Virtex-4 LX: soluzione per applicazioni logiche.

-Virtex-4 SX: soluzione per applicazioni digitali.

-Virtex-4 FX: soluzione per piattaforme embedded.

Le Tab.6 e 7 confrontano i diversi modelli della famiglia Virtex-4 e le loro caratteristiche principali:

Device	Array (Row x Col)	Logic Cells	Slices	Max Distributed RAM	XtremeDSP Slices	18Kb Blocks	Max Block RAM (Kb)	DCM	PMCD
XC4VLX15	64X24	13824	6144	96	32	48	864	4	0

XC4VLX25	96X28	24192	10752	168	48	72	1296	8	4
XC4VLX40	128X36	41472	18432	288	64	96	1728	8	4
XC4VLX60	128X52	59904	26624	416	64	160	2880	8	4
XC4VLX80	160X56	80640	35840	560	80	200	3600	12	8
XC4VLX100	192X64	110592	49152	768	96	240	4320	12	8
XC4VLX160	192X88	152064	67584	1056	96	288	5184	12	8
XC4VLX200	192X116	200448	89088	1392	96	336	6048	12	8
XC4VSX25	64X40	23040	10240	160	128	128	2304	4	0
XC4VSX35	96X40	34560	15360	240	192	192	3456	8	4
XC4VSX55	128X48	55296	24576	384	512	320	5760	8	4
XC4VFX12	64X24	12312	5472	86	32	36	648	4	0
XC4VFX20	64x36	19224	8544	134	32	68	1224	4	0
XC4VFX40	96x52	41904	18624	291	48	144	2592	8	4
XC4VFX60	128x52	56880	25280	395	128	232	4176	12	8
XC4VFX100	160x68	94896	42176	659	160	376	6768	12	8
XC4VFX140	192x84	142128	63168	987	192	552	9936	20	8

Tabella 6

Device	PowerPc Processor Blocks	Ethernet MACs	RocketIO Transceiver Blocks	Total I/O Banks	Max User I/O
XC4VLX15	N/A	N/A	N/A	9	320
XC4VLX25	N/A	N/A	N/A	11	448
XC4VLX40	N/A	N/A	N/A	13	640
XC4VLX60	N/A	N/A	N/A	13	640
XC4VLX80	N/A	N/A	N/A	15	768
XC4VLX100	N/A	N/A	N/A	17	960
XC4VLX160	N/A	N/A	N/A	17	960
XC4VLX200	N/A	N/A	N/A	17	960
XC4VSX25	N/A	N/A	N/A	9	320
XC4VSX35	N/A	N/A	N/A	11	448
XC4VSX55	N/A	N/A	N/A	13	640
XC4VFX12	1	2	N/A	9	320
XC4VFX20	1	2	8	9	320
XC4VFX40	2	4	12	11	448
XC4VFX60	2	4	16	13	576
XC4VFX100	2	4	20	15	768
XC4VFX140	2	4	24	17	896

Tabella 7

Le principali novità di questa famiglia:

- 32 reti di clock globale.
- LUT a 4 ingressi.
- I blocchi PMCD (Phase-Matched Clock Dividers) sono una delle risorse di clock disponibili nell'architettura Virtex-4 e hanno le seguenti caratteristiche:
 - Phase-Matched Divided Clocks: il PMCD crea fino a quattro versioni divise in frequenza di un clock in ingresso. I clock in uscita sono una funzione della frequenza di clock in ingresso: divisione per 1 (CLKA1), divisione per 2 (CLKA1D2), divisione per 4 (CLKA1D4) e divisione per 8 (CLKA1D8). Le uscite del clock CLKA1, CLKA1D2, CLKA1D4 e CLK1D8 sono allineate tra di loro ma non con l'ingresso (CLKA).

-Phase-Matched Delay Clocks: i PMCD preservano l'allineamento, la relazione tra le fasi o lo skew tra il clock in ingresso e gli altri clock di ingresso di altri PMCD. Tre ingressi aggiuntivi (CLKB, CLKC e CLKD) e tre corrispondenti uscite ritardate (CLKB1, CLKC1 e CLKD1) sono disponibili in questo modo. Lo stesso ritardo è inserito in CLKA, CLKB, CLKC e CLKD; in questo modo le uscite ritardate CLKA1, CLKB1, CLKC1 e CLKD1 mantengono l'allineamento, le relazioni tra le fasi e lo skew tra i rispettivi ingressi.

Un PMCD può essere utilizzato con altre risorse di clock come i DCM; insieme provvedono a rendere flessibili reti di network complesse.

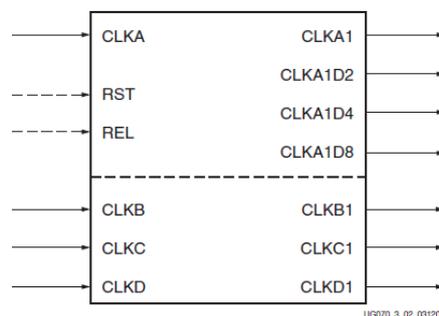


Figura 21
Blocco PMCD

- I device Virtex-4 FX contengono fino a quattro Tri-Mode (10/100/1000 Mb/s) Ethernet MAC, due per ogni blocco Ethernet MAC. Questi blocchi sono progettati per le specifiche IEEE802.3-2002.
- La famiglia Virtex-4 FX ha a disposizione uno o due blocchi di processori IBM PowerPC 405.

2.4. VIRTEX-5

La famiglia Virtex-5 utilizza il blocco modulare avanzato di silicio (ASMBL) ed è definita da cinque modelli che si differenziano per le differenti applicazioni che possono coprire.

Queste FPGA sono realizzate in una tecnologia a 65nm e sono progettate per applicazioni ad alte prestazioni.

Cinque sotto-famiglie: LX, LXT, SXT, TXT e FXT:

-Virtex-5LX: per applicazioni di logica generale.

-Virtex-5LXT: per applicazioni con connettività seriale avanzata.

-Virtex-5 SXT: per applicazioni di processione del segnale con connettività seriale avanzata.

-Virtex-5TXT: per sistemi con connessioni seriali con densità doppia.

-Virtex-5FTX: per sistemi embedded con connessioni seriali avanzate.

Le Tab.8 e 9 confrontano i diversi modelli della famiglia Virtex-5 e le loro caratteristiche principali:

Device	Array	CLB Slice	Distributed RAM (Kb)	DSP48E Slice	18Kb RAM Block	36Kb RAM Block	Max(Kb) RAM Block	PowerPC Processor Block
XQ5VLX85	120 x 54	12960	840	48	192	96	3456	N/A
XQ5VLX110	160 x 54	17280	1120	64	256	128	4608	N/A
XQ5VLX30T	80 x 30	4800	320	32	72	36	1296	N/A
XQ5VLX110T	160 x 54	17280	1120	64	296	148	5328	N/A
XQ5VLX155T	160 x 76	24320	1640	128	424	212	7632	N/A
XQ5VLX220T	160 x 108	34560	2280	128	424	212	7632	N/A
XQ5VLX330T	240 x	51840	3420	192	648	324	11664	N/A

	108							
XQ5VVSX50T	120 x 34	8160	780	288	264	132	4752	N/A
XQ5VVSX95T	160 x 46	14720	1520	640	488	244	8784	N/A
XQ5VVSX240T	240 x 78	37440	4200	1056	1032	516	18576	N/A
XQ5VFX70T	160 x 38	11200	820	128	296	148	5328	1
XQ5VFX100T	160 x 56	16000	1240	256	456	228	8208	2
XQ5VFX130T	200 x 56	20480	1580	320	596	298	10728	2
XQ5VFX200T	240 x 68	30720	2280	384	912	456	16416	2

Tabella 8

Device	Endpoint Blocks for PCI Express	Ethernet MAC	Max Transceivers GTP	Max Transceivers GTX	Total I/O Bank	Max User I/O
XQ5VLX85	N/A	N/A	N/A	N/A	14	440
XQ5VLX110	N/A	N/A	N/A	N/A	23	800
XQ5VLX30T	1	4	4	N/A	7	172
XQ5VLX110T	1	4	16	N/A	19	640
XQ5VLX155T	1	4	16	N/A	19	640
XQ5VLX220T	1	4	16	N/A	20	680
XQ5VLX330T	1	4	24	N/A	27	960
XQ5VVSX50T	1	4	8	N/A	12	360
XQ5VVSX95T	1	4	16	N/A	19	640
XQ5VVSX240T	1	4	24	N/A	27	960
XQ5VFX70T	3	4	N/A	16	19	640
XQ5VFX100T	3	4	N/A	16	20	680
XQ5VFX130T	3	6	N/A	20	24	840
XQ5VFX200T	4	8	N/A	24	27	960

Tabella 9

-Le CLB delle FPGA Virtex-5Q contengono quattro LUT e quattro flip-flop a differenza delle generazioni precedenti in cui erano presenti due LUT e due flip-flop.

-Ogni slice DSP48E contiene un moltiplicatore 25x18, un sommatore ed un accumulatore.

2.5. VIRTEX-6

Questa famiglia di FPGA fa uso della architettura ASMBL ed è divisa in tre sottofamiglie: la LXT, SXT e HXT, le quali sono progettate per coprire rami di applicazioni differenti.

Queste FPGA sono realizzate in una tecnologia a 40nm e sono progettate per applicazioni ad alte prestazioni.

Tre sotto-famiglie:

- Virtex-6 LXT: logica ad alta prestazione con connettività seriale avanzata.
- Virtex-6 SXT: logica con più alte prestazioni di processione con connettività seriale avanzata.
- Virtex-6 HXT: logica con la migliore connettività seriale a larghezza di banda.

Le Tab.10 e 11 confrontano i diversi modelli della famiglia Virtex-6 e le loro caratteristiche principali:

Device	Logic Cell	Slice	Max Distributed RAM	DSP48E1 Slice	18Kb RAM Block	36Kb RAM Block	Max(kb) RAM Block
XC6VLX75T	74496	11640	1045	288	312	156	5616
XC6VLX130T	128000	20000	1740	480	528	264	9504
XC6VLX195T	199680	31200	3040	640	688	344	12384
XC6VLX240T	241152	37680	3650	768	832	416	14976
XC6VLX365T	364032	56880	4130	576	832	416	14976
XC6VLX550T	549888	85920	6200	864	1264	632	22752
XC6VLX760	758784	118560	8280	864	1440	720	25920
XC6VSX315T	314880	49200	5090	1344	1408	704	25344
XC6VSX475T	476160	74400	7640	2016	2128	1064	38304
XC6VHX250T	251904	39360	3040	576	1008	504	18144
XC6VHX255T	253440	39600	3050	576	1032	516	18576
XC6VHX380T	382464	59760	4570	864	1536	768	27648

XC6VHX565T	566784	88560	6370	864	1824	912	32832
------------	--------	-------	------	-----	------	-----	-------

Tabella 10

Device	MMCM	Interface Blocks for Express	PCI	Ethernet MAC	GTX	GTH	Total I/O Bank	Max User I/O
XC6VLX75T	6	1		4	12	0	9	360
XC6VLX130T	10	2		4	20	0	15	600
XC6VLX195T	10	2		4	20	0	15	600
XC6VLX240T	12	2		4	24	0	18	720
XC6VLX365T	12	2		4	24	0	18	720
XC6VLX550T	18	2		4	36	0	30	1200
XC6VLX760	18	0		0	0	0	30	1200
XC6VSX315T	12	2		4	24	0	18	720
XC6VSX475T	18	2		4	36	0	21	840
XC6VHX250T	12	4		4	48	0	8	320
XC6VHX255T	12	2		2	24	24	12	480
XC6VHX380T	18	4		4	48	24	18	720
XC6VHX565T	18	4		4	48	24	18	720

Tabella 11

-Ogni slice delle FPGA Virtex-6 contiene quattro LUT e otto flip-flop. Solo alcune slice possono usare le LUT come RAM distribuita o SRL.

-Ogni slice DSP48E1 contiene un moltiplicatore 25x25, un sommatore ed un accumulatore.

-I blocchi RAM sono fondamentalmente di 36Kb. Ogni blocco, però, può essere suddiviso in due blocchi indipendenti da 18Kb.

-Il transceiver GTX è progettato per lavorare da 480Mb/s a 6.6Gb/s.

-Il transceiver GTH è progettato per lavorare da 2.488Gb/s a 11.18Gb/s.

Le principali novità rispetto alla generazione precedente:

- LUT a 6 ingressi.
- 32 reti di clock globale.
- Ogni CMT contiene due MMCM (Mixed-Mode Clock Managers) che permettono tre opzioni di filtraggio del jitter in ingresso:

1. La modalità Low-bandwidth ha la miglior attenuazione del jitter ma non la più piccola sfasatura.
2. La modalità High-bandwidth ha la miglior sfasatura ma non la miglior attenuazione del jitter.
3. La modalità ottimizzata consente ai tool di trovare il miglior settaggio.

2.6. SERIE-7

La serie 7 di Xilinx comprende tre famiglie di FPGA che insieme coprono qualsiasi tipo di applicazione richiesta.

La serie-7 include:

- ARTIX-7: ottimizzata per bassi costi e bassi consumi per applicazioni ad elevati volumi.
- KINTEX-7: ottimizzata per il migliore rapporto qualità-prezzo con un miglioramento del 100% rispetto alle generazioni precedenti.
- VIRTEX-7: ottimizzata per sistemi ad alte prestazioni con un miglioramento del 100% rispetto alle generazioni precedenti.

La serie-7 è progettata con una tecnologia a 28nm.

La Tab.12 compara le tre famiglie della serie-7:

Maximum Capability	Artix-7 Family	Kintex-7 Family	Virtex-7 Family
Logic Cells	215K	478K	1955K
Block RAM	13Mb	34Mb	68Mb
DSP Slices	740	1920	3600
Peak DSP Performance	929 GMAC/s	2845 GMAC/s	5335 GMAC/s
Transceivers	16	32	96
Peak Transceiver Speed	6.6 Gb/s	12.5 Gb/s	28.05 Gb/s
Peak Serial Bandwidth (Full Duplex)	211 Gb/s	800 Gb/s	2784 Gb/s
PCIe Interface	X4 Gen2	X8 Gen2	X8 Gen2
Memory Interface	1066 Mb/s	1866 Mb/s	1866 Mb/s
I/O Pins	500	500	1200

Tabella 12

Le Tab.13 e 14 confrontano i diversi modelli della famiglia Artix-7 e le loro caratteristiche principali:

Device	Logic Cell	Slice	Max Distributed RAM (Kb)	DSP48E1 Slice	18Kb RAM Block	36Kb RAM Block	Max(Kb) RAM Block
XC7A20SL	16000	2500	208	60	60	30	1080
XC7A35SL	32909	5142	453	120	130	65	2340
XC7A50SL	52480	8200	688	180	190	95	3420
XC7A75SL	71642	11194	974	240	250	125	4500
XC7A20SLT	16000	2500	208	60	60	30	1080
XC7A35SLT	32909	5142	453	120	130	65	2340
XC7A50SLT	52480	8200	688	180	190	95	3420
XC7A75SLT	71642	11642	974	240	250	125	4500
XC7A100SL	101440	15850	1188	240	270	135	4860
XC7A200T	215360	33650	2888	740	730	365	13140

Tabella 13

Device	CMTs	PCIe	GTPs	XADC Blocks	Total I/O Banks	Max User I/O
XC7A20SL	3	0	0	1	5	216
XC7A35SL	3	0	0	1	5	216
XC7A50SL	4	0	0	1	6	300
XC7A75SL	4	0	0	1	6	300
XC7A20SLT	3	1	4	1	5	216
XC7A35SLT	3	1	4	1	5	216
XC7A50SLT	4	1	8	1	6	300
XC7A75SLT	4	1	8	1	6	300
XC7A100SL	6	1	8	1	6	300
XC7A200T	10	1	16	1	10	500

Tabella 14

Le Tab.15 e 16 confrontano i diversi modelli della famiglia Vintex-7 e le loro caratteristiche principali:

Device	Logic Cell	Slice	Distributed RAM (Kb)	DSP48E1 Slice	18Kb RAM Block	36Kb RAM Block	Max(Kb) RAM Block
XC7V585T	582720	91050	6938	1260	1590	795	28620

XC7V2000T	1954560	305400	21550	2160	2584	1292	46512
XC7VX330T	326400	51000	4388	1120	1500	750	27000
XC7VX415T	412160	64400	6525	2160	1760	880	31680
XC7VX485T	485760	75900	8175	2800	2060	1030	37080
XC7V550T	554240	86600	8725	2880	2360	1180	42480
XC7V690T	693120	108300	10888	3600	2940	1470	52920
XC7V980T	979200	153000	13838	3600	3000	1500	54000
XC7VX1140T	1139200	178000	17700	3360	3760	1880	67680
XC7VH580T	580480	90700	8850	1680	1880	940	33840
XC7V870T	876160	136900	13275	2520	2820	1410	50760

Tabella 15

Device	CMTs	PCIe	GTX	GTH	GTZ	XADC Blocks	Total I/O Banks	Max User I/O	SLRs
XC7V585T	18	3	36	0	0	1	17	850	N/A
XC7V2000T	24	4	36	0	0	1	24	1200	4
XC7VX330T	14	2	0	28	0	1	14	700	N/A
XC7VX415T	12	2	0	48	0	1	12	600	N/A
XC7VX485T	14	4	56	0	0	1	14	700	N/A
XC7V550T	20	2	0	80	0	1	16	600	N/A
XC7V690T	20	3	0	80	0	1	20	1000	N/A
XC7V980T	18	3	0	72	0	1	18	880	N/A
XC7VX1140T	24	4	0	96	0	1	22	1100	4
XC7VH580T	12	2	0	48	8	1	12	600	2
XC7V870T	18	3	0	72	16	1	13	650	3

Tabella 16

Le Tab.17 e 18 confrontano i diversi modelli della famiglia Kintex7 e le loro caratteristiche principali:

Device	Logic Cell	Slice	Max Distributed RAM (Kb)	DSP48E1 Slice	18Kb RAM Block	36Kb RAM Block	Max(Kb) RAM Block
XC7K70T	65600	10250	838	240	270	135	4860
XC7K160T	162240	25350	2188	600	650	325	11700
XC7K325T	326080	50950	4000	840	890	445	16020

XC7K355T	356160	55650	5088	1440	1430	715	25740
XC7K410T	406720	63550	5663	1540	1590	795	28620
XC7K420T	416960	63150	5938	1680	1670	835	30060
XC7K480T	477760	74650	6788	1920	1910	955	34380

Tabella 17

Device	CMTs	PCIe	GTXs	XADC Blocks	Total I/O Banks	Max User I/O
XC7K70T	6	1	8	1	6	300
XC7K160T	8	1	8	1	8	400
XC7K325T	10	1	16	1	10	500
XC7K355T	6	1	24	1	6	300
XC7K410T	10	1	16	1	10	500
XC7K420T	8	1	32	1	8	400
XC7K480T	8	1	32	1	8	400

Tabella 17

-Ogni slice della serie-7 contiene quattro LUT ed otto flip-flop; solo alcune slice possono usare le loro LUT come RAM distribuita o SRL.

-Ogni slice DSP contiene un pre-sommatore, un moltiplicatore 25 x 18 ed un accumulatore.

-I blocchi RAM sono fondamentalmente di 36Kb. Ogni blocco, però, può essere suddiviso in due blocchi indipendenti da 18Kb.

-Ogni CMT contiene un MMCM ed un PLL.

-Le SLR (Super Logic Regions) sono la parti dell' FPGA che usano la tecnologia SSI.

Le principali novità di questa famiglia:

- LUT a 6 ingressi.
- 32 reti di clock globale.
- XADC (Analog-to-Digital Converter) è un'architettura che include:
 - convertitori da analogico a digitale (ADC).
 - fino a 17 ingressi analogici configurabili dall'utente.
 - sensori di temperatura e power-supply on-chip.

Quindi il XADC può acquisire dati, compiere misurazioni e monitorare diverse situazioni richieste dall'utente.

- La Stacked Silicon Interconnect (SSI) Technology abilita più Super Logic Regions (SLR) a combinarsi su un piano passivo interposto, in modo da creare un singolo FPGA con più di diecimila interconnessioni SLR, provvedendo così a connettività a banda larga con bassa latenza e basso consumo di potenza.

Ci sono due tipi di SLR usati nei device della serie Virtex-7: una logica SRL intensiva usata nei dispositivi Virtex-7 T ed un DSP/blocco RAM/transceiver SLR usato nei dispositivi Virtex-7 XT ed HT.

Migliaia di Super Long Line (SLL) e linee di clock ad alta prestazione che corrono tra le SLR assicurano performance ad alto livello.

Capitolo 3

FPGA ALTERA

Questo capitolo è stato creato grazie ai contenuti che vanno da [9] a [22].

3.1. CYCLONE

Questa famiglia di FPGA, annunciata nel 2002 e realizzata in una tecnologia a 130nm è progettata per applicazioni ad alto volume e a basso costo.

La Tab.19 confronta i diversi modelli della famiglia ALTERA CYCLONE e le loro caratteristiche principali:

Feature	EP1C3	EP1C4	EP1C6	EP1C12	EP1C20
Logic Elements	2910	4000	5980	12060	20060
M4K RAM Blocks	13	17	20	52	64
Total RAM Bits	59904	78336	92160	239616	294912
PLL	1	2	2	2	2
Maximum User I/O Pins	104	301	185	249	301

Tabella 18

Altre caratteristiche tecniche importanti:

- 8 linee di clock globale.
- Ogni LE contiene una LUT a 4 ingressi.

3.2. CYCLONE II

Questa famiglia, annunciata nel 2004 e realizzata in una tecnologia a 90nm, rappresenta l'evoluzione della obsoleta Altera Cyclone e prometteva performance migliori del 60% con potenza dimezzata rispetto a qualunque altro FPGA a 90 nm.

La Tab.20 confronta i diversi modelli della famiglia ALTERA CYCLONEII e le loro caratteristiche principali:

Feature	EP2C5	EP2C8	EP2C15	EP2C20	EP2C35	EP2C50	EP2C70
Logic Elements	4608	8256	14448	18752	33216	5528	68416
M4K RAM Blocks	26	36	52	52	105	129	250
Total RAM Bits	119808	165888	239616	23966	483840	594432	1152000
Embedded Multipliers	13	18	26	26	35	86	150
PLL	2	2	4	4	4	4	4
Maximum User I/O Pins	158	182	315	315	475	450	622

Tabella 19

Altre caratteristiche tecniche importanti:

- Ogni LE contiene una LUT a 4 ingressi.
- Fino a 16 linee di clock globale.
- La massima frequenza che l'albero del clock può supportare per logiche registrate è 402.5 MHz.

3.3. CYCLONE III

Questa famiglia di FPGA, annunciata nel 2007 e realizzata in una tecnologia a 65 nm, si divide in due sotto-famiglie:

- Cyclone III: FPGA a bassa potenza, bassi costi ed alte funzionalità.
- Cyclone III LS: FPGA con security.

La Tab.21 confronta i diversi modelli della famiglia ALTERA CYCLONEIII e le loro caratteristiche principali:

Device	Logic Element	M9k Block	Total RAM Bit	18x18 Multiplier	PLL	Global Clock Network	Maximum User I/O
EP3C5	5136	46	423936	23	2	10	182
EP3C10	10320	46	423936	23	2	10	182
EP3C16	15408	56	516096	56	4	20	346
EP3C25	24624	66	608256	66	4	20	215

EP3C40	39600	126	1161216	126	4	20	535
EP3C55	55856	260	2396160	156	4	20	377
EP3C80	81264	305	2810880	244	4	20	429
EP3C120	119088	432	3981312	288	4	20	531
EP3CLS70	70208	333	3068928	200	4	20	429
EP3CLS100	100448	483	4451328	276	4	20	429
EP3CLS150	150848	666	6137856	320	4	20	429
EP3CL200	198464	891	8211456	396	4	20	429

Tabella 20

Altre caratteristiche tecniche importanti:

- Ogni LE contiene una LUT a 4 ingressi.

3.4. CYCLONE IV

Questa famiglia di FPGA, rilasciata nel 2009 e realizzata in una tecnologia a 60nm, estende la serie Cyclone implementando una variante con ricetrasmittitore. Infatti, la famiglia Cyclone IV si suddivide in due sotto-famiglie:

- Cyclone IV GX: FPGA con integrati fino a otto transceiver a 3.125 Gbps .
- Cyclone IV E: per un vasto numero di applicazioni generiche.

Tutti gli FPGA Cyclone IV richiedono solo due alimentazioni che semplificano la distribuzione di potenza e riducono i costi e gli spazi garantendo un riduzione di potenza pari al 25% rispetto ai predecessori.

La Tab.22 confronta i diversi modelli della famiglia ALTERA CYCLONEIV E e le loro caratteristiche principali:

Features	EP4CE6	EP4CE10	EP4CE15	EP4CE22	EP4CE30	EP4CE40	EP4CE55	EP4CE75	EP4CE115
Logic Elements	6272	10320	15408	22320	28848	39600	55856	75408	114480
Embedded Memory (Kbits)	270	414	504	594	594	1134	2340	2745	3888

Embedded 18x18 Multipliers	15	23	56	66	66	116	154	200	266
General Purpose PLL	2	2	4	4	4	4	4	4	4
Global Clock Networks	10	10	20	20	20	20	20	20	20
User I/O Banks	8	8	8	8	8	8	8	8	8
Maximum User I/O	179	179	343	153	532	532	374	426	528

Tabella 21

La Tab.23 confronta i diversi modelli della famiglia ALTERA CYCLONEIV GX e le loro caratteristiche principali:

Features	EP4CGX15	EP4CGX22	EP4CGX30	EP4CGX50	EP4CGX75	EP4CGX110	EP4CGX150
Logic Elements	14400	21280	29440	49888	73920	109424	149760
Embedded Memory (Kbits)	540	756	1080	2502	4158	5490	6480
Embedded 18x18 Multipliers	0	40	80	140	196	280	360
General Purpose PLLs	1	2	2	4	4	4	4
Multipurpose PLLs	2	2	2	4	4	4	4
Global Clock Networks	20	20	20	30	30	30	30
High-speed Transceivers	2	4	4	8	8	8	8
Transceiver Maximum Data-Rate (Gbps)	2.5	2.5	2.5	3.125	3.125	3.125	3.125
PCIe Hard IP Blocks	1	1	1	1	1	1	1
User I/O Banks	9	9	9	11	11	11	11
Maximum User I/O	72	150	150	310	310	475	475

Tabella 22

Altre caratteristiche tecniche importanti:

- Ogni LE contiene una LUT a 4 ingressi.

3.5. CYCLONE V

Questa famiglia di FPGA, rilasciata nel 2012 e realizzata in una tecnologia a 28nm, garantisce un risparmio di potenza pari al 40% rispetto alle generazioni precedenti.

La serie Cyclone V si suddivide in sei sotto-famiglie:

Features	Lowest cost and power	3G transceivers	5G transceivers
	Ottimizzato per sistemi a basso costo e consumo per un vasto numero di logiche generali e per applicazioni DSP	Ottimizzato per bassi costi e consumi per applicazioni in cui servono ricetrasmittitori da 614 Mbps a 3.125 Gbps	Ottimizzato per applicazioni in cui servono ricetrasmittitori a 5 Gbps
FPGA	E	GX	GT
Integrated ARM Cortex-A9 MPCore Processor	SE	SX	ST

Tabella 23

La Tab.25 confronta i diversi modelli della famiglia ALTERA CYCLONE V E e le loro caratteristiche principali:

Features	A2	A4	A5	A7	A9
Logic Elements (K)	25	49	77	149.5	301
ALM	9434	18480	29080	56480	113560
Register	37736	73920	116320	225920	454240
M10K Blocks (Kb)	1760	3080	4460	6860	12200
MLAB (Kb)	196	303	424	836	1717
Variable-Precision DSP Blocks	25	66	150	156	342
18x18 Multipliers	50	132	300	312	684
PLL	4	4	6	7	8
GPIO	224	224	240	480	480

LVDS	56	56	60	120	120
Hard Memory Controller	1	1	2	2	2

Tabella 24

GPIO: General Purpose I/O.

LVDS: Low-Voltage Differential Signaling è uno standard di segnale digitale che può correre ad alta velocità su cavi twisted-pair in rame.

La Tab.26 confronta i diversi modelli della famiglia ALTERA CYCLONE V GX e le loro caratteristiche principali:

Features	C3	C4	C5	C7	C9
Logic Elements (K)	31.5	50	77	149.5	301
ALM	11900	18868	29080	56480	113560
Register	47600	75472	116320	225920	454240
M10K Blocks (Kb)	1190	2500	4460	6860	12200
MLAB (Kb)	159	295	424	836	1717
Variable-Precision DSP Blocks	51	70	150	156	342
18x18 Multipliers	102	140	300	312	684
PLL	4	6	6	7	8
3 Gbps Transceivers	3	6	6	9	12
GPIO	208	336	336	480	560
LVDS	52	84	84	120	140
PCIe Hard IP Block	1	2	2	2	2
Hard Memory Controller	1	2	2	2	2

Tabella 25

La Tab.27 confronta i diversi modelli della famiglia ALTERA CYCLONE V GT e le loro caratteristiche principali:

Features	D5	D7	D9
Logic Elements (K)	77	149.5	301
ALM	29080	56480	113560
Register	116320	225920	454240
M10K Blocks (Kb)	4460	6860	12200
MLAB (Kb)	424	836	1717
Variable-Precision DSP Blocks	150	156	342
18x18 Multipliers	300	312	684
PLL	6	7	8
5 Gbps Transceivers	6	9	12
GPIO	336	480	560

LVDS	84	120	140
PCIe Hard IP Blocks	2	2	2
Hard Memory Controller	2	2	2

Tabella 26

La Tab.28 confronta i diversi modelli della famiglia ALTERA CYCLONE V SE e le loro caratteristiche principali:

Features	A2	A4	A5	A6
Logic Elements (K)	25	40	85	110
ALM	9434	15094	32075	41509
Register	37736	60376	128300	166036
M10K Blocks (Kb)	1400	2240	3970	5140
MLAB (Kb)	138	220	480	621
Variable-Precision DSP Blocks	36	58	87	112
18x18 Multipliers	72	116	174	224
FPGA PLL	4	5	6	6
HPS PLL	3	3	3	3
FPGA GPIO	145	145	288	288
HPS I/O	188	188	188	188
LVDS	31	31	72	72
FPGA Hard Memory Controller	1	1	1	1
HPS Hard Memory Controller	1	1	1	1
ARM Cortex-A9 MPCore Processor	Single- or dual-core	Single- or dual-core	Single- or dual-core	Single- or dual-core

Tabella 27

HPS: Hard Processor System.

La Tab.29 confronta i diversi modelli della famiglia ALTERA CYCLONE V SX e le loro caratteristiche principali:

Features	C2	C4	C5	C6
Logic Elements (K)	25	40	85	110
ALM	9434	15094	32075	41509
Register	37736	60376	128300	166036
M10K Blocks (Kb)	1400	2240	3970	5140
MLAB (Kb)	138	220	480	621
Variable-Precision DSP Blocks	36	58	87	112
18x18 Multipliers	72	116	174	224
FPGA PLL	4	5	6	6
HPS PLL	3	3	3	3
3 Gbps Transceivers	6	6	9	9
FPGA GPIO	145	145	288	288
HPS I/O	188	188	188	188

LVDS	31	31	72	72
PCIe Hard IP Block	2	2	2	2
FPGA Hard Memory Controller	1	1	1	1
HPS Hard Memory Controller	1	1	1	1
ARM Cortex-A9 MPCore Processor	dual-core	dual-core	dual-core	dual-core

Tabella 28

La Tab.30 confronta i diversi modelli della famiglia ALTERA CYCLONE V ST e le loro caratteristiche principali:

Features	D5	D6
Logic Elements (K)	85	110
ALM	32075	41509
Register	128300	166036
M10K Blocks (Kb)	3970	5140
MLAB (Kb)	480	621
Variable-Precision DSP Blocks	87	112
18x18 Multipliers	174	224
FPGA PLL	6	6
HPS PLL	3	3
5 Gbps Transceivers	9	9
FPGA GPIO	288	288
HPS I/O	188	188
LVDS	72	72
PCIe Hard IP Block	2	2
FPGA Hard Memory Controller	1	1
HPS Hard Memory Controller	1	1
ARM Cortex-A9 MPCore Processor	dual-core	dual-core

Tabella 29

Le novità principali rispetto alla generazione precedente:

- 16 linee di clock globale.
- 40% di consumo di potenza in meno rispetto ai dispositivi CycloneIV.
- MLAB è un superset di LAB ed include tutte le caratteristiche delle LAB. Ogni MLAB supporta un massimo di 640 bit di SRAM simple-dual port. E' possibile configurare ogni ALM in una MLAB come blocco di memoria 32 x 2, così da avere una configurazione finale di un blocco SRAM simple-dual port 32 x 20.
- ALM a 8 ingressi.

- Una ALM (Adaptive Logic Modules) contiene quattro registri programmabili, ognuno dei quali ha le seguenti porte:

-dati.

-clock.

-clear sincrono ed asincrono.

-load sincrono.

I segnali globali, i pin di I/O o qualsiasi logica interna possono pilotare il clock od il segnale di clear di questi registri.

Per funzioni combinatorie, i registri sono bypassati e l'uscita della LUT pilota direttamente l'uscita dell'ALM.

Ogni ALM ha due set di uscite (uscite generiche e uscite register chain) che pilotano le risorse locali, righe e colonne. La LUT, il sommatore o il registro di uscita possono pilotare l'uscita dell' ALM. Per ogni set di risorse che pilotano l'uscita, due uscite dell'ALM possono pilotare colonne, righe o connessioni in direct link ed uno di questi output dell'ALM può anche pilotare risorse locali di interconnessione.

Il LUT o il sommatore possono pilotare un' uscita mentre il registro ne pilota un'altra. Ciò viene chiamato register packing e migliora l'utilizzo del dispositivo consentendo a registri non correlati tra loro e a logiche combinatorie di essere raggruppate in una singola ALM. Un altro meccanismo di miglioramento delle prestazioni è permettere all'uscita del registro di andare nella LUT della stessa ALM.

Una ALM può operare nei seguenti modi:

-normal mode.

-extended LUT mode.

-arithmetic mode.

-shared arithmetic mode.

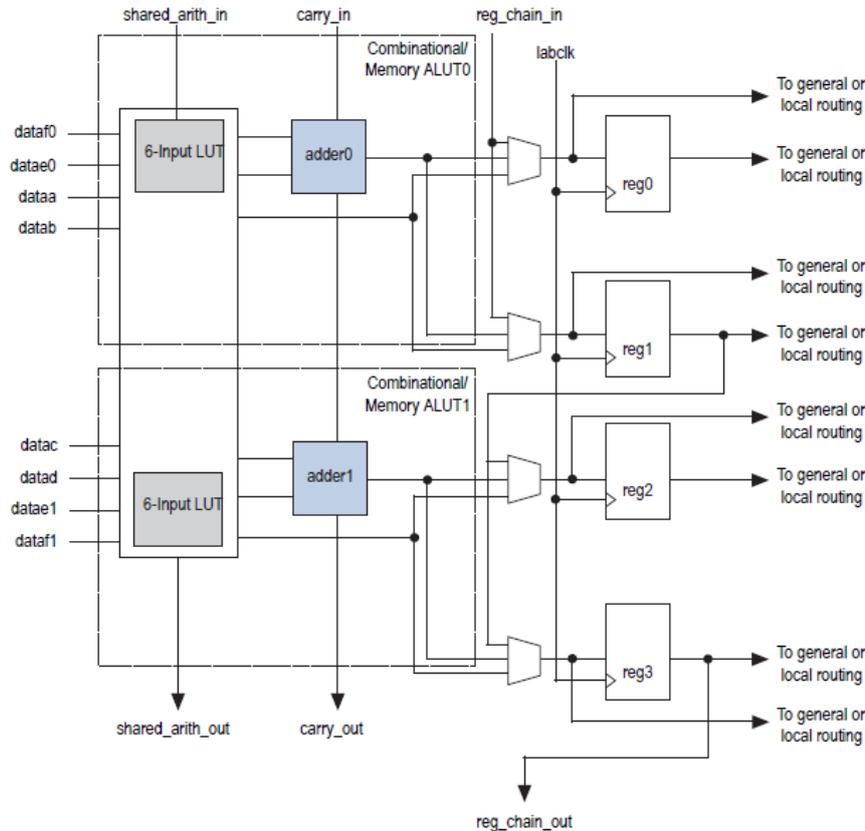


Figura 23

Diagramma a blocchi di un ALM di un FPGA CycloneV, come riportato in [22]

Normal mode

Ideale per applicazioni logiche generiche e funzioni combinatorie, questa modalità permette a due funzioni (o una funzione a sei ingressi) di essere implementate in una ALM. Fino ad otto ingressi dati dall'interconnessione locale del LAB sono immessi nella logica combinatoria.

Extended LUT mode

In questa modalità, se la funzione a sette ingressi non è registrata, l'ottavo ingresso non utilizzato è disponibile per il register packing.

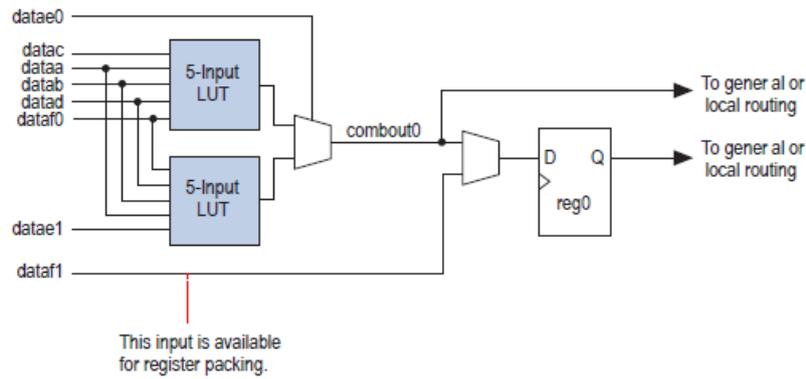


Figura 24

Modello di una ALM in Extended LUT mode, come riportato in [11]

Arithmetic mode

Questa modalità è ideale per implementare sommatori, contatori, accumulatori e comparatori.

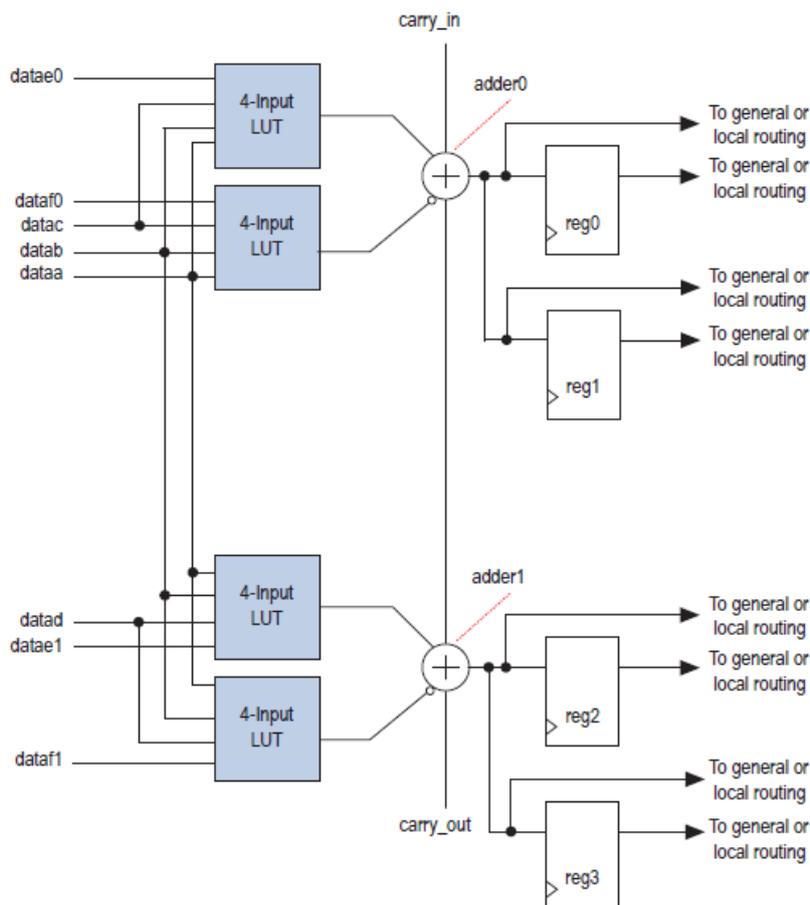


Figura 25

ALM in arithmetic mode, come riportato in [11]

Ogni LUT computa la somma di tre ingressi o il riporto di tre ingressi. L'uscita della computazione del riporto è riportata al sommatore adiacente usando una connessione dedicata chiamata shared arithmetic chain.

In questo modo si riducono le risorse necessarie per costruire alberi di sommatore di dimensioni elevate o correlatori di funzioni.

- Ogni CycloneV ha un blocco DSP a precisione variabile che offre le seguenti caratteristiche:
 - operazioni di moltiplicazione registrate, ottimizzazione della potenza e alte performance.
 - lunghezza di parola di 9-, 18- e 27-bit.
 - addizioni, sottrazioni e unità di accumulo a 64-bit per combinare i risultati delle moltiplicazioni.
 - bus d'uscita a 64-bit in cascata per propagare i risultati da un blocco all'altro senza supporti logici esterni.
 - pre-sommatore supportato sia in modalità 19-bit che in modalità 27-bit per filtri simmetrici.
 - banco di registri a coefficiente interno per implementazioni di filtraggio.
 - filtri FIR (Finite Impulse Response) sistolici a 18- e 27-bit con sommatore in uscita.

Il blocco DSP a precisione variabile consiste in un banco di registro d'ingresso, un pre-sommatore, una circuiteria di coefficienti interni, moltiplicatori, accumulatori e chainout adder, in registri sistolici e in un banco di registri d'uscita (come riportato in Figura 27).

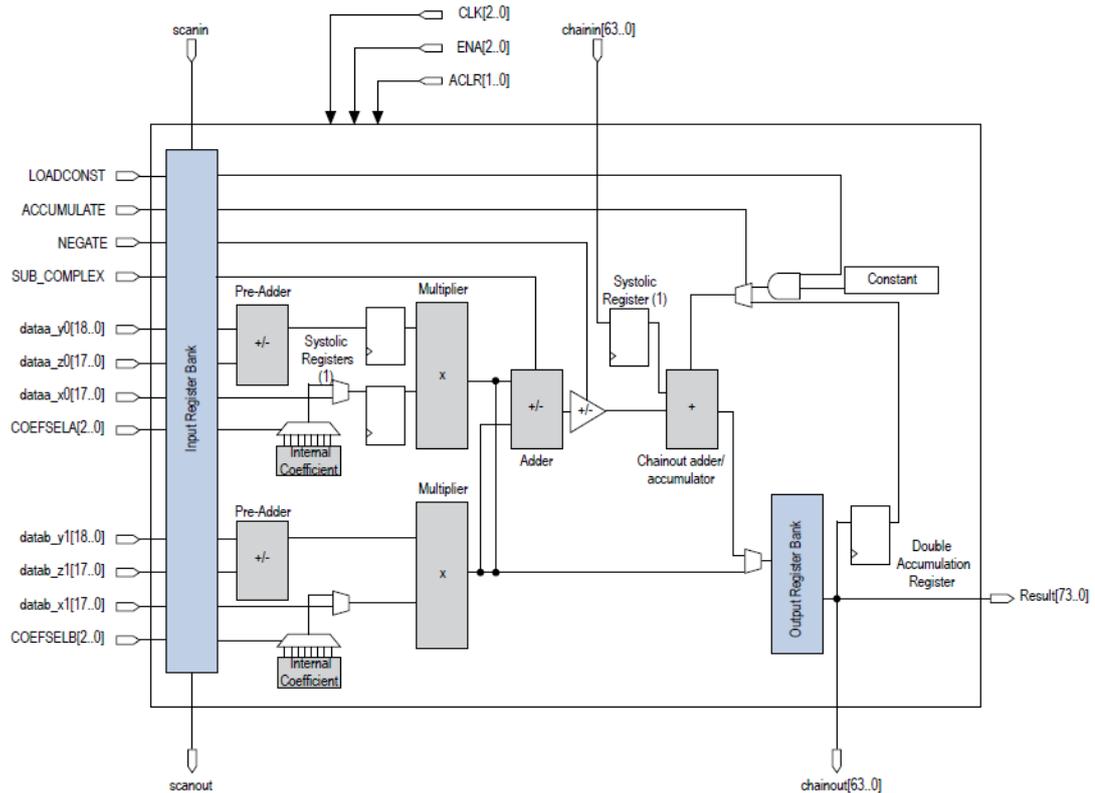


Figura 27

Architettura di un blocco DSP a precisione variabile, come riportato in [11]

- Gli Hard Memory Controllers sono implementati nei dispositivi FPGA e possono essere usati per le interfacce SDRAM (LPDDR2, DDR2 e DDR3). Paragonati con i memory controllers implementati usando la logica del core, questi supportano frequenze maggiori con cicli di latenza più corti. Questi controller utilizzano pin di I/O dedicati come dati, indirizzo, comando, controllo e clock per l'interfaccia SDRAM (se non si fa uso di questi pin per questo scopo, questi ultimi possono essere usati come pin di I/O regolari).

3.6. ARRIA GX

Questa famiglia di FPGA, annunciata nel 2007 e realizzata in una tecnologia a 90nm, rappresenta la gamma di livello medio per ALTERA.

Questi dispositivi contengono ricetrasmittitori seriali a 3.125 Gbps ed includono dai 4 ai 12 canali di ricetrasmisione, ognuno con incorporato la tecnologia CDR (Clock Data Recovering) ed una circuiteria progettata per supportare PCI-Express, Gigabit Ethernet, SDI, SerialLite II, XAUI.

La Tab.31 confronta i diversi modelli della famiglia ARRIA GX e le loro caratteristiche principali:

Features	EP1AGX20C	EP1AGX35C/D		EP1AGX50C/D		EP1AGX60C/D/E			EP1AGX90E
	C	C	D	C	D	C	D	E	E
ALMs	8632	13408		20064		24040			36088
Logic Elements	21580	33520		50160		60100			90220
Transceivers Channels	4	4	8	4	8	4	8	12	12
Transceiver Data Rate	600 Mbps to 3.125Gbps	600 Mbps to 3.125Gbps		600 Mbps to 3.125Gbps		600 Mbps to 3.125Gbps			600 Mbps to 3.125Gbps
Source-Synchronous Receive Channels	31	31	31	31	31, 42	31	31	42	47
Source-Synchronous Transmit Channels	29	29	29	29	29, 42	29	29	42	45
M512 RAM Blocks	166	197		313		326			428
M4K RAM Blocks	118	140		242		252			400
M-RAM Blocks	1	1		2		2			4
Total RAM Bits	1229184	1348416		2475072		2528640			4477824
Embedded Multipliers (18x18)	40	56		104		128			176
DSP Blocks	10	14		26		32			44

PLLs	4	4		4	4, 8	4		8	8
Maximum User I/O Pins	230, 341	230	341	229	350, 514	229	350	514	538

Tabella 30

Le principali novità di questa famiglia:

- 16 linee di clock globale.
- La memoria TriMatrix consiste in tre tipi di blocchi RAM: M512, M4K e blocchi M-RAM configurabili come riportato in tabella:

Memory Feature	M512 RAM Block (32 x 18 bits)	M4K RAM Block (128 x 36 bits)	M-RAM Block (4K x 144 bits)
True dual-port memory		√	√
Simple dual-port memory	√	√	√
Single-port memory	√	√	√
Shift Register	√	√	
ROM	√	√	(2)
FIFO Buffer	√	√	√
Byte Enable		√	√
Parity Bits	√	√	√
Mixed clock mode	√	√	√
Memory initialization	√	√	
Simple dual-port memory mixed with support	√	√	√
True dual-port memory mixed with support		√	√
Power-up conditions	Outputs cleared	Outputs cleared	Outputs unknown
Registers clears	Input and output registers	Input and output registers	Output registers
Mixed-port read-during-write	Unknown output/old data	Unknown output/old data	Unknown output
Configurations	512 x 1 256 x 2 128 x 4 64 x 8 64 x 9 32 x 16 32 x 18	4K x 1 2K x 2 1K x 4 512 x 8 512 x 9 256 x 16 256 x 18 128 x 32 128 x 36	64K x 8 64K x 9 32K x 16 32K x 18 16K x 32 16K x 36 8K x 64 8K x 72 4K x 128 4K x 144

Tabella 31

Caratteristiche TriMatrix Memory, come riportato in [10]

(2) Il blocco M-RAM può emulare una ROM usando un blocco RAM dual-port.

3.7. ARRIA II

Questa famiglia di FPGA, rilasciata nel 2010, è realizzata in una tecnologia a 40nm.

La Tab.33 confronta i diversi modelli della famiglia ARRIA II GX e le loro caratteristiche principali:

Feature	EP2AGX45	EP2AGX65	EP2AGX95	EP2AGX125	EP2AGX190	EP2AGX260
Total Transceivers	8	8	12	12	16	16
ALMs	18050	25300	37470	49640	76120	102600
Logic Elements	42959	60214	89178	118143	181165	244188
PCIe Hard IP Blocks	1	1	1	1	1	1
M9K Blocks	319	495	612	730	840	950
M144K Blocks	-	-	-	-	-	-
Total Embedded Memory in M9K Blocks (Kbits)	2871	4455	5508	6570	7560	8550
Total On-Chip Memory (Kbits)	3435	5246	6679	8121	9939	11756
Embedded Multipliers (18x18)	232	312	448	576	656	736
General Purpose PLLs	4	4	6	6	6	6
Transceiver TX PLLs	2 o 4	2 o 4	4 o 6	4 o 6	6 o 8	6 o 8
User I/O Banks	6	6	8	8	12	12
High-Speed LVDS SERDES	8, 24 o 28	8, 24 o 28	24, 28 o 32	24, 28 o 32	28 o 48	24 o 48

Tabella 32

La Tab.34 confronta i diversi modelli della famiglia ARRIA II GZ e le loro caratteristiche principali:

Feature	EP2AGZ225	EP2AGZ300	EP2AGZ350
Total Transceivers	16 o 24	16 o 24	16 o 24
ALMs	89600	119200	139400
Logic Elements	224000	298000	348500
PCIe Hard IP Blocks	1	1	1
M9K Blocks	1235	1248	1248
M144K Blocks	-	24	36

Total Embedded Memory in M9K Blocks (Kbits)	11115	14688	16416
Total On-Chip Memory (Kbits)	13915	18413	20772
Embedded Multipliers (18x18)	800	920	1040
General Purpose PLLs	6 o 8	4, 6 o 8	4, 6 o 8
Transceiver TX PLLs	8 o 12	8 o 12	8 o 12
User I/O Banks	16 o 20	8, 16 o 20	8, 16 o 20
High-Speed LVDS SERDES	42 o 86	0, 42 o 86	0, 42 o 86

Tabella 33

-Alcune caratteristiche variano a seconda del package.

Le principali novità rispetto alla generazione precedente:

- 16 linee di clock globale.
- LUT a 8 ingressi frazionabili (grazie alla ALM).
- Nuova modalità per le ALM: LUT-Register Mode

Questa modalità consente di avere un terzo registro all'interno di un ALM. Due loop di feedback interni permettono alla *ALUTI* di implementare un latch e alla *ALUT0* di implementare uno slave latch necessario per il terzo registro. Il registro della LUT condivide il clock, clock enable e le risorse di clear sincrone con i registri dedicati.

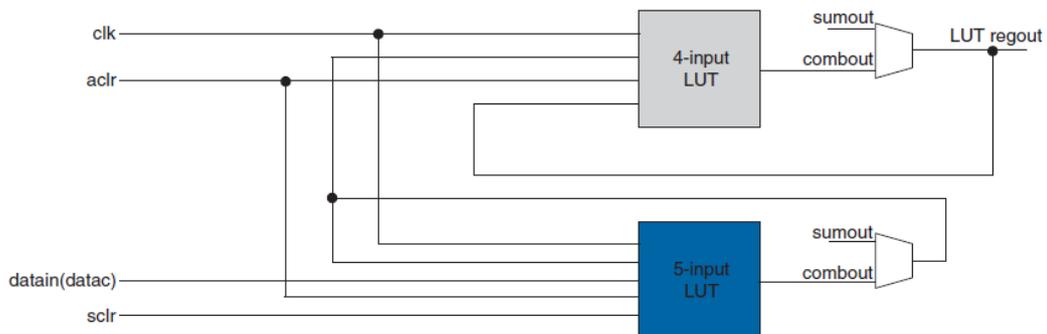


Figura 28

Costruzione del registro usando due blocchi combinatori, come riportato in [13]

- I SERDES (Serializer/Deserializer) LVDS sono dei blocchi funzionali usati per compensare input/output limitati utilizzando lo standard LVDS (Low-Voltage Differential Signaling). Questi blocchi convertono i dati tra seriale e parallelo in ogni direzione.

3.8. ARRIA V

Questa famiglia di FPGA, rilasciata nel 2012 e realizzata in una tecnologia a 28 nm, è ottimizzata per applicazioni che richiedono bassa potenza e data-rate di 6 Gbps e 10 Gbps fino ad applicazioni che fanno uso di transceiver a 12.5 Gbps. Per questi motivi, i dispositivi ArriaV sono ideali per infrastrutture wireless a bassa potenza, processamento video ad alta definizione, manipolazione di immagini e applicazioni DSP intensive.

ArriaV è divisa in cinque sotto-famiglie:

- ArriaV GX: FPGA con transceiver integrati a 6.5536 Gbps.
- ArriaV GT: FPGA con transceiver integrati a 10.3125 Gbps.
- ArriaV GZ: FPGA con transceiver integrati a 12.5 Gbps.
- ArriaV SX: SoC (System on-Chip) FPGA con ARM-HPS integrato e transceiver a 6.5536 Gbps.
- ArriaV ST: SoC (System on-Chip) FPGA con ARM-HPS integrato e transceiver a 10.3125 Gbps.

La Tab.35 confronta i diversi modelli della famiglia ARRIA V GX e le loro caratteristiche principali:

Features	A1	A3	A5	A7	B1	B3	B5	B7
Logic Elements (K)	75	156	190	242	300	362	420	504
ALM	28302	58900	71698	91680	113208	136880	158491	190240
Register	113208	235600	286792	366720	452832	547520	633964	760960
M10K Memory (Kb)	8000	10510	11800	13660	15100	17260	20540	24140
MLAB Memory (Kb)	463	961	1173	1448	1852	2098	2532	2906
Variable Precision DSP Block	240	396	600	800	920	1045	1092	1156
18x18 Multiplier	480	792	1200	1600	1840	2090	2184	2312
PLL	10	10	12	12	12	12	16	16
6 Gbps Transceiver	9	9	24	24	24	24	36	36
GPIO	416	416	544	544	704	704	704	704
LVDS Trasmitter	68	68	120	120	160	160	160	160
LVDS Receiver	80	80	136	136	176	176	176	176
PCIe Hard IP Block	1	1	2	2	2	2	2	2
Hard Memory Controller	2	2	4	4	4	4	4	4

Tabella 34

La Tab.36 confronta i diversi modelli della famiglia ARRIA V GT e le loro caratteristiche principali:

Features	C3	C7	D3	D7
Logic Elements (K)	156	242	362	504
ALM	58900	91680	163880	190240
Register	235600	366720	547520	760960
M10K Memory (Kb)	10510	13660	17260	24140
MLAB Memory (Kb)	961	1448	2098	2906
Variable Precision DSP Block	396	800	1045	1156
18x18 Multiplier	792	1600	2090	2312
PLL	10	12	12	16
6 Gbps Transceiver	9	24	24	36
10 Gbps Transceiver	4	12	12	20
GPIO	416	544	704	704
LVDS Trasmitter	68	120	160	160
LVDS Receiver	80	136	176	176
PCIe Hard IP Block	1	2	2	2
Hard Memory Controller	2	4	4	4

Tabella 35

La Tab.37 confronta i diversi modelli della famiglia ARRIA V GZ e le loro caratteristiche principali:

Features	E1	E3	E5	E7
Logic Elements (K)	220	360	400	450
ALM	83020	135840	150960	169800
Register	332080	543360	603840	679200
M20K Memory (Kb)	11700	19140	28800	34000
MLAB Memory (Kb)	2594	4245	4718	5306
Variable Precision DSP Block	800	1044	1092	1139
18x18 Multiplier	1600	2088	2184	2278
PLL	20	20	24	24
12.5 Gbps Transceiver	24	24	36	36
GPIO	414	414	674	674
LVDS Trasmitter	99	99	166	166
LVDS Receiver	108	108	168	168
PCIe Hard IP Block	1	1	1	1

Tabella 36

La Tab.38 confronta i diversi modelli della famiglia ARRIA V SX e le loro caratteristiche principali:

Features	B3	B5
Logic Elements (K)	350	462
ALM	132075	174340
Register	528300	697360
M10K Memory (Kb)	17290	22820
MLAB Memory (Kb)	2014	2658
Variable Precision DSP Block	809	1068
18x18 Multiplier	1618	2136
FPGA PLL	10	14
HPS PLL	3	3
6 Gbps Transceiver	30	30
FPGA GPIO	540	540
HPS I/O	210	210
LVDS Trasmitter	120	120
LVDS Receiver	136	136
PCIe Hard IP Block	2	2
FPGA Hard Memory Controller	3	3
HPS Hard Memory Controller	1	1
ARM Cortex-A9 MPCore Processor	Dual-core	Dual-core

Tabella 37

La Tab.39 confronta i diversi modelli della famiglia ARRIA V ST e le loro caratteristiche principali:

Features	B3	B5
Logic Elements (K)	350	462
ALM	132075	174340
Register	528300	697360
M10K Memory (Kb)	17290	22820
MLAB Memory (Kb)	2014	2658
Variable Precision DSP Block	809	1068
18x18 Multiplier	1618	2136
FPGA PLL	10	14
HPS PLL	3	3
6 Gbps Transceiver	30	30
10 Gbps Transceiver	16	16
FPGA GPIO	540	540
HPS I/O	210	210
LVDS Trasmitter	120	120
LVDS Receiver	136	136

PCIe Hard IP Block	2	2
FPGA Hard Memory Controller	3	3
HPS Hard Memory Controller	1	1
ARM Cortex-A9 MPCore Processor	Dual-core	Dual-core

Tabella 38

Le principali novità rispetto alla generazione precedente:

- 16 linee di clock globale.
- LUT a 8 ingressi frazionabile (grazie alla ALM).
- Riduzione di potenza del 50% (meno di 1.2 W per 500000 elementi logici).
- Alimentazione del core selezionabile: 0.85V, 1.1V o 1.15V.

3.9. STRATIX

Questa famiglia di FPGA, annunciata nel 2002, è la prima della serie ad alte prestazioni.

Le Tab.40 e 41 confrontano i diversi modelli della famiglia Stratix e le loro caratteristiche principali:

Feature	Logic Elements	M512 RAM Blocks	M4k RAM Blocks	MegaRAM Blocks	Total RAM bits
EP1S10	10570	94	60	1	920448
EP1S20	18460	194	82	2	1669248
EP1S25	25660	224	138	2	1944576
EP1S30	32470	295	171	4	3317744
EP1S40	41250	384	183	4	3423744
EP1S60	57120	574	292	6	5215104
EP1S80	79040	767	364	9	7427520
EP1S120	114140	1118	520	12	10118016

Tabella 39

Feature	DSP Blocks	Embedded Multipliers	PLLs	Maximum User I/O Pins
EP1S10	6	48	6	422
EP1S20	10	80	6	582
EP1S25	10	80	6	702

EP1S30	12	96	10	726
EP1S40	14	112	12	818
EP1S60	18	144	12	1018
EP1S80	22	176	12	1234
EP1S120	28	224	12	1310

Tabella 40

Le principali novità di questa famiglia:

- LUT a 4 ingressi.
- 16 reti di clock globale.
- I dispositivi Stratix fanno uso della tecnologia DirectDrive, ossia una tecnologia di routing deterministica che assicura un uso di risorse di routing identico per qualsiasi funzione. Questa tecnologia semplifica lo stage di integrazione dei progetti basati su blocchi eliminando il tempo perso per i cicli di ottimizzazione tipici di questi progetti.

3.10. STRATIX II

Questa famiglia, annunciata nel 2004 e realizzata in una tecnologia a 90nm, ha permesso un miglioramento di prestazioni rispetto alla generazione Stratix.

La Tab.42 confronta i diversi modelli della famiglia StratixII e le loro caratteristiche principali:

Features	EP2S15	EP2S30	EP2S60	EP2S90	EP2S130	EP2S180
ALMs	6240	13552	24176	36384	53016	71760
Adaptive LUT	12480	27104	48352	72768	106032	143520
Logic Elements	15600	33880	60440	90960	132540	179400
M512 RAM Blocks	104	202	329	488	699	930
M4k RAM Blocks	78	144	255	408	609	768
M-RAM Blocks	0	1	2	4	6	9
Total RAM bits	419328	1369728	2544192	4520488	6747840	9383040
DSP Blocks	12	16	36	48	63	96
18-bit x 18-bit multipliers	48	64	144	192	252	384
PLLs	2	2	4	4	4	4
Fast PLL	4	4	8	8	8	8
Maximum User I/O Pins	366	500	718	902	1126	1170

Tabella 41

Le principali novità rispetto alla generazione precedente:

- 16 reti globali di clock.
- ALM a 8 ingressi.

3.11. STRATIX III

Questa famiglia, annunciata nel 2006 e realizzata una tecnologia a 65 nm, incorpora caratteristiche per combinare alte prestazioni con consumi di potenza ridotti del 50% rispetto alle generazioni precedenti, includendo:

- tecnologia di potenza programmabile.
- alimentazione del core selezionabile (0.9 V o 1.1 V).
- implementazione di DDR3 a 533 MHz.

Altera StratixIII è divisa in due sotto-famiglie:

- StratixIII L: per applicazioni che richiedono un alto numero di logiche.
- StratixIII E: per applicazioni che richiedono un uso importante di DSP e memoria.

Le Tab.43 e 44 confrontano i diversi modelli della famiglia StratixIII e le loro caratteristiche principali:

Features	EP3SL50	EP3SL70	EP3SL110	EP3SL150	EP3SL200	EP3SL340
ALMs	19K	27K	43K	57K	80K	135K
Logic Elements	47.5K	67.5K	107.5K	142.5K	200K	337.5K
M9K Blocks	108	150	275	355	468	1040
M144K Blocks	6	6	12	16	36	48
MLAB Blocks	950	1350	2150	2850	4000	6750
Total Embedded RAM Kbits	1836	2214	4203	5499	9396	16272
MLAB RAM Kbits	297	422	672	891	1250	2109
Toatal RAM Kbits	2133	2636	4875	6390	10646	18381
18 x 18-bit Multipliers	216	288	288	384	576	576
PLLs	4	4	8	8	12	12

Tabella 42

Features	EP3SE50	EP3SE80	EP3SE110	EP3SE260
ALMs	19K	32K	43K	102K
Logic Elements	47.5K	80K	107.5K	255K
M9K Blocks	400	495	639	864
M144K Blocks	12	12	16	48
MLAB Blocks	960	1600	2150	5100
Total Embedded RAM Kbits	5328	6183	8055	14688
MLAB RAM Kbits	297	500	672	1594
Total RAM Kbits	5625	6683	8727	16282
18 x 18-bit Multipliers	384	672	896	768
PLLs	4	8	8	12

Tabella 43

Le principali novità rispetto alla generazione precedente:

- 16 reti di clock globali.
- ALM a 8 ingressi.
- In questi dispositivi è disponibile la shared arithmetic chain se si utilizza la ALM in arithmetic mode che permette alla ALM di implementare un sommatore a tre ingressi. Ciò riduce significativamente le risorse necessarie per implementare un insieme di sommatore o un correlatore di funzioni. La shared arithmetic chain può iniziare sia nel primo che nel sesto ALM di un LAB e, similmente alla carry chain, può essere bypassata.

3.12. STRATIX IV

Questa famiglia, annunciata nel 2008 e realizzata in una tecnologia a 40nm, è suddivisa in tre sotto-famiglie:

- StratixIV E: fino a 813050 elementi logici, 33294 kb RAM, 1288 moltiplicatori 18x18.
- StratixIV GX: fino a 531200 celle logiche, 27376 kb RAM, 1288 moltiplicatori 18x18 e 48 ricetrasmittitori con capacità di data-rate fino a 8.5 Gbps.
- StratixIV GT: stesse caratteristiche della sotto-famiglia GX a parte un transceiver con capacità di data rate fino a 11.3 Gbps .

Le Tab.45 e 46 confrontano i diversi modelli della famiglia StratixIV GX e le loro caratteristiche principali:

Features	ALM	Logic Element	0.6-8.5 Gbps Transceiver	0.6-6.5 Gbps Transceiver	PMA-only CMU Channel	PCI Express hard IP Block	High-Speed LVDS SERDES	SPI-4.2 Link
EP4SGX70/F780	29040	72600	-	8	-	1	28	1
EP4SGX70/F1152	29040	72600	16	-	8	2	56	1
EP4SGX110/F780	42240	105600	-	8	-	1	28	1
EP4SGX110/F71152	42240	105600	16	16	8	2	56	1
EP4SGX180/F780	70300	175750	-	8	-	1	28	1
EP4SGX180/F1152	70300	175750	16	16	8	2	44	2
EP4SGX180/F1517	70300	175750	24	-	12	1	88	4
EP4SGX230/F780	91200	228000	-	8	-	1	28	1
EP4SGX230/F1152	91200	228000	16	16	8	2	44	2
EP4SGX230/F1517	91200	228000	24	-	12	2	88	4
EP4SGX290/F780	116480	291200	-	16	-	2	-	-
EP4SGX290/F1152	116480	291200	16	16	8	2	44	2
EP4SGX290/F1517	116480	291200	24	-	12	2	88	4
EP4SGX290/F1760	116480	291200	24	-	12	2	88	4
EP4SGX290/F1932	116480	291200	32	-	16	4	98	4
EP4SGX360/F780	141440	353600	-	16	-	2	-	-
EP4SGX360/F1152	141440	353600	16	16	8	2	44	2
EP4SGX360/F1517	141440	353600	24	-	12	2	88	4
EP4SGX360/F1760	141440	353600	24	-	12	2	88	4
EP4SGX360/F1932	141440	353600	32	-	16	4	98	4
EP4SGX530/F1760	212480	531200	24	-	12	4	88	4
EP4SGX530/F1932	212480	531200	32	-	16	4	98	4

Tabella 44

Features	M9K Block	M144K Block	Total Memory (Kb)	Embedded Multiplier 18x18	PLL	User I/O	Speed Grade
EP4SGX70/F780	462	16	7370	384	3	372	-2x, -3, -4
EP4SGX70/F1152	462	16	7370	384	4	488	-2x, 3, -4
EP4SGX110/F780	660	16	9564	512	3	372	-2x, 3, -4
EP4SGX110/F1152	660	16	9564	512	4	488	-2x, 3, -4
EP4SGX180/F780	960	20	13627	920	3	372	-2x, 3, -4
EP4SGX180/F1152	960	20	13627	920	6	564	-2x, 3, -4
EP4SGX180/F1517	960	20	13627	920	8	744	-2x, 3, -4
EP4SGX230/F780	1235	22	17133	1288	3	372	-2x, 3, -4
EP4SGX230/F1152	1235	22	17133	1288	6	564	-2x, 3, -4
EP4SGX230/F1517	1235	22	17133	1288	8	744	-2x, 3, -4
EP4SGX290/F780	936	36	17248	832	4	289	-2x, 3, -4
EP4SGX290/F1152	936	36	17248	832	6	564	-2x, 3, -4
EP4SGX290/F1517	936	36	17248	832	8	744	-2x, 3, -4
EP4SGX290/F1760	936	36	17248	832	12	880	-2x, 3, -4
EP4SGX290/F1932	936	36	17248	832	12	920	-2x, 3, -4
EP4SGX360/F780	1248	48	22564	1040	4	289	-2x, 3, -4
EP4SGX360/F1152	1248	48	22564	1040	6	564	-2x, 3, -4
EP4SGX360/F1517	1248	48	22564	1040	8	744	-2x, 3, -4
EP4SGX360/F1760	1248	48	22564	1040	12	880	-2x, 3, -4
EP4SGX360/F1932	1248	48	22564	1024	12	920	-2x, 3, -4
EP4SGX530/F1760	1280	64	27376	1024	12	880	-2x, 3, -4
EP4SGX530/F1932	1280	64	27376	1024	12	920	-2x, 3, -4

Tabella 45

La Tab.47 confronta i diversi modelli della famiglia StratixIV E e le loro caratteristiche principali:

Features	EP4SE230	EP4SE360	EP4SE530	EP4SE820
Package Pin Count	780	780 1152	1152 1517 1760	1152 1517 1760
ALMs	91200	141440	212480	325220
Logic Elements	228000	353600	531200	813050
High-Speed SERDES LVDS	56	56 88	88 112 112	88 112 132
SPI-4.2 Links	3	3 4	4 6 6	4 6 6
M9K Blocks	1235	1248	1280	1610
M144K Blocks	22	48	64	60

Total Memory (Kb)	17133	22564		27376			33294		
Embedded Multipliers 18x18	1288	1040		1024			960		
PLLs	4	4	8	8	12	12	8	12	12
User I/Os	488	488	744	744	976	976	744	976	1120
Speed Grade (fastest to slowest)	-2, -3, -4	-2, -3, -4	-2, -3, -4	-2, -3, -4	-2, -3, -4	-2, -3, -4	-3, -4	-3, -4	-3, -4

Tabella 46

La Tab.48 confronta i diversi modelli della famiglia StratixIV GT e le loro caratteristiche principali:

Feature	EP4S40G2	EP4S40G5	EP4S100G2	EP4S100G3	EP4S100G4	EP4S100G5	
Package Pin Count	1517	1517	1517	1932	1932	1517	1932
ALMs	91200	212480	91200	116480	141440	212480	212480
Logic Elements	228000	531200	228000	291200	353600	531200	531200
Total Transceiver Channel	36	36	36	48	48	36	48
10G Transceiver Channel	12	12	24	24	24	24	32
8G Transceiver Channel	12	12	0	8	8	0	0
PMA-Only CMU Channel	12	12	12	16	16	12	16
PCIe Hard IP Block	2	2	2	4	4	2	4
High-Speed LVDS SERDES	46	46	46	47	47	46	47
SPI-4.2 Links	2	2	2	2	2	2	2
M9K Block	1235	1280	1235	936	1248	1280	1280
M144K Block	22	64	22	36	48	64	64
Total Memory	17133	27376	17133	17248	22564	27376	27376
Embedded Multipliers 18x18	1288	1024	1288	832	1024	1024	1024
PLL	8	8	8	12	12	8	12
User I/Os	654	654	654	781	781	654	781
Speed Grade (fastest to slowest)	-1, -2, -3	-1, -2, -3	-1, -2, -3	-1, -2, -3	-1, -2, -3	-1, -2, -3	-1, -2, -3

Tabella 47

Le principali novità rispetto alla generazione precedente:

- 16 reti globali di clock.
- Fino a 48 canali full-duplex per i transceiver che permettono una data rate fino a 8.5 Gbps nei device StratixIV GX e fino a 11.3 Gbps nei dispositivi StratixIV GT .
- Come riportato in[25] SPI-4.2 è una versione della System Packet Interface ed è quindi un' interfaccia per trasferimento di pacchetti tra un device physical layer ad un device link layer .
- I dispositivi StratixIV GX e GT contengono due canali CMU- *CMU0* e *CMU1*- all'interno del blocco del transceiver. Ogni canale CMU contiene un CMU PLL che provvede al clock dei canali del trasmettitore.

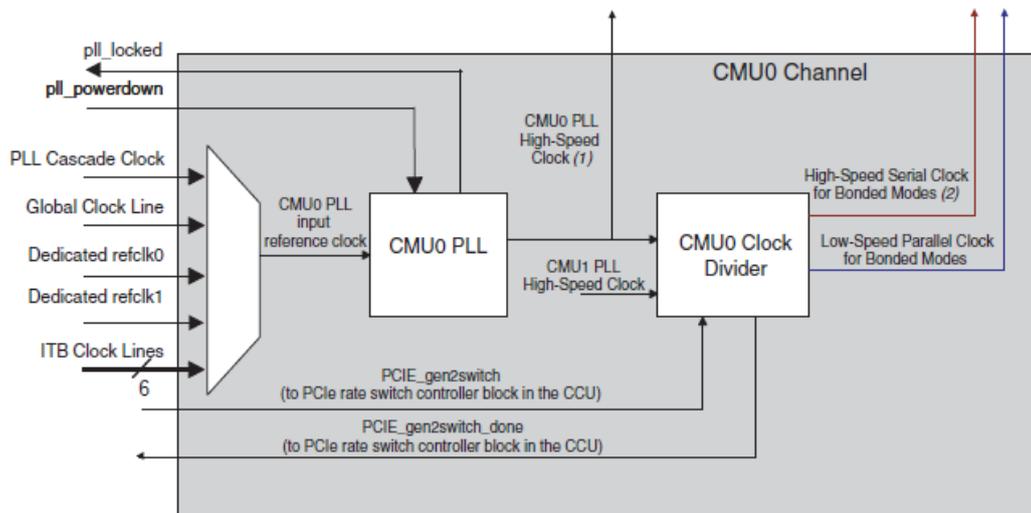


Figura 29

Canale CMU0 con CMU0 PLL e CMU0 clock divider, come riportato in [13]

Si può selezionare il clock di ingresso per il CMU0 PLL da diverse risorse di clock:

- clock derivante dai PLL in cascata.
- linea globale di clock .
- *refclk0*: clock dedicato del blocco transceiver .
- *refclk1*: clock dedicato del blocco transceiver .

-linee ITB (Inter Transceiver Block) che connettono *refclk0* e *refclk1* di tutti gli altri blocchi transceiver allo stesso lato del device.

3.13. STRATIX V

Questa famiglia, annunciata nel 2010 e realizzata in una tecnologia a 28nm, è suddivisa in quattro sotto-famiglie:

- StratixV E: ottimizzata per prototipazioni ASIC con 952000 elementi logici.
- StratixV GX: ottimizzata per applicazioni con una data-rate fino a 14.1 Gbps.
- StratixV GT: ottimizzata per applicazioni con una data-rate fino a 28.05Gbps come 40G/100G/400G.
- StratixV GS: ottimizzata per applicazioni DSP (Digital Signal Processing) a precisione variabile con capacità di data-rate fino a 14.1 Gbps.

La Tab.49 confronta i diversi modelli della famiglia StratixV GT e le loro caratteristiche principali:

Feature	5SGTC5	5SGTC7
Logic Elements (K)	425	622
Registers (K)	642	939
28.05/12.5-Gbps Transceivers	4/32	4/32
PCIe Hard IP Blocks	1	1
Fractional PLLs	28	28
M20K Memory Blocks	2304	2560
M20K Memory (Mbits)	45	50
Variable Precision Multipliers (18x18)	512	512
Variable Precision Multipliers (27x27)	256	256
DDR3 SDRAM x72 DIMM Interfaces	4	4

Tabella 48

La Tab.50 confronta i diversi modelli della famiglia StratixV GX e le loro caratteristiche principali:

Features	5SGXA3	5SGXA4	5SGXA5	5SGXA7	5SGXA9	5SGXAB	5SGXB5	5SGXB6	5SGXB9	5SGXBB
Logic Elements (K)	340	420	490	622	840	952	490	597	840	952

Registers (K)	513	634	740	939	1268	1437	740	902	1268	1437
14.1-Gbps Transceivers	12, 24 o 36	24 o 36	24, 36 o 48	24, 36 o 48	36 o 48	36 o 48	66	66	66	66
PCIe Hard IP Blocks	1 o 2	1 o 2	1, 2 o 4	1, 2 o 4	1, 2 o 4	1, 2 o 4	1 o 4	1 o 4	1 o 4	1 o 4
Fractional PLLs	20	24	28	28	28	28	24	24	32	32
M20K Blocks	957	1900	2304	2560	2640	2640	2100	2660	2640	2640
M20K Memory (Mbits)	19	37	45	50	52	52	41	52	52	52
Variable Precision Multipliers (18x18)	512	512	512	512	704	704	798	798	704	704
Variable Precision Multipliers (27x27)	256	256	256	256	352	352	399	399	352	352
DDR3 SDRAM x72 DIMM Interfaces	4	4	6	6	6	6	4	4	4	4

Tabella 49

La Tab.51 confronta i diversi modelli della famiglia StratixV E e le loro caratteristiche principali:

Features	5SEE9	5SEEB
Logic Elements (K)	840	952
Registers (K)	1268	1437
Fractional PLLs	28	28
M20K Memory Blocks	2640	2640
M20K Memory (Mbits)	52	52
Variable Precision Multipliers (18x18)	704	704
Variable Precision Multipliers (27x27)	352	352
DDR3 SDRAM x72 DIMM Interfaces	6	6

Tabella 50

La Tab.52 confronta i diversi modelli della famiglia StratixV GS e le loro caratteristiche principali:

Features	5SGSD3	5SGSD4	5SGSD5	5SGSD6	5SGSD8
Logic Elements (K)	236	360	457	583	695
Registers (K)	356	543	690	880	1050
14.1-Gbps Transceivers	12 o 24	12, 24 o 36	24 o 36	36 o 48	36 o 48
PCIe Hard IP Blocks	1	1	1	1, 2 o 4	1, 2 o 4
Fractional PLLs	20	20	24	28	28
M20K Memory Blocks	688	957	2014	2320	2567
M20K Memory (Mbits)	13	19	39	45	50
Variable Precision Multipliers (18x18)	1200	2088	3180	3550	3926
Variable Precision Multipliers (27x27)	600	1044	1590	1775	1963
DDR3 SDRAM x72 DIMM Interfaces	2	4	4	6	6

Tabella 51

-Alcune caratteristiche variano a seconda del package.

Le principali novità rispetto alla generazione precedente:

- 16 reti di clock globale.
- ALM a 8 ingressi.
- Un PLL frazionario può essere usato per:

-ridurre il numero di oscillatori richiesto sulla scheda.

-ridurre i pin di clock usati nel FPGA sintetizzando più frequenze di clock da un singolo segnale di clock.

-compensare il ritardo della rete di clock.

-avere un ritardo nullo in buffering.

-trasmettere il clock per i transceiver.

3.14. Tecnologie future

E' proprio di queste ultime settimane la notizia che Intel produrrà i nuovi FPGA Altera con la sua tecnologia Intel tri-gate a 14 nanometri. Si tratterà di dispositivi creati per sistemi ad altissime prestazioni in qualsiasi ambito. Questi prodotti si vanno ad aggiungere ai già annunciati FPGA utilizzando tecnologia a 20 nm.

Al fine di verificare se la suddetta legge vale anche per i dispositivi FPGA presi in considerazione in questa tesi, verrà messa a confronto l'evoluzione delle varie serie.

4.2. Confronto tra FPGA ALTERA CYCLONE

Questa famiglia di FPGA della ALTERA è adatta per applicazioni che non richiedono alte prestazioni.

Nei capitoli precedenti si sono mostrate approfonditamente le caratteristiche tecniche di ogni serie, ora si passerà a mettere a confronto i parametri più importanti tra queste prendendo solo i valori del dispositivo con migliori prestazioni così da mostrare il limite tecnologico della famiglia.

La famiglia Cyclone si suddivide in cinque serie:

- Cyclone (2002)
- CycloneII (2004)
- CycloneIII (2007)
- CycloneIV (2009)
- CycloneV (2012)

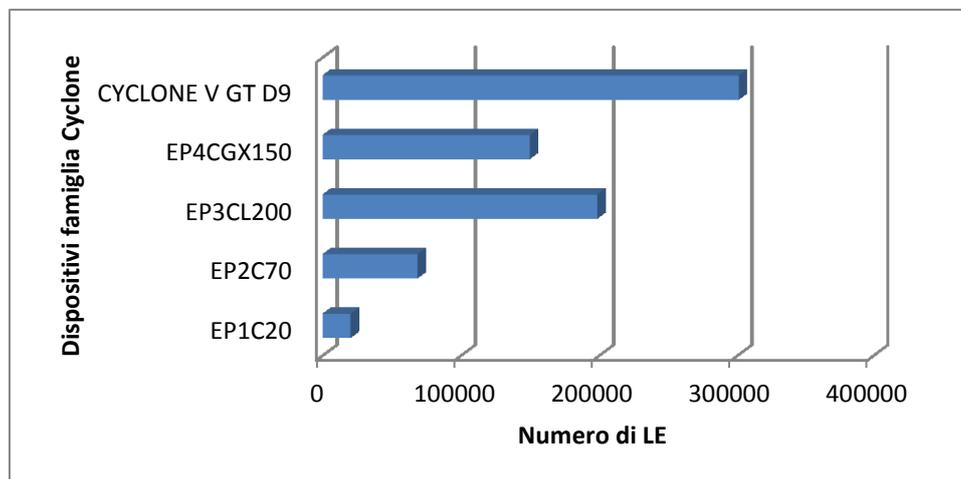


Figura 31

Confronto tra alcune serie della famiglia Cyclone sul numero massimo di elementi logici

La Fig.31 mostra i dispositivi con il numero massimo di elementi logici delle loro rispettive serie. Si può notare che la CycloneIV presenta meno LE della

serie CycloneIII; questo dato è riconducibile al fatto che la serie CycloneIV ha implementati fino a otto transceiver perciò si sono dovute sacrificare alcune risorse come, appunto, gli elementi logici.

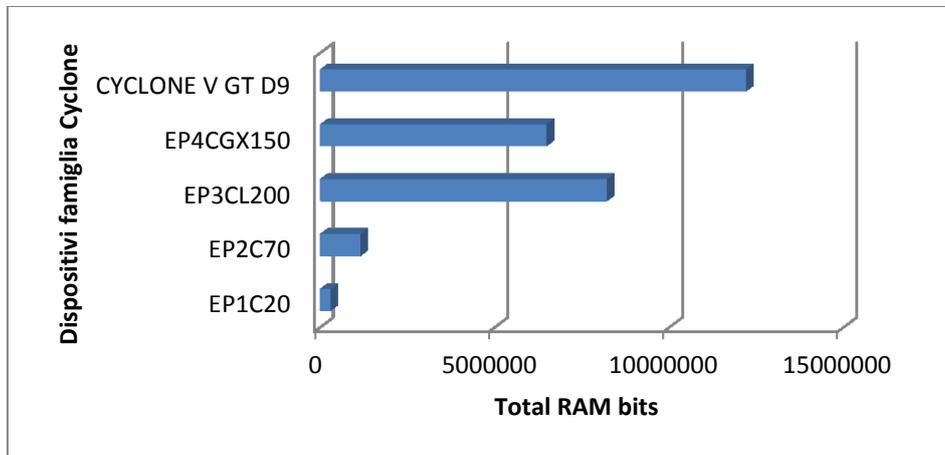


Figura 32

Confronto tra alcune serie della famiglia Cyclone sul blocco RAM

E' importante evidenziare come anche il blocco RAM presente in questi dispositivi aumenti considerevolmente tra una serie e l'altra a parte tra la serie CycloneIII e la serie CycloneIV dove, come già è stato spiegato, si sono dovute sacrificare delle risorse per far posto ai transceiver.

Ora si riporterà il grafico di Moore per FPGA Cyclone:

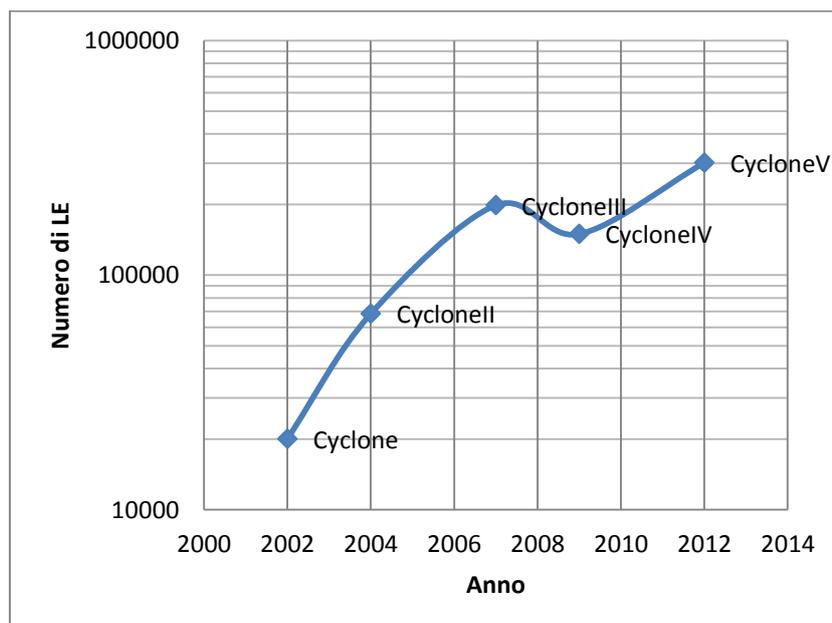


Figura 33, Legge di Moore per FPGA Cyclone

L'andamento nella Fig.33 non è quello aspettato per via del passaggio tra la serie III e la serie IV nel quale, come visto precedentemente, si sono dovute sacrificare risorse logiche per far spazio ai transceiver.

Un altro dato importante nel confrontare diversi FPGA risulta essere la complessità di un blocco logico. Per misurare questa complessità, poiché una LUT a n ingressi non è altro che una memoria con 2^n locazioni è possibile monitorare la seguente grandezza:

$$\text{numero di LE} \cdot 2^{(\text{numero di ingressi di un LUT})}$$

Eseguendo il calcolo per la famiglia Altera Cyclone:

- Cyclone EP1C20: $20060 \cdot 2^4 = 320960$
- CycloneII EP2C70: $68416 \cdot 2^4 = 1094656$
- CycloneIII EP3CL200: $198464 \cdot 2^4 = 3175424$
- CycloneIV EP4CGX150: $149760 \cdot 2^4 = 2396160$
- CycloneV GT D9: $301000 \cdot 2^6 = 19264000$

Riportando i risultati su grafico:

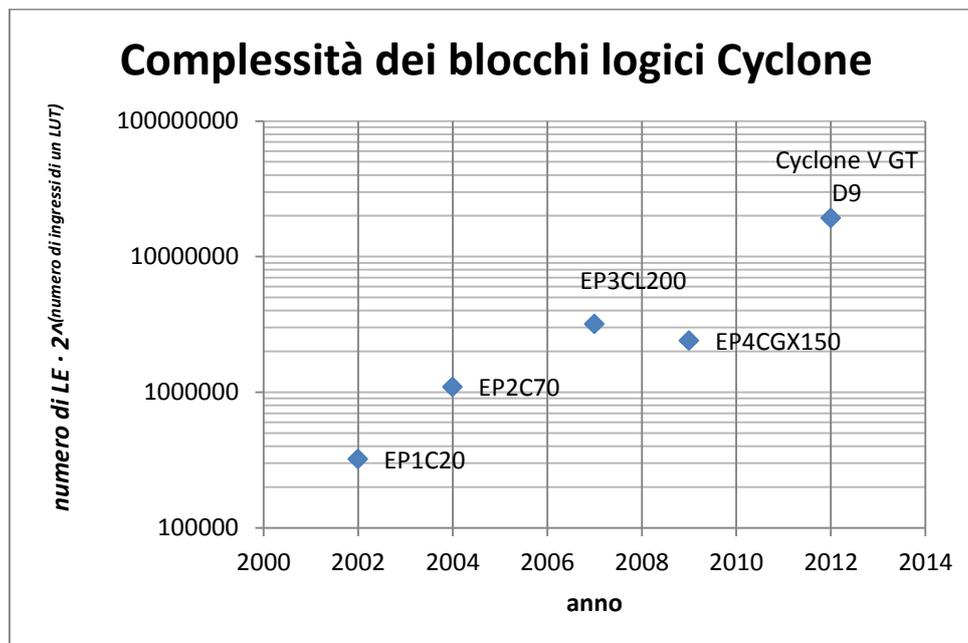


Figura 34

Si nota immediatamente che la novità tecnologica introdotta nei dispositivi CycloneV, ossia l'ingresso delle ALM (e di conseguenza LUT a 6 ingressi), ha creato un enorme salto di complessità dei blocchi logici. Come ci si poteva aspettare, il device della famiglia CycloneIV ha una complessità di blocco minore del dispositivo della famiglia CycloneIII per i motivi già citati in questo paragrafo.

4.2.1. Frequenze nei dispositivi Cyclone

Ora si studierà un altro parametro molto importante all'interno dell'architettura di un FPGA: la massima frequenza raggiungibile dalla rete di clock.

I seguenti dati sono stati presi dalle guide Altera, come riportato nella bibliografia e sono diversi in quanto le FPGA possono essere settate con diversi gradi di velocità.

Famiglia	Max -6 speed grade	Max-7 speed grade	Max-8 speed grade	Unità
Cyclone	405	320	275	MHz

Tabella 52

Famiglia	C6	C7	C8	Unità
CycloneIII	500	437.5	402	MHz

Tabella 53

Famiglia	C6	C7	C8	C8L	C9L	I7	I8L	A7	Unità
CycloneIV	500	437.5	402	362	265	437.5	362	402	MHz

Tabella 54

Famiglia	-C6	-C7, -I7	-C8, -A7	Unità
CycloneV	550	550	460	MHz

Tabella 55

Andando a prendere i valori massimi e mettendoli a confronto si arriva alla seguente figura:

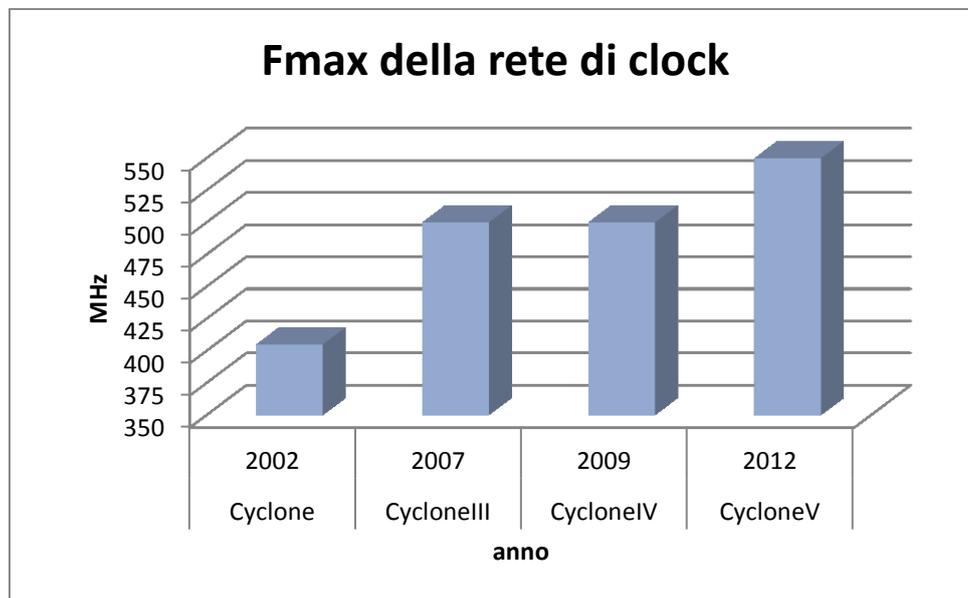


Figura 35

La figura 35 mostra come, nel giro di dieci anni, si sia passati da una frequenza massima di clock di 405 MHz a 550 MHz, ossia si ha avuto un guadagno di 145MHz e quindi più del 10% di aumento di frequenza supportabile. Considerando che la complessità dei blocchi logici della serie CycloneV, come già visto, è aumentata di molto, aumentare ulteriormente la frequenza massima di clock di un dispositivo FPGA con tale livello di complessità è comunque un traguardo importante.

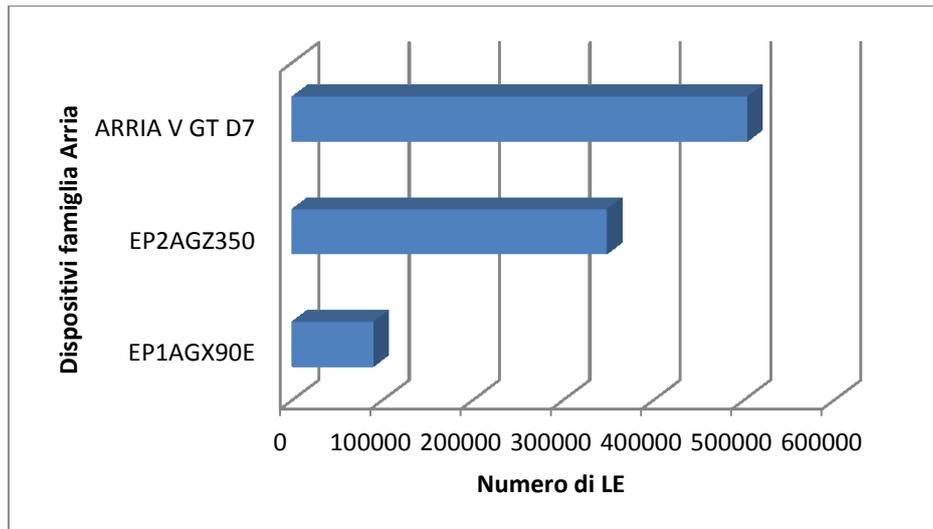
4.3. Confronto tra FPGA ALTERA ARRIA

Questa famiglia di FPGA della ALTERA è adatta per applicazioni che richiedono prestazioni a medio livello.

-Altera ArriaGX (2007)

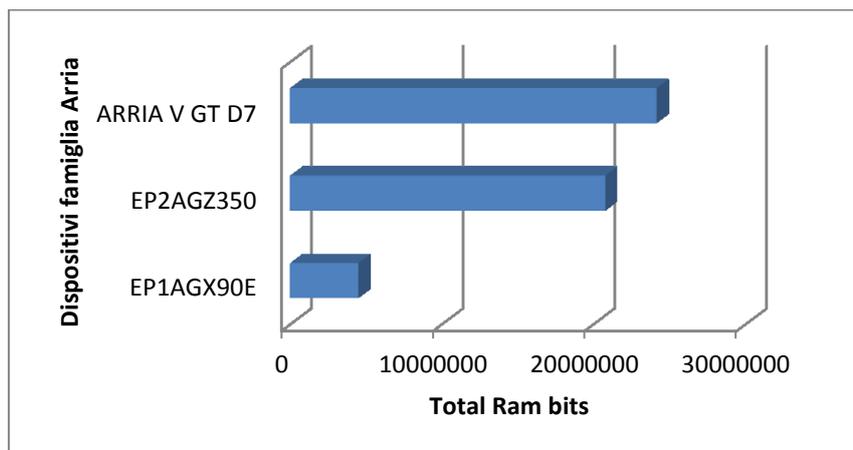
-Altera ArriaII (2010)

-Altera ArriaV (2012)

**Figura 36**

Confronto tra alcune serie della famiglia Arria sul numero di elementi logici

In questo caso tra una serie e l'altra si ha l'aspettato aumento degli elementi logici.

**Figura 37**

Confronto tra alcune serie della famiglia Arria sul blocco RAM

Anche la Fig.37 mostra un aumento di RAM tra una serie e l'altra della famiglia Arria. Aumento che, però, è poco pronunciato tra ArriaII e ArriaV in quanto gli sforzi di Altera sono stati verso la diminuzione di potenza ed i consumi. Per questo motivo non si è potuto aumentare in maniera importante il numero di LE e di RAM integrata nel dispositivo.

Il grafico di Moore per FPGA Arria si presenta nel seguente modo:

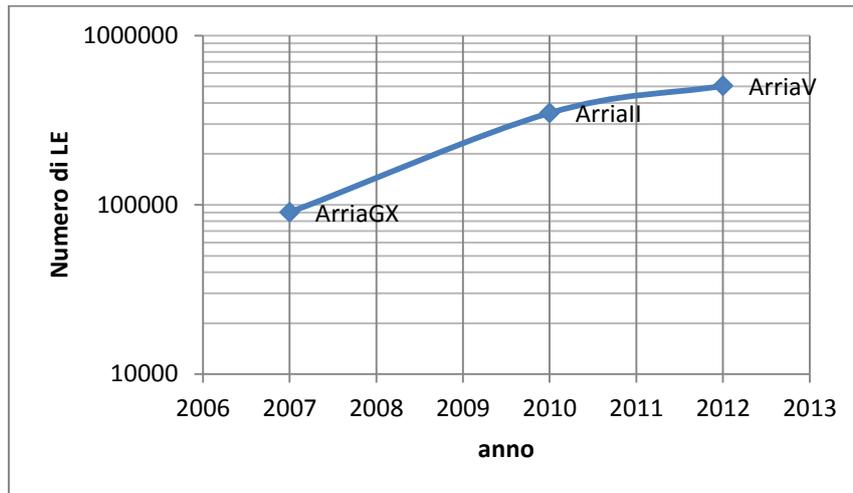


Figura 38
Legge di Moore per FPGA Arria

L'andamento nella Fig.38 è, tra ArriaGX e ArriaII, molto simile a quello originale del grafico di Moore mentre tra ArriaII e ArriaV non si ha più un aumento forte per i motivi già citati.

Infine si riporta la complessità dei blocchi logici degli FPGA della famiglia Arria:

-ArriaGX EP1AGX90E: $90220 \cdot 2^8 = 23096320$

-ArriaII EP2AGZ350: $348500 \cdot 2^8 = 89216000$

-ArriaV GT D7: $504000 \cdot 2^8 = 129024000$

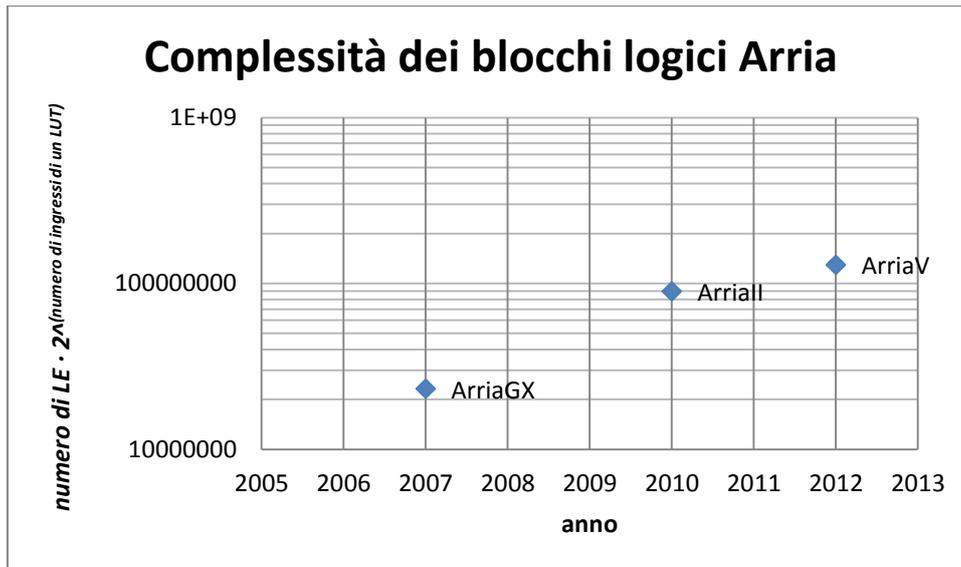


Figura 39

Dato che le tre serie della famiglia Arria hanno tutte a disposizione i blocchi ALM e, quindi, sono in grado di avere LUT a 8 ingressi frazionabili, non si ha una differenza di complessità enorme (come, ad esempio, è accaduto nella famiglia Cyclone).

4.4. Confronto tra FPGA ALTERA STRATIX

Questa famiglia è stata progettata per applicazioni che richiedono alte prestazioni.

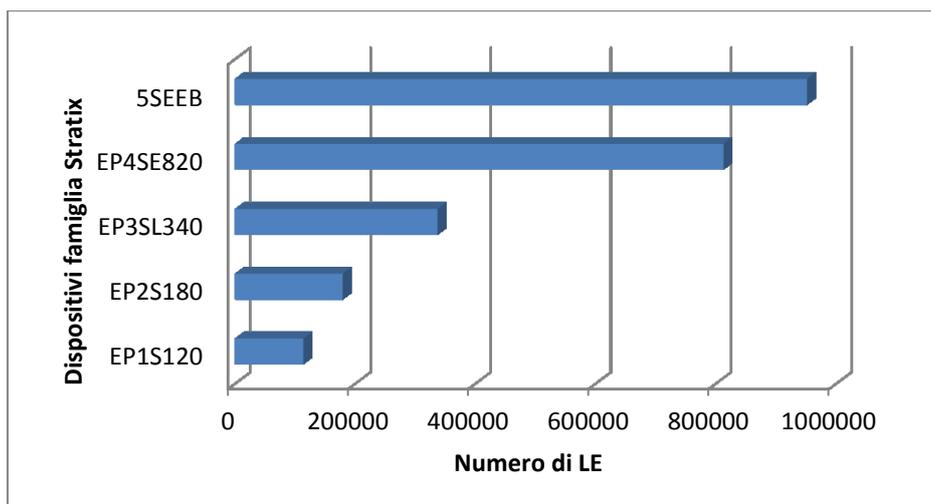


Figura 40

Confronto tra alcune serie della famiglia Stratix sul numero di elementi logici

In questo caso l'andamento tra le prime serie è esponenziale per poi osservare come tra la famiglia StratixIV e la StratixV si arrivi a toccare il limite fisico.

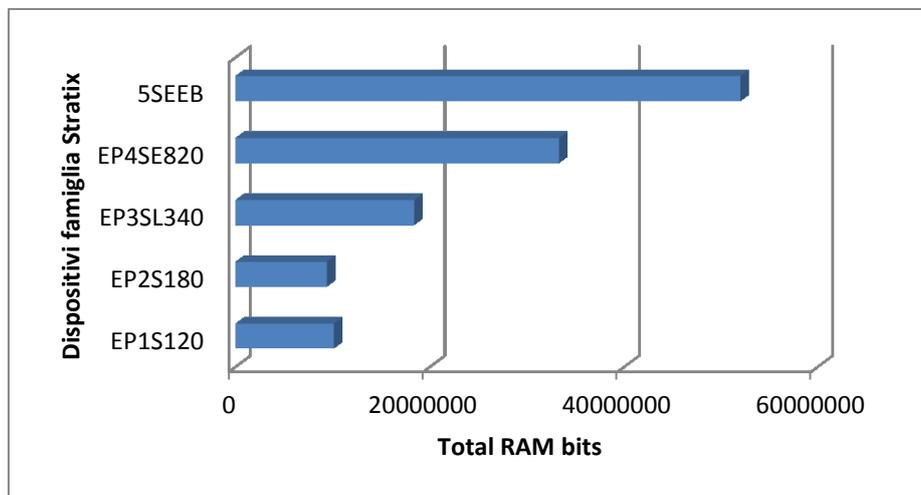


Figura 41

Confronto tra alcune serie della famiglia Stratix sul blocco RAM

Nella Fig.41 si può osservare che la EP1S120 ha più bit di RAM rispetto alla EP2S180; questo è dovuto al fatto che, agli albori, la serie Altera Stratix era stata progettata per avere caratteristiche tecniche all'avanguardia che, probabilmente, sono rimaste tali anche per la seconda serie.

Il grafico della legge di Moore per FPGA Stratix si presenta nel seguente modo:

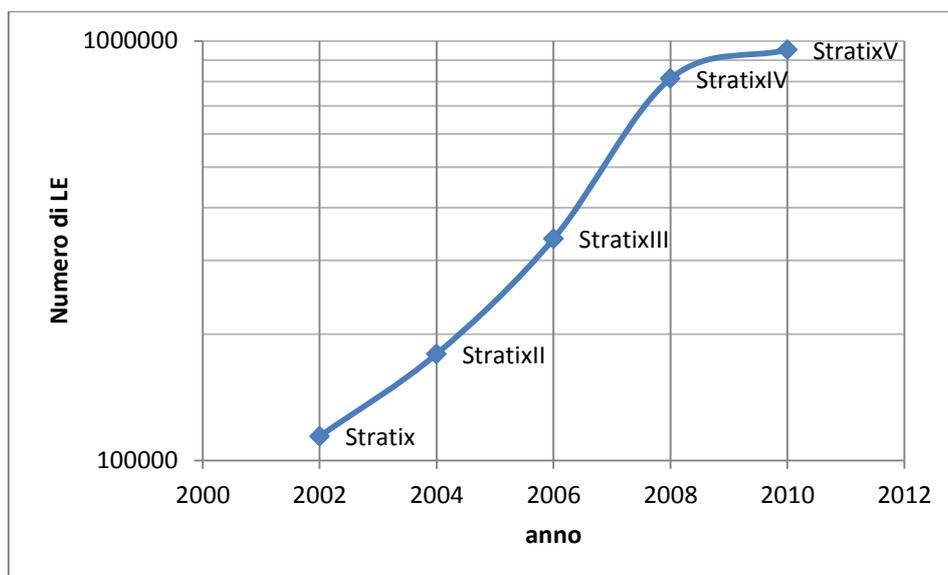


Figura 42, Legge di Moore per FPGA Stratix

Anche in questo caso si ha un andamento molto simile alla legge di Moore fino ad arrivare al passaggio tra la serie IV e la serie V che evidenzia il raggiungimento del limite fisico.

Infine si riporta la complessità dei blocchi logici degli FPGA della famiglia Stratix:

-Stratix EP1S120: $114140 \cdot 2^4 = 1826240$

-StratixII EP2S180: $179400 \cdot 2^8 = 45926400$

-StratixIII EP3SL340: $337500 \cdot 2^8 = 86400000$

-StratixIV EP4SE820: $813050 \cdot 2^8 = 208140800$

-StratixV 5SEEB: $952000 \cdot 2^8 = 243712000$

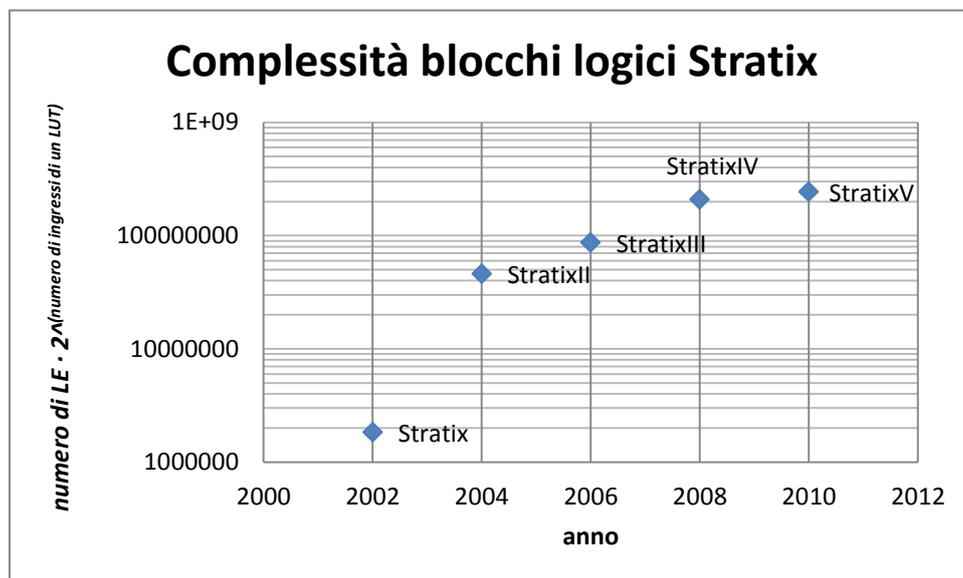


Figura 43

Sapendo che la prima serie Stratix non ha le ALM mentre le successive quattro serie della famiglia hanno a disposizione le ALM, si può vedere come l'avvento delle ALM consenta ai dispositivi FPGA di raggiungere complessità di blocco enormi rispetto al passato.

4.5. Confronto tra le famiglie Altera

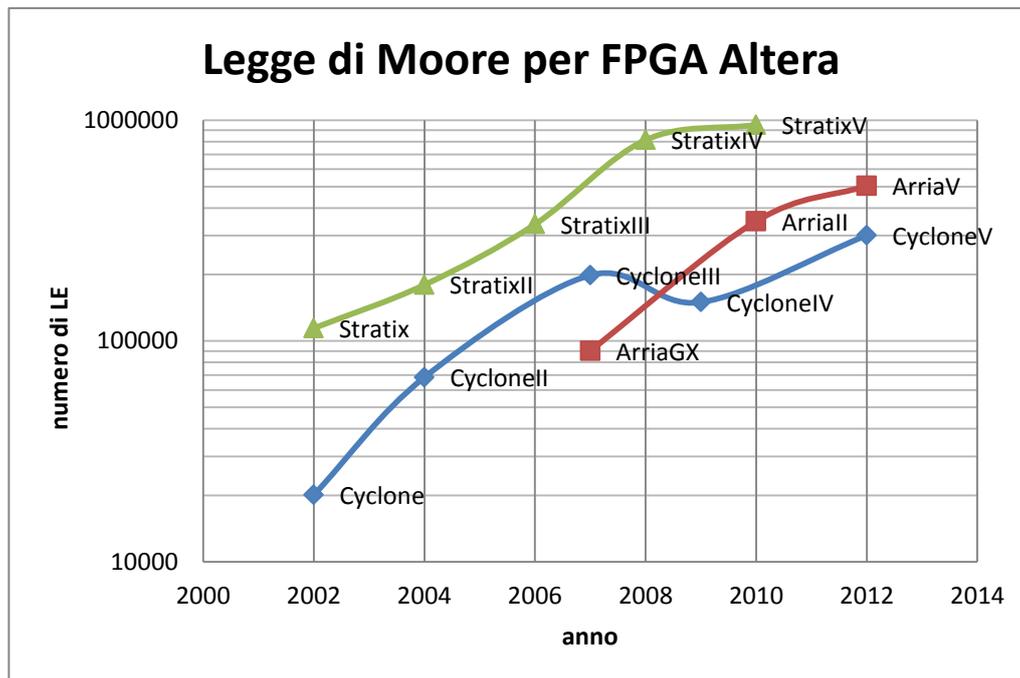


Figura 44

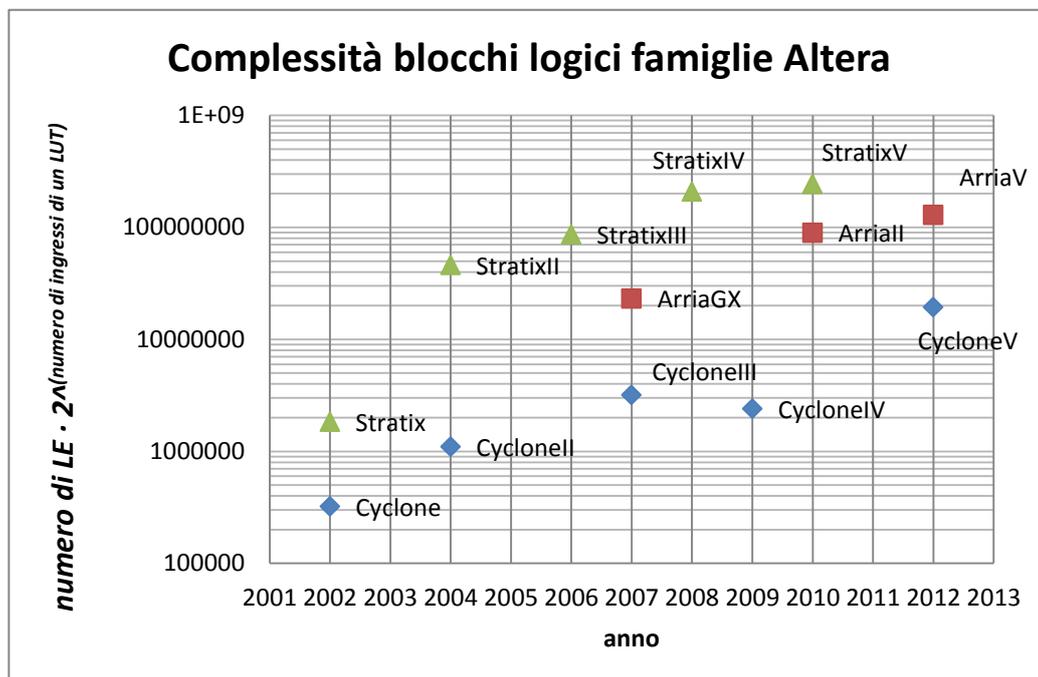


Figura 45

Le Fig.44 e 45 mostrano quello che è stato riportato su tabelle nei capitoli scorsi, ossia che gli FPGA di fascia alta (Stratix) hanno prestazioni e numeri molto elevati rispetto agli FPGA di basso-medio livello. Inoltre, in entrambe le

figure, il trend di tutte e tre le famiglie evidenzia il fatto che i prodotti negli ultimi anni non hanno più un miglioramento esponenziale dei loro parametri. per via del raggiungimento dei limiti fisici evidenziati dalla legge di Moore. Come già è stato evidenziato nel paragrafo scorso, la novità tecnologica rappresentata dalle ALM ha introdotto un aumento di complessità dei blocchi logici notevole e lo si può notare sia nel passaggio da Stratix a StratixII sia nel passaggio tra CycloneIV a CycloneV.

4.6. Confronto tra FPGA Xilinx Spartan

Questa famiglia è stata progettata per applicazioni che non richiedono alte prestazioni.

Se nel paragrafo precedente si è evidenziato il numero di elementi logici e di dimensioni della memoria interna di un FPGA, ora (grazie ai dati forniti da Xilinx), si può osservare un altro dato importante perché mette in luce un altro aspetto della legge di Moore. Questo dato è il numero di pin di input/output massimo.

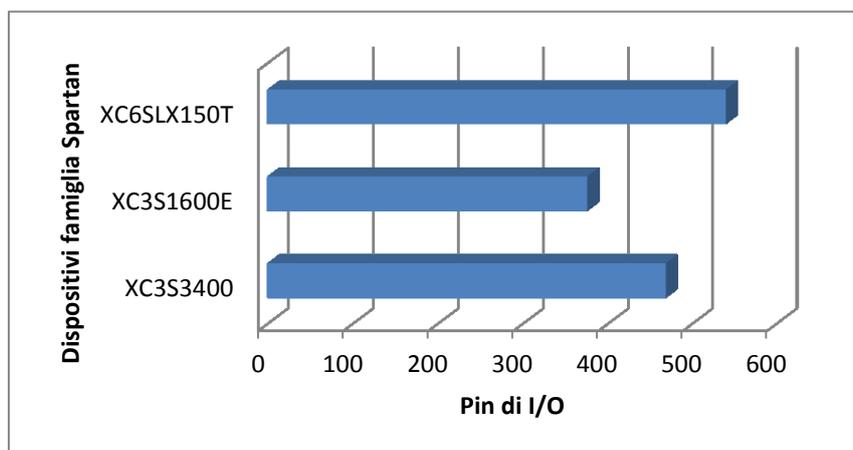


Figura 46

Confronto tra le diverse serie della famiglia Spartan sul numero di I/O

Il numero di pin di I/O non segue i grafici visti fino ad ora. Il motivo è molto semplice, infatti, la legge di Moore dice che il numero di componenti aumenta e (pur non dicendolo esplicitamente) le dimensioni dei singoli componenti diminuiscono. Questa proporzionalità, però, non è lineare. Ora la Fig.46 è più

chiara, infatti le FPGA devono mantenere dimensioni ridotte, perciò, pur essendo aumentate le celle logiche, il blocco RAM e molti altri parametri, il numero di pin I/O non può crescere in maniera spropositata altrimenti le FPGA raggiungerebbero dimensioni troppo elevate.

4.6. XILINX VIRTEX e SERIE-7

Queste famiglie di FPGA della XILINX sono adatte per applicazioni che richiedono prestazioni di medio-alto livello.

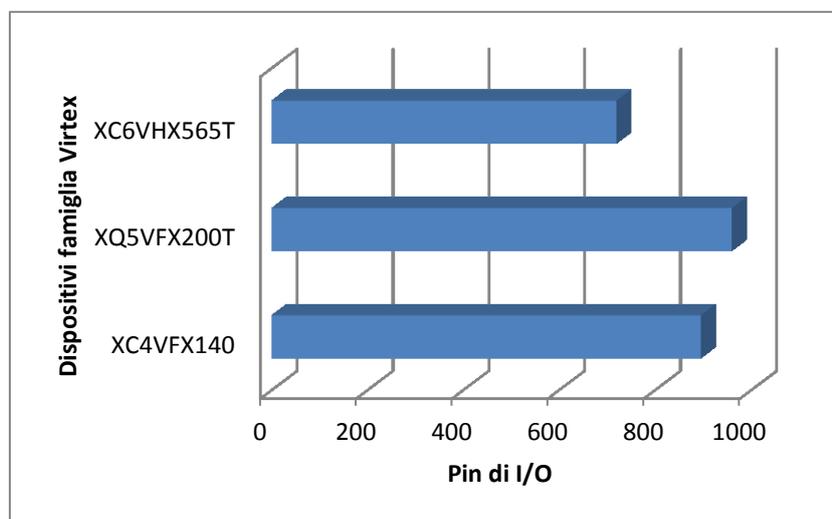


Figura 47

Confronto tra le diverse serie della famiglia Virtex sul blocco RAM

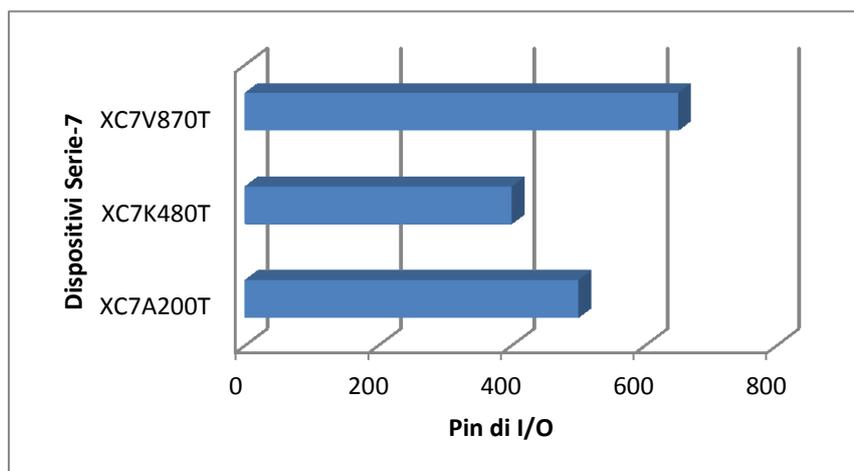


Figura 48, Confronto tra le famiglie della serie-7 sul numero di I/O

Anche le Fig.47 e 48 mostrano chiaramente il ragionamento del paragrafo precedente, notando come, per la serie-7 (che rappresenta il top della gamma), il numero di pin di I/O sia calato rispetto alle altre serie in quanto, di ogni singolo pin, se ne fa un uso molto più flessibile e dinamico rispetto al passato.

Bibliografia

- [1] “Corso FPGA” di Mariano Severi:
<http://blog.elettronicain.it/2011/05/15/corso-fpga-scarica-gratis/>
- [2] “Introduzione: manuale VHDL”:
http://www.embeddedblog.it/wiki/doku.php/introduzione:manuale_vhdl
- [3] “DS529: Spartan-3A FPGA Family Data Sheet” di Xilinx, Inc.
- [4] “Xilinx DS160 Spartan-6 Family Overview” di Xilinx, Inc.
- [5] “Xilinx UG070 Virtex-4 FPGA User Guide, User Guide” di Xilinx, Inc.
- [6] “Xilinx UG190 Virtex-5 FPGA User Guide” di Xilinx, Inc.
- [7] “Xilinx DS150 Virtex-6 Family Overview” di Xilinx, Inc.
- [8] “Xilinx DS180 7 Series FPGAs Overview, Data Sheet” di Xilinx, Inc.
- [9] “Stratix Device Handbook, Volume 1” di Altera Corporation
- [10] “Stratix Device Backgrounder White Paper Paper” di Altera Corporation
- [11] “Stratix II Device Handbook” di Altera Corporation
- [12] “Stratix III Device Handbook, Volume 1” di Altera Corporation
- [13] “Stratix IV Device Handbook” di Altera Corporation
- [14] “Stratix V Device Handbook” di Altera Corporation
- [15] “Chapter 1: Arria GX Device Family Overview” di Altera Corporation

[16] “Arria II Device Handbook” di Altera Corporation

[17] “Arria V Device Handbook” di Altera Corporation

[18] “Cyclone Handbook” di Altera Corporation

[19] “Cyclone II Device Handbook, Volume 1, Chapter 1: Introduction” di Altera Corporation

[20] “Cyclone III Device Handbook” di Altera Corporation

[21] “Cyclone IV Device Handbook” di Altera Corporation

[22] “Cyclone V Device Handbook” di Altera Corporation

[23] “Altera FPGAs” di JKallio

[24] Grafico della prima legge di Moore all'indirizzo web:

http://upload.wikimedia.org/wikipedia/commons/thumb/0/00/Transistor_Count_and_Moore%27s_Law_-_2008.svg/683px-

[Transistor_Count_and_Moore%27s_Law_-_2008.svg.png](http://upload.wikimedia.org/wikipedia/commons/thumb/0/00/Transistor_Count_and_Moore%27s_Law_-_2008.svg/683px-Transistor_Count_and_Moore%27s_Law_-_2008.svg.png)

[25] SPI-2.4: <http://en.wikipedia.org/wiki/SPI-4.2>

[26] “Xilinx DS312 Spartan-3E FPGA Family Data Sheet, Data Sheet” di Xilinx, Inc

Ringraziamenti

Sono dell'idea che se si vuole ringraziare una persona, bisogna farlo senza troppi giri di parole, perciò:

Innanzitutto voglio ringraziare le persone a me più vicine, ossia i miei genitori e Roberta. Voi, pur se in modi ed in tempi diversi, avete avuto un ruolo fondamentale per questo raggiungimento e, in generale, siete fondamentali nella mia vita.

Dopodiché ringrazio tutti i miei nonni ed i miei zii per il loro supporto costante.

Arrivo agli amici e conoscenti, ringraziandovi per avermi fatto divertire ed essermi stati vicini.

Infine ringrazio il professore A. Romani per la sua disponibilità e professionalità.

Detto questo voglio ringraziare anche un' altra persona, ossia me stesso. I motivi non c'è bisogno che li scriva, tanto li conosco già.