

ALMA MATER STUDIORUM - UNIVERSITÀ DI BOLOGNA

SCUOLA DI INGEGNERIA E ARCHITETTURA

DIPARTIMENTO di
INGEGNERIA DELL'ENERGIA ELETTRICA E DELL'INFORMAZIONE
"Guglielmo Marconi" DEI

CORSO DI LAUREA MAGISTRALE IN INGEGNERIA ELETTRONICA

Progetto di un Regolatore di Tensione Low-Dropout in
Tecnologia CMOS a Micropotenza

CANDIDATO
Marco Villa

RELATORE
Prof. Eleonora Franchi Scarselli

CORRELATORI
Prof. Aldo Romani
Dott. Marco Guerrini

Anno Accademico 21/22
III Appello – III Sessione

Indice

CAPITOLO 1 - INTRODUZIONE	4
1.1 – MOTIVAZIONI	4
1.2 – OBIETTIVI.....	4
1.3 – ORGANIZZAZIONE CAPITOLI.....	5
CAPITOLO 2 - REGOLATORI DI TENSIONE LINEARI	6
2.1 – REGOLATORE DI TENSIONE LOW-DROPOUT.....	6
2.1.1 – <i>Amplificatore Errore</i>	7
2.1.2 – <i>Partitore Resistivo</i>	9
2.1.3 – <i>Pass Transistor</i>	10
2.2 – FIGURE DI MERITO DI UN LDO.....	10
2.2.1 – <i>Tensione Di Dropout</i>	10
2.2.2 – <i>Line Regulation</i>	11
2.2.3 – <i>Load Regulation</i>	12
2.2.4 – <i>Load Transient Response</i>	12
2.2.5 – <i>Power Supply Rejection Ratio (PSRR)</i>	13
2.3 – CLASSIFICAZIONE LDO	13
2.4 – TECNICA PER MIGLIORARE LA RISPOSTA AL TRANSITORIO DI CARICO	15
2.5 – CONSIDERAZIONI SULLA STABILITÀ DEL CIRCUITO E TECNICHE DI COMPENSAZIONE	18
CAPITOLO 3 - PROGETTO LDO IN TECNOLOGIA CMOS	24
3.1 – DIMENSIONAMENTO RETE DI FEEDBACK E PASS TRANSISTOR.....	24
3.1.1 <i>Dimensionamento del partitore resistivo</i>	25
3.1.2 <i>Dimensionamento Pass Transistor</i>	26
3.2 – ANALISI LINE E LOAD REGULATION PER DETERMINARE GUADAGNO AMPLIFICATORE ERRORE	29
3.3 – ANALISI TRANSITORIO DI CARICO E INSERIMENTO CAPACITÀ PER DIMINUIRE RIPPLE DI TENSIONE.....	32
3.4 – ANALISI STABILITÀ E TECNICA PER COMPENSARE MARGINE DI FASE	34
3.5 – PROGETTO DELL’AMPLIFICATORE ERRORE	39
3.6 – SCHEMA FINALE	43
CAPITOLO 4 - SIMULAZIONI E ANALISI RISULTATI OTTENUTI.....	46
4.1 – RISULTATI LINE REGULATION	46
4.2 – RISULTATI LOAD REGULATION.....	47
4.3 – RISPOSTA AL TRANSITORIO DI CARICO	47

4.3 – STABILITÀ AL VARIARE DELLA CAPACITÀ DI CARICO	50
4.4 – RISPOSTA AL TRANSITORIO DELLA TENSIONE ALIMENTAZIONE.....	51
4.5 – SIMULAZIONE PSRR	52
4.6 – RIEPILOGO RISULTATI OTTENUTI	53
CAPITOLO 5 - CONCLUSIONI	56
BIBLIOGRAFIA	58
INDICE DELLE FIGURE.....	60

Capitolo 1

Introduzione

1.1 – Motivazioni

La gestione dell'energia è diventata un aspetto fondamentale di qualsiasi sistema elettronico in quanto è necessario ottimizzare l'utilizzo delle risorse energetiche disponibili. Tra gli elementi chiave della gestione energetica, i regolatori di tensione svolgono un ruolo cruciale. L'obiettivo dei regolatori di tensione è quello di garantire una tensione stabile in uscita indipendente dalle variazioni della tensione di alimentazione, di temperatura, dalle condizioni di carico e dai transistori. I regolatori di tensione Low Dropout (LDO) sono regolatori lineari in grado di mantenere una tensione d'uscita stabile anche con una differenza molto bassa rispetto alla tensione di alimentazione in ingresso. Questa differenza, detta tensione di dropout, può variare in genere da decine a centinaia di mV. Il funzionamento dei regolatori di tensione lineari si basa sulla dissipazione di energia attraverso un pass transistor. Se la caduta di tensione è molto bassa sul pass transistor è possibile ottenere un'efficienza molto elevata. Oltre a questo, un altro fattore molto importante in termini di efficienza è dato dalla bassa corrente di riposo del regolatore. Nei dispositivi alimentati a batteria è molto importante mantenere la corrente di riposo il più bassa possibile per ottenere una lunga autonomia della batteria [1]. Questi aspetti rendono fondamentale la progettazione di circuiti integrati a micro-potenza. Ovviamente, come sempre accade per l'elettronica, sono presenti dei trade-off tra efficienza e prestazioni del circuito. La sfida per un progettista è trovare un equilibrio ottimale tra questi aspetti per soddisfare le specifiche desiderate.

1.2 – Obiettivi

Gli obiettivi principali di questa tesi sono l'analisi e il progetto di un regolatore di tensione Low-Dropout a bassa corrente di riposo. Il regolatore deve essere in grado di erogare una tensione d'uscita stabile di 0.6V con una tensione di alimentazione di 1.2V con fluttuazioni del $\pm 10\%$. Inoltre, a fronte di una corrente di carico impulsiva con variazioni di 60nA la tensione di uscita deve assestarsi al valore desiderato in brevi istanti di tempo producendo overshoot e undershoot inferiori a 20mV. Il ripple di tensione in uscita, causato da rapidi cambiamenti della

corrente di carico è infatti un parametro critico che potrebbe causare il malfunzionamento del circuito a valle del regolatore [2]. Oltre a queste specifiche il regolatore deve avere una corrente di riposo limitata non superiore a 100nA (senza considerare il consumo del riferimento di tensione). È stato quindi realizzato il regolatore LDO presentato nel capitolo 3 che utilizza un pass transistor di tipo PMOS e un amplificatore differenziale a singolo stadio con MOS polarizzati sottosoglia.

1.3 – Organizzazione Capitoli

Nel capitolo 2 è presentato il meccanismo alla base del funzionamento di un regolatore Low-Dropout. Sono inoltre introdotte le figure di merito che lo caratterizzano, le differenti tipologie circuitali esistenti, l'analisi della risposta al transitorio di carico e alcune considerazioni relative alla stabilità del circuito.

Il capitolo 3 è dedicato ai passi di progetto seguiti per la realizzazione del regolatore presentato in questo elaborato. Inizialmente, è esposto il dimensionamento della rete di feedback resistiva e del pass transistor. Successivamente è descritto il problema dei forti picchi di tensione generati a fronte di una corrente di carico impulsiva ed è affrontato il problema dell'instabilità compensando il sistema. Inoltre, nel paragrafo 3.5, è presentato il progetto dell'amplificatore differenziale sostituito, infine, all'interno dello schema del regolatore.

Nel capitolo 4 sono presentate le simulazioni del circuito finale. Evidenziando i risultati ottenuti dal regolatore progettato.

Infine, nell'ultimo capitolo, relativo alle conclusioni, sono presenti delle considerazioni sul progetto svolto e possibili sviluppi e ricerche future.

Capitolo 2

Regolatori di tensione lineari

In questo capitolo verrà analizzato il comportamento dei regolatori di tensione low-dropout (LDO). In particolare, verranno analizzati i componenti principali di cui sono composti e le figure di merito che li caratterizzano. Verranno inoltre esplorate alcune configurazioni circuitali dei regolatori LDO e la loro classificazione, la risposta al transitorio di carico, il problema della stabilità ed alcune tecniche di compensazione. Questo capitolo sarà anche la base teorica per il progetto dell'LDO che verrà presentato nel capitolo 3.

2.1 – Regolatore di Tensione Low-Dropout

La funzione primaria di un convertitore LDO è quella di generare una tensione stabile d'uscita che sia insensibile alle variazioni della tensione di alimentazione e di corrente richiesta dal carico. Uno schema a blocchi semplificato di un LDO è mostrato in figura 2.1. La regolazione della V_{out} è ottenuta attraverso l'utilizzo di un amplificatore differenziale, chiamato amplificatore d'errore (EA), collegato in un circuito a retroazione negativa. L'EA riceve in ingresso la versione scalata dal partitore di tensione della V_{out} e la confronta con la tensione di riferimento V_{ref} producendo un segnale di errore che viene amplificato e utilizzato per pilotare il gate del pass-transistor. In questo modo il pass-transistor fornisce una corrente variabile in funzione della richiesta del carico, modellato in figura con un generatore ideale di corrente I_{load} . La tensione di riferimento, V_{ref} , deve essere costante e indipendente dalla temperatura. Per questo motivo viene comunemente generata da un riferimento di tensione a bandgap (BGR).

In pratica, un regolatore LDO è in grado di generare una tensione costante in uscita entro certi limiti operativi rispetto alla tensione di alimentazione e l'intervallo di variazione della corrente di carico. Vogliamo ora analizzare i principali blocchi costitutivi di un regolatore LDO: amplificatore d'errore (EA), partitore resistivo (costituito da R_{fb1} e R_{fb2}) e pass transistor (MP).

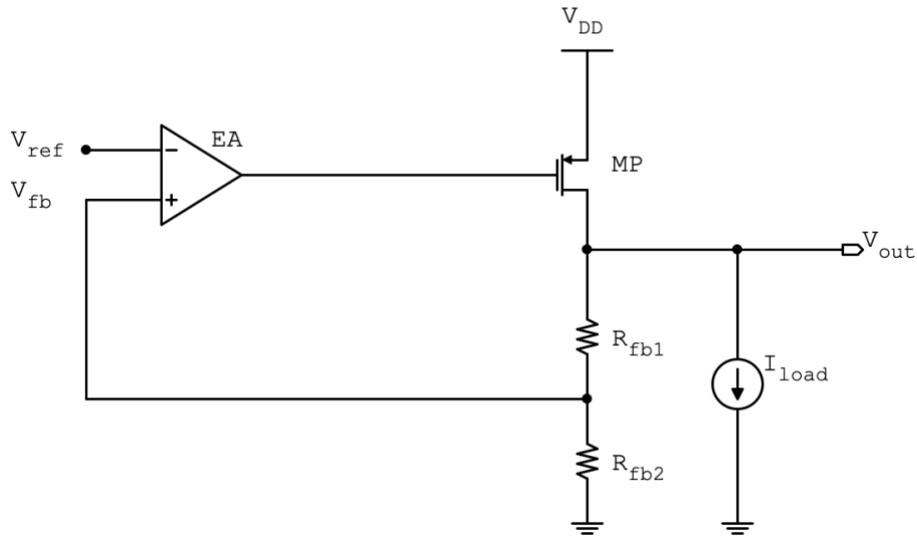


Figura 2.1. Schema a blocchi semplificato LDO

2.1.1 – Amplificatore Errore

Lo schema circuitale dell'amplificatore d'errore deve essere il più semplice possibile in modo da non assorbire troppa corrente. Inoltre, bisogna trovare un compromesso tra la corrente di polarizzazione (cercando di ottenerne il valore più basso possibile al fine di minimizzare i consumi) e le prestazioni dell'amplificatore (guadagno, larghezza di banda, velocità di risposta, ecc.). Il guadagno ad anello aperto deve essere abbastanza elevato in tutte le condizioni di carico per garantire una corretta regolazione. Consideriamo lo schema a blocchi di figura 2.2 che rappresenta un generico sistema con un amplificatore in retroazione

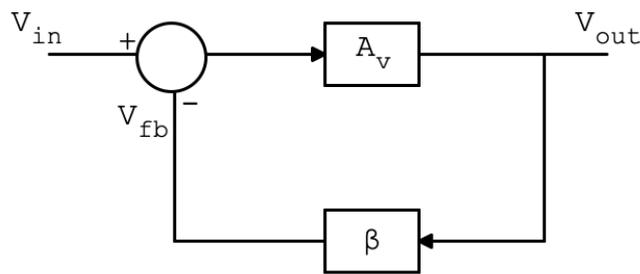


Figura 2.2. Schema a blocchi amplificatore in retroazione

dove A_v è il guadagno ad anello aperto e β è il fattore di retroazione. Si ha

$$V_{out} = A_v(V_{in} - V_{fb}) = A_v(V_{in} - \beta V_{out}) \quad (2.1)$$

da cui

$$\frac{V_{out}}{V_{in}} = \frac{A_v}{1 + \beta A_v} \quad (2.2)$$

Dall'espressione (2.2) possiamo notare che, se il guadagno ad anello aperto A_v dell'amplificatore tende ad infinito, la relazione ingresso uscita dipende solo dalla rete di retroazione

$$\frac{V_{out}}{V_{in}} = \frac{A_v}{1 + \beta A_v} \cong \frac{1}{\beta} \text{ per } A_v \rightarrow \infty \quad (2.3)$$

L'amplificatore nello schema 2.1 ha in ingresso la tensione d'uscita scalata dal partitore di tensione composto dai resistori R_{fb1} e R_{fb2} , espressa come

$$V_{fb} = V_{out} \times \frac{R_{fb2}}{R_{fb1} + R_{fb2}} \quad (2.4)$$

Quest'ultima viene confrontata con la tensione di riferimento V_{ref} generando sull'uscita dell'amplificatore una tensione che pilota il pass-transistor modulandone la resistenza per regolare in maniera corretta l'uscita. Se assumiamo $V_{ref} = V_{fb}$ otteniamo l'espressione di V_{out}

$$V_{out} = V_{fb} \times \frac{R_{fb1} + R_{fb2}}{R_{fb2}} \quad (2.5)$$

Ciò è vero solo se il guadagno dell'amplificatore è sufficientemente alto da poterlo considerare ideale, vedi espressione 2.3.

Oltre a questo, l'amplificatore d'errore dovrebbe avere larghezza di banda sufficientemente ampia per reagire rapidamente ai cambiamenti della corrente di carico e della tensione di alimentazione. Anche l'oscillazione della tensione di uscita dell'amplificatore è importante perché, sia per basse che per alte correnti di carico, deve essere tale da mantenere il pass transistor nella giusta regione di funzionamento, ovvero sottosoglia e con $|V_{ds}| \geq 4V_T$ (detta saturazione sottosoglia)

2.1.2 – Partitore Resistivo

La rete di retroazione resistiva scala la tensione di uscita V_{out} per il confronto con la tensione di riferimento V_{ref} da parte dell'amplificatore di errore. A causa della V_{ref} fissa, l'unico modo per regolare la tensione di uscita è attraverso il rapporto di $\frac{R_{fb2}}{R_{fb1}}$, come visto nell'espressione (2.5). La corrente che scorre attraverso il partitore contribuisce alla corrente di riposo del regolatore di tensione; quindi, per bassi consumi, è necessario dimensionare opportunamente il valore delle resistenze in modo che il consumo della rete di feedback non impatti in maniera significativa sul consumo dell'LDO. Dal momento che il carico richiede una corrente nell'ordine dei nA, anche il consumo dell'LDO deve essere paragonabile. Quindi, per avere una corrente dell'ordine dei nA sulla rete di feedback, la resistenza complessiva deve essere dell'ordine di centinaia di M Ω . Ciò porta a un compromesso sull'occupazione d'area consentita per le resistenze, che può avere un impatto sulla corrente di riposo del regolatore di tensione LDO.

Una topologia alternativa alla rete di retroazione resistiva è quella che comprende l'utilizzo di transistori MOS connessi a diodo, come mostrato in figura 2.3.

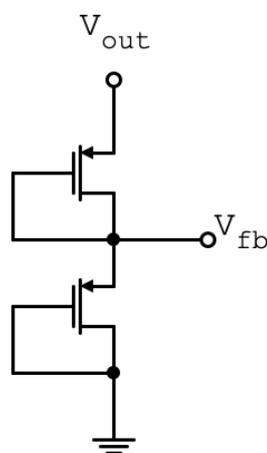


Figura 2.3. Partitore resistivo con MOS

Questa soluzione può ridurre l'area del partitore, anche se la lunghezza di canale dei transistor deve essere abbastanza grande per produrre grandi resistenze d'uscita. Di conseguenza, la capacità parassita dei transistor aumenta e questo può portare ad una riduzione dello slew-rate che influisce sulla capacità dell'amplificatore errore di reagire velocemente alle variazioni della tensione di uscita. In generale se l'area non è un vincolo, il partitore resistivo è l'opzione migliore poiché può fornire un minore consumo di corrente.

2.1.3 – Pass Transistor

Il pass transistor ha il compito di trasferire la corrente dall'ingresso al carico in funzione della richiesta ed è pilotato dall'amplificatore errore posizionato nell'anello di retroazione. La caduta di tensione sul pass transistor deve essere sempre tale da garantire sull'uscita il valore della tensione desiderata. Esistono varie tipologie di pass transistor, ma poiché questo lavoro è incentrato sulla progettazione di un LDO in tecnologia CMOS, verranno descritti solo gli elementi MOS. Nel paragrafo 2.3 verranno evidenziate le principali differenze tra LDO che utilizzano pass transistor PMOS e NMOS.

2.2 – Figure di Merito di un LDO

In questa sezione verranno presentati i parametri di base che caratterizzano i regolatori LDO.

2.2.1 – Tensione Di Dropout

La tensione di dropout (V_{do}) è la differenza tra la minima tensione in ingresso (alimentazione), V_{in_min} , e la tensione di uscita, ovvero $V_{do} = V_{in_min} - V_{out}$. La figura 2.4 mostra il grafico di V_{out} in funzione di V_{in} in un LDO ideale dove possiamo notare che il regolatore necessita di una certa V_{in_min} per avere in uscita una tensione regolata. Quando la $V_{in} < V_{in_min}$ la tensione di uscita non è regolata perché la caduta di tensione sul pass-transistor (V_{ds}) non è sufficiente per far lavorare il MOS sottosoglia. In generale il calcolo della V_{do} viene fatto in condizioni di massimo carico, in accordo con le specifiche, in quanto la V_{in_min} dipende dalla I_{load} . In particolare, se I_{load} aumenta anche V_{in_min} aumenta [3].

Una tensione di dropout bassa riduce le perdite sul pass transistor e quindi migliora l'efficienza energetica.

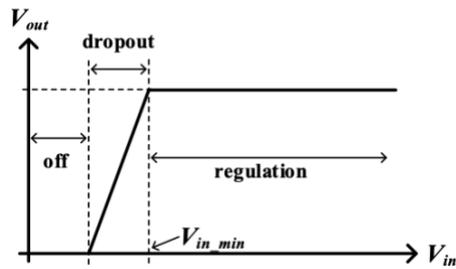


Figura 2.4. Grafico $V_{out} - V_{in}$ (regione dropout)

2.2.2 – Line Regulation

La Line Regulation (L_R) è un parametro statico che definisce come la tensione di uscita del regolatore V_{out} varia a seguito di variazioni della tensione di alimentazione V_{DD} . In figura 2.5 viene mostrato un andamento tipico della V_{out} in funzione della tensione di alimentazione (indicata nel grafico come V_{in}). Da notare che questa dipendenza è funzione del fatto che l'opamp non è ideale e il guadagno d'anello è finito. L'espressione di L_R può essere scritta come [3]

$$L_R = \frac{\Delta V_{out}}{\Delta V_{DD}} \quad (2.6)$$

In seguito vedremo che la “Regolazione di Linea” è inversamente proporzionale al guadagno d'anello, aumentando quest'ultimo la dipendenza, in condizioni stazionarie, di V_{out} da V_{in} diminuisce.

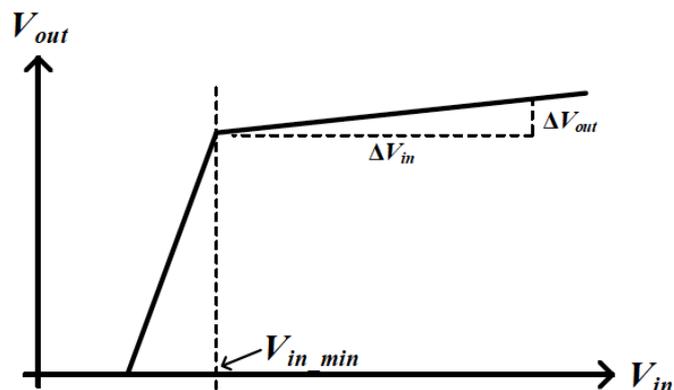


Figura 2.5. Grafico V_{out} in funzione di V_{in} tipico di un LDO

2.2.3 – Load Regulation

La Load Regulation definisce come varia la tensione di uscita in funzione della variazione di corrente richiesta dal carico (I_{load}). In figura 2.6 è rappresentato l'andamento di V_{out} in funzione di I_{load} nel caso di LDO ideale e reale. Come nel caso della “Regolazione di Linea” anche il valore di LD_R è funzione del guadagno d'anello e può essere espressa come

$$LD_R = \frac{\Delta V_{out}}{\Delta I_{load}} \quad (2.7)$$

Con un aumento del guadagno d'anello LD_R tende a migliorare assumendo quindi valori più piccoli [3].

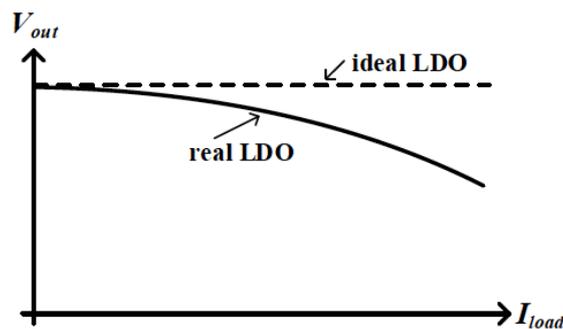


Figura 2.6. Grafico V_{out} in funzione di I_{load} per LDO ideale e reale

2.2.4 – Load Transient Response

La risposta nel tempo a fronte di una corrente di carico variabile, chiamata “load transient response”, è la misura di come la tensione di uscita risponde a variazioni rapide della corrente di carico. La corrente di carico viene rappresentata da una forma d'onda quadra tra il valore minimo e massimo previsto. Il tempo di salita e discesa tipicamente è dell'ordine dei “ns” [4]. In figura 2.7 è rappresentata la classica risposta di un convertitore LDO a fronte di una corrente di carico impulsiva, sono inoltre evidenziati i picchi di tensione (*overshoot/undershoot*) e il tempo di assestamento di V_{out} (*settling time*). La risposta al transitorio dipende dall'impedenza d'uscita dell'LDO. In particolare il valore del ripple di tensione è direttamente proporzionale all'impedenza d'uscita del regolatore. Il “settling time” è determinato dalla velocità di risposta

dell'intero sistema. Nel paragrafo 2.4 verrà approfondita la risposta al transitorio di carico e sarà introdotta una tecnica per diminuire il ripple della tensione d'uscita.

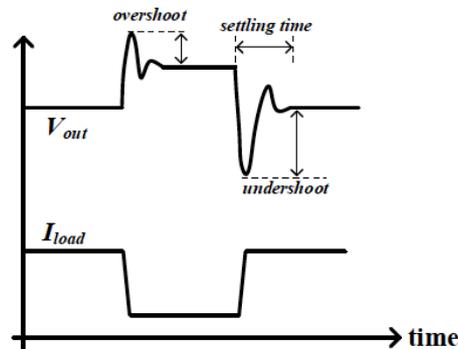


Figura 2.7. risposta LDO ad una corrente di carico impulsiva

2.2.5 – Power Supply Rejection Ratio (PSRR)

Il Power Supply Rejection Ratio (PSRR) indica capacità del regolatore LDO di ridurre l'ondulazione presente all'ingresso sull'uscita. Fondamentalmente è una misura della quantità di ondulazione sulla tensione di alimentazione che viene propagata all'uscita. Il PSRR è molto simile alla "Line Regulation" con l'unica differenza che riguarda le alte frequenze mentre quest'ultima è in DC. Il PSRR ad una data frequenza è generalmente ottenuto dall'espressione [5]

$$PSRR = 20 \log \frac{v_{in,rpl}}{v_{out,rpl}} \quad (2.8)$$

dove, $v_{in,rpl}$ è il ripple sulla tensione d'ingresso e $v_{out,rpl}$ è il ripple sulla tensione d'uscita. Il rapporto di reiezione della tensione di alimentazione può essere migliorato progettando il sistema per avere un elevato guadagno d'anello.

2.3 – Classificazione LDO

In letteratura esistono diverse versioni di convertitori LDO ognuna adatta ad una specifica applicazione, per soddisfare determinate specifiche. Una prima classificazione delle topologie circuitali può essere fatta sulla base del tipo di pass-transistor che viene utilizzato,

differenziando LDO che utilizzano transistor PMOS oppure NMOS. In figura 2.8 sono rappresentati i due schemi circuitali [6].

Possiamo identificare due grandi differenze tra questi, la prima riguarda l'ingresso della tensione di riferimento V_{ref} nell'amplificatore errore. Nel caso di PMOS LDO (figura (a)) questa è applicata al terminale positivo, al contrario per un NMOS LDO (figura (b)) è applicata al terminale negativo. Questo perché lo stadio in uscita dell'opamp nel caso di PMOS LDO è un *common-source* ed ha quindi guadagno negativo (stadio invertente), per NMOS LDO si ha invece una configurazione a *source-follower* con guadagno, circa uguale a 1, positivo

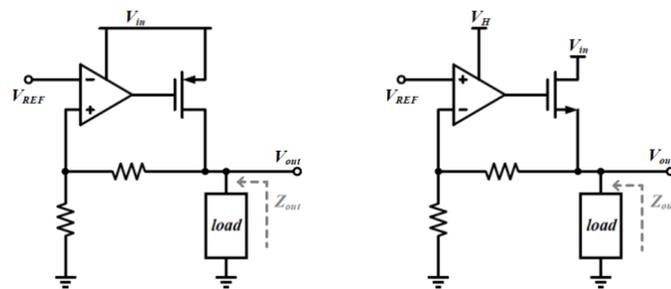


Figura 2.8. (a) PMOS LDO (b) NMOS LDO [6]

La seconda differenza risiede nella differente tensione di gate, ovvero la tensione di uscita dell'amplificatore errore, necessaria per garantire il corretto funzionamento del regolatore. Utilizzando pass transistor PMOS la tensione di gate dovrà essere inferiore della tensione di alimentazione, mentre per LDO che utilizzano NMOS la tensione di gate richiesta dovrà essere superiore alla tensione di uscita. La generazione di quest'ultima potrebbe risultare complessa in applicazioni a bassa tensione [7]. Nella maggior parte dei casi è necessario un circuito aggiuntivo come una "charge pump" per fornire questo segnale poiché potrebbe essere superiore alla tensione di alimentazione [8]. Ciò riduce la compattezza e l'efficienza complessiva. Nel progetto svolto in questa tesi, vista la bassa corrente in uscita dal regolatore, il controllo di un NMOS in realtà non causerebbe problemi. In ogni caso, come vedremo nel capitolo 3, è stato scelto un pass transistor di tipo PMOS in quanto consente di avere un guadagno ad anello aperto complessivo più alto e quindi una migliore regolazione.

Una seconda classificazione può essere fatta sulla base della presenza o meno della capacità d'uscita. Gli LDO che richiedono un condensatore di uscita sono denominati cap-LDO, mentre

sono denominati capless-LDO i regolatori che non necessitano di un condensatore d'uscita. I capless-LDO hanno chiaramente il vantaggio di avere delle dimensioni ridotte rispetto ai cap-LDO. Tuttavia, le prestazioni degli LDO cap-less sono inferiori rispetto ai cap-LDO in presenza di grandi transitori del carico [9]. Il cap-LDO riesce meglio ad adattarsi ai rapidi cambiamenti della corrente sul carico senza impattare sulla regolazione della V_{out} dell'LDO. Infatti il condensatore di uscita funge da riserva di carica e può fornire corrente istantanea in funzione delle richieste di carico e contemporaneamente riduce la velocità di variazione della tensione di uscita una volta applicato il carico. Nel paragrafo successivo vedremo più nel dettaglio la risposta del regolatore LDO al transitorio di carico e come influisce l'inserimento di una capacità d'uscita.

2.4 – Tecnica per Migliorare la Risposta al Transitorio di Carico

Come visto nel paragrafo relativo alle figure di merito, la capacità di un LDO di mantenere una tensione di uscita regolata in risposta a improvvisi cambiamenti nella corrente di carico è chiamata risposta ai transitori di carico (“*Load Transient Response*”). Al giorno d'oggi è uno dei parametri più importanti per gli LDO [10]. In questo paragrafo viene analizzato il meccanismo di risposta ai transitori di carico degli LDO e come migliorare le prestazioni transitorie utilizzando un componente esterno.

La seguente analisi si basa sullo schema classico di un LDO visto in figura 2.1. In seguito si farà riferimento a Z_L per indicare l'impedenza di carico che nel caso preso in esame è la resistenza equivalente vista sul ramo d'uscita caratterizzato dal generatore di corrente I_{load} . Consideriamo il caso in cui la corrente di carico aumenta passando da I_{load1} a I_{load2} . Facendo riferimento alle figure 2.9 e 2.10 supponiamo di essere in una condizione iniziale per cui la corrente di carico sia costante al valore I_{load1} e l'uscita del regolatore V_{out} sia correttamente regolata.

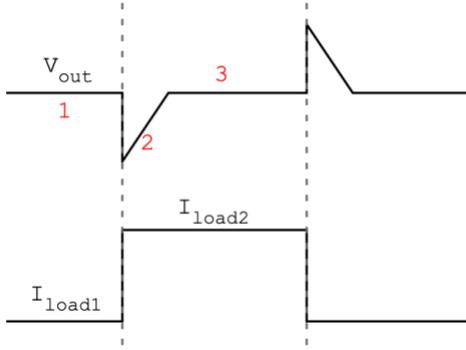


Figura 2.9. Risposta al transitorio di carico

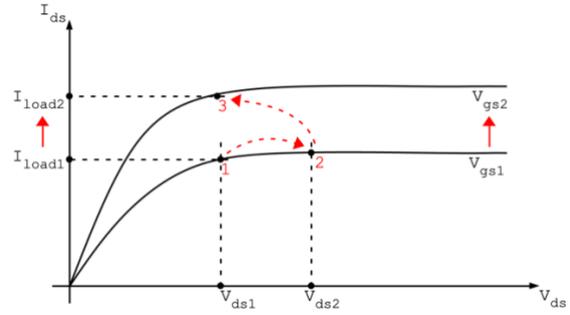


Figura 2.10. Grafico $I_{ds} - V_{ds}$ pass transistor

Assumiamo che in queste condizioni le tensioni drain-source e gate-source del pass transistor siano rispettivamente V_{ds1} e V_{gs1} (#1). Quando la corrente di uscita passa dal valore I_{load1} a I_{load2} l'uscita del regolatore diminuisce (*undershoot*) perché il meccanismo di retroazione non riesce a seguire il cambiamento istantaneamente. Questa situazione è equivalente ad un incremento della tensione drain-source del pass transistor da V_{ds1} a V_{ds2} per sostenere l'incremento di corrente di carico mantenendo la tensione tra gate-source a V_{gs1} (#2). Mentre la tensione drain-source del pass transistor PMOS cambia, il circuito di retroazione dell'LDO inizia a seguire la variazione del carico. Di conseguenza la tensione gate-source del PMOS aumenta da V_{gs1} a V_{gs2} per adattarsi all'aumento della nuova corrente di uscita. Una volta che la corrente di uscita dell'LDO è uguale a I_{load2} , la tensione di uscita smette di diminuire portando la tensione drain-source a V_{ds3} (#3) ad un valore circa uguale a quella di partenza per mezzo del feedback negativo. In altre parole, la tensione di uscita V_{out} ritorna circa al valore iniziale. Per determinare di quanto la tensione di uscita cala durante il transitorio di corrente calcoliamo l'impedenza di uscita del regolatore come

$$Z_{out} = r_{ds} // R_{fb} // Z_L \quad (2.9)$$

Rappresentata dal parallelo tra la resistenza d'uscita dal pass transistor r_{ds} , la somma delle resistenze di feedback ($R_{fb} = R_{fb1} + R_{fb2}$) e l'impedenza di carico Z_L . In questo modo quando la corrente di carico del regolatore aumenta di ΔI_{load} in un tempo breve, il ripple di tensione in uscita può essere espresso come

$$\Delta V_{outmax} = (r_{ds} // R_{fb} // Z_L) \cdot \Delta I_{load}$$

(2.10)

Nel caso in cui la corrente di carico diminuisce passando I_{load2} a I_{load1} l'espressione per il calcolo del ripple è uguale al caso precedente (2.10). L'unica differenza è che a fronte di una diminuzione di corrente il ripple di tensione sull'uscita è positivo (*overshoot*) perché prima di stabilizzarsi la tensione drain-source del pass transistor subisce una diminuzione che porta ad un valore più alto sull'uscita.

Come abbiamo appena visto in entrambi i casi il valore del ripple di tensione di uscita dipende, oltre che dalla variazione di I_{load} , dall'impedenza d'uscita complessiva dell'LDO.

La variazione della tensione di uscita di un LDO dovuta ad improvvisi cambiamenti delle condizioni di carico può essere quindi ridotta diminuendo l'impedenza di uscita. Per tale scopo un metodo tanto semplice quanto efficace è quello di aggiungere una capacità di uscita (C_{out}) all'uscita del LDO come rappresentato in figura 2.11.

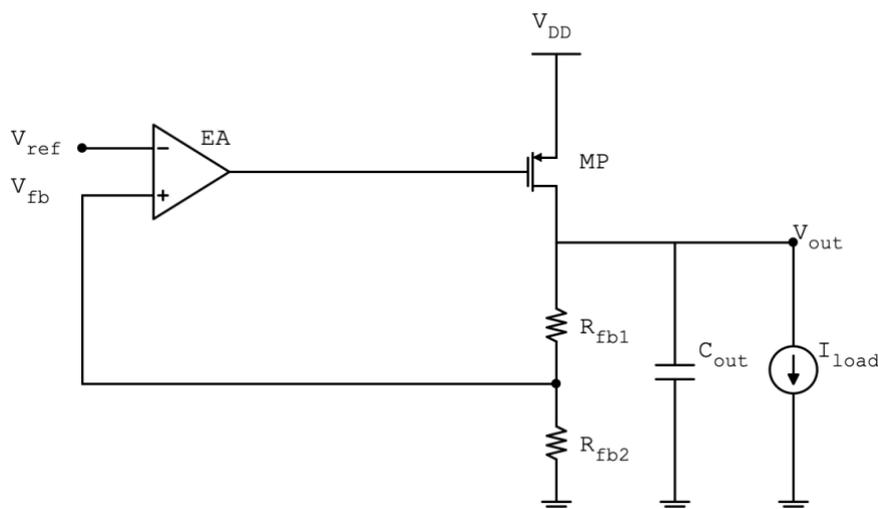


Figura 2.11. Schema LDO con capacità d'uscita

Vediamo questo fenomeno con maggiore dettaglio. Supponiamo che la corrente di carico (I_{load}) aumenti improvvisamente. Se non viene inserita una capacità d'uscita, l'aumento della corrente di carico deve essere interamente sostenuto dal pass transistor (MP). Al contrario, quando si inserisce un condensatore di uscita (C_{out}), l'aumento della corrente di carico viene sostenuta in parte dal condensatore di uscita (C_{out}) e in parte dal PMOS dell'LDO. La ripartizione di queste correnti dipende dal valore delle loro impedenze. In particolare essendo l'impedenza del condensatore $Z_{C_{out}} = \frac{1}{\omega C_{out}}$ le componenti ad alta frequenza della corrente proverranno tutte dal

condensatore. Mentre per le componenti a bassa frequenza l'impedenza del condensatore sarà grande in modulo, e quindi il condensatore contribuirà poco, e passeranno principalmente sul PMOS dell'LDO.

Di conseguenza, il condensatore di uscita (C_{out}) viene scaricato dalla corrente di carico. Pertanto, l'abbassamento della tensione di uscita (V_{out}) è determinato dal valore del condensatore di uscita (C_{out}) e da una variazione della corrente di carico; infatti, in questo modo l'impedenza d'uscita può essere riscritta come

$$Z_{out_new} = r_{ds} // R_{fb} // Z_L // Z_{C_{out}} \quad (2.11)$$

Dove $Z_{C_{out}}$ è l'impedenza della capacità d'uscita. Dimensionando opportunamente il valore della capacità d'uscita, inferiore al precedente valore di Z_{out} , avremo una diminuzione dell'impedenza d'uscita e quindi dei valori di overshoot e undershoot della tensione d'uscita. Nel capitolo 3 vedremo come durante la progettazione dell'LDO sia necessario l'inserimento della capacità di uscita per contenere il ripple d'uscita.

2.5 – Considerazioni sulla Stabilità del Circuito e Tecniche di Compensazione

Prima di analizzare il comportamento in frequenza del regolatore LDO è utile definire e analizzare i criteri di stabilità di un sistema con retroazione negativa. Per prima cosa definiamo il guadagno ad anello aperto A_{OL} che è il guadagno in assenza della rete di feedback e rappresentiamo con β_{fb} il fattore di feedback. Fissiamo inoltre il guadagno d'anello come $A_{LG} = A_{OL} \cdot \beta_{fb}$. Il guadagno ad anello aperto può essere analizzato nel dominio trasformato di Laplace. In questo dominio possiamo definire la funzione di trasferimento (valida per un circuito lineare, dinamico, stazionario e tempo invariante) come il rapporto tra la funzione di uscita e quella di ingresso. In questo dominio è possibile effettuare l'analisi di stabilità del circuito andando a valutare i poli e gli zeri della funzione di trasferimento ad anello aperto. I poli sono le radici del denominatore della funzione di trasferimento e gli zeri sono le radici del numeratore. I poli e gli zeri hanno effetti diversi sul grafico del modulo e fase della funzione di trasferimento (diagrammi di Bode). Per una più rapida valutazione è possibile far uso dei diagrammi di Bode asintotici nei quali si assume che lo sfasamento inizia alla decade di

frequenza che precede il polo o zero e termina alla decade successiva comportando uno sfasamento complessivo rispettivamente di -90° e $+90^\circ$. Nel caso del polo avremo quindi alla frequenza esatta uno sfasamento di -45 gradi e per lo zero di $+45^\circ$. Nel caso in cui è presente un polo ad una frequenza molto più bassa degli altri questo viene detto polo dominante in quanto è quello che imposta la frequenza in cui il guadagno ad anello aperto scende al di sotto di uno, o frequenza di guadagno unitario.

Per il criterio di Bode un sistema è stabile se alla frequenza di taglio (guadagno < 1) lo sfasamento della funzione di trasferimento ad anello aperto è inferiore a 180° . Infatti se il guadagno è maggiore di 1 con uno sfasamento superiore ai 180° la retroazione, che prima era negativa, è diventata positiva e quindi il sistema non è più BIBO (bounded-input bounded-output). Una funzione di trasferimento con polo reale dominante è stabile. Il problema è che nei sistemi a più poli, come quello caratterizzato dall'LDO, non sempre è presente un polo dominante ben distaccato dal polo secondario e quindi la fase può deteriorarsi in modo più rapido rispetto al guadagno e possono sorgere quindi problemi di stabilità.

Possiamo definire due criteri elementari di stabilità che definiscono quanto è robusto il sistema all'instabilità. Il primo (il più importante) è il margine di fase **PM**, che indica di quanto la fase si è spostata alla frequenza di guadagno unitario f_{0dB}

$$PM = 180^\circ - |\Delta\phi|_{f_{0dB}} \quad (2.12)$$

Il secondo è il margine di guadagno **GM**, che indica di quanto diminuisce il guadagno prima che la fase si sposti di 180° .

$$GM = 20 \log_{10} |A_{OL} \beta_{fb}| \quad (2.13)$$

L'obiettivo della compensazione è spostare il secondo polo alla frequenza di guadagno unitario o superiore o introdurre zeri per compensare lo sfasamento dei poli.

È importante notare che il margine di fase è anche un parametro molto importante nel determinare la risposta temporale di un sistema a un ingresso a gradino. Nella figura 2.12 possiamo osservare come si comporta l'output in funzione di diversi valori del margine di fase. Quando il margine di fase è basso, la risposta è del secondo ordine e l'uscita soffre di ampi overshoot, undershoot e ringing. Quando il margine di fase è elevato, la risposta è del primo ordine e il tempo di assestamento è più breve [11].

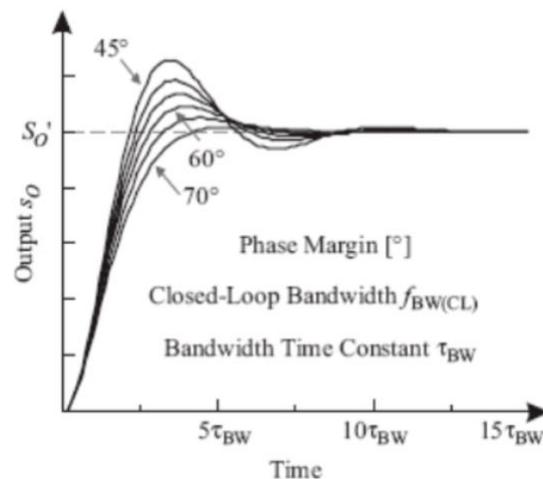


Figura 2.12: Risposta nel tempo ad un ingresso a gradino di un sistema compensato [11]

Per analizzare la stabilità del regolatore LDO è utile rappresentare il suo schema equivalente ai piccoli segnali dal quale possono essere stimate in modo grafico le posizioni dei poli. In figura 2.13 è rappresentato lo schema ai piccoli segnali di un LDO.

C_{out} rappresenta la capacità di uscita mentre R_{ESR} (rappresentata tratteggiata) rappresenta la resistenza serie parassita della capacità d'uscita che poi andremo ad aumentare aggiungendo un'ulteriore resistenza serie che utilizzeremo per introdurre uno zero di compensazione.

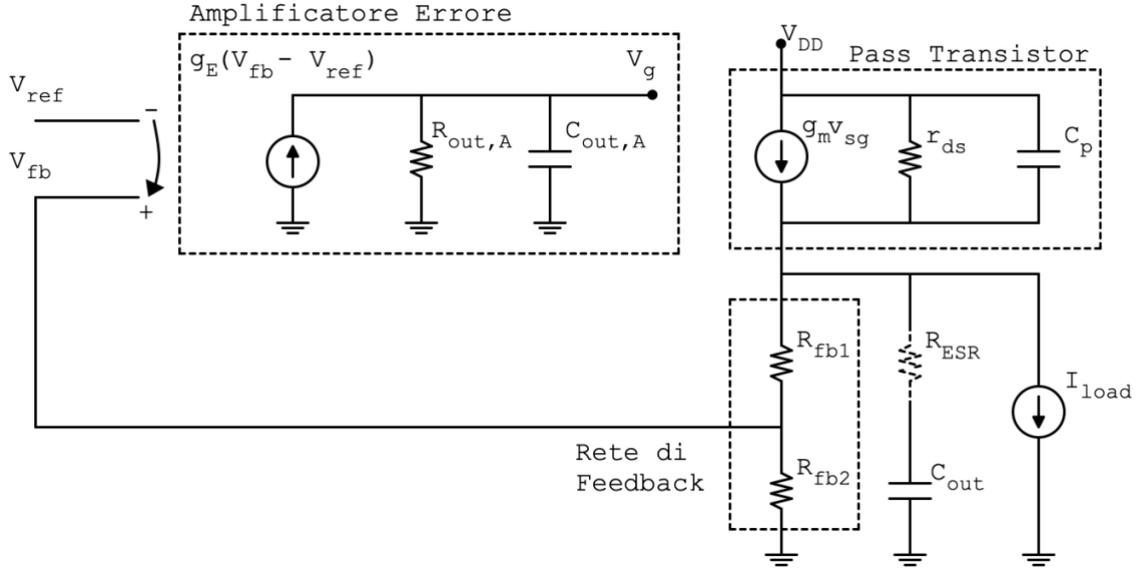


Figura 2.13: schema ai piccoli segnali LDO

Analizzando lo schema ai piccoli segnali rappresentato in figura 2.13, senza considerare la R_{ESR} è possibile individuare due poli. Il primo generato dalla resistenza d'uscita dell'amplificatore errore $R_{out,A}$ in parallelo con la capacità d'uscita $C_{out,A}$, costituita principalmente dalle capacità di gate del pass transistor. La frequenza è rappresentata dall'espressione

$$f_{p,opamp} = \frac{1}{2\pi R_{out,A} C_{out,A}} \quad (2.14)$$

Un secondo polo può essere individuato all'uscita del regolatore dalle capacità C_p e C_{out} con $C_{out} \gg C_p$, in parallelo alla resistenza d'uscita costituita dal parallelo $[(R_{fb1} + R_{fb2}) // r_{ds} // R_L]$, dove la frequenza è espressa dalla (2.15). Inoltre, per basse correnti si ha $r_{ds} \gg (R_{fb1} + R_{fb2})$ e $r_{ds} \gg R_L$, quindi, l'espressione si può semplificare come segue

$$f_{p,out} = \frac{1}{2\pi [(R_{fb1} + R_{fb2}) // r_{ds} // R_L] (C_{out} + C_p)} \approx \frac{1}{2\pi (R_{fb} // R_L) C_{out}} \quad (2.15)$$

Dove r_{ds} è la resistenza d'uscita del pass transistor. $R_{fb} = R_{fb1} + R_{fb2}$ è la resistenza totale della rete resistiva di feedback e R_L è la resistenza di carico equivalente dovuta al generatore

I_{load} . Mentre C_p e C_{out} sono, rispettivamente, la capacità parassita del pass transistor e la capacità d'uscita.

In questa configurazione per assicurare la stabilità dovremmo garantire che il polo non dominante (polo secondario) si posizioni ad una frequenza uguale o superiore a quella di guadagno unitario. La risposta in frequenza di un LDO non compensato può essere rappresentata dal diagramma di Bode presente in figura 2.14.

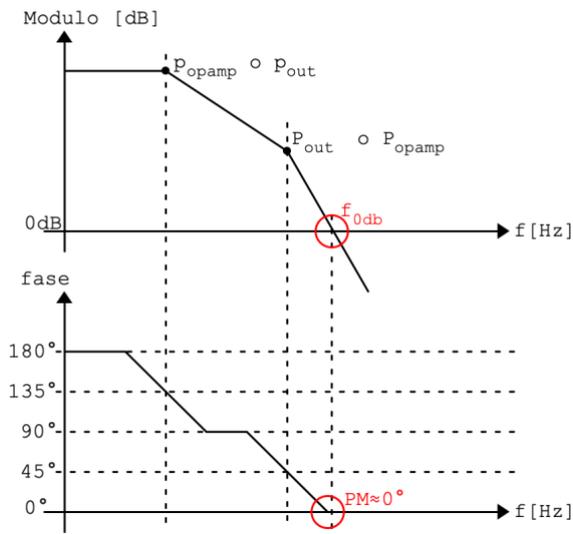


Figura 2.14. Diagramma di Bode sistema a due poli

Possiamo notare che le frequenze del polo all'uscita dell'amplificatore di errore $f_{p,opamp}$ e del polo all'uscita dell'LDO $f_{p,out}$ risultano entrambe basse e rendono il margine di fase quasi nullo portando il sistema verso l'instabilità.

Di solito, si utilizza la resistenza serie R_{ESR} al condensatore d'uscita per produrre uno zero e compensare lo sfasamento introdotto dal polo non dominante [12]. Considerando lo schema di figura 2.11 e includendo la resistenza R_{ESR} , l'espressione della frequenza dello zero è data da

$$f_{z,out} = \frac{1}{2\pi R_{ESR} C_{out}} \quad (2.16)$$

Dimensionando correttamente il valore di questa resistenza, possiamo posizionare lo zero in un range nell'intorno della frequenza a guadagno unitario. Ciò causa uno sfasamento di $+90^\circ$

della fase consentendo di migliorare notevolmente il margine di fase PM e ripristinare la stabilità. Una risposta in frequenza di un LDO compensato può essere rappresentata dal diagramma di Bode in figura 2.15

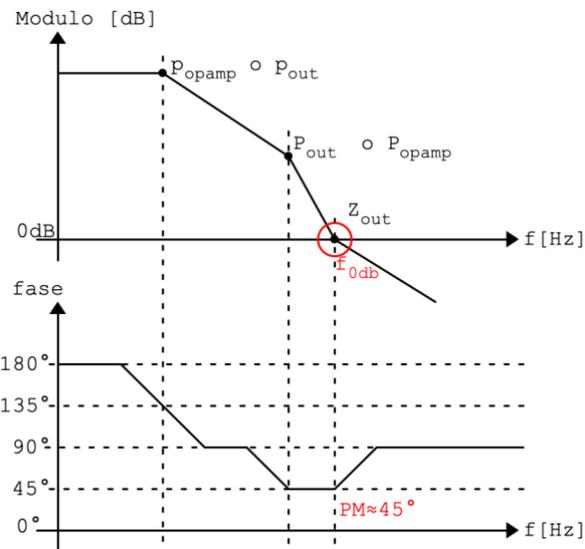


Figura 2.15. Diagramma di Bode sistema due poli e zero di compensazione

Nel capitolo successivo, relativo alla progettazione del regolatore LDO, vedremo nel dettaglio il dimensionamento della resistenza R_{ESR} per compensare il sistema.

Capitolo 3

Progetto LDO in tecnologia CMOS

In questo capitolo viene presentato il progetto di un regolatore LDO in tecnologia CMOS, utilizzando per il dispositivo MOS il modello “FreePDK45™ 45nm” [16]. In un primo momento è stato analizzato il circuito classico del regolatore considerando come amplificatore errore un opamp ideale ad un solo polo. Dopo il dimensionamento della rete di feedback e del pass transistor, è stata studiata nel dettaglio l’influenza del guadagno dell’opamp sulla regolazione della tensione d’uscita per determinare le specifiche dell’amplificatore errore. Prima di sostituire l’opamp ideale con uno reale, è stata fatta un’analisi di stabilità in cui è evidenziata la necessità di compensare il sistema per renderlo stabile. In seguito, è stato progettato un amplificatore a singolo stadio a livello di transistor con tutti i MOSFET operanti sottosoglia. Infine, sostituendo l’opamp reale a quello ideale, nell’ultimo paragrafo di questo capitolo, viene presentato lo schema finale del regolatore LDO.

Il regolatore funziona con una tensione di alimentazione di $V_{DD} = 1.2V \pm 10\%$, deve cioè garantire una corretta regolazione per valori compresi tra [1V,1.4V]. La tensione di riferimento è fissata a $V_{ref} = 0.4V$ e si deve ottenere una tensione d’uscita regolata $V_{out} = 0.6V$, con un ripple $\leq \pm 20mV$ in funzione delle variazioni di corrente I_{load} nel range (40÷100) nA. La corrente di riposo del sistema, senza considerare il riferimento di tensione, deve essere inferiore a 100nA.

3.1 – Dimensionamento Rete di Feedback e Pass Transistor

Il progetto del regolatore LDO inizia dal dimensionamento della rete resistiva di feedback e del pass transistor PMOS. In questa prima fase di progetto è stato utilizzato uno schema semplificato del regolatore, rappresentato in figura 3.1, considerando l’amplificatore errore ideale (opamp ad un solo polo).

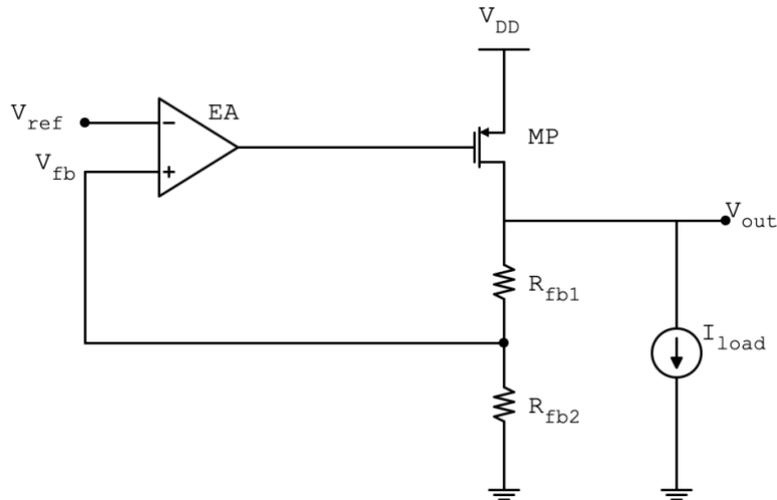


Figura 3.1. Schema semplificato LDO

3.1.1 Dimensionamento del partitore resistivo

Per prima cosa sono stati ricavati i valori delle due resistenze di feedback R_{fb1} e R_{fb2} che costituiscono il partitore resistivo. Considerando l'amplificatore ideale ($V_{fb} = V_{ref}$) possiamo scrivere la relazione che lega la tensione di uscita a quella di riferimento come

$$V_{out} = V_{ref} \frac{R_{fb1} + R_{fb2}}{R_{fb2}} \quad (3.1)$$

Da cui, con $V_{ref} = 0.4V$ e $V_{out} = 0.6V$, si ottiene

$$\frac{R_{fb1}}{R_{fb2}} = \frac{1}{2} \quad (3.2)$$

Un secondo vincolo per definire il valore delle resistenze è dato dalle specifiche sul consumo e quindi sulla limitazione di corrente che circola sul partitore resistivo a riposo. Considerando il circuito a carico aperto ($I_{load} = 0$) e imponendo $I_{Rfb} \leq 50nA$, dall'espressione

$$I_{Rfb} = \frac{V_{out}}{R_{fb1} + R_{fb2}} \leq 50nA \quad (3.3)$$

otteniamo

$$R_{fb1} + R_{fb2} \geq 12M\Omega$$

(3.4)

da cui fissando $R_{fb1} = 4M\Omega$ e ribaltando l'equazione (3.2) si ottiene $R_{fb2} = 2R_{fb1} = 8M\Omega$. In questo modo entrambi i vincoli (3.1) e (3.2) risultano soddisfatti.

3.1.2 Dimensionamento Pass Transistor

Per il dimensionamento del pass transistor MP è stata calcolata la tensione di dropout, ovvero la minima caduta di tensione $|V_{ds}|$ che possiamo avere sul pass transistor e per la quale deve essere garantito il corretto funzionamento del regolatore. Se consideriamo la tensione di alimentazione con fluttuazioni del $\pm 10\%$ rispetto al suo valore nominale $V_{dd} = 1.2V$, dovremo garantire il funzionamento anche con una $V_{dd_min} \cong 1V$. Questo significa che la tensione di dropout sarà

$$V_{dropout} = V_{dd_min} - V_{out} = 1V - 0.6V = 0.4V \quad (3.5)$$

Che è esattamente la caduta di tensione minima che possiamo avere sul pass transistor, in altre parole la $|V_{ds_min}|$ per la quale deve essere garantito il funzionamento, anche in corrispondenza di correnti di carico vicine al valore massimo consentito.

Inoltre, per assicurare una buona regolazione, dovremo imporre che il MOS lavori sottosoglia e con $|V_{ds}| \geq 4V_T$ (detta saturazione sottosoglia), perché, se varia la corrente richiesta dal carico (punto #1 Figura 3.2) deve variare $|V_{gs}|$ per avere la giusta I_{ds} mentre $|V_{ds}|$ deve rimanere circa costante per garantire la regolazione della tensione d'uscita; (#2) l'alimentazione può assumere valori compresi tra $[1V-1.4V]$, in questo range la $|V_{ds}|$ diminuirà nel caso di $V_{dd} < 1.2V$ oppure aumenterà nel caso di $V_{dd} > 1.2V$, ma la corrente erogata al carico dovrà rimanere costante. In fig. 3.2 è rappresentata la caratteristica $V_{ds} - I_{ds}$ dove sono evidenziate le zone di lavoro del pass transistor.

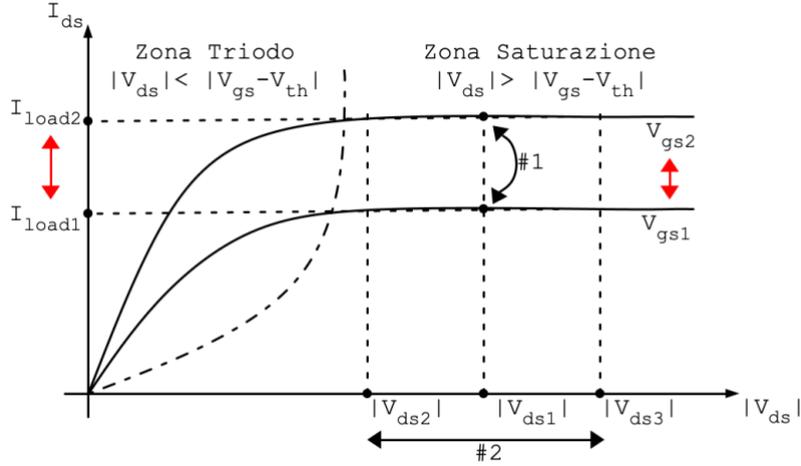


Figura 3.2. Caratteristica $V_{ds} - I_{ds}$ pass transistor

Il funzionamento del regolatore può essere ottenuto considerando il MOS sopra o sottosoglia in funzione del valore di $|V_{gs}|$. In particolare, imponendo $|V_{gs}| < |V_{th}|$, il MOS opererà sottosoglia e l'equazione che lega la corrente I_{ds} alla tensione V_{gs} sarà di tipo esponenziale, ovvero:

$$I_{ds} = I_{d0} \frac{W}{L} e^{\frac{|V_{gs}-V_{th}|}{nV_T}} \left(1 - e^{-\frac{V_{ds}}{V_T}} \right) \approx I_{d0} \frac{W}{L} e^{\frac{|V_{gs}-V_{th}|}{nV_T}} \quad (3.6)$$

in cui la dipendenza dalla V_{ds} è stata trascurata in quanto per $|V_{ds}| \geq 4V_T$ l'esponenziale dentro parentesi tende a zero. Dato che la tensione termica V_T a temperatura ambiente è circa uguale a $25mV$ e la $|V_{ds_min}|$ calcolata in (3.5) è uguale a $400mV$, durante il funzionamento del regolatore possiamo garantire di essere ben oltre la condizione $|V_{ds}| \geq 4V_T = 100mV$.

Se imponiamo (1) $|V_{gs}| > |V_{th}|$ e (2) $|V_{ds}| \geq |V_{gs} - V_{th}|$ il MOS lavorerà sopra soglia e l'equazione che descrive l'andamento della I_{ds} in funzione della V_{gs} sarà

$$I_{ds} \cong \frac{1}{2} \mu_p C_{ox} \frac{W}{L} (|V_{gs}| - V_{th})^2 \quad (3.7)$$

In entrambi i casi il rapporto $\left(\frac{W}{L}\right)_{MP}$ può essere ottenuto fissando la I_{ds} in funzione della massima corrente richiesta dal carico e dimensionando il fattore di forma per polarizzare il MOS con la V_{gs} desiderata. Nel nostro caso il MOS è stato progettato per lavorare sottosoglia,

viste le basse correnti richieste dal carico da specifiche. Il fattore di forma si può quindi ottenere invertendo la (3.6) ricavando la relazione

$$\frac{W}{L} = \frac{I_{ds}}{I_{d0}} e^{-\frac{|V_{gs}-V_{th}|}{nV_T}} \quad (3.8)$$

fissando un valore di $|V_{gs}|$ per garantire il funzionamento sottosoglia. Avendo $V_{th} \approx 0.3V$ si ha

$$|V_{gs}| < |V_{th}| \quad (3.9)$$

per cui il funzionamento sottosoglia sarà garantito ponendo $|V_{gs}| < 0.3V$. A partire da queste considerazioni il fattore di forma del pass transistor MP è stato ottenuto simulando il circuito in figura 3.3 imponendo $|V_{gs}| = 0.25V$ per garantire il funzionamento sottosoglia. Mediante una simulazione parametrica variando il rapporto $\left(\frac{W}{L}\right)_{MP}$ del pass transistor si ottiene che con un fattore di forma $\left(\frac{W}{L}\right)_{MP} = 1.8$ la corrente erogata dal MOS è di circa $150nA$, che è esattamente il risultato che vogliamo ottenere in quanto $I_{load_max} = 100nA$ e la massima corrente che scorre sul pass transistor è data da $I_{ds_max} = I_{load_max} + I_{Rfb}$, dove I_{Rfb} è la corrente che circola sul partitore resistivo che è stata imposta durante il dimensionamento del partitore resistivo ed è $I_{Rfb} = 50nA$.

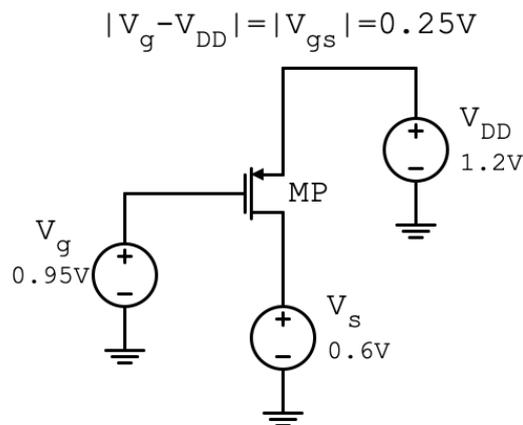


Figura 3.3. Schema simulazione MOS per determinare $\left(\frac{W}{L}\right)_{MP}$

Nella pratica, dimensionando il transistor con un fattore di forma $\left(\frac{W}{L}\right) = 1.8$, si ha che per la massima corrente di carico prevista $I_{load} = 100nA$, la V_{gs} ai capi del pass transistor sarà di circa $0.25V$, ed il MOS funzionerà quindi sotto soglia. Inoltre, per correnti inferiori a $100nA$, il funzionamento sotto soglia è garantito perché V_{gs} dovrà per forza di cose diminuire. Definito il fattore di forma del pass transistor è stato scelto come valore di lunghezza di canale $L = 1\mu m$, da cui il valore della larghezza di canale è stato calcolato $W = 1.8\mu m$.

3.2 – Analisi Line e Load Regulation per Determinare Guadagno Amplificatore Errore

Dopo aver dimensionato la rete di feedback e il pass transistor, in questo paragrafo viene analizzato il comportamento del regolatore in funzione delle caratteristiche dell'amplificatore d'errore per determinare il valore minimo di guadagno che garantisce una buona regolazione. Per prima cosa è stata fatta un'analisi del circuito in DC per individuare le dipendenze di line regulation e load regulation dal guadagno dell'amplificatore sfruttando lo schema rappresentato in figura 3.4.

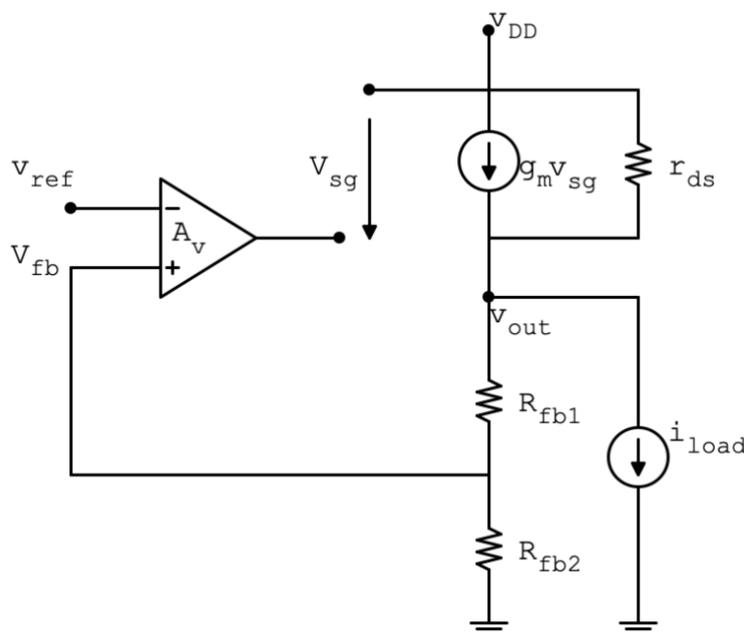


Figura 3.4. Schema ai piccoli segnali LDO DC

Considerando le variazioni di v_{ref} , v_{DD} e i_{load} ed applicando la legge di Kirchhoff alle correnti per il nodo v_{out} si ottiene la seguente espressione

$$g_m \left[v_{DD} - \left(v_{out} \frac{R_{fb2}}{R_{fb1} + R_{fb2}} - v_{ref} \right) A_v \right] + \frac{v_{dd} - v_{out}}{r_{ds}} = \frac{v_{out}}{R_{fb1} + R_{fb2}} + i_{load} \quad (3.10)$$

dalla quale, definendo $\beta = \frac{R_{fb2}}{R_{fb1} + R_{fb2}}$ e mettendo in evidenza v_{out} si ottiene

$$v_{out} = \frac{g_m + \frac{1}{r_{ds}}}{g_m A_v \beta + \frac{1}{(R_{fb1} + R_{fb2})//r_{ds}}} v_{DD} + \frac{g_m A_v}{g_m A_v \beta + \frac{1}{(R_{fb1} + R_{fb2})//r_{ds}}} v_{ref} - \frac{i_{load}}{g_m A_v \beta} \quad (3.11)$$

dove g_m e r_{ds} sono rispettivamente la transconduttanza e la resistenza d'uscita del pass transistor e A_v è il guadagno dell'amplificatore errore.

Assumendo $g_m r_{ds} \gg 1$ e $g_m A_v \beta [(R_{fb1} + R_{fb2})//r_{ds}] \gg 1$, verificate numericamente dai valori ottenuti simulando il circuito, l'equazione (3.11) può essere semplificata e si ha

$$v_{out} \approx \frac{1}{A_v \beta} v_{DD} + \frac{1}{\beta} v_{ref} - \frac{1}{g_m A_v \beta} i_{load} \quad (3.12)$$

dalla quale possiamo notare come il guadagno dell'amplificatore produce un'attenuazione per variazioni della tensione di alimentazione e della corrente di carico, ma non ha nessun effetto in caso di variazioni della tensione di riferimento v_{ref} .

Dalla (3.12) è possibile ricavare le espressioni di line regulation L_R e load regulation LD_R

$$L_R = \frac{\Delta V_{out}}{\Delta V_{DD}} \approx \frac{1}{A_v \beta} \quad (3.13)$$

$$LD_R = \frac{\Delta V_{out}}{\Delta I_{load}} \approx -\frac{1}{g_m A_v \beta}$$

(3.14)

Come già anticipato nel paragrafo 2.2, entrambe le relazioni dipendono dal valore del guadagno dell'amplificatore errore. A partire dalle relazioni (3.13) e (3.14) è stato calcolato il valore minimo di guadagno necessario. Sapendo che la tensione di alimentazione del regolatore può subire variazioni da 1V a 1.4V si ha $\Delta V_{DD} = 0.4V$, inoltre β , che dipende dal valore delle resistenze di feedback, può essere calcolato come $\beta = \frac{R_{fb2}}{R_{fb1} + R_{fb2}} = \frac{2}{3}$. Imponiamo il valore di $\Delta V_{out} = 10mV$, che equivale a dire che, in condizioni stazionarie, a variazioni della tensione di ingresso di 400mV corrispondono variazioni di soli 10mV sulla tensione di uscita. In questo modo la relazione (3.13) può essere riscritta per determinare il valore minimo del guadagno dell'amplificatore errore

$$A_v \geq \frac{\Delta V_{DD}}{\Delta V_{out} \beta} = 60 \quad (3.15)$$

Inoltre invertendo la (3.14) per calcolare ΔV_{out} in funzione di ΔI_{load} , con un guadagno di $A_v = 60$, $\beta = \frac{2}{3}$ e $g_m \approx 2.09 \times 10^{-6} S$ ottenuta simulando il circuito con una simulazione “.op”, otteniamo

$$\Delta V_{out} = \frac{\Delta I_{load}}{g_m A_v \beta} \approx 0.7mV \quad (3.16)$$

con una corrente di carico che varia in un range compreso tra [40nA ÷ 100nA] e quindi $\Delta I_{load} = 60nA$. Questo significa che ad una variazione di 60nA di corrente di carico corrisponde una variazione di soli 0.7mV della tensione d'uscita.

In questo modo è stato definito il valore minimo di guadagno dell'amplificatore errore, nel paragrafo 3.5 verrà affrontato il progetto dell'amplificatore d'errore reale. Dopo aver dimensionato il partitore resistivo, il pass transistor e il guadagno dell'amplificatore errore, il prossimo step è quello di analizzare la risposta al transitorio di carico. Nel prossimo paragrafo

vedremo la necessità di inserire una capacità d'uscita per diminuire il ripple di tensione sull'uscita dovuto ad una corrente di carico a gradino.

3.3 – Analisi Transitorio di Carico e Inserimento Capacità per Diminuire Ripple di Tensione

Dopo aver definito il guadagno dell'amplificatore errore nel paragrafo precedente, sono state fatte delle simulazioni nel tempo per analizzare il comportamento del regolatore a fronte di variazioni della corrente di carico. In questa fase il carico è costituito dal solo generatore di corrente e non sono presenti capacità esterne. Per simulare il comportamento del carico è stato quindi utilizzato un generatore di corrente che produce una corrente a gradino tra il valore $I_{load_min} = 40nA$ e $I_{load_max} = 100nA$ con una frequenza di $5KHz$, duty cycle $DC = 0.5$ e tempo di salita e discesa di $10ns$. Come possiamo vedere dalla figura 3.5 il risultato della simulazione mostra una corretta regolazione dopo i fronti di salita e discesa della corrente. In corrispondenza delle variazioni di corrente di carico, però, la tensione presenta un forte ripple, circa uguale a $500mV$.

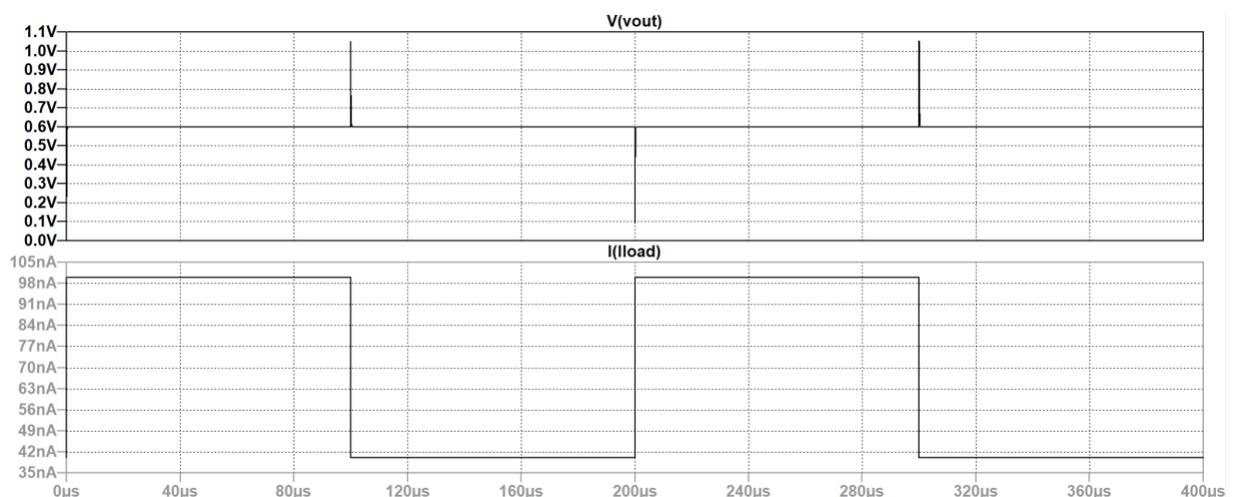


Figura 3.5. Risposta al transitorio di carico

Avere degli *overshoot/undershoot* così elevati, anche se per brevi istanti di tempo potrebbe portare al malfunzionamento del circuito a valle del regolatore, per questo motivo è stata studiata una soluzione per ridurli.

Dall'analisi eseguita nel paragrafo 2.4 si è visto come l'inserimento di una capacità d'uscita porti ad una diminuzione dell'impedenza d'uscita e quindi del ripple di tensione. Riprendendo le espressioni trovate in precedenza

$$Z_{out_new} = r_{ds} // R_{fb} // Z_L // Z_{C_{out}} \quad (3.18)$$

$$\Delta V_{outmax} = Z_{out_new} \cdot \Delta I_{load} \quad (3.19)$$

è possibile dimensionare il valore della capacità fissando il massimo valore del ripple d'uscita ΔV_{outmax} . Prima dell'inserimento della capacità d'uscita è stato calcolato analiticamente il valore di ΔV_{outmax} per confrontarlo con i risultati ottenuti dalle simulazioni. Considerando una variazione della corrente di carico da 40nA a 100nA e i valori di r_{ds} , R_{fb} e R_{load} riportati in tabella I

r_{ds}	213.21M Ω
R_{fb}	12M Ω
R_{load}	15M Ω

Tabella I

Il calcolo dell'impedenza d'uscita può essere semplificato in quanto $r_{ds} \gg R_{fb}$ e $r_{ds} \gg R_{load}$, quindi nel parallelo r_{ds} può essere trascurata

$$Z_{out} = r_{ds} // R_{fb} // Z_L \approx R_{fb} // Z_L \approx 6.66M\Omega \quad (3.20)$$

Considerando $\Delta I_{load} = 60nA$ si ha

$$\Delta V_{outmax} = Z_{out} \cdot \Delta I_{load} \approx 400mV \quad (3.21)$$

risultato molto simile a quello ottenuto dalla simulazione del circuito. Il dimensionamento di C_{out} è stato ottenuto simulando il circuito al variare di quest'ultima per ottenere valori più

precisi. In questo modo si ottiene che l'inserimento di una capacità $C_{out} = 10pF$ porta a dei picchi di tensione sull'uscita di circa 20mV, molto più bassi rispetto allo schema di partenza.

In questo paragrafo abbiamo visto come inserendo una capacità d'uscita i picchi tensione, causati da una corrente di carico impulsiva, diminuiscano notevolmente. Fino ad ora non è stata trattata nessuna simulazione in AC, questo perché prima di inserire la capacità d'uscita, anche a fronte di una corrente impulsiva, il sistema rispondeva nel modo corretto assestandosi in brevissimi istanti di tempo al valore desiderato, vedi figura 3.5. Nello schema di partenza, infatti, il polo dominante è stato posizionato all'uscita dell'amplificatore errore, imponendo un guadagno di 60 e avendo ipotizzato una $GBW = 100KHz$ assume una frequenza di circa 1.6KHz mentre il polo all'uscita del regolatore si trova a frequenze ben al di sopra della frequenza a guadagno unitario. In questa configurazione, prima di inserire la capacità d'uscita, il sistema risulta dunque stabile.

Purtroppo, l'inserimento della capacità d'uscita porta l'abbassamento della frequenza del polo all'uscita del circuito avvicinandolo al polo dominante con conseguenze sulla stabilità del sistema. Nel prossimo paragrafo vedremo la necessità di inserire una resistenza di compensazione in serie al condensatore di uscita per generare uno zero che ripristini la stabilità del circuito.

3.4 – Analisi Stabilità e Tecnica per Compensare Margine di Fase

Dopo aver inserito la capacità d'uscita per diminuire il ripple di tensione, eseguendo una simulazione nel tempo quello che vediamo è una forma d'onda che oscilla attorno al valore desiderato senza assestarsi prima del gradino di corrente successivo. Come anticipato alla fine del paragrafo precedente questo è dovuto al fatto che inserendo una capacità di uscita di 10pF la frequenza del polo all'uscita del regolatore diminuisce drasticamente avvicinandosi al polo dominante e deteriorando il margine di fase. Infatti, eseguendo un'analisi in AC nel caso senza capacità (figura 3.6) e dopo aver inserito la capacità (figura 3.7) notiamo come si modifica il diagramma di Bode.

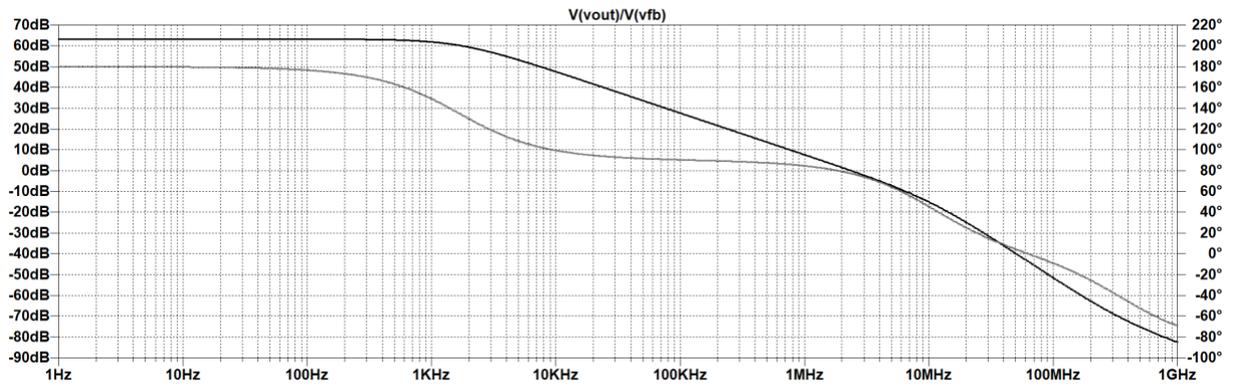


Figura 3.6. Simulazione AC senza capacità d'uscita

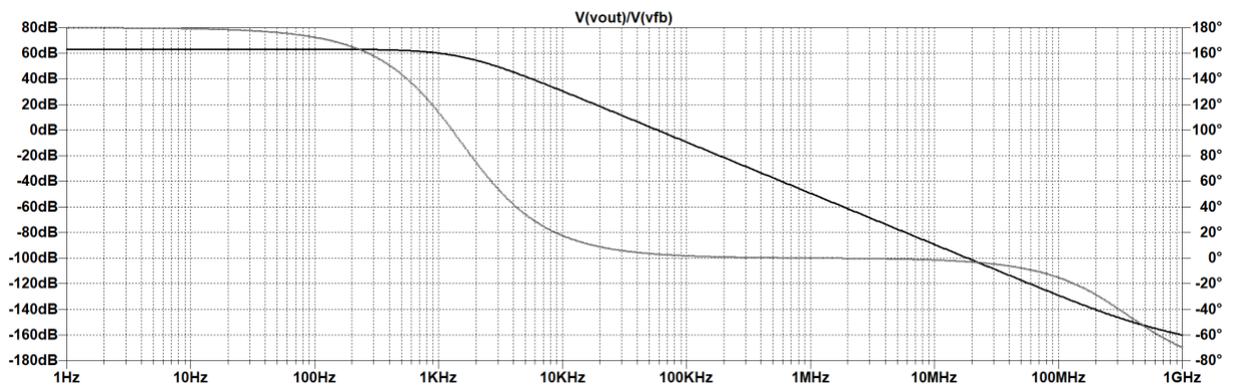


Figura 3.7. Simulazione AC con capacità d'uscita

Nel primo caso possiamo notare a basse frequenze il polo all'uscita dell'opamp e completamente separato ad alte frequenze il polo all'uscita del regolatore. Le frequenze dei due poli possono essere calcolate dalle espressioni ricavate nel paragrafo 2.5

$$f_{p,opamp} = \frac{1}{2\pi R_{out,A} C_{out,A}} = \frac{GBW}{A_v} \approx 1.66 \text{ KHz} \quad (3.22)$$

$$f_{p,out} = \frac{1}{2\pi (R_{fb} // R_L) C_p} \approx 16.5 \text{ MHz} \quad (3.23)$$

dove C_p è la capacità parassita del pass transistor, calcolata da simulazione $C_p \approx 1.44 \text{ fF}$.

Inserendo la capacità d'uscita la frequenza del polo secondario può essere ricalcolata dall'espressione seguente

$$f_{p,out} = \frac{1}{2\pi(R_{fb}/R_L)(C_p + C_{out})} \quad (3.24)$$

dove, avendo $C_{out} \gg C_p$ l'espressione (3.24) può essere semplificata e con $C_{out} = 10pF$ la frequenza del polo secondario diventa

$$f_{p,out} \approx \frac{1}{2\pi(R_{fb}/R_L)C_{out}} \approx 2.38 \text{ KHz} \quad (3.25)$$

Possiamo notare che il polo secondario si sposta da una frequenza di 16.5 MHz ad una molto più bassa di 2.38 KHz , come mostrato nel diagramma di Bode di figura 3.8. Nel primo caso avevamo un margine di fase $PM \approx 76^\circ$, dopo aver inserito la C_{out} il margine di fase deteriora e diviene circa uguale a 0° , rendendo il sistema instabile. Per questo motivo l'analisi in transitorio presenta una forma d'onda con forti oscillazioni nell'intorno del valore desiderato.

Come visto nel paragrafo 2.5 per ripristinare la stabilità del sistema viene inserita una resistenza in serie alla capacità d'uscita la quale da luogo ad uno zero nella funzione di trasferimento. In particolare ricordando l'espressione della frequenza dello zero introdotto

$$f_{z,out} = \frac{1}{2\pi R_{ESR} C_{out}} \quad (3.26)$$

e valutando il diagramma di Bode di figura 3.8 possiamo individuare il range di frequenze in cui è necessario introdurre lo zero per ripristinare il margine di fase. Imponendo $f_z = 57 \text{ KHz}$, valore nell'intorno della frequenza a guadagno unitario, l'espressione (3.26) può essere manipolata per ottenere il valore di resistenza necessario

$$R_{ESR} = \frac{1}{2\pi f_{z,out} C_{out}} \approx 280K\Omega \quad (3.27)$$

L'inserimento della resistenza serie deve essere fatto con attenzione perché, se da un lato generiamo uno zero per compensare il margine di fase, dall'altro aumentiamo l'impedenza d'uscita del regolatore che, come visto nel paragrafo precedente, è direttamente proporzionale all'entità del ripple d'uscita. Nel nostro caso l'inserimento di uno zero a frequenza $f_z = 57\text{ KHz}$ porta al dimensionamento di una resistenza di $280K\Omega$ che in confronto a $Z_{C_{out}} \approx 3.18M\Omega$, dovuta alla capacità $C_{out} = 10pF$ con una corrente di uscita che varia con una frequenza di 5 KHz , sono trascurabili e non comportano un deterioramento visibile del ripple d'uscita. In figura 3.8 è mostrato il diagramma di Bode dopo l'inserimento della resistenza serie, come possiamo notare il margine di fase è migliorato ed ora assume un valore di $PM \approx 60^\circ$.

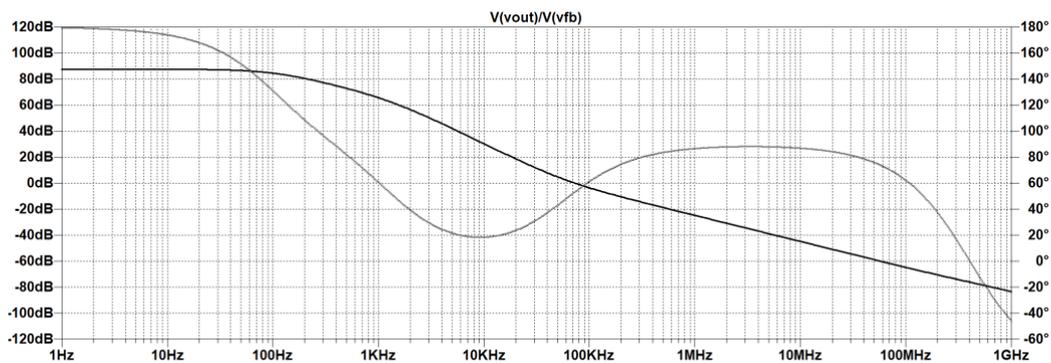


Figura 3.8. Diagramma di Bode con zero prodotto dalla R_{ESR}

Infine, in figura 3.9 è rappresentato l'andamento nel tempo della V_{out} dopo l'inserimento della resistenza serie.

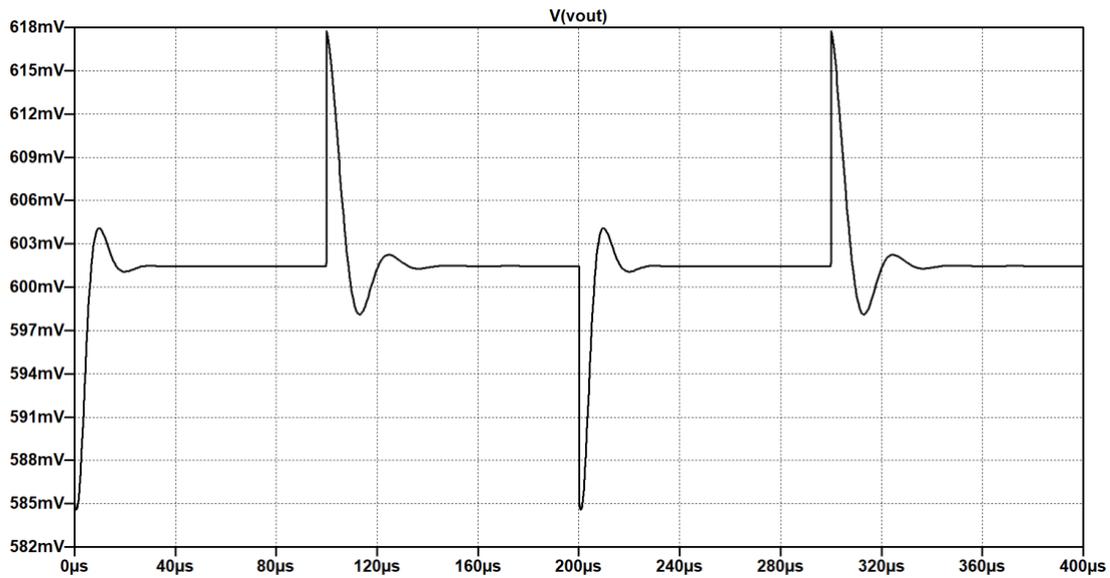


Figura 3.9. Risposta al transitorio di carico con R_{ESR}

Come possiamo vedere la tensione d'uscita subisce un'oscillazione in corrispondenza dei fronti di salita e di discesa della corrente di carico, ma dopo circa $20\mu s$ si stabilizza al valore desiderato di $0.6V$. Notiamo inoltre che il ripple di tensione è rimasto sostanzialmente inalterato nell'intorno dei $20mV$ come imposto nell'analisi svolta al paragrafo precedente.

Lo schema risultante, dopo aver inserito capacità e resistenza d'uscita per, rispettivamente, diminuire il ripple e ripristinare la stabilità del sistema, è presentato in figura 3.10.

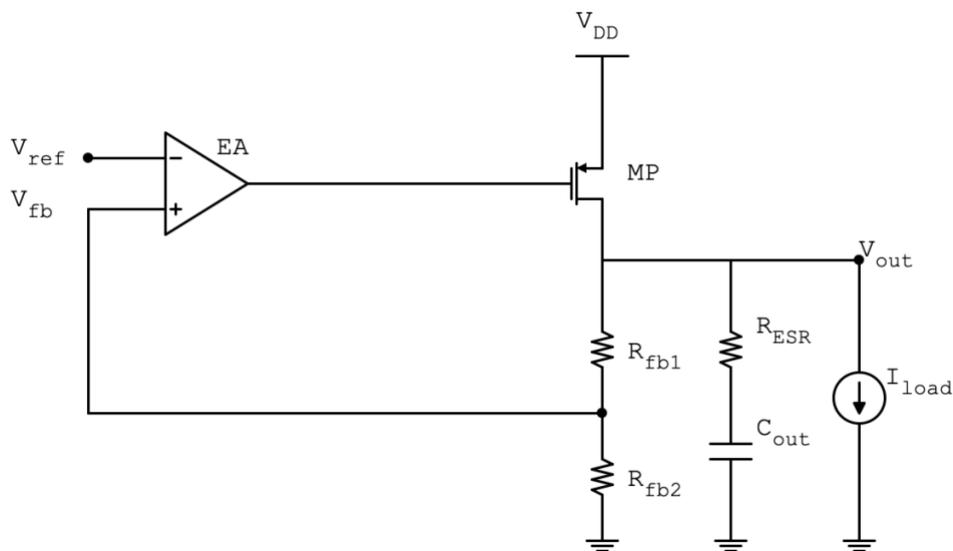


Figura 3.10. Schema LDO con capacità e resistenza d'uscita

Nel prossimo paragrafo verrà affrontato il progetto dell'amplificatore errore (EA) per sostituirlo all'amplificatore ideale ad un solo polo utilizzato finora.

3.5 – Progetto dell'Amplificatore Errore

Per il progetto dell'amplificatore errore è stata scelta una topologia classica di amplificatore differenziale caratterizzata da una coppia differenziale NMOS e un carico PMOS a specchio di corrente. L'amplificatore è stato realizzato utilizzando un singolo stadio visto il basso consumo complessivo che deve soddisfare l'intero sistema. Questo non ha portato a grandi complicazioni in quanto come visto nel paragrafo 3.2 il valore del guadagno dovrà essere $A_v \geq 60$, in dB $A_v \geq 20 \log_{10}(60) \approx 35.5 \text{ dB}$. Lo schema dell'amplificatore è rappresentato in figura 3.11, dove è presente anche la rete di polarizzazione per il transistor M5. Vista la necessità di utilizzare correnti molto basse tutti i MOS sono stati dimensionati per funzionare sottosoglia.

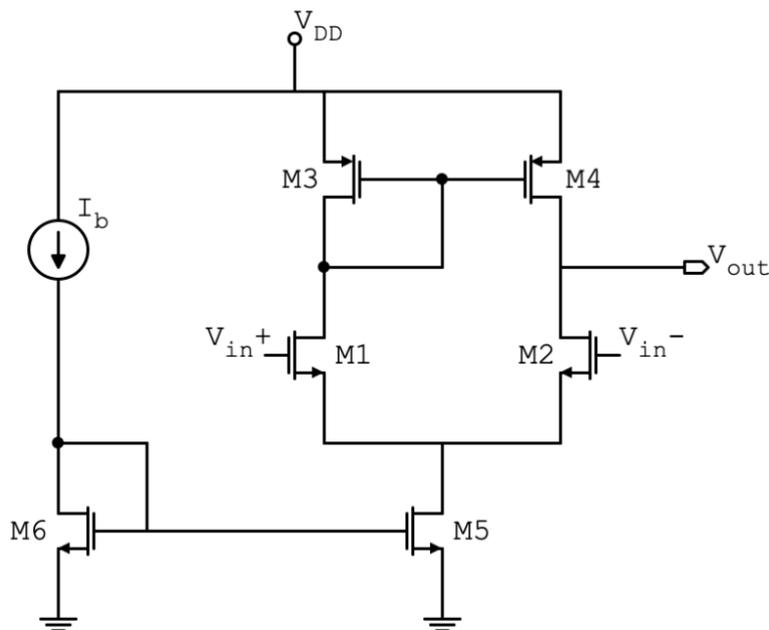


Figura 3.11. Schema opamp 1 stadio

Si vuole ora riassumere il procedimento con il quale è stato effettuato il dimensionamento dell'amplificatore, partendo dall'analisi del comportamento sottosoglia dei transistor. In funzionamento sottosoglia la corrente di drain per un transistor NMOS è

$$I_{ds} = I_{d0} \frac{W}{L} e^{\frac{V_{gs}-V_{th}}{nV_T}} \left(1 - e^{-\frac{V_{ds}}{V_T}} \right) \approx I_{d0} \frac{W}{L} e^{\frac{V_{gs}-V_{th}}{nV_T}} \quad (3.28)$$

dove $\left(\frac{W}{L}\right)$ è il fattore di forma del transistor, V_{gs} e V_{ds} sono rispettivamente le tensioni gate-source e drain-source, V_{th} è la tensione di soglia del transistor e $V_T = \frac{k_B T}{q}$ è la tensione termica (k_B è la costante di Boltzmann, T la temperatura e q la carica elementare). Il parametro n (subthreshold slope) è una costante dipendente dalla tecnologia (solitamente $1 < n < 2$) e I_{do} è un parametro di processo. I_{ds} varia in modo esponenziale con la tensione di controllo V_{gs} . Il transistor si comporta come una sorgente di corrente controllata da V_{gs} se $V_{ds} \geq 3V_T$, cioè il termine tra parentesi tonde può essere trascurato. Se consideriamo l'effetto DIBL (Drain Induced Barrier Lowering) sulla I_{ds} possiamo scrivere l'espressione della V_{th} come [13]

$$V_{th} \approx V_{th0} - \lambda V_{ds} \quad (3.29)$$

Dove V_{th0} è la tensione di soglia a temperatura ambiente estratta per $V_{bs} = 0V$ e λ è il coefficiente dell'effetto DIBL. Importante ricordare che il coefficiente λ è inversamente proporzionale alla lunghezza di canale “ L ” del transistor. Dall'equazione (3.28) è possibile calcolare le espressioni della transconduttanza $g_m = \frac{\partial I_{ds}}{\partial V_{gs}}$ e della resistenza d'uscita $r_{ds} = \frac{1}{g_{ds}}$, con $g_{ds} = \frac{\partial I_{ds}}{\partial V_{ds}}$, riportati in tabella II. Questi risultati ci serviranno per il dimensionamento dell'amplificatore.

g_m	$\frac{I_{ds}}{nV_T}$
g_{ds}	$\frac{\lambda I_{ds}}{nV_T}$

Tabella II

La procedura di progettazione dell'opamp parte dal vincolo sulla massima potenza dissipata che dovrà essere inferiore a $50nW$ per avere un consumo dell'intero regolatore nell'intorno di $100nW$. Dall'espressione della potenza dissipata possiamo ottenere la corrente sul transistor M5 generata dallo specchio M5-M6.

$$P_{diss} = I_{ds,M5} V_{DD}$$

(3.30)

da cui

$$I_{ds,M5} = \frac{P_{diss}}{V_{DD}} = \frac{50nW}{1.2V} \approx 41.5nA \quad (3.31)$$

Fissando la corrente su M5 $I_{ds,M5} = 40nA$ e invertendo l'equazione (3.28), per $V_{ds} \geq 3V_T$, il fattore di forma della coppia differenziale M1-M2 è stato scelto basandoci sull'equazione (3.32) in modo da fissare una V_{gs} inferiore al valore della tensione di soglia in modo da far lavorare i transistor sottosoglia.

$$\left(\frac{W}{L}\right) = \frac{I_{ds}}{I_{d0}} e^{-\frac{V_{gs}-V_{th}}{nV_T}} \quad (3.32)$$

Per il dimensionamento dello specchio PMOS costituito da M3-M4 è stato preso in considerazione il guadagno dell'opamp rappresentato dall'espressione 3.33

$$A_v = \frac{g_{m1}}{g_{ds2} + g_{ds4}} \quad (3.33)$$

dove, sostituendo le espressioni di g_m e g_{ds} con quelle presenti in tabella II si ottiene

$$A_v = \frac{1}{\lambda_2 + \lambda_4} \quad (3.34)$$

Come notiamo dall'espressione precedente il guadagno dipende solo dai coefficienti λ di M2 e M4. Si è scelto quindi di dimensionare i transistor M3-M4 in un primo momento per garantire il funzionamento sottosoglia ottenendo il loro fattore di forma. Dopo di che, vista l'inversa proporzionalità tra il coefficiente λ e la lunghezza di canale L , le dimensioni di M3-M4 sono state leggermente incrementate per ottenere un guadagno più alto. In tabella III sono elencati i valori delle dimensioni di W e L dei transistor e della corrente di polarizzazione.

$\left(\frac{W}{L}\right)_{M1} = \left(\frac{W}{L}\right)_{M2}$	$\left(\frac{1\mu}{1\mu}\right)$
$\left(\frac{W}{L}\right)_{M3} = \left(\frac{W}{L}\right)_{M4}$	$\left(\frac{5\mu}{5\mu}\right)$
$\left(\frac{W}{L}\right)_{M5} = \left(\frac{W}{L}\right)_{M6}$	$\left(\frac{1\mu}{1\mu}\right)$
I_b	40nA

Tabella III

In figura 3.12 è rappresentata la risposta in frequenza dell'amplificatore dimensionato con i valori della tabella III.

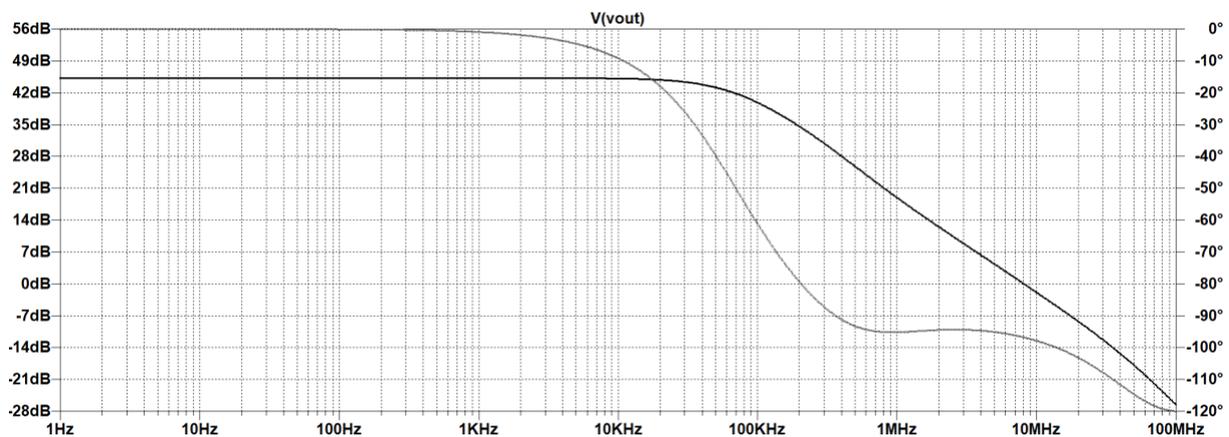


Figura 3.12. Risposta in frequenza amplificatore errore

Possiamo notare che il guadagno in DC è di circa 45dB che corrisponde ad $A_v \approx 182$ e $GBW \approx 9MHz$. Per quanto riguarda il guadagno otteniamo un buon risultato in quanto è superiore al valore minimo di $A_v = 60$, ricavato nel paragrafo 3.2 per avere una buona regolazione. Il prodotto guadagno larghezza di banda (GBW) risulta essere ben oltre a quello ipotizzato finora (100KHz). Questo comporterà la necessità di verifica della posizione dello zero di compensazione nel circuito finale per confermare la stabilità del circuito. In generale avere GBW più alto porta ad avere una maggiore velocità di risposta del circuito. Nel progetto dell'amplificatore è stata data la priorità alla necessità di un basso consumo e un guadagno minimo per avere una buona regolazione. Un'alternativa per avere il pieno controllo anche del valore della GBW, accettando un maggior consumo, potrebbe essere quella di utilizzare un

amplificatore a due stadi compensato di Miller rappresentato in figura 3.13. Da cui fissando g_{m1} la capacità di compensazione C_c può essere dimensionata secondo la ben nota equazione (3.35) per ottenere il prodotto guadagno-larghezza di banda (GBW) desiderato [14].

$$C_c = \frac{g_{m1}}{2\pi \cdot GBW} \quad (3.35)$$

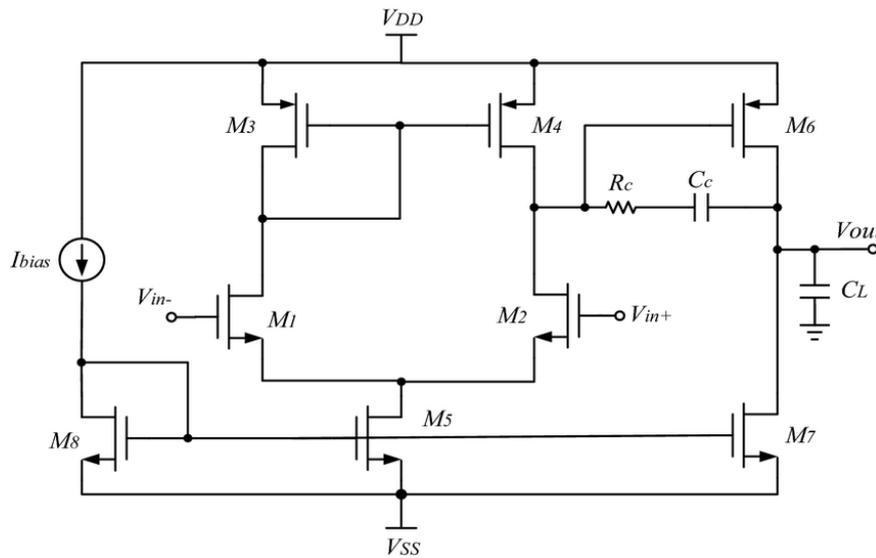


Figura 3.13. Schema amplificatori a due stadi di Miller [15]

3.6 – Schema Finale

Dopo aver progettato l'amplificatore a livello di transistor, in questa sezione viene considerato l'intero circuito del regolatore LDO progettato ottenuto sostituendo all'amplificatore ideale quello discusso e progettato nel paragrafo 3.3. In figura 3.14 è rappresentato lo schema completo in cui i transistor M1-M6 costituiscono l'amplificatore errore, mentre MP rappresenta il pass transistor e $R_{fb1} - R_{fb2}$ la rete di retroazione resistiva. Infine, sul ramo di uscita sono presenti la capacità C_{out} per la diminuzione del ripple e la resistenza R_{ESR} di compensazione.

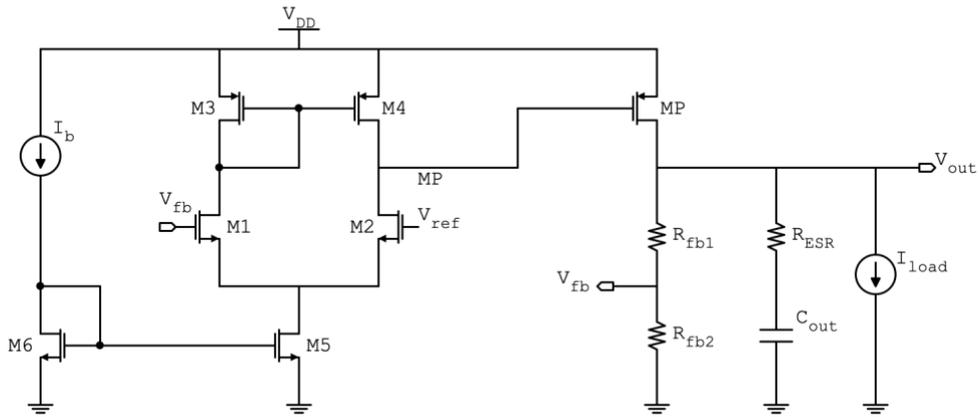


Figura 3.14. Schema completo regolatore LDO

Come anticipato nel paragrafo precedente, l'amplificatore realizzato ha un prodotto guadagno per larghezza di banda $GBW \approx 9MHz$ ben al di sopra dei 100KHz ipotizzati negli schemi con opamp ideale ad un solo polo. Ricordando l'espressione delle frequenze dei due poli, si ha che il polo all'uscita del regolatore si presenta alla stessa frequenza calcolata nel paragrafo (3.4)

$$f_{p,out} = \frac{1}{2\pi(R_{fb1} // R_L)C_{out}} \approx 2.38 \text{ KHz}$$

(3.36)

mentre il polo dovuto all'opamp ora si presenterà ad una frequenza

$$f_{p,opamp} = \frac{1}{2\pi R_{out,A} C_{out,A}} = \frac{GBW}{A_v} \approx 50 \text{ KHz}$$

(3.37)

i due poli presenti nel sistema nella configurazione finale si sono invertiti. Occorre quindi verificare la posizione dello zero di compensazione. Il nuovo diagramma di bode è rappresentato in figura 3.15.

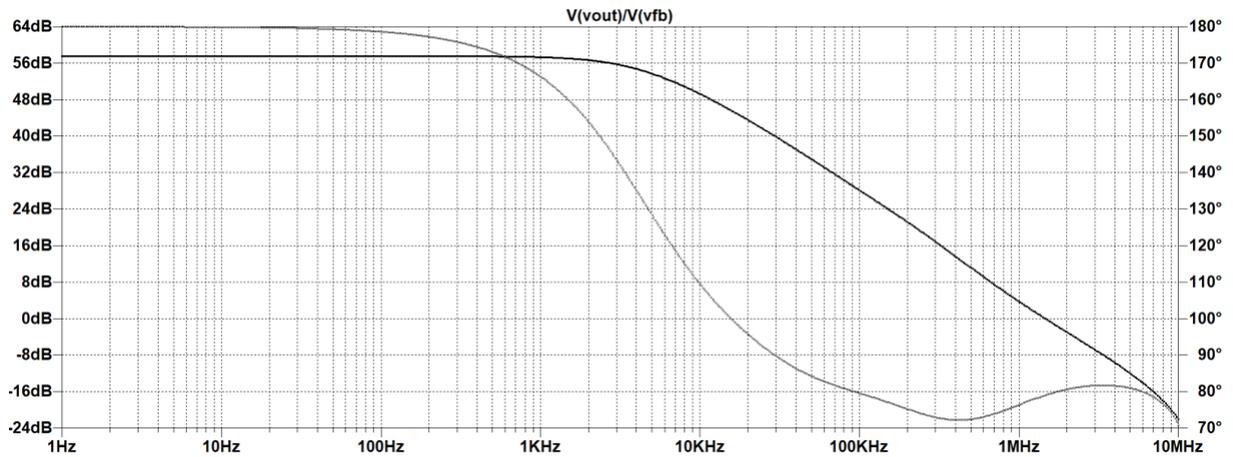


Figura 3.15. Risposta in frequenza intero sistema

Come vediamo dal diagramma di Bode in figura (3.15), malgrado lo scambio delle posizioni dei poli, il valore della R_{ESR} calcolato in precedenza garantisce un buon margine di fase $PM \approx 80^\circ$. Inoltre, avendo una GBW superiore a quella ipotizzata possiamo notare, tramite una simulazione nel tempo presente in figura 3.16, un notevole miglioramento del tempo di risposta rispetto al risultato di figura 3.9.

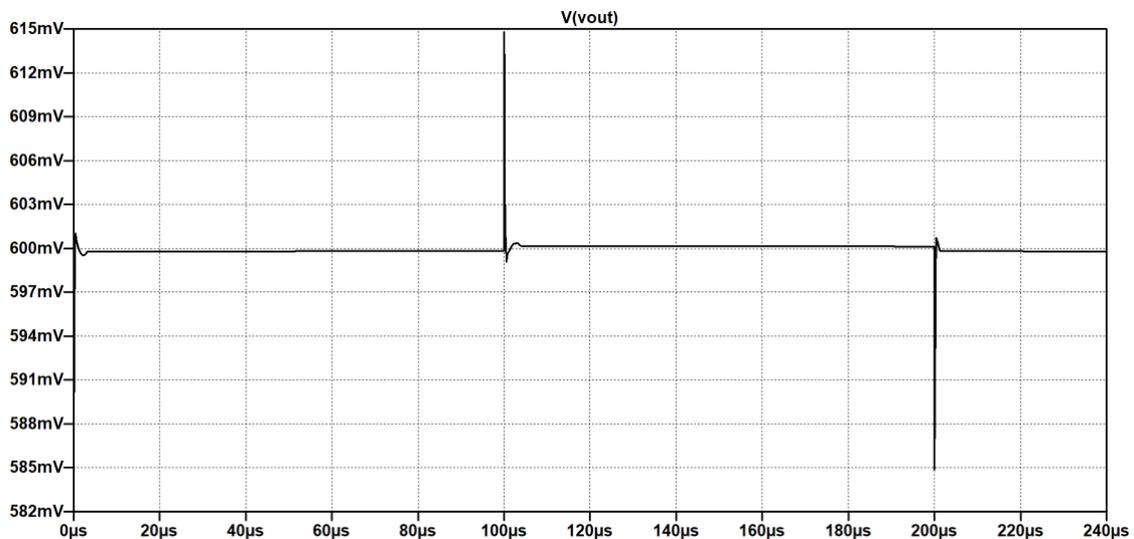


Figura 3.16. Risposta al transitorio di carico intero sistema

Nel capitolo successivo sono presenti ulteriori considerazioni riguardo i risultati ottenuti simulando il circuito complessivo di figura 3.14 considerando la presenza della resistenza d'uscita.

Capitolo 4

Simulazioni e analisi risultati ottenuti

I risultati delle simulazioni del circuito completo mostrato in figura 3.14 sono presentati in questo capitolo. Le simulazioni sono state eseguite con LTspice, utilizzando per il dispositivo MOS il modello “FreePDK45™ 45nm” [16].

4.1 – Risultati Line Regulation

Per graficare la “line regulation” è stata eseguita una simulazione DC facendo variare il valore della tensione di alimentazione in un range del $\pm 10\%$ dal suo valore nominale $V_{DD} = 1.2V$. Il comando utilizzato per eseguire tale simulazione in LTspice è `.dc VDD 1V 1.4V 0.1V`, dove il primo campo indica il parametro che stiamo variando, i due successivi il valore iniziale e finale tra cui varia e l’ultimo il passo con cui avviene la variazione. In figura 4.1 è mostrato l’andamento della tensione di uscita, in condizioni stazionarie, in funzione della variazione di V_{DD} .

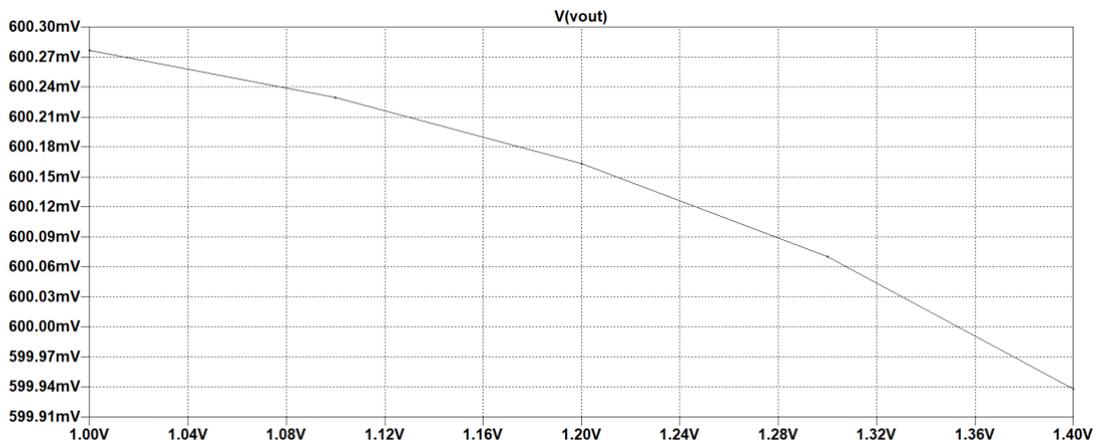


Figura 4.1. Simulazione Line Regulation

Grazie al guadagno dell’amplificatore errore superiore a quanto previsto possiamo notare che l’uscita nell’intero intervallo di variazione della tensione di alimentazione presenta una variazione piuttosto contenuta, minore di 1mV.

4.2 – Risultati Load Regulation

Il grafico della “Load Regulation” è stato costruito in modo analogo a quanto fatto per la “Line Regulation”. La simulazione è stata eseguita ripristinando la tensione di alimentazione al suo valore nominale, e facendo variare con una simulazione DC la corrente d’uscita in un range tra 40nA e 100nA. Come per il caso precedente è stata quindi utilizzato il comando `.dc Iload 40nA 100nA 0.1nA` ed è stata graficata la tensione di uscita. In figura 4.2 sono presentati i risultati della regolazione del carico.

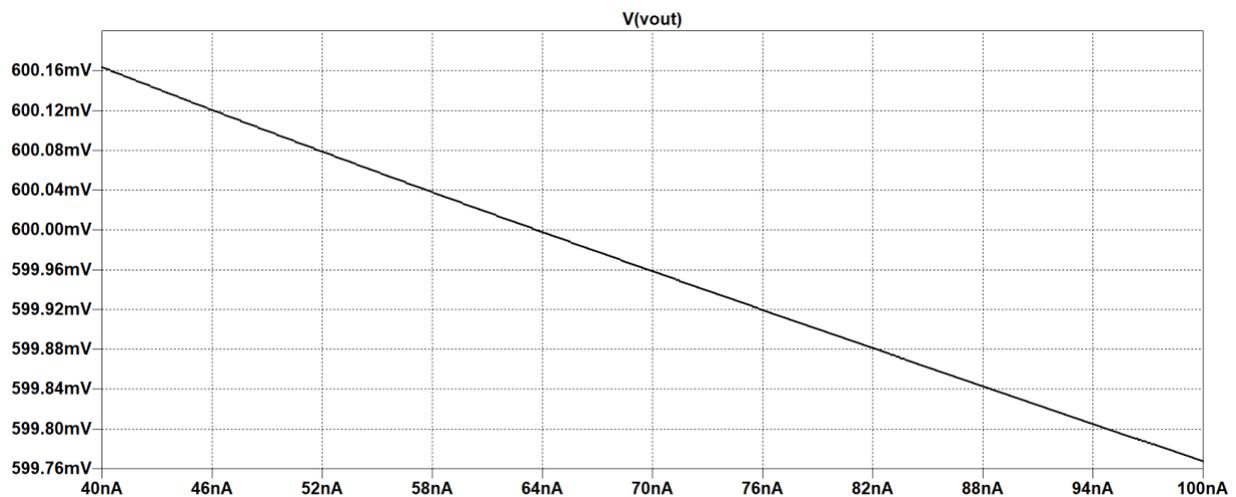


Figura 4.2. Simulazione Load Regulation

Anche in questo caso possiamo notare un lieve miglioramento rispetto a quanto calcolato nel paragrafo 3.2, sempre grazie ad un guadagno dell’amplificatore errore maggiore rispetto a quello minimo richiesto.

4.3 – Risposta al Transitorio di Carico

Per graficare la risposta al transitorio di carico (“*Load Transient Response*”) è stato utilizzato un generatore di corrente come carico in grado di realizzare una forma d’onda a impulsi. La corrente d’uscita è stata impostata attraverso il comando LTspice `PULSE(40nA 100nA 0 10ns 10ns 100us 200us)`. In questo modo avremo una forma d’onda impulsiva con un valore minimo di 40nA, un valore massimo di 100nA, tempo di salita e discesa uguali a 10ns, periodo 200us e duty cycle del 50%. In queste condizioni la corrente di carico varierà tra 40nA e 100nA con una frequenza di 5KHz. Per graficare l’andamento nel tempo della tensione d’uscita è stata utilizzata

su LTspice una simulazione *.tran*. In figura 4.3 sono raffigurati l'andamento della corrente di carico (I_{load}) e della tensione in uscita dal regolatore (V_{out}) nel tempo.

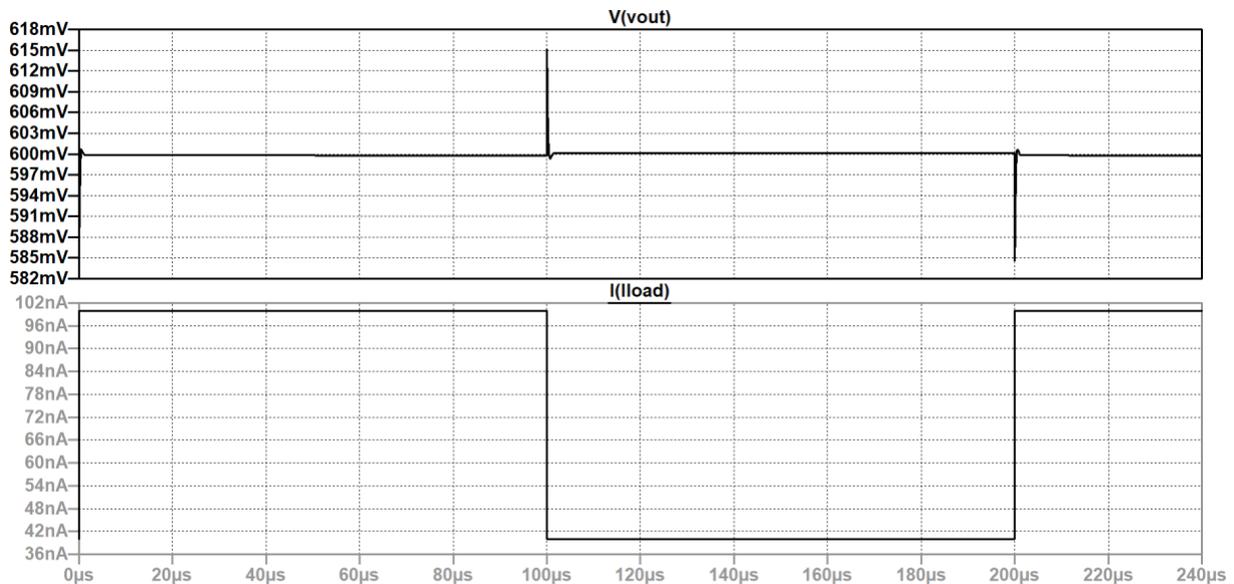


Figura 4.3. Andamento nel tempo I_{load} e V_{out}

Come anticipato nel capitolo 3 vediamo che, a fronte di variazioni rapide della corrente di carico, l'uscita presenta degli *overshoot* e *undershoot*. L'inserimento della capacità d'uscita C_{out} è stato necessario per diminuire l'entità di questi picchi. Come si vede dalla figura 4.5 nello schema finale il ripple di tensione d'uscita è inferiore a 20mV, valore che avevamo imposto nel paragrafo 3.3. Considerando che l'analisi svolta riguarda variazione di I_{load} di 60nA questo valore del ripple è più che accettabile. Possiamo inoltre notare come il circuito si assesti al valore d'uscita desiderato in brevissimo tempo. Analizzando con maggiore dettaglio quello che accade in prossimità di un gradino di corrente possiamo determinare il valore del tempo di assestamento del circuito. In figura 4.4 è stato fatto uno zoom nell'intorno di un gradino di corrente (negativo) per analizzare con maggiore dettaglio l'andamento della V_{out} .

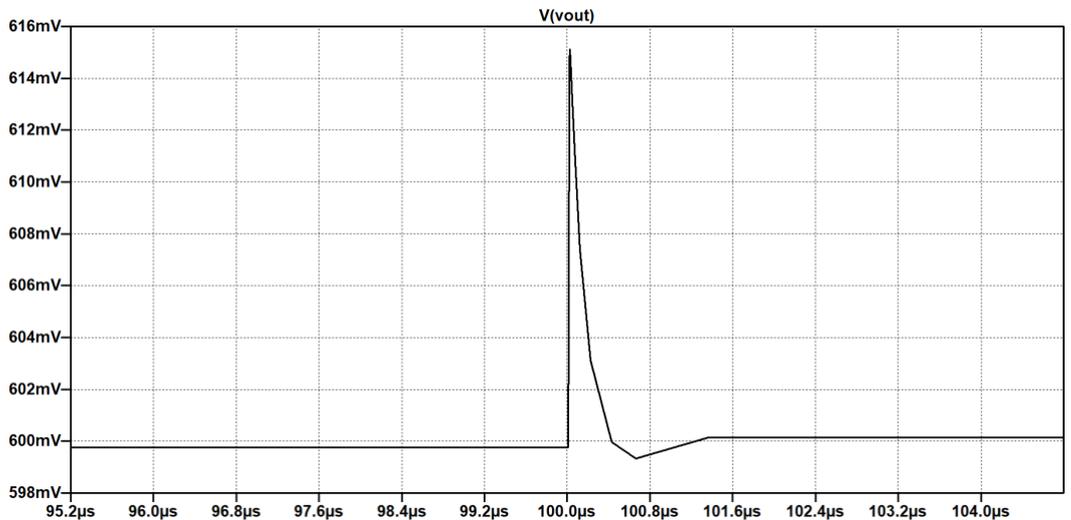


Figura 4.4. Dettaglio in corrispondenza di un gradino di corrente (negativo)

In questo modo siamo in grado di valutare graficamente il tempo di assestamento del regolatore a fronte di un gradino di corrente. Dopo un forte picco di tensione che si manifesta nell'istante in cui la corrente passa da un valore alto ad un valore basso, la tensione di uscita impiega solamente 1.6µs per riassetarsi al valore desiderato di 0.6V. Questo risultato è dovuto al grande incremento del GBW ottenuto dopo l'inserimento dell'amplificatore reale ($GBW \approx 9MHz$). Infatti, se confrontiamo la simulazione appena analizzata con quella relativa allo schema con amplificatore ideale e $GBW=100KHz$ raffigurata in figura 4.5 notiamo un notevole miglioramento.

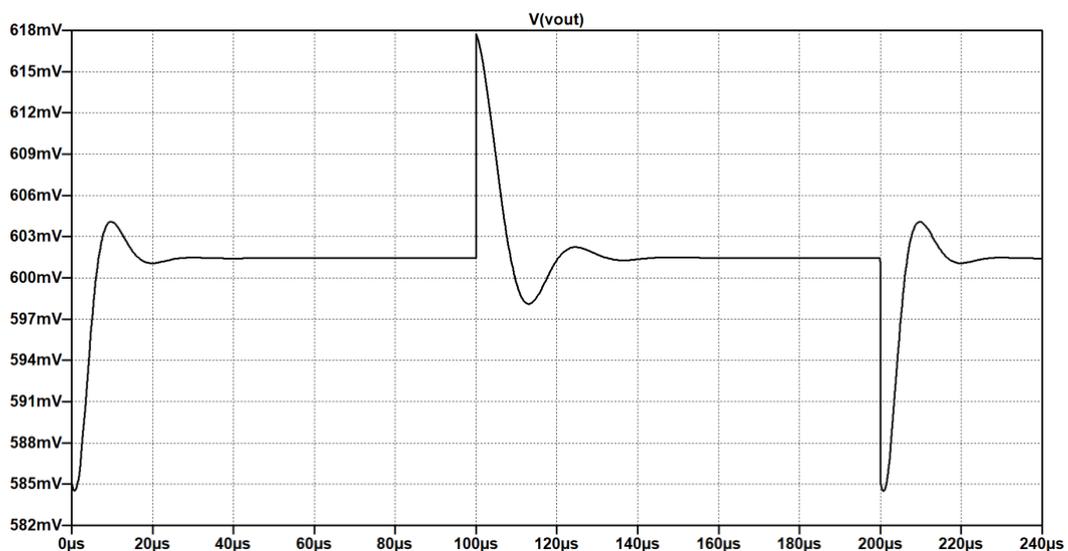


Figura 4.5. Risposta nel tempo V_{out} con schema ideale e $GBW = 100KHz$

In questo caso il tempo di assestamento era di circa 25µs.

4.3 – Stabilità al variare della capacità di carico

Per completare l'analisi della stabilità è stata eseguita una simulazione inserendo una capacità di carico in parallelo al ramo di compensazione, per emulare il comportamento di un ipotetico carico per il regolatore. In queste condizioni lo schema del circuito è rappresentato in figura 4.6.

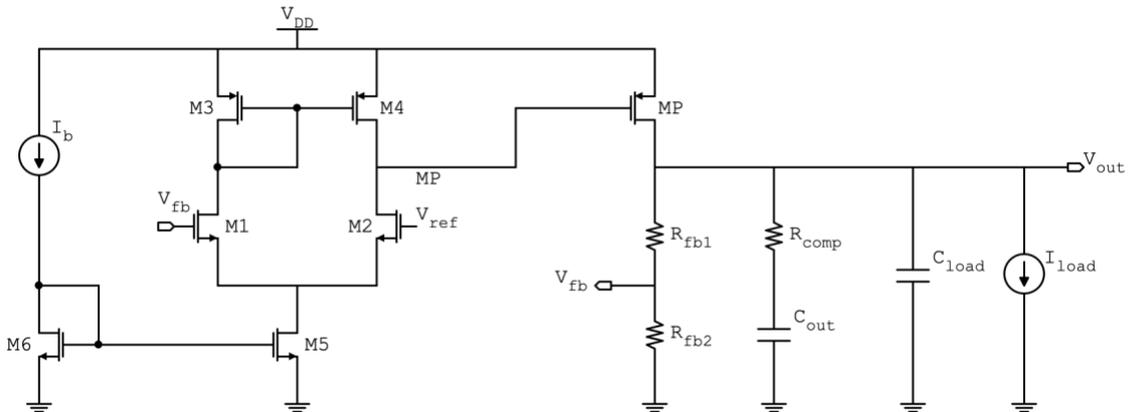


Figura 4.6. Schema completo LDO con capacità di carico

Il valore di questa capacità è stato fatto variare per tre valori 1pF, 100pF, 1nF. In questo modo tramite una simulazione *.ac* è stata graficata la risposta in frequenza dell'intero sistema, figura 4.7, per analizzarne il margine di fase.

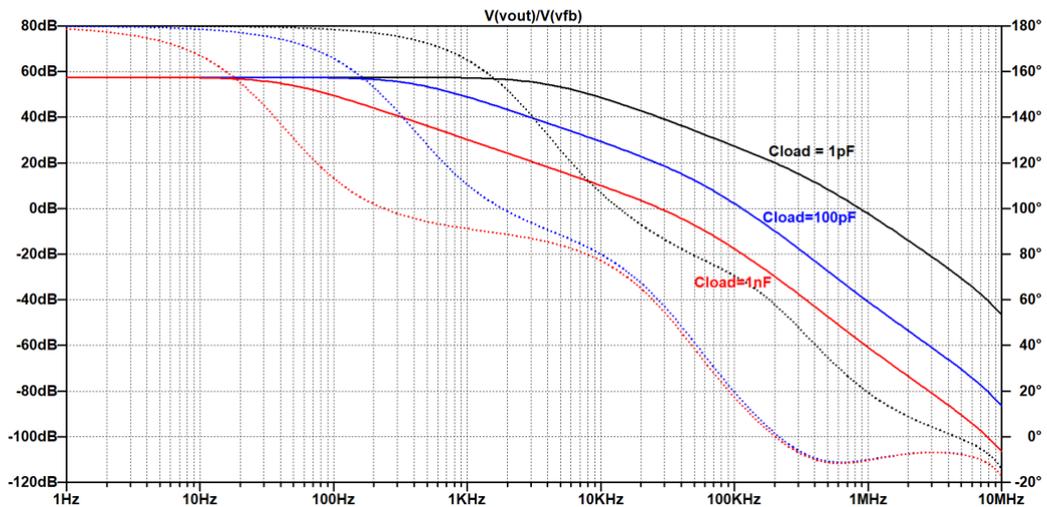


Figura 4.7. Simulazione AC schema completo variando C_{load}

In queste condizioni possiamo notare che il margine di fase subisce un miglioramento all'aumentare della capacità di carico. Quindi un carico capacitivo non rappresenta un problema ai fini della stabilità del circuito.

4.4 – Risposta al Transitorio della Tensione Alimentazione

In modo analogo a quanto fatto nel paragrafo precedente può essere svolta una simulazione in funzione delle variazioni nel tempo della tensione di alimentazione (“*Line Transient Response*”). Fissando la corrente di carico uguale a 40nA e applicando una forma d'onda impulsiva tra i valori 1V-1.4V come tensione di alimentazione, con tempo di salita e discesa uguale a 1us otteniamo i risultati in figura 4.8. Nel grafico superiore è rappresentata V_{out} mentre in quello inferiore l'andamento nel tempo di V_{DD} .

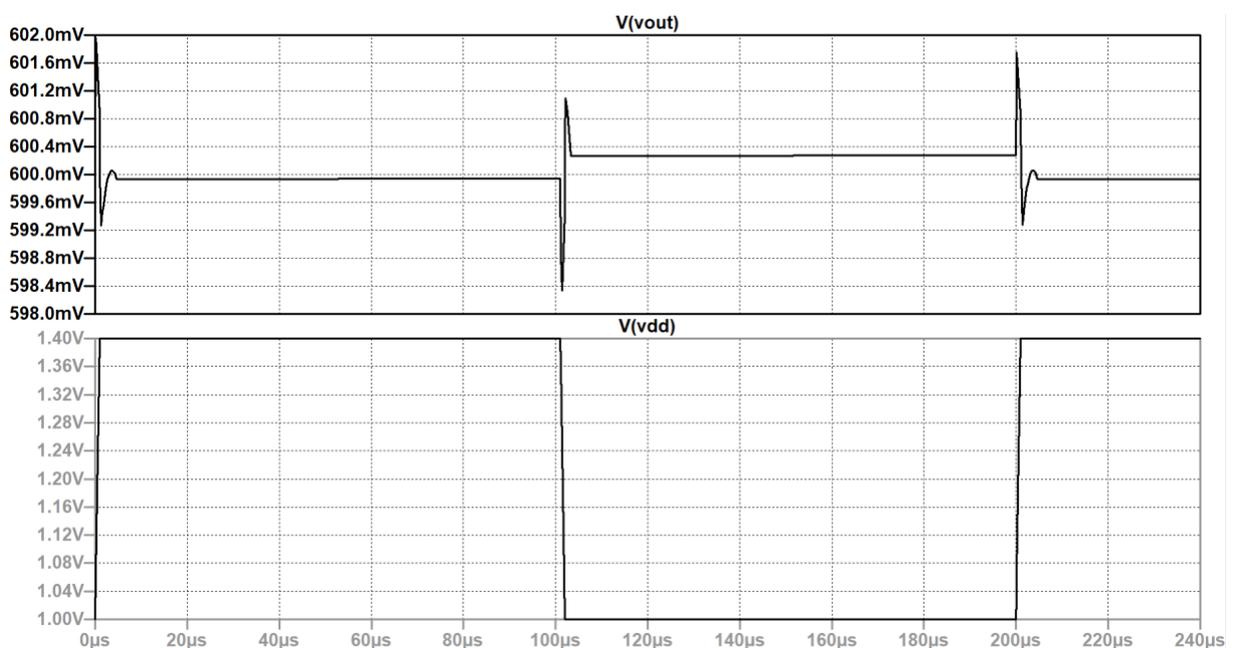


Figura 4.8. Risposta al transitorio della tensione di alimentazione con $I_{load} = 40nA$

Come nel caso della risposta al transitorio di carico otteniamo un tempo di assestamento molto breve e simile al caso precedente. Gli *overshoot* e *undershoot* della tensione d'uscita sono molto bassi, non superano i 2mV. Infine, dal grafico superiore della figura 4.8 è possibile notare la variazione di V_{out} a regime (Line Regulation) che è stata raffigurata in modo diverso nel primo paragrafo di questo capitolo. In particolare, per $V_{DD} = 1.4V$ V_{out} assume un valore leggermente inferiore rispetto al caso $V_{DD} = 1V$. L'analisi con corrente di carico a 100nA da risultati molto simili al caso appena analizzato, per completezza è riportata in figura 4.9.

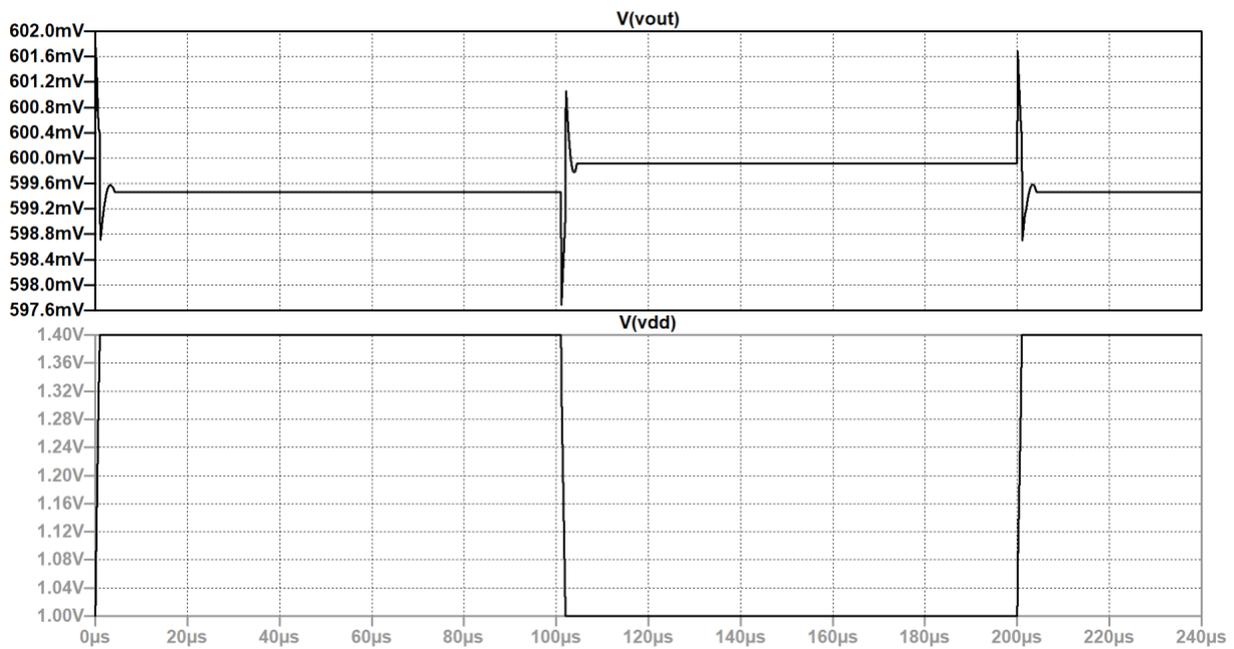


Figura 4.9. Risposta al transitorio della tensione di alimentazione con $I_{load} = 100nA$

4.5 – Simulazione PSRR

Come anticipato nel paragrafo relativo alle figure di merito dei regolatori LDO il rapporto di reiezione all'alimentazione (PSRR) misura la capacità del regolatore di attenuare l'oscillazione in uscita a fronte di variazioni dell'alimentazione. Simile alla Line Regulation, ma valutata per l'intero spettro di frequenze. In figura 4.10 è rappresentato il risultato della simulazione del PSRR, ottenuto inserendo uno stimolo AC sull'alimentazione e graficando l'uscita del regolatore a seguito di una simulazione "ac".

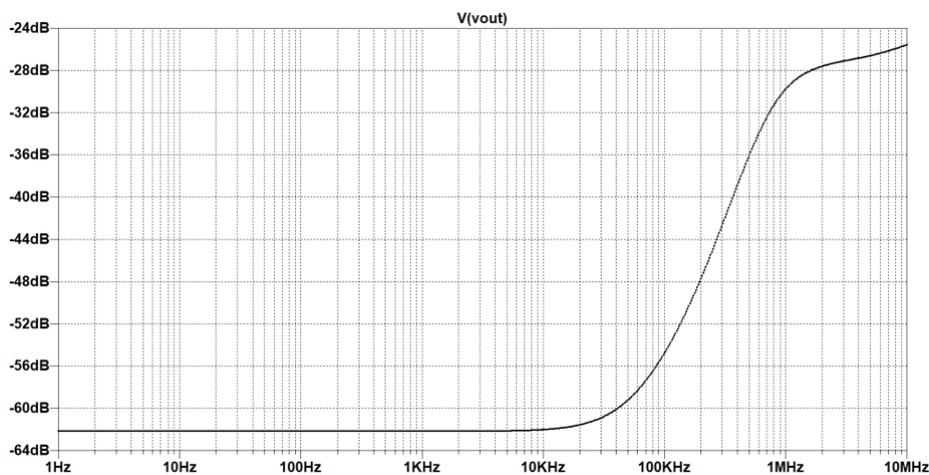


Figura 4.10. Risultato PSRR LDO con $R_{ESR} = 280K$

L'anello di retroazione tende a dare il contributo maggiore per quanto riguarda il PSRR. Un basso valore R_{ESR} , un grande condensatore di uscita C_{load} e l'utilizzo di condensatori di bypass aggiuntivi migliorano le prestazioni del PSRR [17]. Come possiamo vedere dal grafico in figura 4.11 diminuendo il valore della resistenza serie d'uscita R_{ESR} otteniamo risultati migliori in termini di PSRR, in particolare per frequenze alte nell'intorno di 1MHz. In questo modo però deterioriamo il margine di fase spostando lo zero di compensazione a più alte frequenze portando il sistema sempre più vicino all'instabilità. Esiste quindi un trade-off tra stabilità e PSRR.

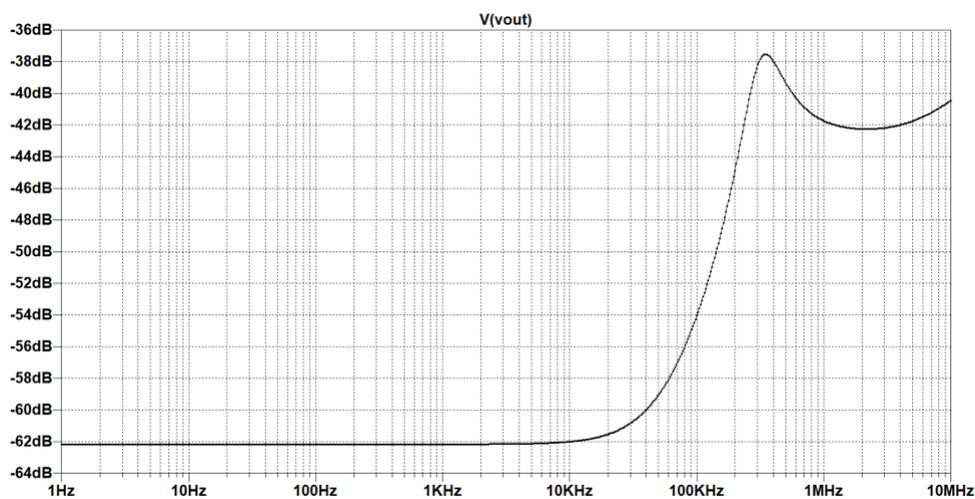


Figura 4.11. Risultato PSRR LDO con $R_{ESR} = 50K$

4.6 – Riepilogo risultati ottenuti

In tabella IV è presente un riepilogo dei risultati ottenuti dal regolatore LDO progettato in questo lavoro

Specifiche	Risultati LDO
V_{DD} [V]	1.2
V_{ref} [V]	0.4
V_{out} [V]	0.6
Tensione di dropout V_{do} [mV]	400
Corrente di riposo I_q [nA]	90
Massima corrente di carico $I_{load.MAX}$ [nA]	100

Variazione corrente di carico [nA]	40-100
Tempo di risposta [us]	1.6
<i>Overshoot</i> [mV]	15
<i>Undershoot</i> [mV]	16
C_{out} [pF]	10
<i>efficienza @$I_{load,MAX}$</i> [%]	26

Tabella IV

La corrente di riposo I_q per regolatori LDO costituiti da dispositivi MOS dipende solamente dalle correnti di polarizzazione del riferimento di tensione (BGR), del pass transistor e dell'amplificatore errore [17]. Nel caso in esame, non avendo progettato il riferimento di tensione, la corrente di riposo è dovuta solamente all'amplificatore errore e al pass transistor.

Il risultato dell'efficienza presente in tabella IV è stato calcolato utilizzando l'equazione che lega la potenza in uscita alla potenza in ingresso

$$efficienza = \frac{V_{out}I_{load}}{V_{in}(I_q + I_{load})} \quad (4.1)$$

Un'efficienza del 26%, nel caso del regolatore LDO progettato considerando la massima corrente di carico, rappresenta un valore discreto. Infatti, valutando l'efficienza teorica del circuito calcolata assumendo di non avere perdite all'interno del regolatore ($I_q = 0$) otteniamo il seguente risultato

$$efficienza_{teorica} = \frac{V_{out}I_{load}}{V_{in}(I_q + I_{load})} = \frac{V_{out}}{V_{in}} = \frac{0.6V}{1.2V} = 0.5 = 50\% \quad (4.2)$$

Come possiamo notare dal risultato dell'equazione (4.2), viste le caratteristiche del regolatore, il valore dell'efficienza reale sarà sempre inferiore al 50%. Nel caso specifico, poiché il consumo massimo di corrente per il regolatore è stato fissato ad un valore dello stesso ordine di grandezza del consumo massimo del carico, tale risultato era atteso.

Nel prossimo capitolo, dedicato alle conclusioni, verranno fatte alcune considerazioni sui risultati ottenuti e possibili per attività future.

Capitolo 5

Conclusioni

In questa tesi è stato presentato il progetto di un regolatore LDO in tecnologia CMOS per applicazioni a basso consumo utilizzando un pass transistor di tipo PMOS. Dopo aver discusso nel capitolo 2 gli aspetti teorici relativi ai regolatori low-dropout, nel capitolo 3 è stato presentato il progetto svolto. Si è visto come le figure di merito che caratterizzano i regolatori LDO presentino dei trade-off in termini di precisione della regolazione, stabilità e consumo. In particolare, per avere una buona precisione sulla regolazione della tensione d'uscita è necessario progettare un amplificatore d'errore con un guadagno sufficientemente alto. La diminuzione del ripple in uscita per rientrare nelle specifiche richiede l'utilizzo di una capacità d'uscita che funge da serbatoio di carica. Questo causa delle problematiche in termini di stabilità che possono essere affrontate in due modi:

- inserendo una resistenza R_{ESR} in serie alla capacità d'uscita per introdurre uno zero di compensazione;
- diminuendo il valore della resistenza d'uscita dell'amplificatore d'errore per spostare a frequenze più alte il polo secondario.

Il primo metodo non sempre è realizzabile in quanto non è garantita la possibilità di agire sul carico. Inoltre, il dimensionamento di una resistenza serie va fatto con estrema cautela, in quanto valori troppo alti di quest'ultima portano ad un aumento del ripple di tensione d'uscita. Il secondo metodo permette di garantire la stabilità anche in assenza di uno zero di compensazione. Diminuendo la resistenza d'uscita dell'amplificatore modificando il fattore di forma dei MOS che costituiscono il carico dell'amplificatore d'errore. Ciò viene fatto a discapito del guadagno dell'opamp che, come abbiamo visto, porta ad un deterioramento delle figure di merito Line Regulation e Load Regulation. In quest'ultimo caso quindi la regolazione chiaramente peggiora. Da notare come la resistenza d'uscita dell'amplificatore è inversamente proporzionale alla corrente di polarizzazione I_{dS5} (vedi equazione 3.39), quindi, aumentando quest'ultima, potremmo diminuire il valore della resistenza d'uscita dell'amplificatore senza dover modificare il dimensionamento dei MOS. In questo modo, dato che il guadagno dell'opamp in funzionamento sottosoglia è indipendente dal valore della corrente di polarizzazione, avremmo un miglioramento in termini di stabilità senza deteriorare il guadagno. Chiaramente questa soluzione porta ad un maggior consumo e quindi non può essere presa in

considerazione per il lavoro svolto in questa tesi. Oltre a questo, la possibilità di inserire ulteriori stadi per avere il pieno controllo dei parametri dell'opamp, come il prodotto guadagno larghezza di banda (GBW), potrebbe essere una buona soluzione per garantire la stabilità dell'intero sistema con valori di guadagno più alti e quindi una regolazione ancora migliore, ma come ribadito più volte questo porterebbe ad un maggior consumo in contrasto con le specifiche richieste. Considerando lo schema finale presentato nel paragrafo 3.6 possiamo affermare che sono stati ottenuti buoni risultati anche con specifiche, in termini di consumo, limitate. Nel capitolo 4, infatti, abbiamo visto come il circuito presenti una buona precisione di regolazione, rientrando nelle specifiche prefissate, con una corrente di riposo inferiore a 100nA. Lavori futuri a partire dai risultati ottenuti in questo elaborato potrebbero comprendere lo sviluppo circuitale a livello di transistor di un riferimento di tensione a basso consumo e in corrente per polarizzare l'amplificatore a singolo stadio. In seguito all'inserimento di questi ultimi blocchi circuitali potrà essere investigata con ulteriore dettaglio la stabilità del sistema per ricercare soluzioni meno invasive rispetto all'inserimento di una resistenza d'uscita e che non portino ad un abbassamento del guadagno dell'amplificatore errore. È importante ricordare che l'obiettivo principale di questo elaborato è rappresentato dalla necessità di avere una bassa corrente di riposo. La ricerca di soluzioni alternative per affrontare le problematiche evidenziate dovrà essere quindi svolta in funzione di un consumo ridotto. D'altronde l'utilizzo di altre tipologie di regolatori, come ad esempio regolatori DC/DC switching, porterebbero ad un'efficienza di conversione più elevata, ma con un costo in termini di potenza dissipata per il controllo e la commutazione sicuramente molto più elevato. Un'ultima considerazione potrebbe riguardare la rete di feedback resistivo. Quest'ultima potrebbe essere sostituita con dei MOS connessi a diodo, come visto nel paragrafo 2.1.2, in modo da poter confrontare i risultati dei due schemi e scegliere la soluzione circuitale migliore in termini di consumo e occupazione d'area.

Bibliografia

- [1] Bernhard Puchinger, “A Low Quiescent Current LDO Regulator Operating at High Temperature”. Graz University of Technology, [online] Available: <https://diglib.tugraz.at/download.php?id=5a33accf366f1&location=browse>
- [2] M. Al-Shyoukh, H. Lee and R. Perez, “A Transient-Enhanced Low-Quiescent Current Low-Dropout Regulator With Buffer Impedance Attenuation,” in *IEEE Journal of Solid-State Circuits*, vol. 42, no. 8, pp. 1732-1742, Aug. 2007, doi: 10.1109/JSSC.2007.900281.
- [3] G. A. Rincón-Mora, “Analog IC Design with Low-Dropout Regulators,” Second Edition: McGraw-Hill Education, 2014.
- [4] M. Al-Shyoukh, H. Lee and R. Perez, “A Transient-Enhanced Low-Quiescent Current Low-Dropout Regulator With Buffer Impedance Attenuation,” in *IEEE Journal of Solid-State Circuits*, vol. 42, no. 8, pp. 1732-1742, Aug. 2007, doi: 10.1109/JSSC.2007.900281.
- [5] Toshiba Application Note, “Simple Guide to Improving Ripple Rejection Ratio of LDO Regulators,” [online] Available: https://toshiba.semicon-storage.com/info/application_note_en_20210326_AKX00309.pdf?did=67686
- [6] M. H. Kamel, Z. K. Mahmoud, S. W. Elshaeer, R. Mohamed, A. Hassan and A. I. A. Galal, “Comparative Design of NMOS and PMOS Capacitor-less Low Dropout Voltage Regulators (LDOs) Suited for SoC Applications,” 2019 36th National Radio Science Conference (NRSC), Port Said, Egypt, 2019, pp. 305-314, doi: 10.1109/NRSC.2019.8734659.
- [7] Brian M. King, “Advantages of using PMOS-type low-dropout linear regulators in battery applications,” Texas Instruments Application Report, [online] Available: https://www.ti.com/sc/docs/apps/msp/journal/aug2000/aug_04.pdf
- [8] X. Wang and P. P. Mercier, “A Dynamically High-Impedance Charge-Pump-Based LDO With Digital-LDO-Like Properties Achieving a Sub-4-fs FoM,” in *IEEE Journal of Solid-State Circuits*, vol. 55, no. 3, pp. 719-730, March 2020, doi: 10.1109/JSSC.2019.2960004.
- [9] Brian M. King, “Understanding the load-transient response of LDOs”. Texas Instruments Application Report, [online] Available: https://www.ti.com/sc/docs/apps/msp/journal/nov2000/nov_04.pdf
- [10] Toshiba Application Note, “Load Transient Response of LDO and Methods to improve it”. [online] Available: https://toshiba.semicon-storage.com/info/application_note_en_20210326_AKX00312.pdf?did=66268
- [11] Miroslav Čermák, “Design of low-dropout voltage regulator”. Czech Technical University in Prague, [online] Available: https://dSPACE.cvut.cz/bitstream/handle/10467/64803/F3-DP-2016-Cermak-Miroslav-Miroslav_Cermak_diplomova_prace.pdf?isAllowed=y&sequence=1
- [12] R. J. Milliken, J. Silva-Martinez and E. Sanchez-Sinencio, “Full On-Chip CMOS Low-Dropout Voltage Regulator,” in *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 54, no. 9, pp. 1879-1890, Sept. 2007, doi: 10.1109/TCSI.2007.902615.

- [13] M. Alioto, “Understanding DC Behavior of Subthreshold CMOS Logic Through Closed-Form Analysis,” in *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 57, no. 7, pp. 1597-1607, July 2010, doi: 10.1109/TCSI.2009.2034233.
- [14] Magnelli, L., Amoroso, F. A., Crupi, F., Cappuccino, G. and Iannaccone, G. (2014), “Design of a 75-nW, 0.5-V subthreshold complementary metal–oxide–semiconductor operational amplifier,” *International Journal of Circuit Theory and Applications*, 42, pages 967– 977, doi: 10.1002/cta.1898
- [15] Lv, Gaochong, and Yushun Guo, “Exact Design for the Settling Time of Two-Stage Miller Compensated Operational Amplifiers,” in *Analog Integrated Circuits and Signal Processing*, vol. 110, no. 1, pp. 151-63, November 2021, doi: 10.1007/s10470-021-01955-3.
- [16] NC State University, “resources to the FreePDK45™ 45nm variant of the FreePDK™ process design kit,” User Guide, [online] Available: <https://eda.ncsu.edu/freepdk/freepdk45/>
- [17] Bang S. Lee, “Understanding the Terms and Definitions of LDO Voltage Regulators,” Texas Instruments Application Report, [online] Available: https://www.ti.com/lit/an/slva079/slva079.pdf?ts=1677833054265&ref_url=https%253A%252F%252Fwww.google.com%252F

Indice delle figure

Figura 2.1: Schema a blocchi semplificato LDO.....	7
Figura 2.2: Schema a blocchi amplificatore in retroazione.....	7
Figura 2.3: Partitore resistivo con MOS.....	9
Figura 2.4: Grafico $V_{out} - V_{in}$ (regione dropout).....	11
Figura 2.5: Grafico V_{out} in funzione di V_{in} tipico di un LDO.....	11
Figura 2.6: Grafico V_{out} in funzione di I_{load} per LDO ideale e reale.....	12
Figura 2.7: risposta LDO ad una corrente di carico impulsiva.....	13
Figura 2.8: (a) PMOS LDO (b) NMOS LDO.....	14
Figura 2.9: Risposta al transitorio di carico.....	16
Figura 2.10: Grafico $I_{ds} - V_{ds}$ pass transistor.....	16
Figura 2.11: Schema LDO con capacità d'uscita.....	17
Figura 2.12: Risposta nel tempo ad un ingresso a gradino di un sistema compensato.....	20
Figura 2.13: Schema ai piccoli segnali LDO.....	21
Figura 2.14: Diagramma di Bode sistema a due poli.....	22
Figura 2.15: Diagramma di Bode sistema due poli e zero di compensazione	23
Figura 3.1: Schema semplificato LDO.....	25
Figura 3.2: Caratteristica $V_{ds} - I_{ds}$ pass transistor	27
Figura 3.3: Schema simulazione MOS per determinare $\left(\frac{W}{L}\right)_{MP}$	28
Figura 3.4: Schema ai piccoli segnali LDO DC	29
Figura 3.5: Risposta al transitorio di carico.....	32
Figura 3.6: Simulazione AC senza capacità d'uscita.....	35
Figura 3.7: Simulazione AC con capacità d'uscita.....	35
Figura 3.8: Diagramma di Bode con zero prodotto dalla R_{ESR}	37
Figura 3.9: Risposta al transitorio di carico con R_{ESR}	38
Figura 3.10: Schema LDO con capacità e resistenza d'uscita.....	38
Figura 3.11: Schema opamp 1 stadio.....	39
Figura 3.12: Risposta in frequenza amplificatore errore.....	42
Figura 3.13: Schema amplificatore a due stadi di Miller.....	43
Figura 3.14: Schema completo regolatore LDO.....	44
Figura 3.15: Risposta in frequenza dell'intero sistema.....	45

Figura 3.16: Risposta al transitorio di carico intero sistema.....	45
Figura 4.1: Simulazione Line Regulation	46
Figura 4.2: Simulazione Load Regulation	47
Figura 4.3: Andamento nel tempo I_{load} e V_{out}	48
Figura 4.4: Dettaglio in corrispondenza di un gradino di corrente (negativo)	49
Figura 4.5: Risposta nel tempo V_{out} con schema ideale e $GBW = 100KHz$	49
Figura 4.6. Schema completo LDO con capacità di carico.....	50
Figura 4.7. Simulazione AC schema completo variando C_{load}	50
Figura 4.8: Risposta al transitorio della tensione di alimentazione con $I_{load} = 40nA$	51
Figura 4.9: Risposta al transitorio della tensione di alimentazione con $I_{load} = 100nA$	52
Figura 4.10: Risultato PSRR LDO con $R_{ESR} = 280K$	52
Figura 4.11: Risultato PSRR LDO con $R_{ESR} = 50K$	53