

ALMA MATER STUDIORUM - UNIVERSITÀ DI BOLOGNA

SCUOLA DI INGEGNERIA

DIPARTIMENTO di
INGEGNERIA DELL'ENERGIA ELETTRICA E DELL'INFORMAZIONE
"Guglielmo Marconi"
DEI

CORSO DI LAUREA MAGISTRALE IN
INGEGNERIA ELETTRONICA

TESI DI LAUREA
in
Sistemi Elettronici ad Alta Affidabilità M

**Analisi dell'Elettromigrazione in Circuiti Avanzati e Possibili Strategie per
Prevederle la Comparsa**

CANDIDATO

Matteo Naldi

RELATORE

Chiar.ma Prof.ssa Ing. Cecilia Metra

CORRELATORI

*Prof. Ing. Martin Eugenio Omaña
Dott.Ing. Mauro Pipponzi*

Anno Accademico
2022/2023

Sessione II

Ringraziamenti

Vorrei dedicare un ringraziamento speciale alla Prof.ssa Cecilia Metra e al Prof. Martin Omaña senza i quali questo lavoro non sarebbe stato possibile.

Li ringrazio per avermi offerto questa opportunità e per tutto il tempo che mi hanno dedicato anche fuori orario ed anche quando gli impegni erano molti; per avermi fatto da guida con la loro enorme competenza.

Provo per loro una sincera ammirazione anche per tutta la pazienza con cui mi hanno fatto crescere a livello accademico e personale. Grazie.

Un ringraziamento, infine, va anche alla mia famiglia e a tutte le persone importanti che mi hanno accompagnato in questo percorso. Grazie.

Sommario

1. Introduzione	5
1.1 Motivazioni	5
1.2 Lavoro svolto	6
2. Concetti preliminari	7
2.1 Il problema dell'elettromigrazione	7
2.2 Back-stress meccanico indotto	11
2.3 Analisi dinamica dello stress.....	13
3. Analisi degli effetti dell'elettromigrazione.....	30
4. Strategie di monitoraggio suggerite	45
5. Conclusioni	51
Appendice	52
Bibliografia.....	55

Introduzione

1.1 Motivazioni

I circuiti integrati (CI) costituiscono il nucleo fondamentale di tutti i sistemi elettronici oggi presenti sul mercato.

Tutte le capacità di calcolo degli integrati si basano su due elementi fondamentali: i transistori e le interconnessioni attraverso cui collegarli per realizzare tutte le funzioni logiche desiderate.

L'industria dei semiconduttori ha sempre avuto come obiettivo di sviluppo il rispetto della nota legge di Moore che vorrebbe raddoppiare il numero di transistori in un integrato circa ogni due anni. Il rispetto di questa condizione ha rapidamente portato alla verticale diminuzione delle dimensioni fisiche dei transistori. La riduzione geometrica ha determinato l'integrazione di miliardi di transistori nei moderni circuiti e l'utilizzo di miliardi di connessioni. Questo trend ha richiesto da un lato lo sviluppo di nuovi metodi di progettazione dei dispositivi portando alla nascita del CAD (computer-aided design) e dall'altro ad un continuo miglioramento dei processi di produzione.

Tale marcato andamento è stato guidato anche dagli effetti positivi che determina. In primo luogo, possono essere integrate in un singolo chip più funzioni oppure sviluppare più funzioni con meno circuiti integrati; in secondo luogo, a parità di operazioni svolte la riduzione delle dimensioni consente di diminuire i costi. Infine, nel wafer di Silicio si possono presentare alcuni difetti fisici determinati dal processo di fabbricazione, un transistore più piccolo ha una minore probabilità di essere realizzato in un uno di questi punti con un miglioramento della resa e dell'affidabilità.

Il continuo e costante scaling tecnologico ha però sollevato un'importante problematica: gli effetti del processo fisico di tipo diffusivo noto come elettromigrazione sull'affidabilità dei circuiti integrati e dei sistemi elettronici da essi costituiti in particolare per quelli che richiedono alta affidabilità.

L'elettromigrazione interesserà quindi sempre di più i circuiti integrati a causa dell'aumento della densità di corrente. L'analisi degli effetti di questo fenomeno è stata fatta in modo molto accurato per i sistemi digitali e per questa categoria di circuiti sono state sviluppate diverse soluzioni mentre i circuiti analogici sono stati analizzati in percentuale molto minore e non sono state proposte soluzioni specifiche in merito malgrado siano sempre più usati nei moderni Systems on Chips (SoCs) di grande impiego in ambito automotive e in apparati critici che richiedano alta affidabilità.

Lo scopo di questa tesi è quindi l'analisi degli effetti dell'elettromigrazione su questi circuiti attraverso la valutazione della variazione di resistenza delle linee di interconnessione.

L'elettromigrazione induce guasti di tipo bridging (BFs) che possono comportare malfunzionamento di questi circuiti con conseguenze catastrofiche per l'intero sistema critico.

In virtù della natura delle applicazioni ad alta affidabilità la rilevazione del guasto è fondamentale quindi un secondo obiettivo della tesi sarà quello di suggerire alcune soluzioni architettoniche di monitoring che consentano l'individuazione degli effetti del bridging on-line evitando conseguenze catastrofiche sull'ambiente e sulle persone.

1.2 Lavoro svolto

Lo scopo di questa tesi è quindi l'analisi degli effetti dell'elettromigrazione su questi circuiti attraverso la valutazione della variazione di resistenza delle linee di interconnessione.

L'elettromigrazione induce guasti di tipo bridging (BFs) che possono comportare malfunzionamento di questi circuiti con conseguenze catastrofiche per l'intero sistema critico.

In virtù della natura delle applicazioni ad alta affidabilità la rilevazione del guasto è fondamentale quindi un secondo obiettivo della tesi sarà quello di suggerire alcune soluzioni architettoniche di monitoring che consentano l'individuazione degli effetti del bridging on-line evitando conseguenze catastrofiche sull'ambiente e sulle persone.

La tesi è divisa in Capitoli ripartiti come segue:

- Nei Capitoli 1 e 2 è presente una breve introduzione al lavoro e sono richiamati i concetti preliminari sui quali trovano fondamento le analisi successive.
- Il Capitolo 3 illustra le topologie circuitali scelte per le due diverse implementazioni.
- Il Capitolo 4 le strategie progettuali suggerite per il monitoraggio dei circuiti colpiti da elettromigrazione al fine di rilevare il guasto.

1. Concetti preliminari

In questo capitolo si espongono più in dettaglio le basi fisiche dell'elettromigrazione; in termini delle forze indotte dal flusso atomico che si manifesta dall'anodo al catodo della linea.

Vengono inoltre esaminati e proposti alcuni modelli fisici in grado di fornire una misura della degradazione indotta dall'EM in termini di alcune proprietà fisiche peculiari della struttura metallica della pista: proprietà del materiale, densità di corrente, temperatura, geometria.

1.1 Il problema dell'elettromigrazione

A seguito della diminuzione delle dimensioni dei transistori sono automaticamente diminuite le sezioni delle interconnessioni che tuttavia presentano un degrado delle loro prestazioni a causa dello scaling [1]; in particolare un aumento della resistenza della linea.

La differenza di prestazioni tra i transistori e le interconnessioni ha determinato inevitabilmente un aumento della densità di corrente nella linea, che si ricordi è il rapporto

$$J = \frac{I}{A}$$

Con A sezione trasversale della linea e I corrente trasportata. Quest'ultima tenderà a diminuire a causa della riduzione delle tensioni di alimentazione e delle capacità di gate ma non potrà compensare la contestuale e sempre maggiore riduzione delle dimensioni geometriche.

Uno dei problemi più importanti che si devono affrontare nello studio dell'affidabilità di una singola linea o di una rete di interconnessione è il fenomeno dell'elettromigrazione; che determina un graduale spostamento di atomi metallici a causa dell'interazione con gli elettroni di conduzione della corrente elettrica [2].

Gli elettroni di conduzione sono molto veloci e colpendo gli atomi di Cu trasferiscono loro del momento determinando una forza F_e . Alcuni atomi incominciano a muoversi nella stessa direzione del flusso elettronico, si perviene quindi ad uno spostamento di materia.

Sebbene il rame sia più resiliente a fenomeni di migrazione rispetto all'alluminio presenta una maggiore capacità di diffusione nel dielettrico circostante. Per ovviare a questo problema si è ricorsi a nuove tecniche di fabbricazione in particolare all'inserimento di strati di materiale barriera, come per le moderne interconnessioni nei processi Cu-DD (copper dual-damascene). Se si considera questo caso, per esempio, la linea è vincolata al contorno e il movimento di atomi determina uno svuotamento al catodo che può portare alla formazione e alla crescita di un difetto [3]. Questo avvenimento può causare un aumento della resistenza elettrica dell'interconnessione e quindi impattare negativamente sull'affidabilità del circuito.

Da queste considerazioni qualitative preliminari appare subito evidente che la densità di corrente gioca un ruolo primario nel danno da EM, che può manifestarsi dopo settimane, mesi oppure anni quindi la sua comparsa risulta improvvisa e anche economicamente costosa.

La densità di corrente è quindi un parametro molto importante nello studio dell'affidabilità di un CI e il suo continuo aumento è un argomento di grande interesse nell'industria dei semiconduttori; ne è un esempio la stima fatta da una serie di esperti del settore e presentata nel documento "The International Technology Roadmap for Semiconductors" [1] e riportata in Figura 1.

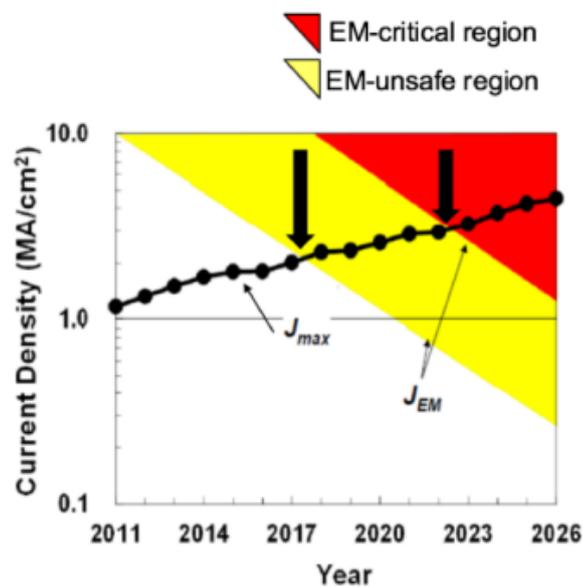


Figura 1 Valori di densità di corrente in funzione del tempo e quindi in riferimento alle dimensioni dei transistori [1].

La Figura 1 mostra l'andamento della densità massima di corrente in rapporto allo scaling tecnologico. Per la regione in giallo esistono soluzioni per affrontare il problema dell'EM come l'aggiunta di atomi dopanti [1] al contrario di quella in rosso. Il problema evidenziato da questa previsione è la mancanza di soluzioni progettuali che rendano possibile il mantenimento degli standard di affidabilità richiesti dai circuiti integrati oltre il 2023. Per ridurre questo impatto è necessario lo sviluppo di nuovi materiali e processi di fabbricazione ma anche l'elaborazione di modelli sempre più accurati nella descrizione dell'EM.

2.1.2 Modello di Black

Uno dei primi modelli empirici realizzati per poter stimare il tempo medio di vita medio (*MTTF*) di una linea a seguito dell'EM fu proposto da J.R. Black nel 1969 [4].

$$MTTF = AJ^{-n} e^{\left(\frac{Q_a}{k_B T_{metal}}\right)} \quad (1)$$

A è una costante empirica che dipende dal materiale con cui è realizzata l'interconnessione (un valore tipico è $1,47 \times 10^7 \text{As/m}^2$), n è una costante numerica di valore compreso tra 1 e 2, J è la densità di corrente che attraversa il conduttore, k_B la costante di Boltzmann, Q_a l'energia di attivazione (pari a circa 1eV) infine T_{metal} la temperatura della pista.

Più tardi I.A. Blech [5] [6] [7] scoprì che non tutte le linee sono effettivamente soggette a fatali conseguenze indotte dall'EM; infatti, una linea metallica isolata risulta immune al danno se il prodotto $(JL)_{linea}$ costante per ogni pista considerata risulta minore del cosiddetto prodotto critico di Blech $(JL)_{critico}$ [8] definito come

$$(JL)_{critico} = \frac{\Omega \Delta \sigma_{critico}}{q^* \rho} \quad (2)$$

con Ω volume atomico, $\Delta \sigma_{critico}$ quantità positiva che indica il massimo stress meccanico che si instaura tra anodo e catodo prima del tempo di nucleazione del void, ρ la resistività del materiale e q^* la carica efficace.

Se $(JL)_{linea} \leq (JL)_{critico}$ la linea è definita *immortale*; in caso contrario si definisce *mortale*.

L'insieme delle due equazioni appena riportate costituisce il modello di Black.

Questo approccio richiede un minimo impiego di risorse computazionali e per questo motivo è stato molto utilizzato in diversi tools commerciali [9].

Per rendere più specifici i risultati in termini di effetti del fenomeno di elettromigrazione sono stati sviluppati modelli fisici dell'EM spesso proposti sotto forma di equazioni differenziali a derivate parziali (PDE) in grado di descrivere i parametri che ricoprono un ruolo nella degradazione indotta dall'elettromigrazione: geometria della linea, densità di corrente, temperatura e metallo usato nell'interconnessione.

2.1.3 Le basi fisiche dell'elettromigrazione

L'elettromigrazione (EM) è un fenomeno elettrico, come introdotto nel capitolo precedente, che riguarda teoricamente tutte le linee di interconnessione in un circuito integrato attraversate da una determinata densità di corrente. Nella seguente trattazione saranno considerate piste di rame.

L'EM consiste nello spostamento di atomi metallici dal catodo (K) verso l'anodo (A) della linea provocato da elettroni di conduzione (noti in letteratura come *vento elettronico*) che si muovono sotto l'azione del campo elettrico. Il vento elettronico determina a sua volta una forza F_e tale per cui

$$F_e = e Z_{eff}^* E = e Z_{eff}^* \rho J = q^* \rho J \quad (3)$$

Con e carica elementare dell'elettrone, Z_{eff}^* numero di valenza efficace, E campo elettrico sulla linea, ρ resistività del Cu, J densità di corrente nella pista.

Questa dinamica del vento elettronico è resa possibile a causa dell'attivazione degli atomi del Cu che si dislocano dalla loro posizione nel reticolo cristallino e si muovono nella direzione del flusso elettronico, determinando carenze o accumuli rilevanti di materiale in alcune locazioni specifiche costituendo un eventuale motivo di guasto per la linea. Tali difetti assumono definizioni precise in letteratura ovvero rispettivamente *voids* e *hillocks*.

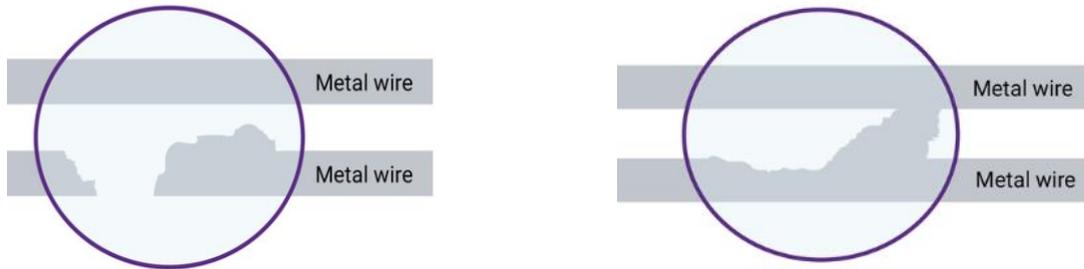


Figura 2 Rappresentazione schematica di un void (a sinistra) e di hillock (a destra) in una linea di metallo; il primo determina una condizione elettrica di circuito aperto, il secondo di cortocircuito.

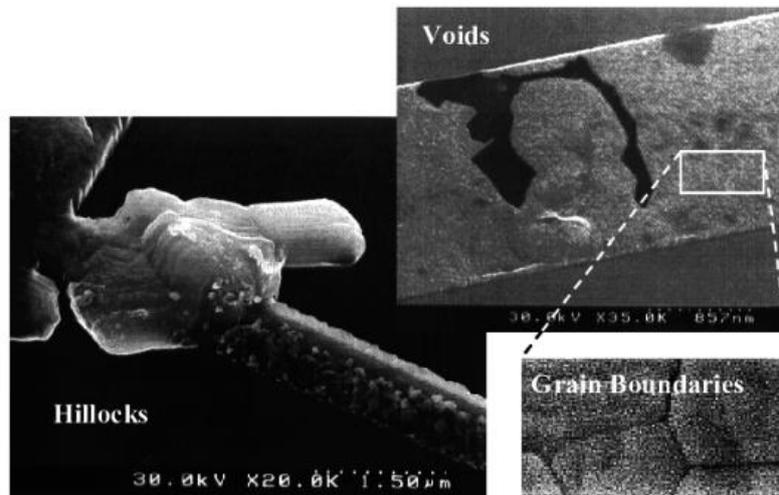


Figura 3 Formazione di un void e di un hillock. (Per gentile concessione di G.H. Bernstein e R.Frankovic. Università di Notre Dame)

Gli atomi di Cu sotto la spinta del vento elettronico si spostano con una velocità di drift v_d pari a

$$v_d = \mu_e F_e \quad (4)$$

con μ_e mobilità elettronica. Da questa velocità si può facilmente determinare il flusso atomico indotto [10]

$$\phi_a = N_a v_d = N_a \mu_e F_e \quad (5)$$

in cui N_a rappresenta la densità atomica $N_a = \frac{1}{\Omega}$ con Ω volume atomico in un cristallo ideale del valore di $\Omega \approx 1,66 * 10^{-29} m^3$ per il rame.

Richiamando l'equazione di Nernst-Einstein si può ricavare

$$\mu_e = \frac{D_{eff}}{k_B T} \quad (6)$$

il numeratore rappresenta la diffusività atomica efficace, k_B la costante di Boltzmann e T la temperatura.

Sostituendo tutte le espressioni fino ad ora ricavate si ottiene

$$v_d = \frac{D_{eff}}{k_B T} (eZ_{eff}^* \rho J)$$

e quindi

$$\phi_a = N_a \frac{D_{eff}}{k_B T} (eZ_{eff}^* \rho J) \quad (7)$$

2.2 Back-Stress meccanico indotto dal fenomeno elettromigratorio

La diffusione determina uno svuotamento di atomi presso il catodo e un accumulo presso l'anodo che si traducono rispettivamente in una trazione ed in una compressione.

Questo gradiente di stress idrostatico σ_{idro} produce un retro-flusso (back-flux) ϕ_σ indotto diretto dall'anodo al catodo che si oppone al flusso atomico ϕ_a [10].

Si può determinare analiticamente l'espressione di questo flusso

$$\phi_\sigma = N_a \frac{D_{eff}}{k_B T} \left(\Omega \frac{\partial \sigma_{idro}}{\partial x} \right)$$

Lo stress idrostatico può essere a sua volta espresso attraverso le tre componenti dello stress meccanico lungo gli assi cartesiani (x, y, z) : σ_x , σ_y , σ_z .

$$\sigma_{idro} = \frac{(\sigma_x + \sigma_y + \sigma_z)}{3}$$

Dalla somma algebrica dei due flussi opposti in direzione si ottiene:

$$\phi_{netto}^{EM} = N_a \frac{D_{eff}}{k_B T} \left(-eZ_{eff}^* \rho J + \Omega \frac{\partial \sigma_{idro}}{\partial x} \right) \quad (8)$$

Quindi il flusso atomico netto è costituito da due contributi:

- Elettronico, prodotto dall'applicazione di un campo elettrico e sempre opposto rispetto alla direzione del campo applicato ovvero gli atomi sono spinti in una direzione opposta rispetto a quella del campo.
- Meccanico, generato dal gradiente di stress e diretto da punti dove la vacanza di atomi è minore a posizioni in cui è maggiore.

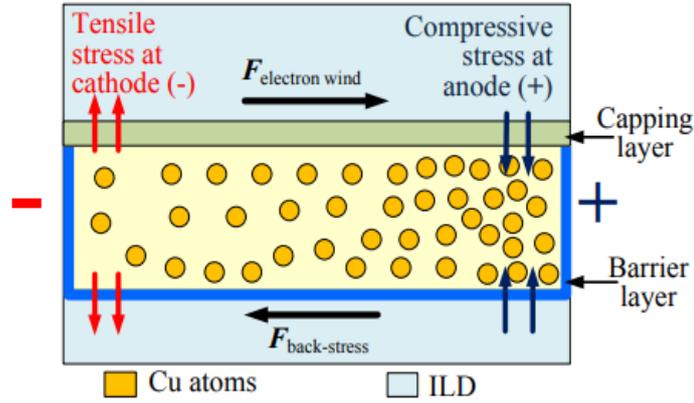


Figura 4 stress indotto e back-stress meccanico. La corrente elettrica fluisce sempre dall'anodo (+) verso il catodo (-) quindi la componente elettronica del flusso spinge gli atomi di Cu dal catodo verso l'anodo, le lacune si sposteranno allora verso il catodo, questi movimenti producono una tensione e una compressione. Il gradiente di stress induce un flusso diretto dall'anodo al catodo che si oppone a quello elettronico; fenomeno noto in letteratura come back-stress [11].

La Figura 4 mostra le due forze agenti: quella relativa al vento elettronico e quella dovuta al retro-stress. La prima agendo sugli atomi di Cu determina una tensione al catodo; al contrario la seconda produce all'anodo una compressione a causa dell'accumulo di atomi.

Come si può intuire dalla Figura 4 la trazione facilita molto la formazione del void; di fatto nella pratica la maggior parte dei difetti di questo tipo si verifica proprio in questa posizione rispetto ad altri punti della linea.

Consideriamo l'espressione del flusso netto indotto ϕ_{netto}^{EM} , può accadere che i due contributi nella parte destra dell'equazione si bilancino in modo quasi esatto, questa condizione implica $\phi_{netto}^{EM} = 0$ ovvero

$$-eZ_{eff}^* \rho J + \Omega \frac{\partial \sigma_{idro}}{\partial x} = 0$$

Ora se la J è costante l'andamento dello stress in questa condizione di equilibrio risulta costante.

$$\frac{\partial \sigma_{idro}}{\partial x} = \frac{\Delta \sigma_{idro}}{L} = \frac{eZ_{eff}^* \rho J}{\Omega}$$

In questo stato le componenti di stress all'anodo e al catodo sono antisimmetriche e quindi

$$\Delta \sigma_{critico} = 2\sigma_{catodo}$$

con σ_{catodo} lo stress al catodo.

Quindi

$$\frac{\Delta \sigma_{idro}}{L} = \frac{2\sigma_{catodo}}{L}$$

Se σ_{catodo} all'equilibrio è più piccolo del valore critico richiesto per la nucleazione del void ovvero $\sigma_{catodo} < \Delta \sigma_{critico}$ la linea non subirà di fatto nessun danno dovuto all'EM.

Dall'equazione precedente risulta

$$(JL) \leq \frac{2\Delta\sigma_{critico}\Omega}{\rho e Z_{eff}^*} \triangleq (JL)_{critico} \quad (9)$$

Riportando al prodotto critico di Blech; da cui si evince anche che lo stress massimo lungo la linea sarà raggiunto a $x = L$.

2.3 Analisi dinamica dello stress meccanico

Lo stress subito dalla linea è fondamentale nella trattazione del danno prodotto dall'EM; quindi, in questa sezione si presentano una serie di modelli che descrivono in modo analitico la sua evoluzione temporale e spaziale.

2.3.1 Modello di Korhonen

Per quanto riguarda la formazione dei voids il meccanismo di danneggiamento della linea si articola in due fasi temporali differenti [12],[13]:

1. *Nucleazione del void*: la progressiva carenza di atomi metallici al catodo determina una trazione meccanica in quella posizione, con il passare del tempo questo stress può raggiungere una soglia critica superata la quale avviene la nucleazione.
2. *Crescita del void*: a seguito della prima fase il continuo depauperamento di atomi determina una crescita della fessurazione che implica due effetti sostanziali l'aumento della resistenza della linea e la diminuzione effettiva della sezione trasversale a disposizione della corrente.

Da queste considerazioni emerge come sia fondamentale riuscire a descrivere l'andamento dello stress meccanico subito dalla linea al variare del tempo.

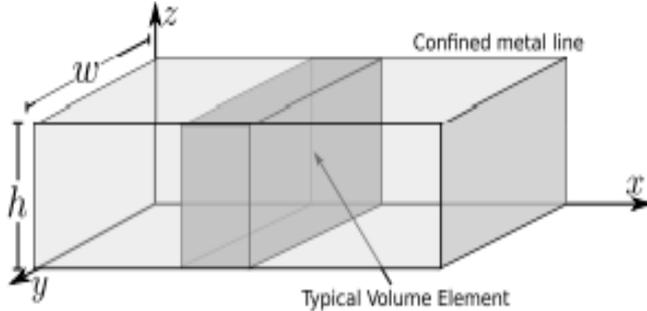
Si sono sviluppati nel tempo diversi modelli con questo obiettivo; uno dei più largamente usati è quello di *Korhonen* [14].

Si consideri nuovamente una linea metallica isolata di lunghezza L confinata in un dielettrico rigido e uno stress uniforme lungo la sezione trasversale della linea.

Per la legge di Hooke vale

$$\frac{dN_a}{N_a} = -\frac{d\sigma(x,t)}{B} \quad (10)$$

B modulo di compressione relativo tra Cu e dielettrico di rivestimento che dipende, in generale, dalla geometria della linea e dal metallo considerato [15]. Per i moderni processi $B \sim 30 \text{ GPa}$ [16]



Si consideri la concentrazione atomica nel caso non sia presente nessuno stress e la si indichi con $N_a^{(0)}$; quindi $N_a^{(0)} = \frac{1}{\Omega}$ e integrando l'equazione sopra si perviene a

$$N_a = N_a^{(0)} e^{-\frac{\sigma}{B}}$$

Tuttavia, sperimentalmente risulta che [16]

$$\frac{\sigma(x, t)}{B} \leq \frac{\sigma_{crit}}{B} \sim 0,00166$$

È quindi valida l'approssimazione $e^{-\frac{\sigma}{B}} \cong 1 - \frac{\sigma}{B}$ che porta a

$$N_a = N_a^{(0)} \left(1 - \frac{\sigma}{B}\right)$$

Ora per un certo flusso atomico netto che abbandona una certa regione spaziale si avrà una corrispondente variazione nella concentrazione $N_a(x, t)$ per unità di volume in quel punto espressa dall'equazione di continuità [17]

$$\frac{\partial N_a}{\partial t} = -\nabla \phi_{netto}^{EM} + G_R(t)$$

In cui si è ripresa la definizione di ϕ_{netto}^{EM} , aggiungendo il termine $G_R(t)$ di generazione/ricombinazione di lacune presente ai bordi di grano della microstruttura.

Per un'analisi semplificata si può porre $G_R(t) = 0$ e si nota che un incremento di concentrazione di lacune nel tempo comporta uno sforzo di trazione che può portare alla nucleazione del void come anticipato in precedenza.

Da questa sfruttando quella sopra si ottiene

$$\frac{\partial N_a}{\partial t} = -\frac{N_a^{(0)}}{B} \frac{\partial \sigma(x, t)}{\partial t}$$

Dalla quale si perviene a

$$\frac{\partial \sigma(x, t)}{\partial t} = B\Omega \nabla \phi_{netto}^{EM} \quad (11)$$

Nel caso monodimensionale $\nabla \phi_{netto}^{EM} = \frac{\partial \phi_{netto}^{EM}}{\partial x}$ allora vale

$$\frac{\partial \sigma(x, t)}{\partial t} = B\Omega \frac{\partial}{\partial x} \phi_{netto}^{EM} \quad (12)$$

Bisogna ricordare l'espressione del flusso elettromigratorio netto

$$\phi_{netto}^{EM} = N_a \frac{D_{eff}}{k_B T} \left(-eZ_{eff}^* \rho J + \Omega \frac{\partial \sigma_{idro}}{\partial x} \right)$$

e considerare $N_a \cong N_a^{(0)} = \frac{1}{\Omega}$ ottenuta dalla considerazione precedente $\frac{\sigma(x, t)}{B} \ll 1$.

Si ottiene quindi

$$\phi_{netto}^{EM} = \frac{D_{eff}}{k_B T} \left(\frac{-eZ_{eff}^* \rho J}{\Omega} + \frac{\partial \sigma_{idro}}{\partial x} \right) = \frac{D_{eff}}{k_B T} \left(\frac{\partial \sigma_{idro}}{\partial x} - \frac{\rho J q^*}{\Omega} \right) \quad (13)$$

Ora sostituendo in (15) si ricava:

$$\frac{\partial \sigma(x, t)}{\partial t} = \frac{\partial}{\partial x} \left[\kappa \left(G + \frac{\partial \sigma(x, t)}{\partial x} \right) \right] \quad 0 < t < t_{nuc}$$

Con $G = \frac{eZ_{eff}^* \rho J}{\Omega}$ forza dell'EM, $\kappa = \frac{D_{eff} B \Omega}{k_B T}$ diffusività riferita allo stress e D_{eff}

diffusività atomica efficace secondo la legge di *Arrhenius*: $D_{eff} = D_0 e^{\left(\frac{-Q_a}{k_B T}\right)}$ considerata costante lungo tutta la linea. A rigore la diffusività atomica dipende anche dallo stress nel punto considerato tuttavia è stato scoperto e riportato che numericamente non si evidenzia una differenza significativa rispetto al valore costante assunto in una prima analisi [22] e [18, 19, 20, 21].

Il tempo necessario affinché si raggiunga il valore di stress critico è qui indicato come t_{nuc} ovvero l'intervallo per la nucleazione: $\sigma(0, t_{nuc}) = \sigma_{crit}$.

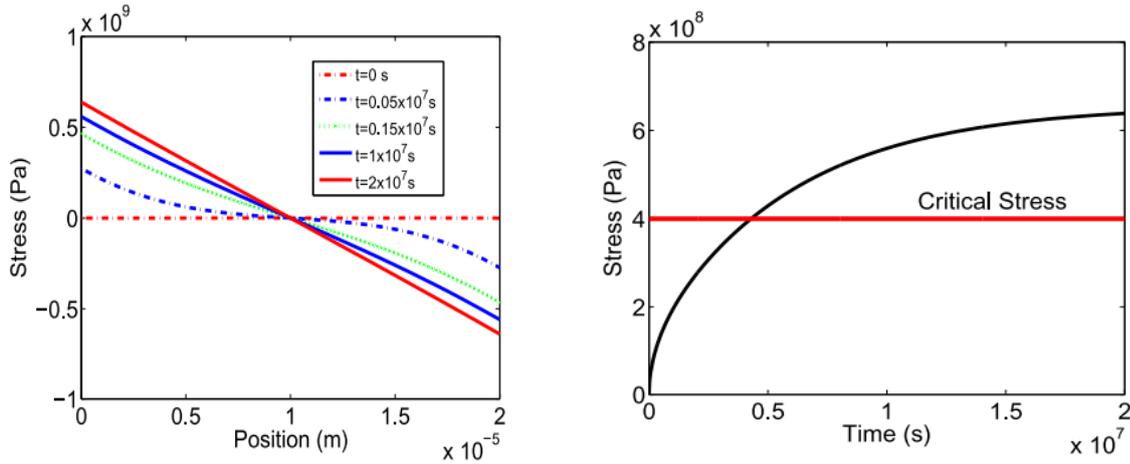


Figura 5 Simulazione della distribuzione dello stress indotto dall'EM nel tempo al variare della distanza lungo una singola linea a sinistra e stress indotto al catodo della linea [22].

Questi andamenti sono stati ottenuti attraverso l'utilizzo del simulatore FEM COMSOL Multiphysics [23]. A destra in Figura 5 si riporta l'andamento dello stress nel tempo in funzione della posizione lungo la linea studiata: lo stress inizialmente positivo (sforzo di trazione) si sviluppa al catodo e decresce fino a diventare negativo presso l'anodo (sforzo di compressione), il cambiamento di segno avviene a metà della linea.

Se lo stress al catodo eccede la soglia critica le possibili cavità preesistenti nella linea incominciano ad aumentare le loro dimensioni; questo accrescimento dipende dalla diffusività atomica.

Valori tipici di stress critico sono compresi tra 200MPa e 500MPa [22]. Se il flusso atomico si arresta determinando una condizione di equilibrio prima del raggiungimento dello stress critico allora automaticamente la linea diventa immortale.

Il modello di Korhonen ha una soluzione analitica [15] per una linea

$$\sigma(x, t) = \sigma_T + GL \left\{ \frac{1}{2} - \frac{x}{L} - 4 \sum_{n=0}^{\infty} \frac{\cos\left((2n+1)\pi\frac{x}{L}\right)}{(2n+1)^2\pi^2 \exp\left((2n+1)^2\pi^2\frac{kt}{L^2}\right)} \right\} \quad (14)$$

Con σ_T stress termico iniziale.

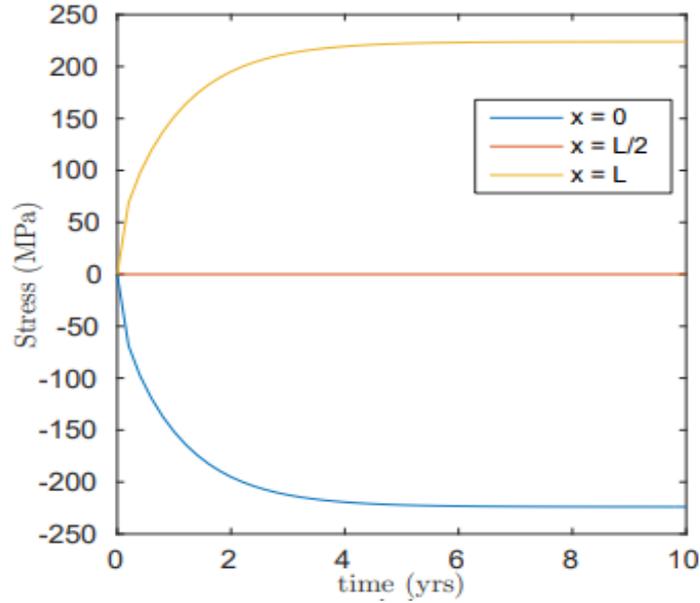


Figura 6 Evoluzione dello stress nel tempo lungo tre punti notevoli di una linea di 250 μ m con densità di corrente pari a 6 $\frac{GA}{m^2}$ [17].

La soluzione (17) può essere approssimata [24] per ottenere lo stress a $x=0$ (catodo) e $t = t_{nuc}$

$$\sigma_{crit} = \sigma_T + \frac{GL}{2} - \frac{4GL}{\pi^2} \exp\left\{-t_{nuc} \kappa \left(\frac{\pi}{L}\right)^2\right\}$$

Come conseguenza se $\sigma(0, t) \geq \sigma_{crit}$ il tempo di nucleazione risulta

$$t_{nuc} = \frac{L^2 k_B T}{D_a B \Omega} \ln \left\{ \frac{\frac{\rho J e L Z_{eff}^*}{2\Omega}}{\sigma_T + \frac{\rho J e L Z_{eff}^*}{2\Omega} - \sigma_{crit}} \right\} \quad (15)$$

L'equazione mostra il legame tra σ_T , σ_{crit} e lo stress causato dall'elettromigrazione $\sigma_{em} = \frac{\rho J e L Z_{eff}^*}{2\Omega}$.

Se lo stress termico supera quello critico è evidente che il void si produrrà a prescindere dalla presenza di una densità di corrente.

Per una linea uniforme e attraversata da una densità di corrente costante l'equazione per lo stress del modello di Korhonen può assumere una forma semplificata

$$\frac{\partial \sigma}{\partial t} = \frac{B \Omega D}{k_B T} \frac{\partial^2 \sigma}{\partial x^2} \quad (16)$$

che ricorda formalmente l'equazione del calore.

2.3.2 Volume di saturazione del void

Il volume di saturazione può essere calcolato considerando che [25]

$$V_{void} = - \iiint \frac{\sigma(t)}{B} dV \quad (17)$$

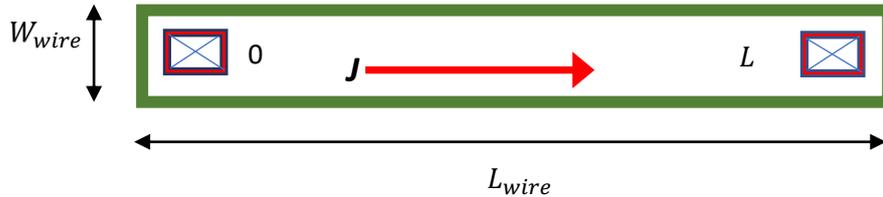


Figura 8 Rappresentazione schematica del tratto di linea

In cui si intende come dominio di integrazione il volume rimanente della pista. Se consideriamo per semplicità un caso monodimensionale l'equazione si semplifica

$$V_{void}^{sat} = -A_{wire} \int_0^{L_{wire}} \frac{\sigma(x)}{B} dx = -A_{wire} \frac{\Delta\sigma_{max} L_{wire}}{B}$$

A_{wire} indica la sezione trasversale della linea $A_{wire} = W_{wire}H_{wire}$; si è usata L_{wire} in quanto la lunghezza del void è sensibilmente minore rispetto a quella della linea nella sua interezza.

Il volume di saturazione, quindi, dipende essenzialmente dal prodotto tra lo stress massimo e la lunghezza della pista. Per il calcolo di $\Delta\sigma_{max}$ bisogna ricorrere alle equazioni del modello in una condizione di equilibrio

$$\frac{\partial\sigma}{\partial x} = \frac{\Delta\sigma_{max}}{L} = -\frac{J\rho e Z_{eff}^*}{2\Omega}$$

$$\Delta\sigma_{max} = -\frac{J\rho e L Z_{eff}^*}{2\Omega}$$

Dalle equazioni precedenti si ricava

$$V_{void}^{sat} = A_{wire} J \rho e \frac{Z_{eff}^*}{2\Omega B} L^2$$

È possibile che sia nota la condizione di stress iniziale e quindi

$$V_{void}^{iniziale} = \frac{A_{wire} \Delta\sigma_{ini} L}{B}$$

Questo determina che il volume di saturazione risulterà, come riportato anche in [26].

$$V_{void}^{sat} = A_{wire} \left(\frac{L\Delta\sigma_{init}}{B} + \frac{J\rho eL^2 Z_{eff}^*}{2B\Omega} \right) \quad (18)$$

V_{void}^{sat} si raggiunge in entrambi i casi quando il flusso atomico è bilanciato dal flusso indotto dal gradiente dello stress.

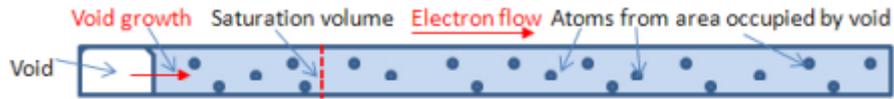


Figura 9 Rappresentazione schematica della linea [26]

2.3.3 Variazione di resistenza di linea

Il calcolo analitico del volume del void è fondamentale per la determinazione della variazione di resistenza della linea [29]

$$\Delta R_{linea} = \frac{V_{void}}{WH} \left(\frac{\rho_{TaN}}{h_{lin}(W + 2H)} - \frac{\rho_{Cu}}{WH} \right)$$

del valore finale della variazione di resistenza della linea [27]

$$\Delta R^{sat} = \frac{V_{void}^{sat}}{WH} \left(\frac{\rho_{TaN}}{h_{lin}(W + 2H)} - \frac{\rho_{Cu}}{WH} \right) = \frac{V_{void}^{sat}}{WH} \left(\frac{\rho_{lin}}{h_{lin}(W + 2H)} - \frac{\rho_{Cu}}{WH} \right) \quad (19)$$

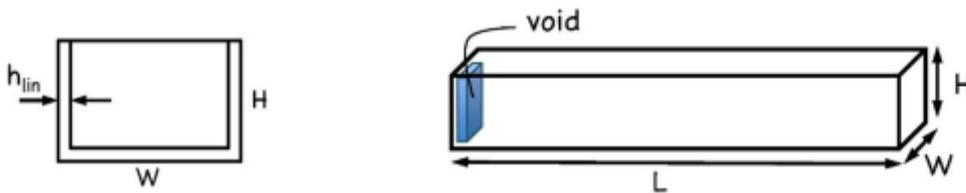


Figura 10 Rappresentazione schematica della geometria della linea [22]

2.3.4 Modello di Korhonen esteso (EKM)

Il modello di Korhonen è stato sviluppato per i punti interni alla linea, ma non per le giunzioni; questa necessità ha portato alla realizzazione del cosiddetto modello di Korhonen esteso (EKM) [30].

Il metodo prevede l'assunzione preliminare di due ipotesi:

1. una giunzione sia un punto a volume nullo.
2. alla giunzione valga la conservazione della massa atomica.

Sotto tali condizioni si può applicare comunque l'equazione di Korhonen raggiungendo dei buoni risultati sperimentali nonostante l'approssimazione fatta.

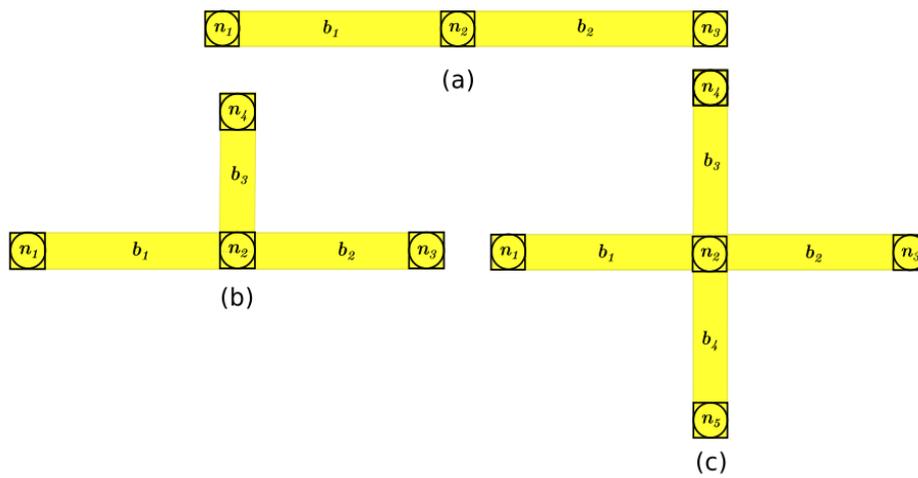


Figura 11 Esempi schematici di interconnessioni a giunzione [34].

Il nucleo del modello a giunzione appena descritto è la mutua combinazione di più linee a cui sia applicata singolarmente l'equazione di Korhonen fino a ricostruire l'intero albero di connessione.

Statisticamente i voids tendono a generarsi con più frequenza proprio in prossimità delle giunzioni [31] anche se in linea teorica non vi sia nessun punto della linea esente dalla possibile formazione di difetti. Questa seconda circostanza si manifesta maggiormente se nella linea sono preventivamente presenti microfratture causate dal processo di fabbricazione del dispositivo.

Lo stesso EKM è stato sviluppato considerando voids che si enucleano in corrispondenza delle giunzioni. Esempi schematici di giunzioni nelle interconnessioni sono riportati in Figura 12.

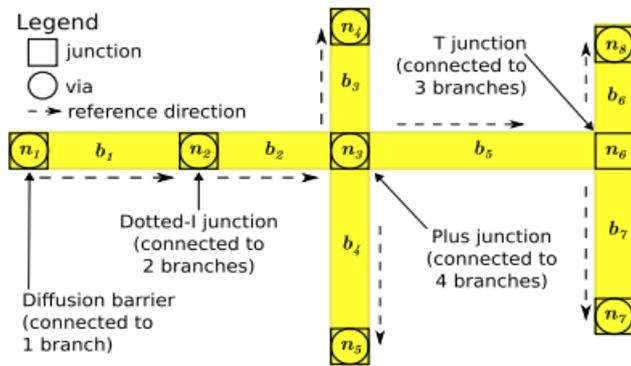


Figura 12 Esempi di giunzioni nelle interconnessioni [34].

2.3.5 Modellazione del void e resistenza di linea

Il void è una struttura complessa, per descriverla nel tempo sono nati sia modelli analitici [22] che numerici [32] [33]. La dimensione del void può crescere nel tempo fino ad una saturazione se la corrente è puramente DC oppure subire un vero ripristino (fenomeno di healing) se la corrente è AC: a causa della variazione nella direzione il flusso atomico si inverte e una frazione di atomi ritorna quindi alla locazione originaria. Il void quindi può occupare una percentuale della sezione della linea oppure causare una rottura completa della connessione.

Se si considera un modello monodimensionale come in [27] l'andamento dello stress lungo la linea con un void all'inizio o alla fine della stessa risulta quello mostrato nelle Figura 13

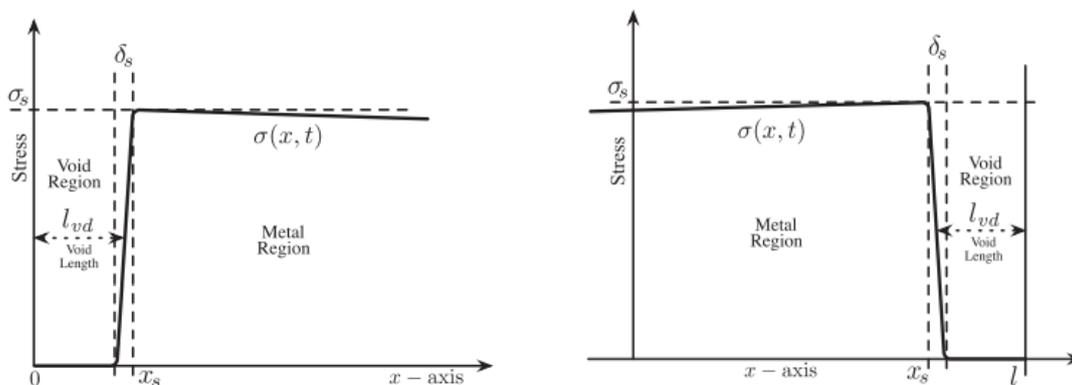


Figura 13 Andamento dello stress all'interfaccia con un void formatosi $x = 0$ e a $x = L$ [34].

Una volta raggiunto il valore critico lo stress all'interfaccia deve rapidamente annullarsi entro una lunghezza caratteristica chiamata *spessore efficace dell'interfaccia del void* [27] e qui indicato con δ_s il cui valore numerico è $\delta_s = 1nm$. Al contrario all'interno della linea di metallo la decrescita non è istantanea ma lenta accompagnata dalla crescita del void. Lo strato più interno dell'interfaccia con il void è denotato da x_s a cui corrisponde uno stress σ_s . La dimensione del void in questo caso è indicata con l_{vd} e si può in prima analisi approssimare con x_s .

Il modello presuppone che lo stress abbia un andamento lineare all'interno di δ_s questo implica che

$$\frac{d\sigma}{dx} = \pm \frac{\sigma_s}{\delta_s}$$

Con il discriminante dei segni ad indicare rispettivamente un a $x = 0$ oppure a $x = L$. Tale gradiente ha come effetto immediato quello d'incrementare la forza del flusso atomico netto determinando così la crescita del void. Di fatti si può scrivere

$$\phi(x_s)_{netto}^{EM} = \frac{D_{eff}}{k_B T} \left(\pm \frac{\sigma_s}{\delta_s} - \frac{\rho J q^*}{\Omega} \right)$$

Vale [34]

$$\frac{dx_s}{dt} = \Omega \phi(x_s)_{netto}^{EM}$$

In base all'approssimazione fatta prima si ottiene per un void a $x = 0$

$$\frac{dl_{vd}}{dt} = \frac{D_{eff} \Omega}{k_B T} \left(\frac{\sigma(0)}{\delta_s} - \frac{\rho J q^*}{\Omega} \right)$$

Considerazioni sullo stress analoghe a quelle riportate sopra possono essere fatte nel caso la nucleazione si verifichi all'estremità finale della linea, come mostrato in Figura 13.

Quindi per un void a $x = L$ vale

$$\frac{dl_{vd}}{dt} = \frac{D_{eff} \Omega}{k_B T} \left(\frac{\sigma(L)}{\delta_s} + \frac{\rho J q^*}{\Omega} \right)$$

Una volta ottenuto l'andamento della $l_{vd}(t)$ si può usare questo risultato per analizzare la variazione della resistenza nella linea, ricorrendo all'equazione usata in precedenza:

$$\Delta R_{linea} = l_{vd}(t) \left(\frac{\rho_{Ta} N}{h_{lin}(W + 2H)} - \frac{\rho_{Cu}}{WH} \right) + R_0 \quad (20)$$

Con $R_0 = \frac{\rho L}{WH}$ resistenza della linea priva di void.

ρ_{TaN}	h_{TaN}	ρ_{Cu}	H	W
$2,5\mu\text{m}\Omega$	10nm	$0,03\mu\text{m}\Omega$	120nm	$1\mu\text{m}$

Tabella 1 Alcuni valori tipici usati in simulazione sono riportati in tabella

2.3.6 Circuito equivalente RC

Nell'EKM si assume che la fase di crescita del void sia molto minore del tempo di nucleazione quindi di fatto si considera solo il volume di saturazione senza tenere traccia della crescita nel tempo del void. Tuttavia, allo stato tecnologico attuale i ritmi di crescita del void sono tali da non potersi più considerare trascurabile il tempo necessario per il raggiungimento del volume di saturazione finale [34].

In [34] viene sviluppato un modello basato su una serie di circuiti equivalenti che utilizzano linee di trasmissione RC a costanti distribuite in grado di fornire gli andamenti di tutti gli stress meccanici in tutto l'albero di interconnessione, includendo sia le giunzioni che le fasi di nucleazione e crescita del void.

Il metodo nasce dall'associazione tra l'equazione trovata per lo stress meccanico e quella che descrive la tensione in una linea RC.

Si consideri l'equazione di Korhonen (21) che si può riscrivere come

$$\frac{\partial^2 \sigma}{\partial x^2} = \frac{k_B T}{B \Omega D} \frac{\partial \sigma}{\partial t} \triangleq \tau_l \frac{\partial \sigma}{\partial t} \quad (21)$$

Questa equazione della diffusione è a medesima che governa una linea di trasmissione; infatti [35]

$$\frac{\partial v}{\partial x} = -ri - l \frac{\partial i}{\partial t}$$

$$\frac{\partial i}{\partial x} = -gv - c \frac{\partial v}{\partial t}$$

Con v e i rispettivamente tensione e corrente lungo la linea.

Si adotta la semplificazione $g = 0$ e $l = 0$ ottenendo rispettivamente

$$\frac{\partial v}{\partial x} = -ri$$

$$\frac{\partial i}{\partial x} = -c \frac{\partial v}{\partial t}$$

Derivando la prima delle due rispetto x e usando la seconda si perviene a

$$\frac{\partial^2 v}{\partial x^2} = rc \frac{\partial v}{\partial t}$$

Questa equazione è formalmente identica alla (21) anche considerando che dimensionalmente

$$\tau_l = \left[\frac{s}{m^2} \right] \text{ e allo stesso modo } rc = \left[\frac{s}{m^2} \right].$$

Si consideri il k -esimo ramo di un albero di interconnessione, per una linea metallica possiamo definire i seguenti parametri:

$$r_k = \frac{k_B T}{D_k a_k \psi}$$

$$c_k = \frac{a_k \psi}{B \Omega}$$

In cui si è fatto ricorso ad un parametro numerico specifico che funge da fattore di scala

$$\psi \stackrel{\text{def}}{=} 0,01 \text{ C}^2 / \text{m}^3$$

Attraverso i due parametri r_k e c_k possiamo definire

$$r_k c_k = \frac{k_B T}{B D_k \Omega} \stackrel{\text{def}}{=} \tau_k$$

Ma $\tau_k = \tau_l$ quindi si giunge immediatamente ad una equivalenza tra stress e tensione; in particolare

$$v(x, t) = \xi \sigma(x, t)$$

Con $\xi \stackrel{\text{def}}{=} 1V / 1MPa$

In questo modo è possibile associare puntualmente ad ogni variazione di stress lungo la linea una variazione di tensione nel tempo.

Dalla (21) moltiplicando per ξ e ricordando la definizione di τ_k si perviene a

$$\frac{\partial^2 v}{\partial x^2} = \tau_k \frac{\partial v}{\partial t}$$

Per la risoluzione di questa equazione si può ricorrere all'analisi numerica; in particolare in [34] si utilizza il simulatore circuitale Spice; una volta ottenuto l'andamento della tensione si può ricavare immediatamente quello dello stress lungo la linea.

Tutte le considerazioni esposte fino a questo punto permettono di ottenere un circuito equivalente per la linea del tipo in Figura 14.

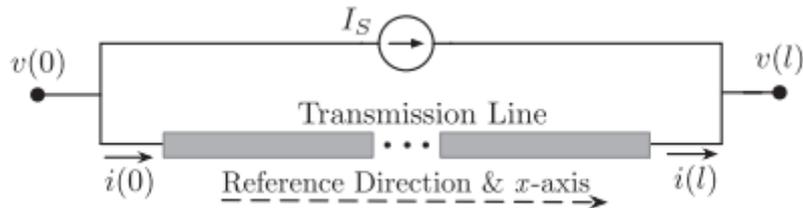


Figura 14 Circuito equivalente per la linea metallica [34].

2.3.7 Modello equivalente per l'intera linea

Il modello esposto risulta molto conveniente nella trattazione completa di un albero di interconnessione, infatti, una volta ottenuto il circuito equivalente per una singola linea metallica si possono realizzare più istanze del medesimo opportunamente combinate per simulare con precisione l'andamento della tensione e quindi dello stress meccanico in ogni punto.

In particolare, per una singola linea si ricava dalle considerazioni dei paragrafi precedenti il circuito equivalente

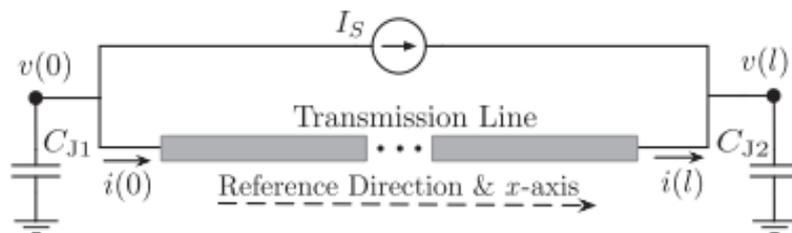


Figura 15 Circuito equivalente per la linea metallica con capacità di giunzione [34].

Lo schema elettrico riportato in Figura 15 può poi essere facilmente modificato per ottenere

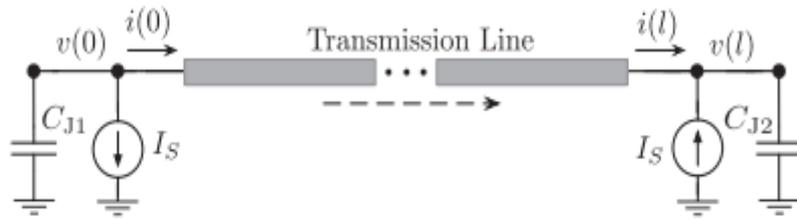


Figura 16 Circuito equivalente per la linea metallica con capacità di giunzione [34].

A questo punto per la descrizione di due linee metalliche si possono combinare due istanze

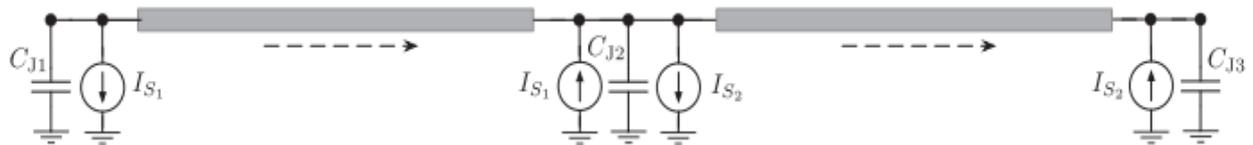


Figura 17 Circuito equivalente per la linea metallica con capacità di giunzione [34].

Per tener traccia della crescita del void nel tempo si introduce un nuovo parametro

$$\eta = 1V/nm$$

Che introduce alla definizione di due nuove quantità

$$G_s = \frac{\psi D_{eff} WH}{k_B T \delta_s}$$

E

$$C_v = \frac{\xi \psi WH}{\Omega \eta}$$

Quindi per tenere traccia della presenza del void nel tempo si modifica il circuito equivalente della linea

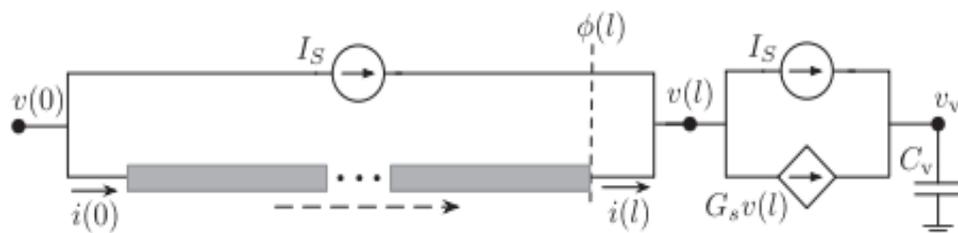


Figura 18 Circuito equivalente per la linea metallica con un void a $x = L$ [34].

Dalla Figura 18 usando la legge di Kirchhoff per le correnti al nodo V si ricava

$$C_V \frac{dv_V}{dt} = i(L) + I_S$$

$$\frac{dv_V}{dt} = \frac{i(L) + I_S}{C_V}$$

Ricordando l'espressione di C_V

$$\frac{dv_V}{dt} = \frac{-\phi(L)_{netto}^{EM} \xi \psi W H}{\frac{\xi \psi W H}{\Omega \eta}}$$

Per cui

$$\frac{dv_V}{dt} = -\Omega \phi \eta$$

Inoltre, vale la

$$\frac{dl_{vd}}{dt} = \Omega \phi(L)_{netto}^{EM} = -\frac{1}{\eta} \frac{dv_V}{dt}$$

Ovvero

$$l_{vd}(t) = \frac{v_V(t)}{\eta} \quad (22)$$

Questo importante risultato consente di conoscere l'andamento della crescita delle dimensioni del void nel tempo controllando la variazione della tensione $v_V(t)$.

Attraverso due manipolazioni circuitali successive si perviene infine allo schema circuitale finale per un void in posizione $x = L$.



Figura 19 Circuito equivalente per la linea metallica con un void a $x = L$ [34].

Un'analisi simile porta alla realizzazione di un circuito equivalente anche nel caso di un void che si formi all'inizio della linea metallica come è rappresentato in Figura 20



Figura 20 Circuito equivalente per la linea metallica con un void a $x = 0$ [34].

2.3.8 Circuito a parametri concentrati

L'analisi precedente ha permesso di ottenere un equivalente circuitale per la nucleazione e crescita del void nel tempo. Per completare il modello occorre simulare la linea di trasmissione; questa operazione può essere svolta agevolmente se si considera un equivalente RC a parametri concentrati della linea stessa.

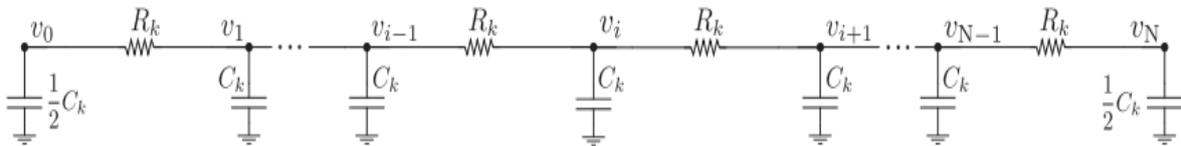


Figura 21 Circuito equivalente RC per la linea metallica [34].

Il metodo consiste nel suddividere il tratto di linea considerato in un certo numero N di segmenti di lunghezza δ_k trattati singolarmente come circuiti RC a π . Se indichiamo come di consueto con L la dimensione orizzontale della linea risulta

$$\delta_k = \frac{L_k}{N}$$

La resistenza del segmento di linea R_k si può allora scrivere come

$$R_k = r_k \delta_k$$

e la capacità del segmento di linea come

$$C_k = c_k \delta_k$$

Ciascun circuito a π sarà caratterizzato da una resistenza R_k e da due capacità pari a C_k i terminali invece presentano due capacità verso massa pari a $C_k/2$.

Facendo riferimento alle definizioni di r_k e c_k fornite in precedenza si ottiene subito

$$R_k = r_k \delta_k = \frac{k_B T}{D_k a_k \psi} \delta_k$$

$$C_k = c_k \delta_k = \frac{a_k \delta_k \psi}{\Omega B}$$

Sperimentalmente si consiglia di utilizzare un numero $\mathbf{N}=20$ [25].

Questo approccio si conclude nella realizzazione dei tre circuiti equivalenti caratteristici riportati di seguito; il primo per la linea nella fase di nucleazione, il secondo per una linea compromessa dalla formazione del void in $x = L$ l'ultimo per la linea con un void in $x = 0$.

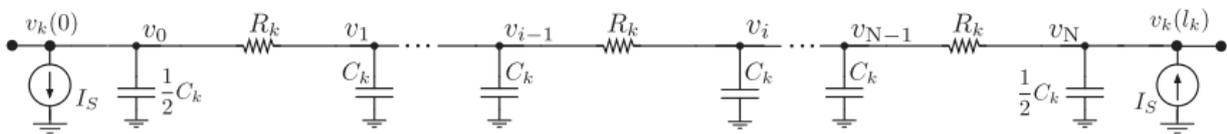


Figura 22 Circuito equivalente RC per la linea metallica durante la nucleazione [34].

La Figura 23 mostra il circuito equivalente RC per la linea metallica con la formazione di un void a $x = L$ con i due generatori G_S e C_V .

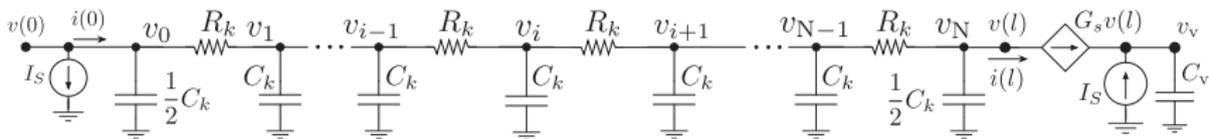


Figura 23 Circuito equivalente RC per la linea metallica con la formazione del void a $x = L$ [34].

La figura 26 mostra il circuito equivalente RC per la linea metallica con la formazione di un void a $x = 0$ con i due generatori G_S e C_V .

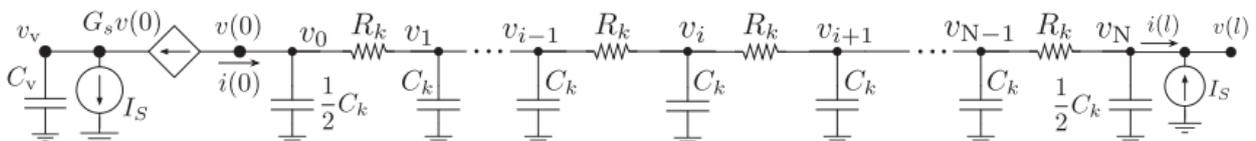


Figura 24 Circuito equivalente RC per la linea metallica con la formazione del void a $x = 0$ [34].

Ad ognuno di questi circuito è associata una specifica netlist Spice, per consentire la simulazione di un intero albero di interconnessione; chiamati rispettivamente PIRC20, PIRC20VN, PIRC20V0; riportati nel dettaglio in Appendice (Figure 49,50,51).

3. Analisi degli effetti dell'elettromigrazione

In questo capitolo vengono presentati gli effetti dell'elettromigrazione su un due importanti circuiti analogici l'Analog-to-Digital Converter (ADC) e il Digital-to-Analog Converter (DAC) in termini di variazioni del valore massimo della tensione di uscita per il DAC e di errori nella codifica per l'ADC.

3.1 Analisi degli effetti su una singola linea

Dopo lo studio teorico del modello proposto ci si è concentrati in una fase iniziale sulla replica dei risultati proposti in [34]. A questo fine si consideri una linea di connessione in Cu di lunghezza 250um; come primo passo si è utilizzato il criterio di Blech per determinare la densità di corrente per la quale la linea subisce l'effetto dell'EM.

$$(JL)_{linea} \geq (JL)_c \triangleq \frac{2\Omega\Delta\sigma_{critico}}{\rho q^*}$$

Con $\Delta\sigma_{critico} = 500MPa$, $\Omega = 1,66 \cdot 10^{-29}$, $\rho = 3 \cdot 10^{-8}$ a $T = 400K$, $q^* = 1,68 \cdot 10^{-18}$.

Dall'equazione riportata si ottiene $J = 1,4 \left(\frac{GA}{m^2}\right)$; quindi si è impostata una densità di corrente superiore pari a $J = 2 \left(\frac{GA}{m^2}\right)$

Successivamente si è considerata la formazione di un void all'inizio della linea e quindi si è richiamato il sotto circuito di Figura 50.

L'andamento della tensione $v_V(t)$ ha permesso mediante la (22) di calcolare la $l_{vd}(t)$ in un arco temporale di 72 mesi.

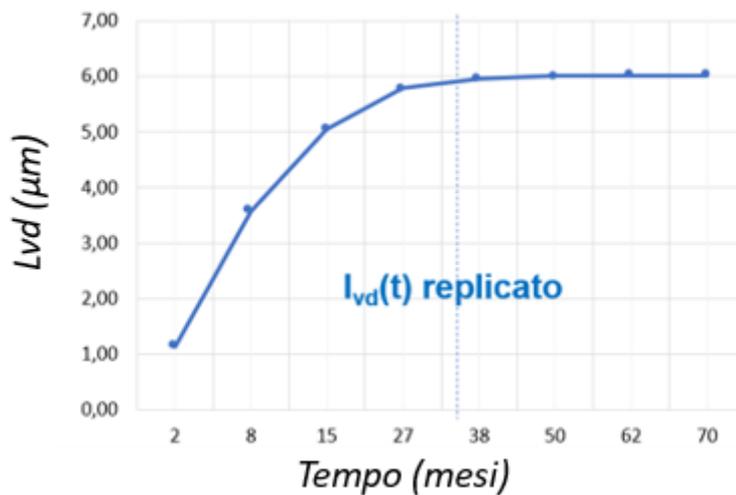


Figura 25 Andamento della lunghezza del void nel tempo

Il risultato ottenuto si è dimostrato consistente con quello riportato in [34] con una lunghezza di saturazione per $l_{vd}(t)$ di circa $6\mu m$, valore raggiunto in circa tre anni.

Attraverso (21) si è potuta considerare la variazione di resistenza di linea.

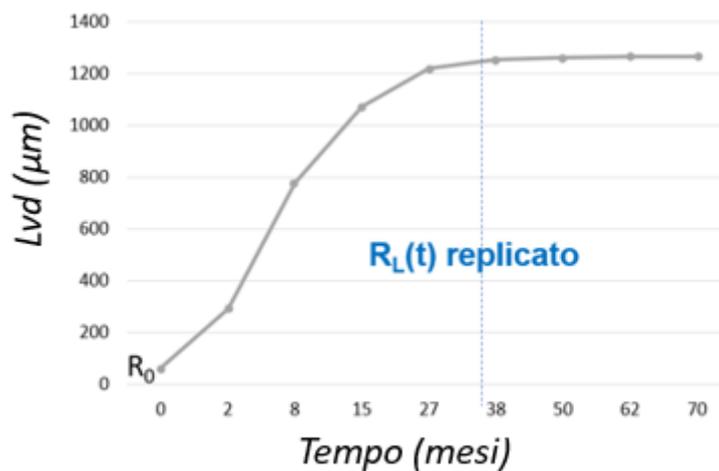


Figura 26 Andamento della resistenza della linea nel tempo

Il valore ottenuto è anche in questo caso consistente con quello riportato in [34]: a partire da

$R_0 = 62,5\Omega$ la resistenza cresce fino a $R_L^{sat} = 1270\Omega$.

Nota la crescita delle dimensioni del void è possibile ottenere la corrispondente variazione di resistenza di linea attraverso la (20) e quindi per un intero albero di interconnessione valutare l'impatto di questo incremento sulle prestazioni del circuito in corrispondenza di una certa densità di corrente di linea.

Questa analisi permette quindi di modificare la densità di corrente per un certo ramo al fine di limitare l'effetto dell'EM. Poi si è considerata la variazione della resistenza di linea R_L in funzione di una densità di corrente di linea pari a $J_k = 2\left(\frac{GA}{m^2}\right)$ costante nel tempo applicata ad una connessione con dimensioni $W = 1\mu m$ $H = 0,1\mu m$ $L = 250\mu m$ $T = 400K$.

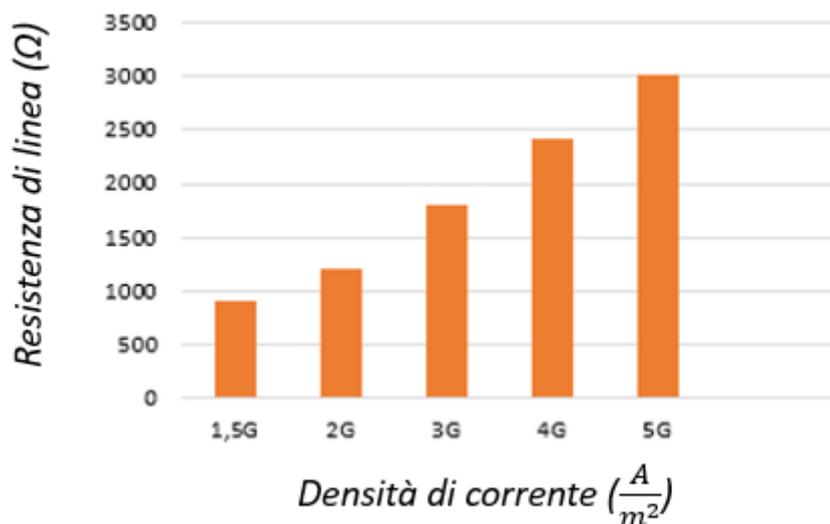


Figura 27 Andamento della resistenza nel tempo in un periodo di circa tre anni

Come si può osservare dalla Figura 27 il valore finale di R_L aumenta in modo lineare con la densità di corrente, con una pendenza di circa $600\Omega m^2/A$.

Di interesse pratico è anche la valutazione della R_L in funzione della temperatura, elemento che influenza molto l'EM; i risultati sono riportati nella Figura 28.

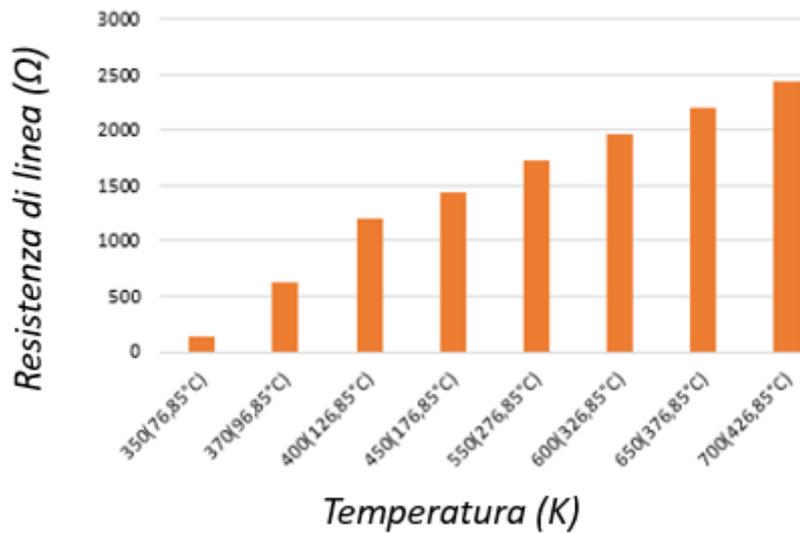


Figura 28 Andamento della resistenza nel tempo in funzione della temperatura

Nella pratica industriale il circuito viene testato per un periodo di tempo caratteristico chiamato Burn-In della durata tipica di sette giorni. Si è quindi ritenuto utile valutare la R_L in questo periodo in funzione di differenti J_L considerando sempre una resistenza di partenza di $62,5\Omega$.

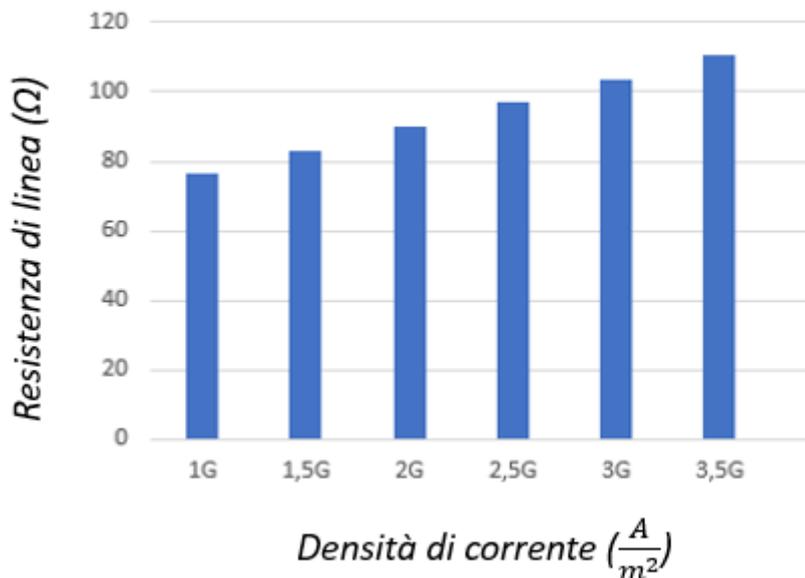


Figura 29 Andamento della resistenza nel tempo in funzione della densità di corrente

Per evidenziare l'impatto della temperatura si è replicata l'analisi per il burn-in, come si evince dal grafico la resistenza di linea aumenta considerevolmente per valori di $T > 420K$.

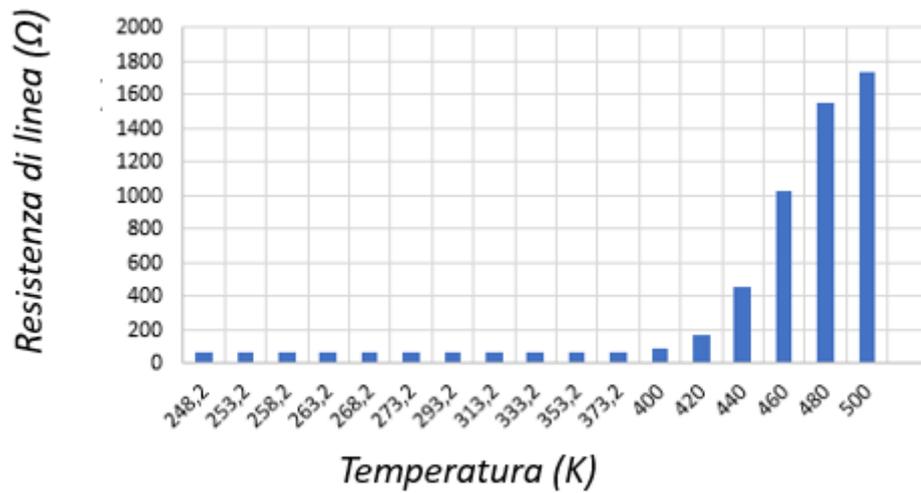


Figura 30 Andamento della resistenza nel tempo in funzione della temperatura durante il burn-in

3.2 Analisi degli effetti su un DAC

Ho considerato come caso di studio per una possibile applicazione del modello un convertitore digitale-analogico (DAC) chiamato *Binary Weighted current mirror DAC* costituito da specchi di corrente come riportato in Figura 31 [37][38].

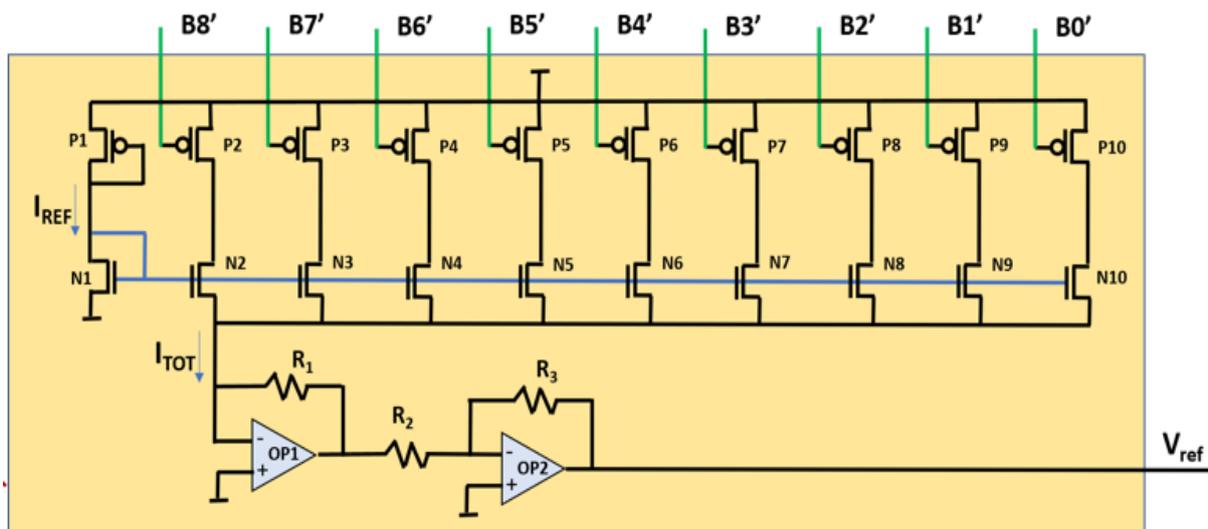


Figura 31 Schema del DAC considerato

Per la verifica del modello elettromigratorio si sono svolte le seguenti azioni preliminari. In primo luogo, la misura della corrente media circolante negli specchi di corrente usando il simulatore circuitale Spice, a seguire ricavare il dimensionamento delle linee per determinare la massima densità di corrente circolante ed effettuare simulazioni cercando di identificare la linea con l'impatto maggiore sulle prestazioni del circuito. A seguito delle prove effettuate risulta che l'effetto più rilevante è quello sulla linea evidenziata in Figura 32.

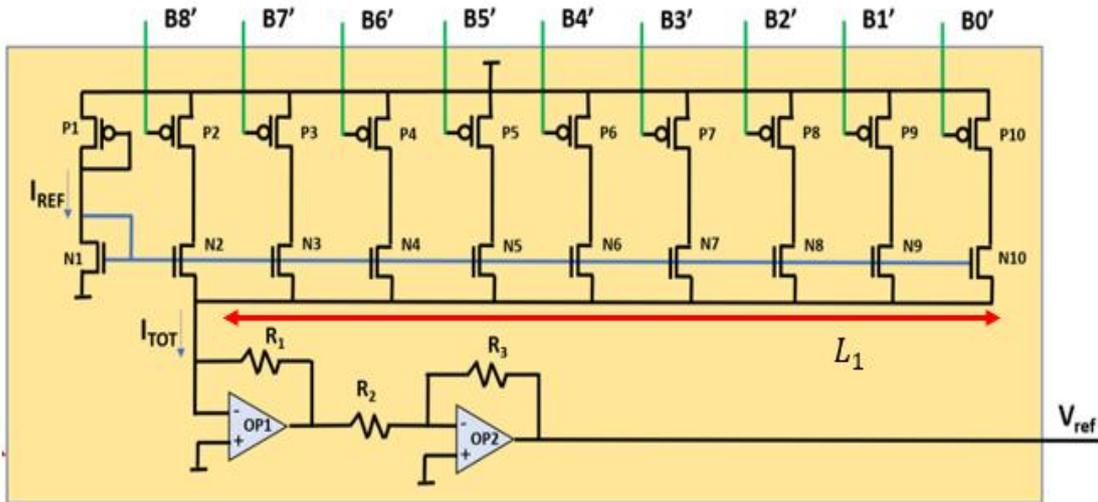


Figura 32 Schema del DAC considerato in cui viene mostrata la linea che risulta più importante nell'analisi

A seguire replicando le prove effettuate è risultato che il tratto più critico è quello riportato in Figura 33.

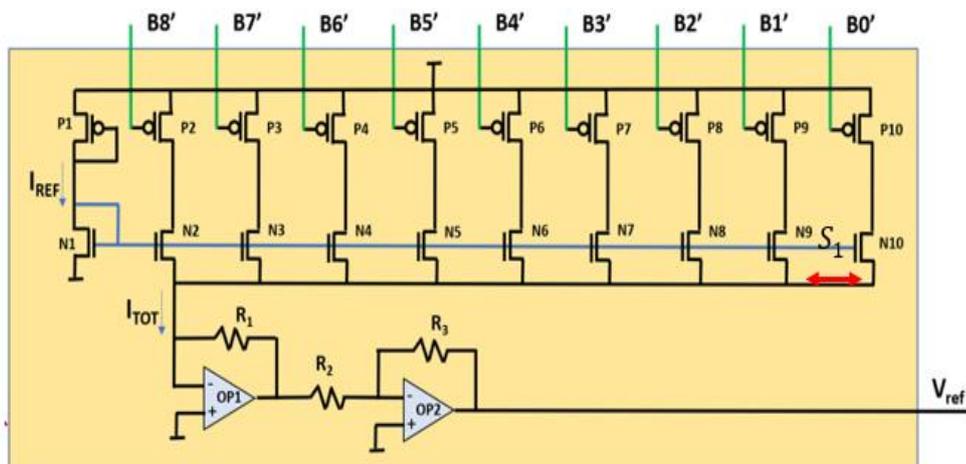


Figura 33 Schema del DAC considerato in cui viene mostrata la sezione della linea che risulta più importante nell'analisi

Empiricamente un void nella sezione S1 sezione determina una variazione di resistenza che impatta in modo significativo sulla V_{REF} a causa di un incremento della resistenza della linea R_L^{sat} valutata in periodi temporali diversi.

La resistenza è stata calcolata usando la seguente formula

$$R(t) = R_0 + \left(\frac{\rho_{lin}}{h_{lin}(w+2h)} - \frac{\rho}{wh} \right) l_{vd}(t) = R_0 + \alpha l_{vd}(t)$$

In cui $R_0 = \frac{\rho l}{wh}$ indica la resistenza iniziale della linea metallica locale priva del difetto, $\rho_{lin}=2,5\mu\Omega m$ e $h_{lin}=10nm$ indicano rispettivamente la resistività e lo spessore del rivestimento, $\rho=0,03\mu\Omega m$ la resistività della linea di rame W e H lo spessore e l'altezza della linea, si è considerata una altezza fissa e una W variabile.

Il parametro caratteristico del modello $l_{vd}(t)$ viene altresì calcolato ottenuto mediante la simulazione circuitale come implementata nel modello esposto. Nelle simulazioni la corrente totale media circolante negli specchi di corrente pari a $230,64 \mu m$ calcolata con tutti i pmos accesi in condizione stazionaria ovvero con la configurazione

$$(b0,b1,b2,b3,b4,b5,b6,b7,b8) = (0,0,0,0,0,0,0,0,0)$$

A seguire è stata calcolata la densità di corrente media $J_{tot}^{media,MAX} = \frac{I_{tot}^{media}}{WH}$

Si è scelto di mantenere nelle simulazioni la lunghezza della linea fissa a $L = 0,54\mu m$ determinata considerando che la linea di interconnessione deve collegare un certo numero di transistori MOS, quindi, sarà calcolabile a partire dalla lunghezza minima del transistor L_{min} come

$3 * L_{min} * (\text{numero MOS})$ associando a ciascun terminale del MOS la dimensione della lunghezza minima.

L'altezza della linea $H = 66nm$ costanti e di considerare variazioni nello spessore pari a

$W = 33nm, 53nm, 66nm, 80nm$.

Con questi dati si ottengono le seguenti densità di corrente medie

W(nm)	33	53	66	80
$J_{tot}^{media,MAX}$	105,89	65,93	52,94	39,71

Tabella 2 Densità di corrente massima in funzione del valore di W

Il modello, tuttavia, permette di rilevare variazioni di resistenza anche in condizioni di densità di corrente inferiori rispetto a quella massima media. Questa peculiarità consente

di rilevare la presenza del guasto indotto dalla comparsa dell'elettromigrazione anche in condizioni di esercizio più vaste in termini di densità di corrente.

Per determinare la densità di corrente critica minima per la formazione del void si ricorda la formula

$$(JL)_c \triangleq \frac{2\Omega\Delta\sigma_{critico}}{\rho q^*}$$

Dalla quale si ricava $J_{min} = 5,40 \left(\frac{GA}{m^2}\right)$.

Con $\Delta\sigma_{critico} = 500MPa$, $\Omega = 1,66 \cdot 10^{-29}$, $\rho = 3 \cdot 10^{-8}$ a $T = 400K$, $q^* = 1,68 \cdot 10^{-18}$.

Si sono considerati i seguenti intervalli temporali riportati in tabella a cui corrispondono diverse dimensioni della frattura nel tempo e quindi differenti valori di resistenza, per differenti valori di densità di corrente di prova, mantenendo una temperatura $T = 400K$, $H = 66nm$, $L = 0,594\mu m$.

Si è verificato che alcune parole in ingresso al DAC determinano un incremento maggiore della variazione di tensione ΔV_{ref} . Al fine di quantificare la variazione di tensione si è deciso di utilizzare in corrispondenza del MSB un segnale di tipo PULSE di LtSpice [40].

Si sono ottenuti i seguenti risultati sperimentali a partire da una densità di corrente imposta fissa e specifiche configurazioni in ingresso al DAC.

Ad ogni $l_{vd}(t)$ corrisponderà una specifica resistenza R .

Una volta ottenuto questo valore lo si è inserito nel circuito di prova per verificarne l'impatto sul valore della tensione di riferimento. In Tabella 3 si riportano i risultati ottenuti con una densità di corrente di $J_{test} = 6 \left(\frac{GA}{m^2}\right)$

Δt	$l_{vd}(nm)$	$R(\Omega)$	$\Delta V_{ref}(\%)$
2 giorni	117,85	186	10
7 giorni	235,69	362	18
2 anni	10913	16378	89

Tabella 3 Densità di corrente massima in funzione del valore di W

Di seguito si riportano i dettagli delle simulazioni effettuati, nelle Figure 34 e 35 si può apprezzare la variazione della tensione in uscita nel caso privo di guasto (fault-free) e in quello soggetto a elettromigrazione con le condizioni indicate in Tabella 3.

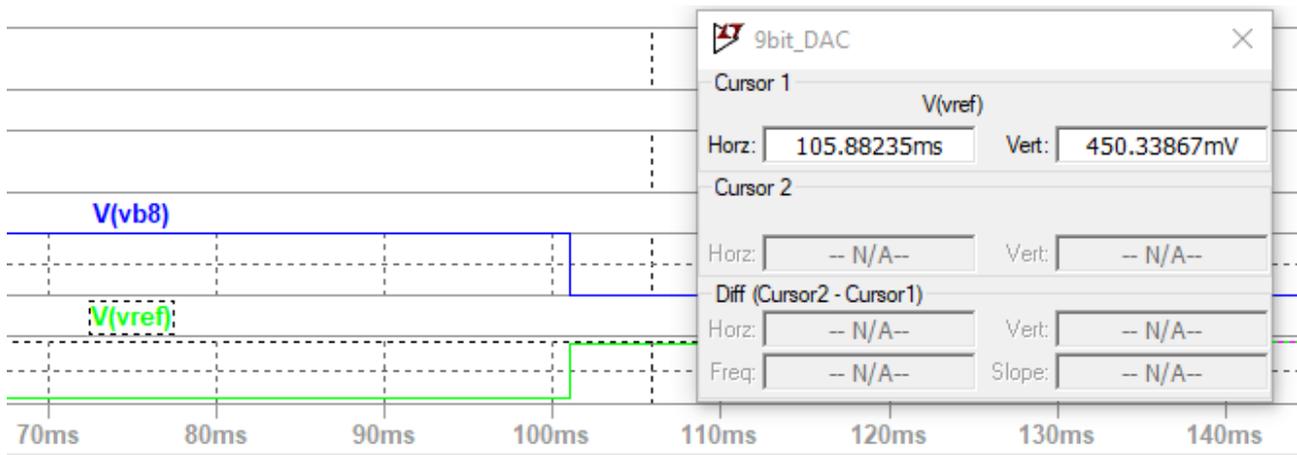


Figura 34 Il valore massimo della Vref nel caso privo di guasti

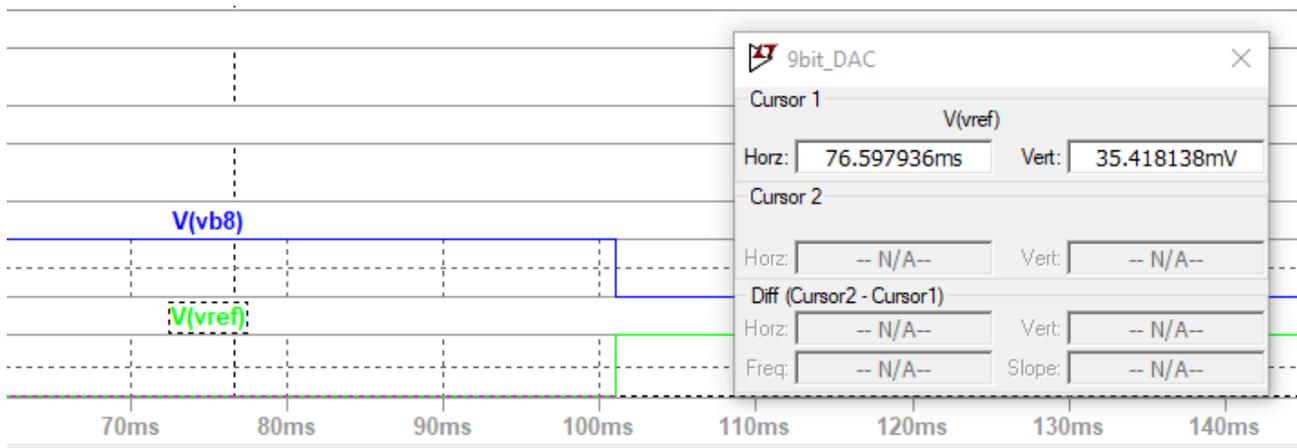


Figura 35 Il valore della tensione massima di Vref cambia in funzione della resistenza indotta dall'elettromigrazione

Il metodo descritto è stato replicato per diverse densità di corrente di prova e spessori della linea.

Si riportano i risultati ottenuti da simulazioni con le seguenti condizioni di esercizio:

(b0,b1,b2,b3,b4,b5,b6,b7,b8) = (1,1,1,1,1,1,1,transizione 0-1) si è scelto questo ingresso poiché è una delle configurazioni che induce come si è verificato sperimentalmente una variazione percentuale della tensione in uscita maggiore; i parametri temperatura e spessore sono rispettivamente $T = 400K$, $W = 33nm$.

In tabella è presentata la variazione percentuale della ΔV_{ref} con $J_{test} = 8 \left(\frac{GA}{m^2}\right)$

Δt	$l_{vd}(nm)$	$R(\Omega)$	$\Delta V_{ref}(\%)$
2 giorni	52,94	88,22	5
7 giorni	314,26	480,2	22,43
2 anni	14551	21840	91,41

Tabella 4 Densità di corrente massima in funzione del valore di W

In tabella è presentata la variazione percentuale della ΔV_{ref} con $J_{test} = 10 \left(\frac{GA}{m^2}\right)$

Δt	$l_{vd}(nm)$	$R(\Omega)$	$\Delta V_{ref}(\%)$
2 giorni	294,63	450,75	21,35
7 giorni	589,24	892,66	35,06
2 anni	27284	41000	94,93

Tabella 5 Densità di corrente massima in funzione del valore di W

In tabella è presentata la variazione percentuale della ΔV_{ref} con $J_{test} = 20 \left(\frac{GA}{m^2}\right)$

Δt	$l_{vd}(nm)$	$R(\Omega)$	$\Delta V_{ref}(\%)$
2 giorni	392,84	598,07	26
7 giorni	785,65	1187,28	41
2 anni	36378	54580	98

Tabella 6 Densità di corrente massima in funzione del valore di W

In tabella è presentata la variazione percentuale della ΔV_{ref} con $J_{test} = 30 \left(\frac{GA}{m^2}\right)$

Δt	$l_{vd}(nm)$	$R(\Omega)$	$\Delta V_{ref}(\%)$
2 giorni	589,25	892,68	34
7 giorni	11784	17684	90
2 anni	54568	81860,8	97

Tabella 7 Densità di corrente massima in funzione del valore di W

In tabella è presentata la variazione percentuale della ΔV_{ref} con $J_{test} = 50 \left(\frac{GA}{m^2}\right)$

Δt	$l_{vd}(nm)$	$R(\Omega)$	$\Delta V_{ref}(\%)$
2 giorni	982,09	1482	47
7 giorni	1964	2954	62
2 anni	90964	136454	98

Tabella 8 Densità di corrente massima in funzione del valore di W

Altre simulazioni sono state effettuate per verificare la variazione della tensione al variare della temperatura, ad esempio si è imposta una $T = 350K$

In tabella è presentata la variazione percentuale della ΔV_{ref} con $J_{test} = 8 \left(\frac{GA}{m^2}\right)$

Δt	$l_{vd}(nm)$	$R(\Omega)$	$\Delta V_{ref}(\%)$
2 giorni	2,29	11,53	0,7
7 giorni	4,58	15,68	1
2 anni	27380	41078	94

Tabella 9 Densità di corrente massima in funzione del valore di W

In tabella è presentata la variazione percentuale della ΔV_{ref} con $J_{test} = 15 \left(\frac{GA}{m^2}\right)$

Δt	$l_{vd}(nm)$	$R(\Omega)$	$\Delta V_{ref}(\%)$
2 giorni	4,3	15,26	1
7 giorni	8,58	21,68	1,3
2 anni	513	778,13	32

Tabella 10 Densità di corrente massima in funzione del valore di W

In tabella è presentata la variazione percentuale della ΔV_{ref} con $J_{test} = 20 \left(\frac{GA}{m^2} \right)$

Δt	$l_{vd}(nm)$	$R(\Omega)$	$\Delta V_{ref}(\%)$
2 giorni	5,73	17,40	1
7 giorni	11,457	26,01	1,5
2 anni	684,52	1035,59	40

Tabella 11 Densità di corrente massima in funzione del valore di W

In tabella è presentata la variazione percentuale della ΔV_{ref} con $J_{test} = 30 \left(\frac{GA}{m^2} \right)$

Δt	$l_{vd}(nm)$	$R(\Omega)$	$\Delta V_{ref}(\%)$
2 giorni	16,33	33,33	1,9
7 giorni	17,18	34,58	2,0
2 anni	1027	1549,31	50

Tabella 12 Densità di corrente massima in funzione del valore di W

In tabella è presentata la variazione percentuale della ΔV_{ref} con $J_{test} = 50 \left(\frac{GA}{m^2} \right)$

Δt	$l_{vd}(nm)$	$R(\Omega)$	$\Delta V_{ref}(\%)$
2 giorni	14,32	30,29	1,7
7 giorni	28,64	52	3
2 anni	1711	2575	60

Tabella 13 Densità di corrente massima in funzione del valore di W

Dalle simulazioni effettuate e dai risultati mostrati nelle tabelle precedenti si evince che la temperatura di esercizio del circuito in studio impatta sulle variazioni percentuali di ΔV_{ref} in particolare con una temperatura minore la variazione sarà più contenuta nell'ordine delle decine.

Al crescere della temperatura, della densità di corrente considerata e del periodo di simulazione l'incremento nel valore massimo della tensione di riferimento cresce considerevolmente determinato dalla condizione di circuito aperto della linea.

Al fine di identificare correttamente e il più tempestivamente possibile le variazioni della tensione di riferimento indotte dal fenomeno elettromigratorio si è scelto di fissare una soglia massima di tolleranza della ΔV_{ref} pari al $\pm 10\%$ del valore nominale.

Questa soglia servirà per identificare il guasto e fornire un allarme attraverso l'utilizzo di alcune strategie di controllo (monitoring) che verranno illustrate nel capitolo successivo.

La temperatura di funzionamento è stata fissata a $T = 400K$, al di sotto di questa soglia variazioni della V_{ref} saranno apprezzabili oltre il valore di tolleranza solo prolungando molto il tempo di simulazione. Sono state considerate densità di corrente variabili nell'ordine di $[5,6,7] \left(\frac{GA}{m^2}\right)$ che inducono in un periodo di due giorni variazioni della tensione di riferimento al limite della tolleranza.

3.3 Analisi degli effetti su un ADC

Anche per l'ADC si sono svolte analisi simili volte a identificare le variazioni sulla tensione di uscita del circuito e quindi anche sulla codifica ottenuta. Lo schema scelto è quello di un ADC Flash, che risulta l'architettura più veloce, un esempio di implementazione a 3 bit è riportato in Figura 36.

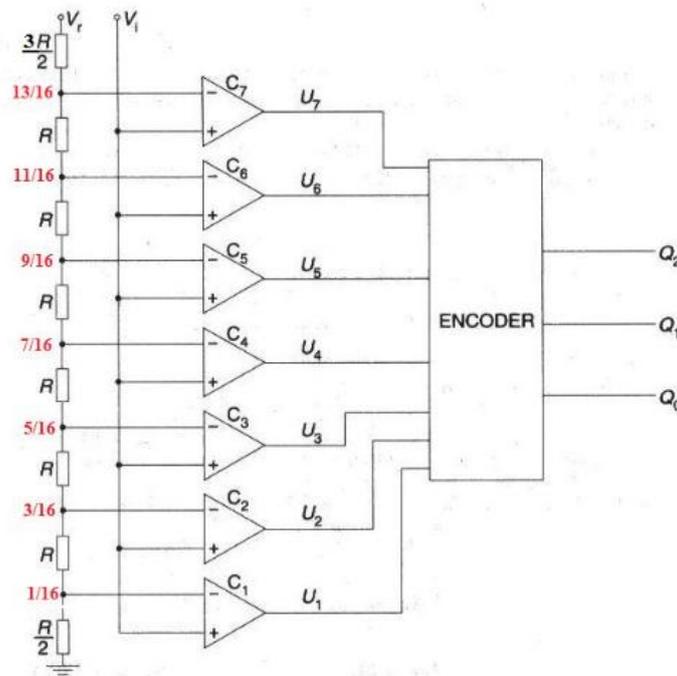


Figura 36 Architettura dell'ADC flash.

L'analisi è stata effettuata modificando l'architettura appena presentata per una codifica a 4 bit.

A seconda della posizione dove si verifica il bridging indotto dall'elettromigrazione l'errore in uscita potrà colpire il bit più significativo (MSB) o quello meno significativo (LSB) incidendo conseguentemente sulla codifica.

La variazione di resistenza nelle linee interne del decoder è stata verificata ma essendo di entità limitata non influenzano in modo apprezzabile la codifica in uscita; inoltre, la resistenza non comporta un impatto sul ritardo del circuito.

L'ingresso degli operazionali non è di fatto colpito dagli effetti di questo guasto poiché la corrente assorbita dagli ingressi è nulla. Quindi si è deciso di analizzare gli effetti del guasto sulla rete di resistenze. Per la linea si sono assunti $H = 66nm$, $W = 33nm$ e $T = 400K$.

$$I = \frac{V_{DD}}{\sum_1^n R} = 0,125mA$$

$$J = \frac{I}{WH} = 57 \frac{GA}{m^2}$$

Δt	$l_{vd}(nm)$	$R(\Omega)$
2 giorni	16,33	33,3
7 giorni	32,65	58
2 anni	1950	2933

Tabella Densità di corrente massima in funzione del valore di W

Come primo passo si è simulato l'ADC in condizioni di assenza di guasto come mostrato in Figura 37.

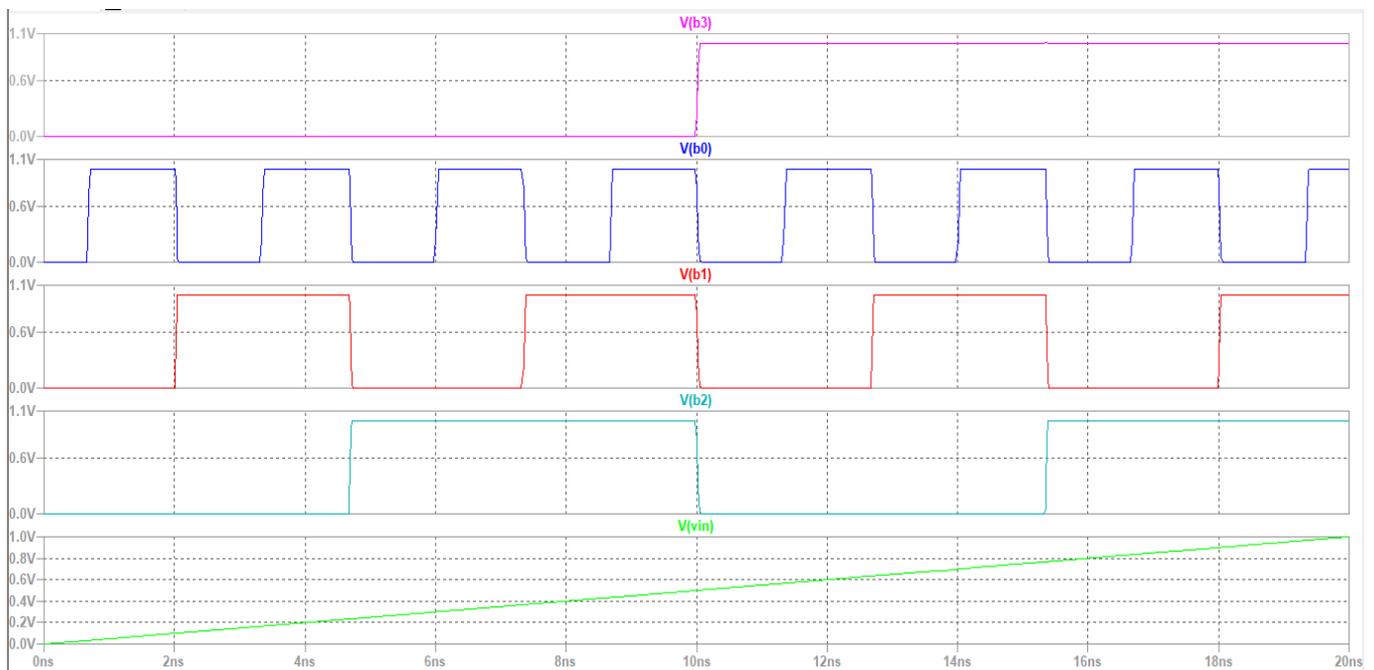


Figura 37 Forme d'onda ottenute per la codifica nel caso *faut-free*

A seguire si è simulata la presenza di un guasto generatosi a valle della prima resistenza della rete comporta il seguente errore in codifica per il MSB **b3**

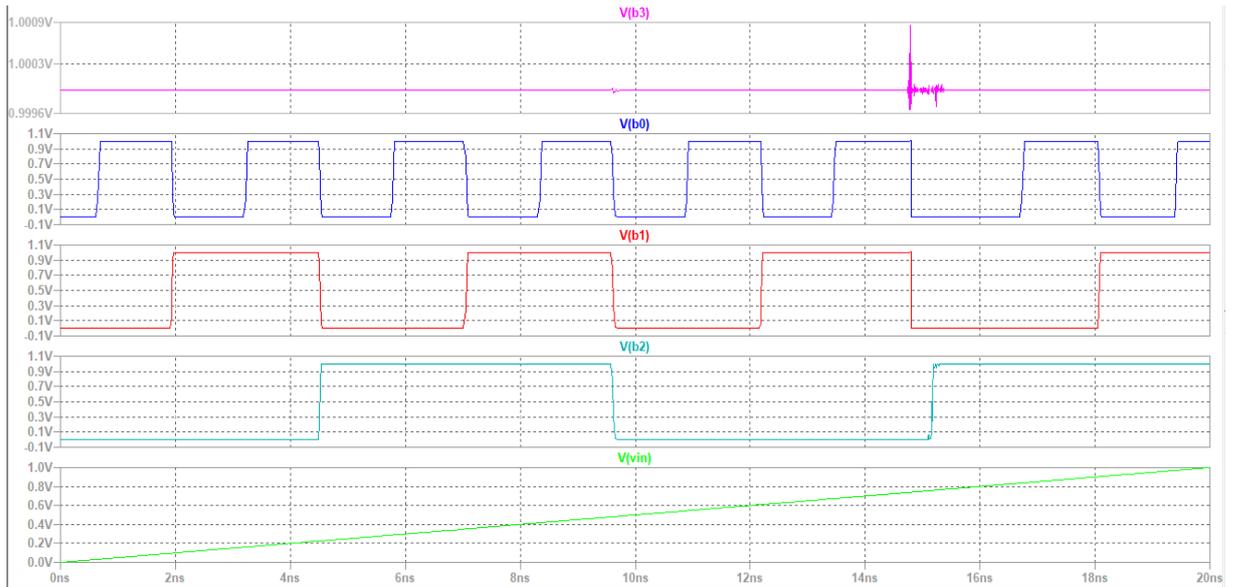


Figura 38 Forme d'onda ottenute per la codifica nel caso di guasto sul MSB che rimane costante

Si riporta in Figura 39 un guasto generatosi a monte dell'ultima resistenza della rete determina un errore in codifica sul LSB **b0**

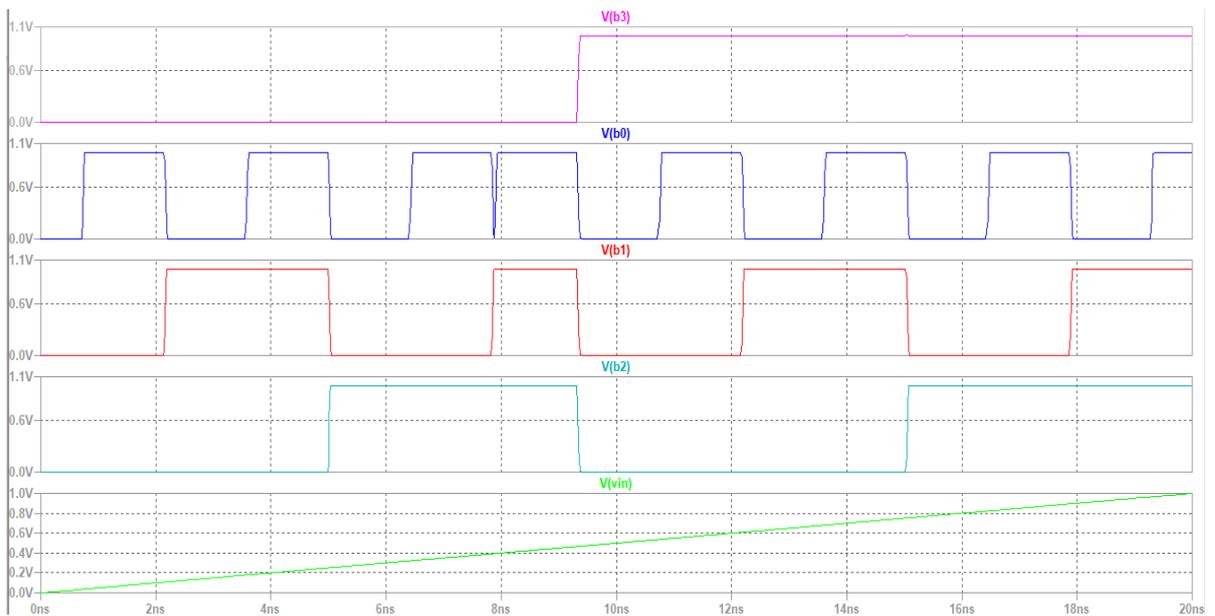


Figura 39 Dettaglio della simulazione che evidenzia come un guasto sul LSB implichi un doppio errore nella codifica

4. Strategie di monitoraggio suggerite

In questo capitolo vengono suggerite alcune possibili strategie di collaudo dei blocchi circuitali critici esaminati nel capitolo precedente.

Queste strategie di collaudo possono essere utilizzate per rilevare la presenza di guasti indotti dal fenomeno di elettromigrazione ed effettuare questi test periodicamente.

3.2 Possibili strategie di monitoraggio per il DAC

La prima strategia di rilevazione del guasto è la soluzione standard proposta anche dalla norma ISO26262 [40].

L'architettura di monitoring proposta permette di rilevare durante il funzionamento sul campo del DUT valori non corretti dell'uscita, ad esempio, al di fuori del margine di tolleranza imposto.

In questo schema il DUT è il DAC a 9 bit.

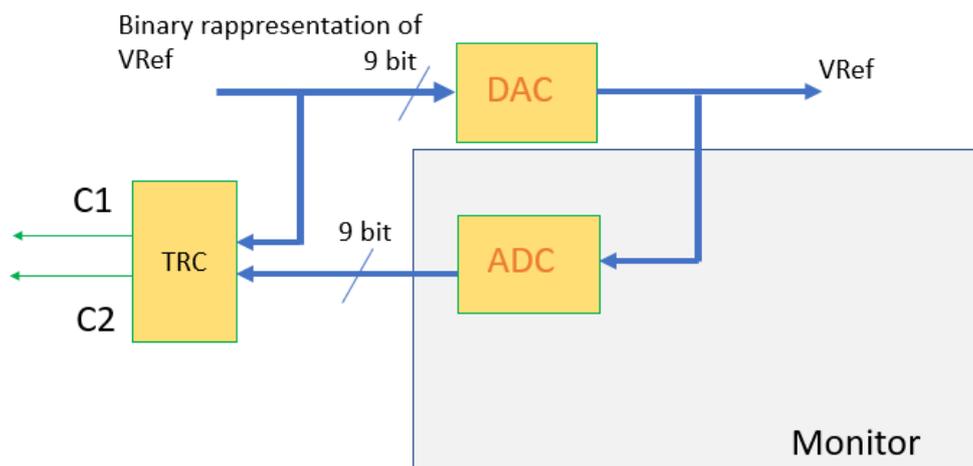


Figura 40 Soluzione di monitoring basata sullo standard ISO26262 (Prima soluzione)

La soluzione prevede la conversione dell'uscita analogica del DUT, ovvero il DAC in esame, **Vref** in una parola digitale che viene comparata con una la rappresentazione digitale della proveniente dalla Power Control Unit (PCU).

Una seconda soluzione di monitoraggio può essere la seguente

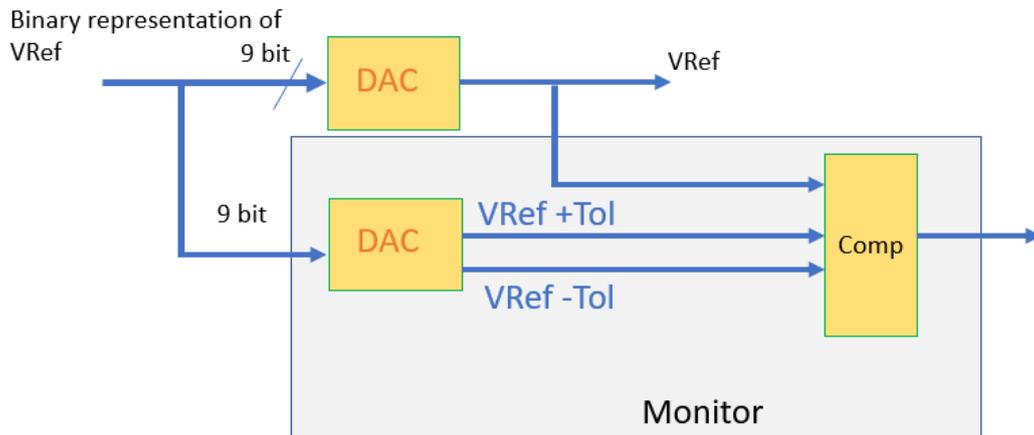


Figura 41 Seconda strategia di monitoring suggerita (Seconda soluzione)

Il DAC in Figura 41 riceve 9 bits dal PCU attraverso un'operazione di encoding della **Vref** desiderata e produce in uscita il valore massimo e minimo della V_{out} tollerabile ovvero (**Vref+Tol**) e (**Vref-Tol**).

Nel lavoro svolto il valore di tolleranza è **Tol**= $\pm 10\%$.

Questi due valori di tensione sono dati alternativamente alle uscite **V1** e **V2**.

L'uscita del DUT viene comparata con le due tensioni limite al fine di determinare se si trova entro i limiti di tolleranza imposti.

L'operazione di comparazione può essere implementata attraverso la costruzione di due comparatori **C1** e **C2** come riportato nello schema seguente.

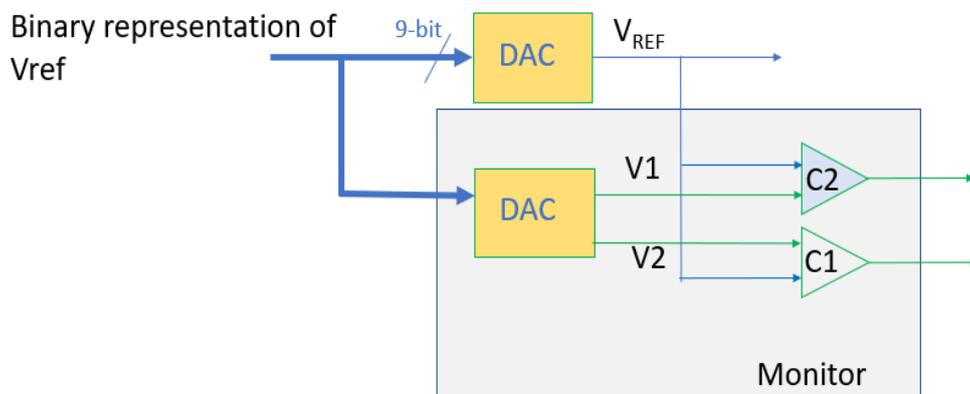


Figura 42 Dettaglio dell'architettura per la seconda strategia di monitoring (Soluzione 2)

Se $V_{out} > V_{ref} + T_{ol}$ i segnali $C1$ e $C2$ sono costanti ad un valore fisso $(C2,C1)=(1,1)$ oppure $(C2,C1)=(0,0)$

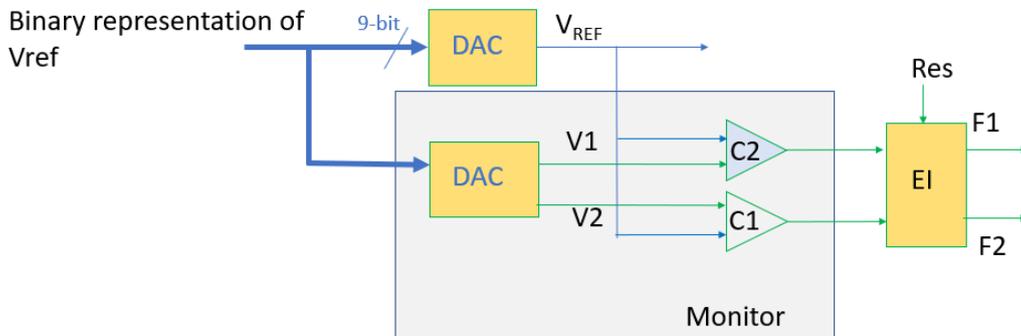


Figura 43 Dettaglio dell'architettura per la seconda strategia di monitoring (seconda soluzione) con l'aggiunta del blocco per l'indicazione di errore.

Al fine di memorizzare le indicazioni di errore della V_{out} presenti in $(C1, C2)$ si un blocco circuitale aggiuntivo definito di Indicazione di Errore (**EI**) per generare le uscite $(F1, F2)$ del circuito di monitoring. Prima che compaia una tensione V_{out} errata in uscita le $F1, F2$ sono complementari $(F1, F2)=(1,0)$ oppure $(F1, F2)=(0,1)$. Dopo un'indicazione di errore $F1$ e $F2$ rimangono costanti $(F1, F2)=(1,1)$ oppure $(F1, F2)=(0,0)$ fino all'applicazione di un segnale esterno di reset (**Res**). L'Error Indicator viene dotato di due segnali di abilitazione **EN** e **EN'** per evitare di avere indicazioni di errore non corrette di V_{out} durante il tempo di risposta del circuito DUT a seguito di variazioni della tensione di riferimento prodotta dal PCU. In particolare, **EN**=0 durante il tempo di risposta del DUT ai cambiamenti di Ref, ovvero $(F1, F2)=(1,0)$ indipendentemente dal valore di $C1, C2$. Invece **EN**=1 quando l'uscita del DUT dovrebbe essere stabile, in tal caso $(F1, F2)=(C1, C2)$. L' Error Indicator ha la struttura circuitale riportata in Figura 44.

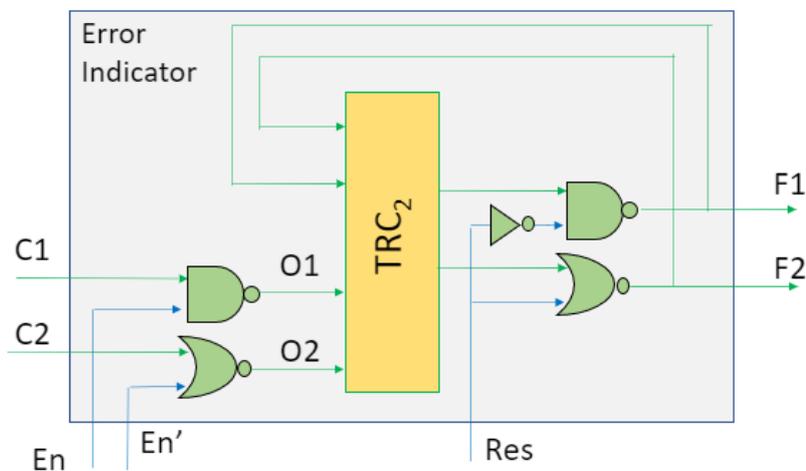


Figura 44 Dettaglio dell'architettura dell'Error Indicator (per la seconda soluzione)

I segnali **C1** e **C2** sono mandati in ingresso rispettivamente a un NAND e un NOR che ricevono anche altri due segnali **EN** e **EN'**. Quando **EN=0** l'error indicator è disabilitato (**O1,O2**)=(1,0) indipendentemente di **C1** e **C2** e non si rilevano indicazioni di errore in (**F1,F2**) anche nel caso di uscita non corretta. Quando **EN=1** l'error indicator è abilitato (**O1,O2**)=(**C1, C2**) possibili uscite non corrette di **Vout** risultano in un'indicazione di errore in (**F1,F2**).

Le soluzioni proposte si basano sullo sviluppo di un DAC caratterizzato da una architettura specifica in grado di generare le due uscite **V1** e **V2**.

La soluzione può essere ottenuta a partire da una architettura di DAC nota [37][38] che si riporta di seguito e che è la medesima usata nella sezione di analisi degli effetti di elettromigrazione.

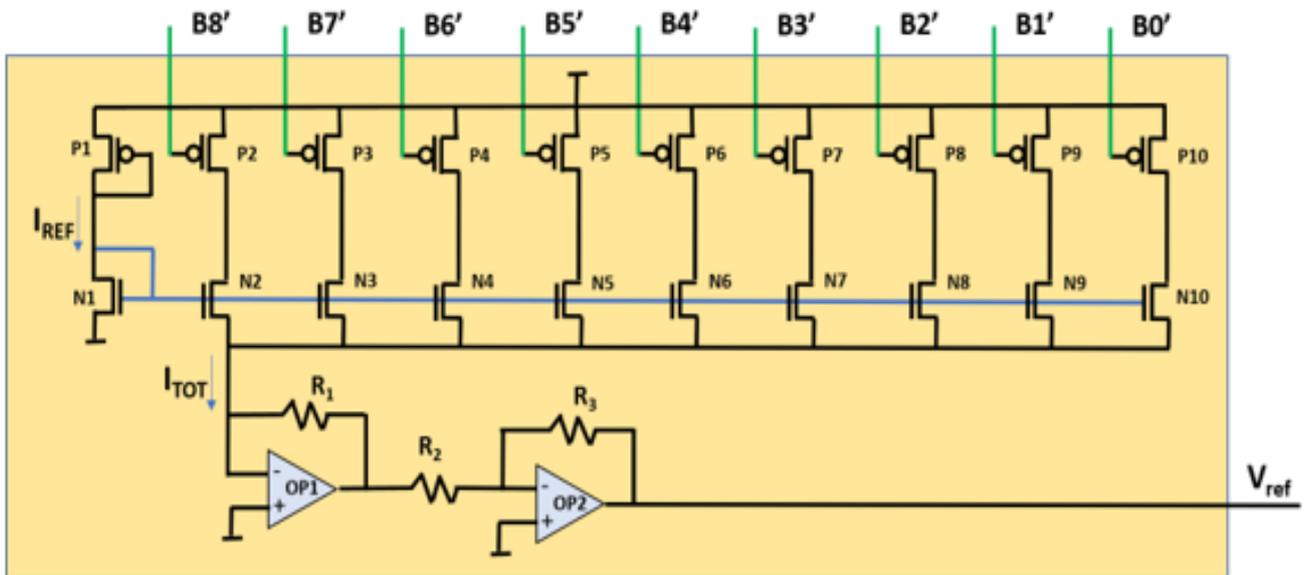


Figura 45 Dettaglio dell'architettura per la seconda strategia di monitoring (seconda soluzione) con l'aggiunta del blocco per l'indicazione di errore.

In particolare, i due amplificatori operazionali devono essere progettati in modo che il loro guadagno e quindi la loro tensione in uscita sia funzione del valore del segnale di Clock (**CK**).

Vengono modificate le resistenze di OP2 per ottenere un valore della tensione di uscita del 10% più grande o più piccola del valore nominale di **VRef**. A questo scopo si sono progettate le resistenze R_{p1}, R_{p2}, R_2, R_3 .

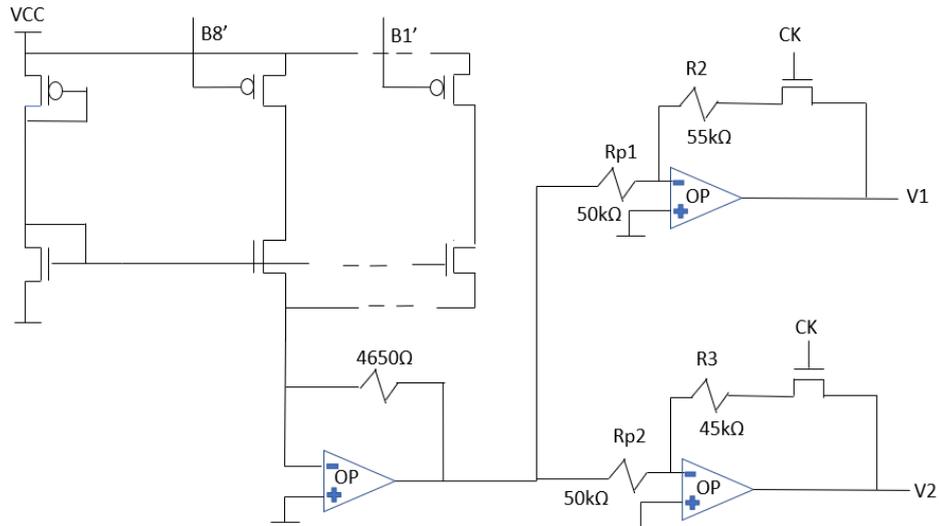


Figura 46 Dettaglio dell'architettura modificata del secondo operazionale della struttura del DAC a 9 bit esaminata.

Questa modifica architeturale garantisce anche un alto livello di affidabilità in quanto se il fenomeno elettromigratorio dovesse colpire la rete degli specchi di corrente la differenza tra i segnali di uscita V1 e V2 in termini di tolleranza sarà comunque garantita e quindi l'indicazione di errore sarà preservata.

4.2 Possibili strategie di monitoraggio per l'ADC

Anche per il secondo blocco circuitale studiato l'ADC si possono considerare soluzioni di collaudo analoghe.

La prima suggerita è la seguente, in questo schema il DUT è l'ADC, la parola digitale a 4 bit in uscita viene convertita da un DAC e comparata con la tensione in ingresso V_A attraverso l'utilizzo di due comparatori come nello schema illustrato precedentemente.

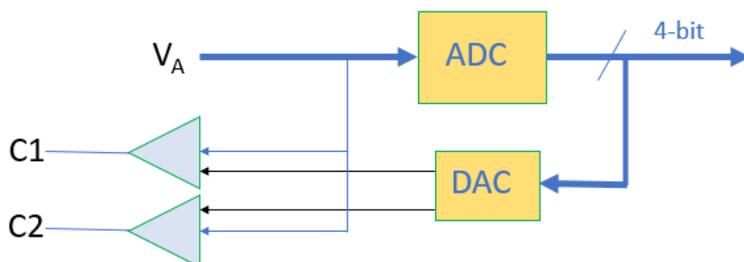


Figura 47 Dettaglio dell'architettura per la prima soluzione di monitoring dell'ADC

La seconda soluzione suggerita prevede la duplica del DUT ovvero dell'ADC in questo caso e il confronto delle uscite prodotte con un two-rail-checker (TRC) a 4 variabili.

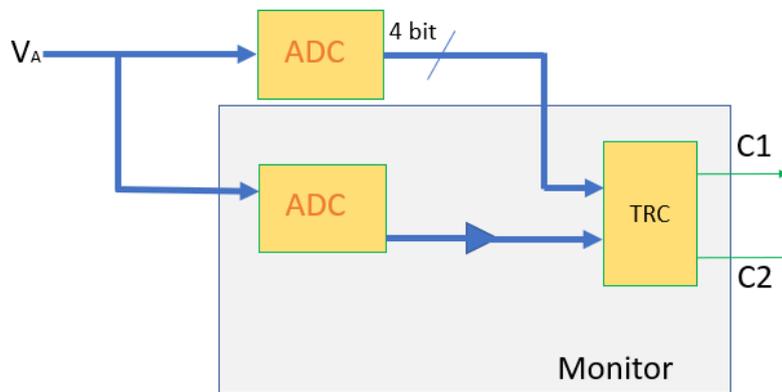


Figura 48 Dettaglio dell'architettura per la seconda soluzione di monitoring dell'ADC

4.3 Analisi dei costi delle strategie proposte

Le strategie suggerite per il monitoraggio del segnale critico le cui variazioni sono indotte dalla possibile comparsa dell'elettromigrazione implicano l'aggiunta di alcuni blocchi circuitali.

Questa soluzione determina un inevitabile incremento di area. In questa sezione si sono comparati i costi delle soluzioni.

In prima analisi si sono considerati transistor ad area minima.

Questa assunzione determina che ad ogni transistor NMOS sia associata un'area pari a 3 squares (sq) mentre ad ogni transistor PMOS 6 sq. Sono state poi calcolate le aree del DAC e dell'ADC in termini di sq e sono state confrontate con l'occupazione di area aggiuntiva richiesta dalle soluzioni.

I dati così ottenuti sono stati riportati nella Tabella 14.

Circuito	A(sq)	ΔA
DAC (DUT)	180	
DAC sol.1	37989	211 times
DAC sol.2	720	300%
ADC (DUT)	792	
ADC sol.1	1674	111%
ADC sol.2	2025	155%

Tabella 14. Calcolo dell'area in squares dei circuiti considerati e delle soluzioni di monitoraggio suggerite.

La variazione di area è stata calcolata come $\Delta A = \frac{A_{DUT} - A_{sol}}{A_{DUT}} * 100$

Tutte le soluzioni comportano un incremento di area e quindi un maggior consumo di potenza, tuttavia, quella suggerita dallo standard ISO26262 (soluzione 1) come si evince risulta molto meno conveniente rispetto a quella proposta nel lavoro di tesi (soluzione 2) in termini di costi e consumi.

Queste considerazioni potranno incidere nella scelta della strategia progettuale da preferire nell'ottica di ottimizzazione dei consumi e delle prestazioni del SoC considerato.

5 . Conclusioni

In questa tesi ci si è occupati di studiare gli effetti del fenomeno dell'elettromigrazione su alcuni blocchi circuitali analogici maggiormente presenti nelle architetture di SoCs in particolare DAC e ADC utilizzati in applicazioni in cui viene richiesta un'alta affidabilità in ambito quali quello automotive e nei sistemi autonomi e la cui affidabilità in termini di guasti generati da elettromigrazione non era stata ancora trattata con la stessa entità rispetto ai circuiti digitali.

Il lavoro è partito dall'analisi di un recente modello fisico in grado di descrivere in modo preciso mediante l'utilizzo di simulazioni circuitali poche onerose dal punto di vista computazionale la crescita nel tempo della frattura dell'interconnessione indotta dall'elettromigrazione. Questo può avvenire grazie alla costruzione di un circuito equivalente RC a parametri concentrati per la linea.

A partire dalla variazione di dimensioni del void si è calcolata la variazione di resistenza della linea che si ripercuote su un errore sul valore della tensione finale in uscita dal blocco circuitale esaminato.

Questa condizione genera un errore nel comportamento del circuito che non può essere trascurato in sistemi altamente affidabili.

Sono state quindi suggerite alcune soluzioni per il monitoraggio di queste tensioni al fine di rilevare in tempo utile una variazione del valore nominale entro un range di tolleranza, in questo modo può essere fornito un messaggio di errore quando la tensione di uscita supera il valore prestabilito, permettendo l'individuazione del guasto.

Le soluzioni sono state valutate considerando anche il loro impatto sull'area del chip e quindi sul consumo di potenza.

Appendice

Di seguito si riporta la struttura dei sotto circuiti caratteristici usati nel modello e le relative netlists.

```
.SUBCKT PIRC20 N00 NNN Length=250u Width=1u JK=1G
ISO N00 0 'IS'

XRC01 N00 N01 pirc_seg
XRC02 N01 N02 pirc_seg
XRC03 N02 N03 pirc_seg
XRC04 N03 N04 pirc_seg
XRC05 N04 N05 pirc_seg
XRC06 N05 N06 pirc_seg
XRC07 N06 N07 pirc_seg
XRC08 N07 N08 pirc_seg
XRC09 N08 N09 pirc_seg
XRC10 N09 N10 pirc_seg
XRC11 N10 N11 pirc_seg
XRC12 N11 N12 pirc_seg
XRC13 N12 N13 pirc_seg
XRC14 N13 N14 pirc_seg
XRC15 N14 N15 pirc_seg
XRC16 N15 N16 pirc_seg
XRC17 N16 N17 pirc_seg
XRC18 N17 N18 pirc_seg
XRC19 N18 N19 pirc_seg
XRC20 N19 NNN pirc_seg

ISN 0 NNN 'IS'

.ENDS
```

Figura 49 Netlist del sotto circuito PIRC20.

```
.SUBCKT PIRC20V0 N00 NNN Length=250u Width=1u JK=1G

CV0 NV0 0 'Cv'
ISO NV0 0 'IS'
GS0 N00 NV0 N00 0 'GS'
.IC V(NV0)=0

XRC01 N00 N01 pirc_seg
XRC02 N01 N02 pirc_seg
XRC03 N02 N03 pirc_seg
XRC04 N03 N04 pirc_seg
XRC05 N04 N05 pirc_seg
XRC06 N05 N06 pirc_seg
XRC07 N06 N07 pirc_seg
XRC08 N07 N08 pirc_seg
XRC09 N08 N09 pirc_seg
XRC10 N09 N10 pirc_seg
XRC11 N10 N11 pirc_seg
XRC12 N11 N12 pirc_seg
XRC13 N12 N13 pirc_seg
XRC14 N13 N14 pirc_seg
XRC15 N14 N15 pirc_seg
XRC16 N15 N16 pirc_seg
XRC17 N16 N17 pirc_seg
XRC18 N17 N18 pirc_seg
XRC19 N18 N19 pirc_seg
XRC20 N19 NNN pirc_seg

ISN 0 NNN 'IS'

.ENDS
```

Figura 50 Netlist del sotto circuito PIRC20V0.

```

.SUBCKT PIRC20V0N N00 NNN Length=250u Width=1u JK=1G

ISO N00 0 'IS'

XRC01 N00 N01 pirc_seg
XRC02 N01 N02 pirc_seg
XRC03 N02 N03 pirc_seg
XRC04 N03 N04 pirc_seg
XRC05 N04 N05 pirc_seg
XRC06 N05 N06 pirc_seg
XRC07 N06 N07 pirc_seg
XRC08 N07 N08 pirc_seg
XRC09 N08 N09 pirc_seg
XRC10 N09 N10 pirc_seg
XRC11 N10 N11 pirc_seg
XRC12 N11 N12 pirc_seg
XRC13 N12 N13 pirc_seg
XRC14 N13 N14 pirc_seg
XRC15 N14 N15 pirc_seg
XRC16 N15 N16 pirc_seg
XRC17 N16 N17 pirc_seg
XRC18 N17 N18 pirc_seg
XRC19 N18 N19 pirc_seg
XRC20 N19 NNN pirc_seg

ISN 0 NVN 'IS'
GSN NNN NVN NNN 0 'GS'
CVN NVN 0 'Cv'
.IC V(NVN)=0
.ENDS

```

Figura 51 Netlist del sotto circuito PIRC20V0N.

Tutti i sotto circuiti si compongono di un elemento fondamentale chiamato pirc_seg che rappresenta il segmento di linea di lunghezza δ_k .

```

.SUBCKT pirc_seg N1 N2

CapN1 N1 0 'CK/2'

Resistor N1 N2 'RK'

CapN2 N2 0 'CK/2'

.ENDS

```

Figura 52 Netlist del sottocircuito pirc_seg.

In tutte le definizioni del sotto circuito vengono indicati alcuni parametri caratteristici come lo spessore della linea W, la lunghezza L e la densità di corrente; questi valori possono poi essere modificati nel momento dell'istanza del componente in funzione della simulazione da eseguire.

```
X2 N1 N2 PIRC20 Length=250u Width=1u JK=3G

.IC V(N1)=sigma0 V(X2.N01)=sigma0 V(X2.N02)=sigma0 V(X2.N03)=sigma0 V(X2.N04)=sigma0
.IC V(X2.N05)=sigma0 V(X2.N06)=sigma0 V(X2.N07)=sigma0 V(X2.N08)=sigma0
.IC V(X2.N09)=sigma0 V(X2.N10)=sigma0 V(X2.N11)=sigma0 V(X2.N12)=sigma0 V(X2.N13)=sigma0
.IC V(X2.N14)=sigma0 V(X2.N15)=sigma0 V(X2.N16)=sigma0 V(X2.N17)=sigma0 V(X2.N18)=sigma0
.IC V(X2.N19)=sigma0 V(N2)=sigma0
```

Figura 53 Esempio di istanza del componente PIRC20.

Al momento del richiamo del sotto circuito è inoltre possibile definire le condizioni iniziali di stress nei vari punti della linea attraverso il comando. IC e la definizione di un parametro dedicato sigma0.

Prima della definizione dei sotto circuiti si sono definiti i parametri caratteristici del modello.

```
.PARAM TEMP = 400 Kb = 0.00000001380649f BULKMOD = 30G
.PARAM PSI= 0.01 XSI = 1u QSTAR = 0.0016f
.PARAM OMEGA = 0.0000000000000166f
.PARAM RHO = '30n*(1+0.0039*(TEMP-400))'
.PARAM DIFF0 = 52u EA = 0.0001602176634f
.PARAM HEIGHT=120n
.PARAM DELTA = 1n ETA=1G
.PARAM Width=1u
.PARAM NSEG = 20
.PARAM Length=250u
.PARAM JK=1G
.PARAM SEGLEN = 'Length/NSEG'
.PARAM DIFF = '(DIFF0)*(EXP((-EA)/(Kb*TEMP)))'
.PARAM RK = 'Kb*TEMP*SEGLEN/(DIFF*Width*HEIGHT*PSI)'
.PARAM CK = 'PSI*SEGLEN*Width*HEIGHT/(BULKMOD*OMEGA)'
.PARAM IS = 'XSI*PSI*DIFF*QSTAR*RHO*Width*HEIGHT/(Kb*TEMP*OMEGA)*JK'
.PARAM GS = 'PSI*DIFF*Width*HEIGHT/(Kb*TEMP*DELTA)'
.PARAM Cv = 'XSI*PSI*Width*HEIGHT/(OMEGA*ETA)'
.PARAM sigma0=0
```

Figura 54. Definizione dei parametri caratteristici del modello

Bibliografia

- [1] International Technology Roadmap for Semiconductors. online chapter available at <http://www.itrs.net/Links/2013ITRS/2013Chapters/2013Interconnect.pdf>
- [2] C. M. Tan. Electromigration in ULSI interconnections. World Scientific, Singapore, 2010.
- [3] M. A Korhonen, P. Borgesen, K. N. Tu, and C. Y. Li. Stress evolution due to electromigration in confined metal lines. *Journal of Applied Physics*, 73(8):3790–3799, 1993.
- [4] J. R. Black, “Electromigration- a brief survey and some recent results,” *IEEE Transactions on Electronic devices*, vol. 16, no. 4, pp. 338–347, 1969
- [5] I. A. Blech, “Electromigration in thin aluminium on titanium nitride,” *Journal of Applied Physics*, vol. 47, no. 4, pp. 1203–1208, 1976, doi: 10.1063/1.322842.
- [6] I. A. Blech and C. Herring, “Stress generation by electromigration,” *Applied Physics Letters*, vol. 29, no. 3, pp. 131–133, 1976
- [7] I. A. Blech and K. L. Tai, “Measurement of stress gradients generated by electromigration,” *Applied Physics Letters*, vol. 30, no. 8, pp. 387–389, 1977.
- [8] A. Abbasinasab and M. Marek-Sadowska, “Blech effect in interconnects: Applications and design guidelines,” in *Proceedings of the 2015 Symposium on International Symposium on Physical Design*, ser. ISPD '15. New York, NY, USA: ACM, 2015, pp. 111–118. [Online]. Available: <http://doi.acm.org/10.1145/2717764.2717772>
- [9] M. Hauschildt, C. Hennesthal, G. Talut, O. Aibel, M. Gall, K. B. Yeap, and E. Zschech, “Electromigration early failure void nucleation and growth phenomena in Cu and Cu(Mn) interconnects,” in *Reliability Physics Symposium (IRPS), 2013 IEEE International*, April 2013, pp. 2C.1.1–2C.1.6
- [10] I. A. Blech. Electromigration in thin aluminum films on titanium nitride. *Journal of Applied Physics*, 47(4):1203–1208, 1976
- [11] L. Cheng, S. Y. Lee, C. C. Chiu, and K. Wu, “Back stress model on electromigration lifetime prediction in short length copper interconnects,” in *2008 IEEE International Reliability Physics Symposium*, April 2008, pp. 685–686.
- [12] J. R. Lloyd. Black’s law revisited—Nucleation and growth in electromigration failure. *Microelectronics Reliability*, 47(9):1468–1472, 2007. 8
- [13] R. L. de Orio, H. Ceric, and S. Selberherr. A compact model for early electromigration failures of copper dual-damascene interconnects. *Microelectronics Reliability*, 51(9–11):1573– 1577, 2011.
- [15] .P. Hau-Riege, C.G. Thompson, The effects of the mechanical properties of the confinement material on electromigration in metallic interconnects, *A. Mater. Res.* 15 (I) (2000) 1HEH–1I02, <https://doi.org/10.155H/AMR.2000.025E>.
- [16] G. Sukharev, Personal Communication, 2020.
- [17] S. Chatterjee, Fast and Scalable Physics-based Electromigration Checking for Power Drives in Integrated Circuits, PhD Thesis, University of Toronto (2017).
- [18] Huang, T. Yu, V. Sukharev, and S. X.-D. Tan, “Physics-based Electromigration Assessment for Power Grid Networks,” in *ACM/EDAC/IEEE Design Automation Conf.*, June 2014, pp. 1–6.

- [19] D.-A. Li, M. Marek-Sadowska, and S. Nassif, "A method for improving power grid resilience to electromigration-caused via failures," *IEEE Trans. Very Large Scale Integr. (VLSI) Syst.*, vol. 23, no. 1, pp. 118–130, Jan 2015.
- [20] X. Huang, V. Sukharev, J.-H. Choy, M. Chew, T. Kim, and S. X.-D. Tan, "Electromigration assessment for power grid networks considering temperature and thermal stress effects," *Integration, the VLSI Journal*, vol. 55, pp. 307–315, 2016. [Online]. Available: <https://doi.org/10.1016/j.vlsi.2016.04.001>
- [21] D. A. Li, M. Marek-Sadowska, and S. R. Nassif, "T-VEMA: A temperature- and variation-aware electromigration power grid analysis tool," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 23, no. 10, pp. 2327–2331, Oct 2015.
- [22] B. Chen, S.Q.-D. Tan, Q. Huang, T. Bim, G. Sukharev, Analytical modeling and characterization of electromigration effects for multibranch interconnect trees, *IEEE Trans. Computer-aided Des. Integr. Circuits Syst.* C5 (11) (2016) 1111–1124.
- [23] (May 20, 2014). COMSOL Multiphysics. [Online]. Available: <http://www.comsol.com>
- [24] Valeriy Sukharev, Armen Kteyan, Xin Huang, "Postvoiding Stress Evolution in Confined Metal Lines," *IEEE TRANSACTIONS ON DEVICE AND MATERIALS RELIABILITY*, VOL. 16, NO. 1, MARCH 2016
- [25] M. A. Korhonen, P. Borgesen, D. D. Brown, and C.-Y. Li, "Microstructure based statistical model of electromigration damage in confined line metallizations in the presence of thermally induced stresses," *J. Appl. Phys.*, vol. 74, no. 8, p. 4995, 1993.
- [26] Zeyu Sun, Sherif Sadiqbatcha, Hengyang Zhao, Sheldon X.-D. Tan, "Saturation Volume Estimation for Multisegment Copper Interconnect Wires," *IEEE TRANSACTIONS ON VERY LARGE SCALE INTEGRATION (VLSI) SYSTEMS*, VOL. 27, NO. 7, JULY 2019
- [27] Hai-Bao Chen†, Sheldon X.-D. Tan, Xin Huang and Valeriy Sukharev New Electromigration Modeling and Analysis Considering Time-Varying Temperature and Current Densities, 978-1-4799-7792-5/15/\$31.00 ©2015 IEEE
- [28] H. Phao, S.Q.-D. Tan, Postvoiding FEM analysis for electromigration failure characterization, *IEEE Trans. Gery Large Scale Integr. Syst.* 26 (11) (2011) 241C–241E, <https://doi.org/10.110E/TGLSI.2011.2161C5I>.
- [29] X. Huang, T. Yu, V. Sukharev, and S. X.-D. Tan, "Physics-based electromigration assessment for power grid networks," in *Proc. 51st ACM/EDAC/IEEE DAC*, 2014, pp. 1–6.
- [30] S. Chatterjee, G. Sukharev, F.N. Najm, Power grid electromigration checking using physics-based models, *IEEE Trans. Computer-aided Des. Integr. Circuits Syst.* CH (H) (2011) 1C1H–1CC0.
- [31] P.-S. Choi, A. Lee, M.B. Lim, C.L. Dan, C.G. Thompson, Goid dynamics in copper-based interconnects, *A. Appl. Phys.* 110 (0C) (2011), 0CC505, <https://doi.org/10.106C/1.C61140I>.
- [32] Sukharev, E. Pschech, A model for electromigration-induced degradation mechanisms in dual-inlaid copper interconnects: effect of interface bonding strength, *A. Appl. Phys.* E6 (11) (2004) 6CCH–6C4C, <https://doi.org/10.106C/1.11051II>
- [33] G. Sukharev, A. Bteyan, E. Pschech, W.D. Nix, Microstructure effect on EM-induced degradations in dual inlaid copper interconnects, *IEEE Trans. Dev. Mater. Reliab.* E (1) (200E) IH–EH, <https://doi.org/10.110E/TDMR.200I.2011642>.
- [34] F. N. Najm, «Equivalent circuits for electromigration», *Microelectronics Reliability*, Elsevier, June 2021

- [35] D.B. Cheng, Field and wave electromagnetics, 2nd Edition, Addison-Wesley Series in Electrical Engineering, Addison-Wesley, Reading, MA, 1989.
- [36] HSPICE® Signal Integrity User Guide, Q-2005-0E, Synopsys, Inc, Mountain View, CA, USA, 2005.
- [37] Salah Hanfoug , Nour-Eddine Bouguechal, Samir Barra, " Behavioral non-ideal Model of 8-bit Current-Mode Successive Approximation Registers ADC by using Simulink " International Journal of u- and e- Service, Science and Technology Vol.7, No.3 (2014)
- [38] SPIE : International society for optics and photonics : <http://spie.org/samples/TT97.pdf>
- [39] HSPICE® Signal Integrity User Guide, Q-2005-0E, Synopsys, Inc, Mountain View, CA, USA, 2005.
- [40] <https://www.tuvsud.com/it-it/settori/mobilita-e-automotive/automotive-e-oem/sicurezza-funzionale-in-ambito-automotive-in-accordo-alla-iso-26262#:~:text=La%20ISO%2026262%20definisce%20i,ciclo%20di%20vita%20del%20veicolo.>

