

ALMA MATER STUDIORUM - UNIVERSITÀ DI BOLOGNA

SCUOLA DI INGEGNERIA

DIPARTIMENTO
INGEGNERIA DELL'ENERGIA ELETTRICA E DELL'INFORMAZIONE
DEI - "Guglielmo Marconi"

CORSO DI LAUREA MAGISTRALE IN INGEGNERIA ELETTRONICA

TESI DI LAUREA
in
ELETTRONICA DEI SISTEMI DIGITALI

TIME INTERLEAVED DAC

Analisi delle non idealità dell'architettura e progetto di un sistema
di misura del clock differenziale in tecnologia FinFET a 7nm

CANDIDATO

Marzocchi Achille

RELATORE

Prof. Franchi Scarselli Eleonora

CORRELATORE

Ing. Pelliconi Roberto

Anno Accademico 2020/2021

Sessione II

Indice

Abstract.....	1
Introduzione.....	2
1. La conversione Digitale-Analogico.....	4
1.1 Le caratteristiche del DAC	4
1.1.1 Il DAC Ideale.....	4
1.1.2 Le prestazioni statiche	5
1.1.3 Le prestazioni dinamiche.....	8
1.1.4 Lo spettro del segnale di uscita.....	12
1.1.5 Le architetture comuni.....	16
1.2 L'architettura Current Steering.....	19
1.2.1 Introduzione.....	19
1.2.2 L'architettura	19
1.2.3 I mismatch statici.....	26
1.2.4 I mismatch dinamici	29
1.2.5 Il modello VerilogA del DAC	31
2. Time Interleaved DAC	33
2.1 Introduzione	33
2.2 Le caratteristiche del TIDAC.....	35
2.2.1 Le architetture Time Interleaved	35
2.2.2 Modello Twofold e spettro del segnale in uscita.....	37
2.2.3 I Mismatch.....	42
2.3 Il modello VerilogA del TIDAC.....	44
2.3.1 L'architettura	44

2.3.2	Il Multiplexer Analogico	48
2.4	Analisi delle performance	54
2.4.1	Introduzione.....	54
2.4.2	Le analisi eseguite	57
2.4.3	Analisi del Gain Error.....	59
2.4.4	Analisi del Duty Cycle Error	62
2.4.5	Analisi dei Timing Mismatch del Multiplexer	64
2.4.6	Analisi dei Timing e CSA Mismatch dei Sub-DAC	67
2.4.7	Conclusione delle analisi svolte	70
3.	Calibrazione del TIDAC: il clock.....	72
3.1	Introduzione	72
3.2	La misura del clock.....	74
3.2.1	Il clock differenziale.....	74
3.2.2	L'allineamento ed il DC dei clock.....	75
3.2.3	La notazione a delta.....	78
3.3	I componenti del sistema di misura	80
3.3.1	Introduzione.....	80
3.3.2	La tecnologia FinFET	80
3.3.3	Il comparatore dinamico.....	82
3.3.4	Il Fine DTC.....	87
3.3.5	Il riferimento di tensione V_{CM}	91
3.3.6	I multiplexer	93
3.4	La misura dell'allineamento	95
3.4.1	Il sistema di misura.....	95
3.4.2	I mismatch e gli offset	101
3.4.3	Simulazioni e risultati.....	103

3.5	La misura del duty cycle	105
3.5.1	Il sistema di misura.....	105
3.5.2	I mismatch e gli offset	109
3.5.3	Simulazioni e risultati.....	111
	Conclusioni.....	113
	Appendice.....	114
	Simulazioni complete – Mux Timing Mismatch del TIDAC.....	114
	Simulazioni complete – Sub-DAC Timing Mismatch	115
	Simulazioni complete – Sub-DAC CSA Mismatch	116
	Bibliografia.....	117
	Ringraziamenti	118

Indice delle figure

Figura 1: Rappresentazione funzionale del DAC	4
Figura 2: Funzione di trasferimento ingresso-uscita di un DAC a 2bit.....	5
Figura 3: Offset e Gain error di un DAC a 3bit.....	6
Figura 4: DNL ed INL error in un DAC a 3bit.....	7
Figura 5: Risposta di un sistema non lineare ad un segnale dual tone	11
Figura 6: Effetto di sinc roll-off ed holding nello spettro di uscita del DAC.....	12
Figura 7: Repliche spettrali ed aliasing nel segnale di uscita da un DAC.....	13
Figura 8: Spettro del segnale in uscita al DAC ad alta e bassa frequenza.....	14
Figura 9: Diagramma delle ampiezze della sinc response.....	15
Figura 10: 3 bit DAC a resistori pesati	16
Figura 11: n-bit DAC Voltage Divider.....	17
Figura 12: 3bit R-2R DAC a commutazione di corrente.....	18
Figura 13: L'architettura Current Steering	20
Figura 14: Current Steering DAC con dimensionamento binario	21
Figura 15: Current Steering DAC con dimensionamento termometrico.....	22
Figura 16: Current Steering DAC in codifica mista.....	23
Figura 17: Contributo di corrente delle celle unary, intermedie e binary.....	24
Figura 18: Massima potenza trasferita sul carico in un DAC Current Steering	25
Figura 19: Dettaglio cella unary con architettura cascode	26
Figura 20: Spettro di uscita del DAC con e senza introduzione dei CSA mismatch	27
Figura 21: Ritardi nei segnali di controllo degli unary e flip flop di riallineamento.....	29
Figura 22: HD2 nello spettro del DAC a 224MHz e 1.24GHz con timing mismatch....	30

Figura 23: Schema a blocchi del modello VerilogA del DAC	32
Figura 24: Replica dell'immagine, non linearità ed effetto del Sinc	33
Figura 25: Schema logico dell'architettura Time Interleaved - DAC	34
Figura 26: Time Interleaved DAC con sommatore, versione NRZ e RZ.....	36
Figura 27: Time Interleaved DAC con multiplexer.....	37
Figura 28: Diagramma a blocchi del Two Fold TIDAC	37
Figura 29: Spettro dei Sub-DAC e generazione dello spettro di uscita del TI-DAC	41
Figura 30: Spettro del segnale in uscita dal TIDAC in presenza di mismatch.....	42
Figura 31: Spettro in uscita TI-DAC in caso di non linearità e mismatch	43
Figura 32: Modello VerilogA dell'architettura TI-DAC	45
Figura 33: Forme d'onda di funzionamento dell'architettura e del multiplexer.....	46
Figura 34: Tensione di modo comune ed introduzione del resistore dummy	48
Figura 35: Dettaglio del MUX analogico e della rete di uscita del TI-DAC.....	49
Figura 36: Delay nella commutazione del segnale in uscita dal multiplexer	49
Figura 37: Multiplexer integrato nei CSA dei due Sub-DAC	50
Figura 38: Variazione di carica a seguito di mismatch temporali tra unary.....	52
Figura 39: generazione dei segnali di controllo del multiplexer analogico.....	53
Figura 40: Architettura del modello VerilogA del multiplexer analogico	53
Figura 41: Tensione differenziale in uscita dai Sub-DAC e dal TI-DAC	54
Figura 42: Spettro del segnale in uscita dai Sub-DAC e dal TIDAC	55
Figura 43: Spettro in uscita dal TIDAC con mismatch, algoritmo di riordino e ideale .	56
Figura 44: Rete di polarizzazione del CSA del Current Steering DAC	59
Figura 45: Dipendenza dell'immagine del segnale all'aumentare del Gain Error	60
Figura 46: Andamento IMRR al variare di Gain Error e frequenza del segnale	61

Figura 47: Duty Cycle error nel segnale di clock del TIDAC.....	62
Figura 48: Dipendenza dell'immagine dalla frequenza del segnale nel TIDAC	62
Figura 49: Dipendenza dell'immagine dal valore del DC Error del clock.....	63
Figura 50: Andamento del IMRR al variare di frequenza e DC Error	64
Figura 51: Spettro di uscita del TIDAC con differenti seed del Mux mismatch.....	65
Figura 52: Misura del SFDR_NoHarm2,3 con Mux Timing mismatch.....	66
Figura 53: Misura del HD2 con Timing Mux Mismatches	66
Figura 54: Misura del SFDR_NoHarm2,3 con DAC timing mismatches.....	67
Figura 55: Misura HD2 con DAC Timing mismatch	68
Figura 56: Misura del SFDR_NoHarm2,3 con CSA Mismatch.....	68
Figura 57: Misura di HD2 con CSA Mismatch.....	69
Figura 58: Valori medi SFDR_NoHarm2,3 ed HD2 con e senza reordering.....	69
Figura 59: Valore medio di SFDR ed HD2 al variare di frequenza e mismatch.....	70
Figura 60: Calibrazione TIDAC ed TIADC mediante analizzatore di spettro	72
Figura 61: Architetture TIDAC-Mux e TIDAC-RZ con clock differenziale	74
Figura 62: Disallineamento delle fasi del clock differenziale	75
Figura 63: Duty Cycle del clock differenziale con fasi con duty cycle non 50%	77
Figura 64: Intervalli temporali definiti sulle due fasi del clock	78
Figura 65: Condizioni di allineamento derivanti dalla misura di $\Delta 1$ e $\Delta 2$	79
Figura 66: Tecnologia FinFET e MOSFET a confronto	81
Figura 67: Ingressi e uscite del comparatore dinamico	82
Figura 68: Diagramma a blocchi del comparatore dinamico	83
Figura 69: Circuito dello stadio preamplificatore e latch	83
Figura 70: Circuito di blocchi di swapping, correzione offset e generazione del ready	84

Figura 71: Effetto del segnale di swap nelle misure con comparatore	85
Figura 72: Granularità dello step del ritardo introdotto da ogni blocco del DTC	87
Figura 73: Schema a blocchi del DTC e del fine DTC.....	88
Figura 74: Ritardo introdotto da fine DTC al variare di $d_{4:0}$	88
Figura 75: Schema circuitale del Fine DTC	89
Figura 76: Schema circuitale del IDAC ed IDC del Fine DTC.....	90
Figura 77: Generatore del riferimento di tensione V_{cm}	91
Figura 78: Circuito per riduzione dell'offset della V_{cm}	92
Figura 79: Architettura del multiplexer in configurazione transmission gate	93
Figura 80: Ritardo tra ingressi e uscite del multiplexer.....	94
Figura 81: Architettura del sistema di misura dell'allineamento	95
Figura 82: Approccio utilizzato per la misura di D1	96
Figura 83: Uscita del comparatore con differenti codici del DTC	98
Figura 84: Uscita del comparatore in transient noise con differenti codici del DTC	98
Figura 85: Statistica per il calcolo del codice del crossing point	99
Figura 86: L'errore di integrazione del sistema di misura	101
Figura 87: Effetto del' offset del comparatore e della V_{cm} nella misura di D1	102
Figura 88: Risultati della misura dell'allineamento delle fasi di clock.....	103
Figura 89: Risultati della misura dell'allineamento delle fasi di clock con offset.....	104
Figura 90: Sistema di misura del duty cycle mediante XOR	106
Figura 91: Sistema di misura del duty cycle di una fase di clock	108
Figura 92: Offset del comparatore ed effetto dello swapping degli ingressi.....	109
Figura 93: Offset del riferimento di V_{cm} ed effetto dello swapping degli ingressi.....	110
Figura 94: Risultati delle simulazioni del sistema di misura del DC	112

Abstract

Lo sviluppo di nuove architetture di convertitori digitale-analogico in grado di operare a radio frequenza comporta nuove sfide e problematiche di cui è necessario che i progettisti tengano conto in fase di design. Il presente lavoro di ricerca, svolto nel corso di 9 mesi di tirocinio presso Xilinx, è focalizzato sullo studio delle non linearità e l'analisi delle prestazioni dell'architettura Two Folded Time Interleaved DAC implementata mediante l'utilizzo di due convertitori Current Steering DAC a 16bit operanti alla frequenza di 10GHz. A tale proposito è stato creato in ambiente Cadence Virtuoso un modello VerilogA dell'architettura che consente di simulare le non idealità statiche e dinamiche e di misurarne l'effetto sulle performance del circuito. Le analisi effettuate hanno dimostrato che uno scostamento del duty cycle del clock del convertitore di appena 100fs dal valore di riferimento comporti il peggioramento del SFDR del segnale di uscita a circa -54 dBc, risultato non accettabile per la maggior parte delle applicazioni in campo wireless. Metodi di calibrazione e correzione delle non idealità, tra cui il segnale di clock, sono quindi necessari per ottenere prestazioni accettabili per il mercato. Lo studio si è quindi posto l'obiettivo di progettare un sistema di misurazione delle non idealità temporali del clock al fine di fornire uno strumento di calibrazione del TIDAC. Nello specifico, è stato progettato un sistema di misura del clock in tecnologia FinFET TSMC a 7nm in grado di garantire che il duty cycle del clock differenziale del TIDAC sia del 50%. Si è poi verificato con opportune simulazioni che il sistema di misura è in grado di misurare lo skew e differenze di duty cycle tra le due fasi del clock con un errore di massimo 45fs e di misurare il duty cycle di ogni singola fase seguendo un approccio robusto a mismatch ed offset del sistema di misura.

Introduzione

A partire da metà del XX secolo con l'adozione e la distribuzione dei sistemi digitali vi è stato un progressivo abbandono delle tecniche analogiche di elaborazione dei segnali per passare a soluzioni quasi completamente digitali. Tale cambiamento continua ai giorni nostri grazie alla produzione di massa e crescente popolarità della logica digitale. Circuiti integrati (IC) e le loro tecnologie derivate come computer, microprocessori e cellulari hanno definitivamente trasformato le tecniche e produzioni analogiche tradizionali a favore di soluzioni completamente digitali.

L'elaborazione del segnale è oggi digitale ma i segnali fisici e misurabili restano comunque informazioni di tipo analogico. Tali informazioni vengono raccolte e convertite in rappresentazione digitale tramite l'utilizzo degli ADC (Convertitori Analogico Digitale) in modo tale che possano essere poi opportunamente elaborate. In molti sistemi l'informazione digitale deve poi essere nuovamente riconvertita in segnale analogico per poter essere fruita dall'utente o trasmessa. Il processo di conversione del segnale in digitale per la sua elaborazione e la sua successiva riconversione in analogico prende il nome di catena di elaborazione del segnale ed è alla base delle moderne tecniche di elaborazione dati. Il DAC (Convertitore Digitale Analogico) è il componente utilizzato per eseguire la riconversione in analogico ed è generalmente integrato all'interno di circuiti realizzati in tecnologia MOSFET.

Le nuove e più performanti tipologie di DAC trovano applicazioni nel campo delle telecomunicazioni in cui, la crescente richiesta di elevata larghezza di banda per flussi video, audio e dati ha spinto le aziende produttrici di circuiti integrati a sviluppare nuove soluzioni e a costi più contenuti. Integrare DAC in grado di operare a radio frequenza (RF-DAC) cioè a frequenze di campionamento dell'ordine dei GHz, all'interno di SoC (System on Chip) per applicazioni radio (RF-SoC) consente di evitare l'utilizzo di mixer per la modulazione analogica del segnale con il risultato di design più semplice, costi minori e migliori performance. Questo nuovo approccio introduce sicuramente vantaggi ma comporta anche problematiche nel design delle nuove generazioni di convertitori che potevano essere invece trascurate nelle precedenti applicazioni a frequenze di

funzionamento più basse. È proprio per applicazioni di questo tipo che sono state sviluppate, nel corso degli anni, specifiche architetture in grado di mantenere buone performance in termini di non linearità e di operare a radiofrequenza. Ne è un esempio l'architettura Two Folded Time Interleaved DAC che consente, in teoria, di raddoppiare la banda di Nyquist del convertitore combinando le uscite di due Current Steering DAC tramite un multiplexer e mantenendo inalterata l'architettura dei singoli convertitori.

È in questo contesto che si colloca il presente lavoro di tesi, sviluppato nel corso di 9 mesi di tirocinio nel dipartimento Analog Mixed Signal di Xilinx a Dublino, azienda leader nella produzione di FPGA e RF-SoC con lo scopo di studiare, analizzare e progettare nuove architetture e soluzioni per lo sviluppo di RF-DAC ad elevate performance. Lo studio si è concentrato sull'architettura Time Interleaved DAC (TIDAC), implementata mediante l'utilizzo di due convertitori Current Steering DAC a 16bit operanti alla frequenza di 10GHz e sull'analisi degli effetti delle non idealità di questa architettura.

Lo studio è stato così organizzato: nel primo capitolo vengono introdotti alcuni concetti base della conversione digitale-analogico e le metriche utilizzate per misurare le performance dei convertitori. Si presenta l'architettura Current Steering, utilizzata al giorno d'oggi nei moderni RF-DAC e si discute delle non linearità statiche e dinamiche dell'architettura. Successivamente nel secondo capitolo viene analizzata l'architettura Two Fold TIDAC, si descrive il modello VerilogA del TIDAC che è realizzato per testarne le performance e si presentano i risultati delle simulazioni effettuate su di esso evidenziando in che modo le non idealità del clock degradino significativamente le prestazioni del convertitore. Nel terzo capitolo si analizza il sistema di misura per la calibrazione del clock del convertitore che è stato progettato nel corso del tirocinio al fine di ottenere migliori performance e mantenere limitati gli effetti delle non linearità. Si riportano infine i risultati delle simulazioni e misurazioni condotte sul sistema di misura verificando che esso è in grado di garantire che il clock differenziale del convertitore abbia un duty cycle differenziale del 50% utilizzando un approccio robusto a mismatch ed offset e con un errore limitato a poche decine di femtosecondi.

1. La conversione Digitale-Analogico

1.1 Le caratteristiche del DAC

1.1.1 Il DAC Ideale

L'operazione elementare eseguita dal DAC è la conversione di un codice binario in ingresso in un valore continuo, analogico e quantizzato di tensione o corrente in uscita (1). Il segnale analogico in uscita può quindi assumere solamente determinati valori finiti.

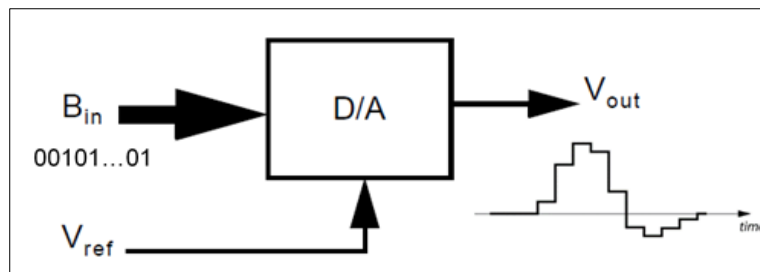


Figura 1: Rappresentazione funzionale del DAC

Si consideri ad esempio il convertitore DAC rappresentato in Figura 1. B_{in} è definito come un segnale digitale ad N -bit dove i termini b_i rappresentano le cifre binarie del segnale in ingresso in posizione i -esima e possono assumere solamente i valori digitali 1 o 0. In formule si rappresenta l'input come:

$$B_{in} = b_1 2^{-1} + b_2 2^{-2} + \dots + b_n 2^{-N}$$

Il segnale analogico in uscita V_{out} è funzione del codice binario in ingresso secondo una relazione a valori discreti basata su una tensione analogica di riferimento definita V_{ref} . Per semplicità si assuma che sia V_{out} che V_{ref} siano segnali in tensione anche se, a seconda della tipologia di convertitore, potrebbero essere segnali rappresentanti variazioni di carica o correnti in uscita dal DAC. Utilizzando le notazioni precedentemente introdotte è possibile quindi definire in prima approssimazione la funzione di trasferimento ingresso-uscita del convertitore come:

$$V_{out} = V_{ref}(b_1 2^{-1} + b_2 2^{-2} + \dots + b_n 2^{-N}) = V_{ref} B_{in}$$

La risoluzione del convertitore dipende dal numero di bit utilizzati per coprire tutta la dinamica di tensione in uscita che, in questo caso, è rappresentata dalla tensione V_{ref} . In tal senso è utile definire la V_{LSB} del comparatore, ovvero la sua risoluzione anche detta quanto di tensione. In altre parole, è la variazione di tensione di uscita del DAC introdotta dalla commutazione del bit meno significativo, esso si definisce come:

$$V_{LSB} = \frac{V_{ref}}{2^N}$$

Dalla formula del V_{LSB} segue che aumentando il numero di bit N utilizzati per rappresentare l'input si riduce la V_{LSB} migliorando la risoluzione e quindi riducendo la granularità del convertitore. In un convertitore ideale ogni codice binario in ingresso corrisponde a quantità analogiche in uscita che sono precisamente ed egualmente distanziate, come osservabile in Figura 2. Solo un numero finito di tensioni di uscita possono verificarsi come output del DAC. Possiamo inoltre osservare che il massimo valore di tensione in uscita è $(V_{ref} - V_{LSB})$, questo poiché in rappresentazione binaria una word ad N -bit consente di rappresentare i numeri da 0 ad $(2^N - 1)$.

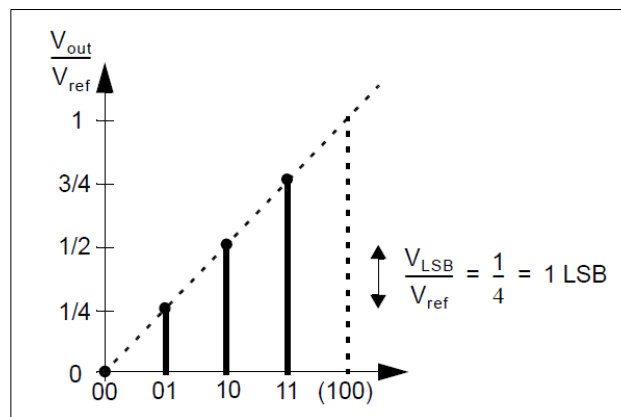


Figura 2: Funzione di trasferimento ingresso-uscita di un DAC a 2bit

1.1.2 Le prestazioni statiche

I segnali analogici sono segnali tempo continui nel dominio del tempo e con una risoluzione e banda ipoteticamente infinita. Il segnale ricostruito in uscita dal DAC è però ottenuto mediante valori discreti e generati ad intervalli temporali finiti ed uniformi. In altre parole, il DAC ricostruisce il segnale analogico con una risoluzione ed una banda

finita. Sono le operazioni di quantizzazione e campionamento ad introdurre un limite fondamentale e predicibile sulle performance del DAC. La quantizzazione dell'uscita impone il massimo range dinamico del convertitore e ha effetti per quanto riguarda l'errore di quantizzazione ed il rumore sull'uscita, il tempo di campionamento invece impone la massima banda del convertitore a causa del teorema di Shannon-Nyquist. In aggiunta agli effetti di campionamento e quantizzazione sono da considerare altri effetti di non idealità del DAC dovuti alla sua implementazione pratica e mismatch interni che limitano le prestazioni statiche e dinamiche del convertitore. In questa sezione verranno introdotti alcuni degli errori tipici dei convertitori.

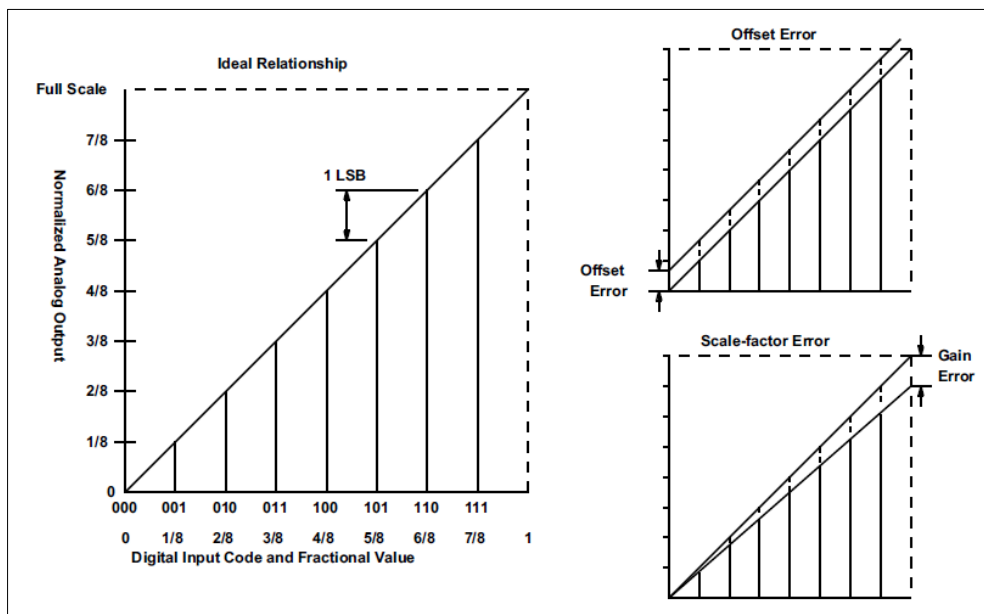


Figura 3: Offset e Gain error di un DAC a 3bit

Il primo effetto dovuto alla non idealità del convertitore è detto *Offset error*. Esso è misurato in unità di LSB cioè (V_{LSB}) e considerando il codice binario che dovrebbe produrre come output una tensione nulla nel caso ideale. Si misura quindi la variazione della tensione di uscita rispetto al valore zero atteso. In formule:

$$E_{offset} = \left. \frac{V_{OUT}}{V_{LSB}} \right|_{000\dots00}$$

Un altro errore da considerare è il *Gain error*, esso viene definito come la differenza al valore fondo scala del convertitore tra il valore ideale di uscita atteso in un DAC ideale e

quello misurato in uscita dal convertitore reale. Esso viene misurato in unità di V_{LSB} e con l'errore di offset nullo. In formule si definisce:

$$E_{gain} = \left(\frac{V_{OUT}}{V_{LSB}} \Big|_{111\dots11} - \frac{V_{OUT}}{V_{LSB}} \Big|_{000\dots00} \right) - (2^N - 1)$$

Graficamente in Figura 3 si possono osservare i due errori rispetto all'andamento ideale della funzione di trasferimento del DAC. Idealmente la funzione di trasferimento di un DAC ideale è, se interpolata tra i punti, una relazione lineare, nello specifico una retta passante per l'origine e con pendenza unitaria. Offset e Gain error sono quindi misure dello scostamento della funzione di trasferimento del DAC dal suo andamento ideale in termini di pendenza della curva e offset.

Si introduce ora un'altra metrica, detta *Non Linearity Integral error* (INL). Essa è indice della deviazione della forma della funzione di trasferimento del DAC dalla retta ideale, è quindi una misura della accuratezza del convertitore. L'INL è una delle più importanti specifiche da considerare in un DAC per applicazioni che richiedono una elevata precisione; infatti, sia gain error che l'offset error possono essere eventualmente compensati esternamente ma non c'è modo di correggere esternamente i mismatch del DAC e migliorare l'INL.

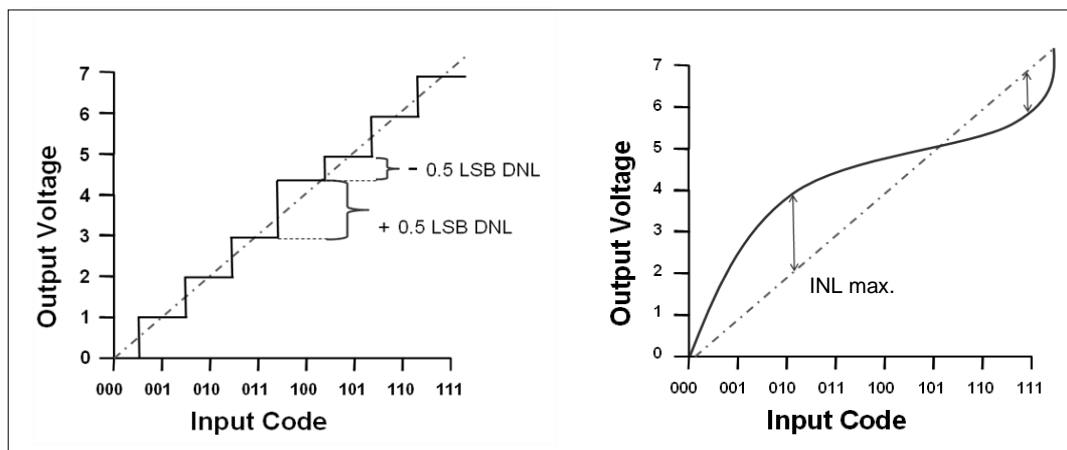


Figura 4: DNL ed INL error in un DAC a 3bit

Per comprendere meglio il significato del INL è necessario introdurre il *Non Linearity Differential Error* (DNL). Tale metrica misura di quanto differiscono in termini di tensione di uscita due codici digitali adiacenti dati come ingresso al convertitore.

Idealmente essi dovrebbero scostarsi di 1 LSB, ovvero di uno step, nella pratica però la dimensione dello step non è esattamente di 1 LSB. Viene quindi definito un DNL per ogni singolo codice digitale in ingresso al convertitore. Ad esempio, un convertitore ideale ha un DNL massimo di 0 LSB mentre in un convertitore con un DNL massimo di 0.5 LSB significa che la dimensione degli step prodotti di codici digitali in ingresso può variare da un minimo di 0.5 LSB fino ad un massimo di 1.5 LSB. Sia DNL che INL sono misurati a DC a frequenze del segnale in ingresso molto basse, sono infatti definite come misure statiche delle non linearità e sono misurate dopo che l'errore di gain e di offset sono stati rimossi. In formule, il DNL per ogni codice digitale i -esimo rappresentato ad N bit vale:

$$DNL_i = \frac{V_{out-real-i} - V_{out-ideal-i}}{V_{LSB}} \quad \text{con } i = 0, \dots, N - 1$$

L'INL invece tiene conto dell'andamento integrale dell'errore differenziale. Essendo una misura integrale esso misura l'effetto complessivo di tutti gli errori differenziali facendone la somma, o integrale, codice per codice. In formule si ha:

$$INL_i = INL_{i-1} + DNL_i = \sum_{k=0}^{i-1} DNL_k \quad \text{con } i = 0, \dots, N - 1$$

Oltre ad un differente valore di tensione dell'output rispetto a quanto idealmente previsto, le non linearità introducono anche effetti per quanto riguarda il comportamento in frequenza, anche detto comportamento dinamico o in AC e che verranno affrontate nella sezione 1.1.3. Un'altra metrica importante per i DAC è la *monotonicità*, un DAC è monotono se all'aumentare del codice in ingresso anche il valore dell'output prodotto aumenta. Sulla base del DNL è quindi possibile garantire la monotonicità del DAC se esso è minore o uguale di 1 LSB oppure se l'INL è minore o uguale di 0.5 LSB.

1.1.3 Le prestazioni dinamiche

Le non idealità introducono distorsioni al segnale analogico in uscita con il risultato di un aumento di armoniche e spurie, ovvero segnali indesiderati osservabili analizzandone lo spettro. Le performance dinamiche, o in frequenza, sono misurabili e caratterizzabili con differenti metriche che verranno introdotte in questa sezione.

Ogni segnale reale è scomponibile secondo Fourier come una sommatoria di funzioni trigonometriche. Per introdurre al concetto delle distorsioni e non linearità introdotte dal DAC si può quindi considerare in ingresso al convertitore il codice digitale rappresentante una sinusoide ed analizzare le non linearità sulle uscite. Considerando $x(t)=\cos(\omega t)$ come l'equivalente tempo continuo della sinusoide in ingresso al DAC segue che l'uscita $y(t)$ prodotta dal sistema a causa delle sue non linearità è la seguente:

$$y(t) = \sum_{k=0}^n a_k (x(t))^k = a_0 + a_1 \cos(\omega t) + a_2 \cos(\omega t)^2 + a_3 \cos(\omega t)^3 + \dots$$

Dove a_k sono i coefficienti di non-linearità del sistema ed n il grado della funzione. Tale effetto è detto *distorsione armonica* e comporta, a causa della presenza dell'elevamento a potenza dei coseni, la generazione di armoniche non desiderate nello spettro del segnale in uscita a frequenze multiple di quella fondamentale. Generalmente si considera l'approssimazione fino al terzo ordine ($n=3$) e quindi armoniche a frequenza 2ω e 3ω . Si ottiene:

$$\begin{aligned} y(t) &= a_0 + a_1 \cos(\omega t) + a_2 \cos(\omega t)^2 + a_3 \cos(\omega t)^3 \\ &= a_0 + a_1 + \frac{a_2}{2}(1 + \cos(2\omega t)) + \frac{a_3}{4}(3 \cos(\omega t) + \cos(3\omega t)) \\ &= \left(a_0 + \frac{a_2}{2}\right) + \left(a_1 + \frac{3a_3}{4}\right) \cos(\omega t) + \frac{a_2}{2} \cos(2\omega t) + \frac{a_3}{4} \cos(3\omega t) \end{aligned}$$

Si misura l'effetto delle distorsioni armoniche fino al terzo ordine mediante l'uso delle metriche *Second Order Harmonic Distorsion* (HD2) e *Third Order Harmonic Distorsion* (HD3) definite come segue:

$$HD2 = \frac{A_{\text{second-order-harm}}}{A_{\text{fundamental}}} \quad HD3 = \frac{A_{\text{third-order-harm}}}{A_{\text{fundamental}}}$$

Dove $A_{\text{second_order_harm}}$ e $A_{\text{third_order_harm}}$ sono le ampiezze delle armoniche di secondo e terzo ordine introdotte dalle non linearità del DAC mentre $A_{\text{fundamental}}$ è l'ampiezza del segnale fondamentale di interesse. Tale metrica è adimensionale ma può anche essere calcolata in dB, in quel caso la HD3 e la HD2 sono esprimibili come la differenza tra la potenza della seconda o terza armonica in dB e la potenza del segnale sempre in dB. In tal caso si dice che l'unità di misura è il dBc (decibel carrier). Se l'architettura del DAC è però di tipo differenziale il circuito presenta una caratteristica ingresso/uscita con simmetria dispari,

ad esempio $y(-x) = -y(x)$ (2). Ne segue che la polinomiale che rappresenta l'uscita del sistema fino all'ordine n-esimo affinché sia una funzione dispari deve avere tutti i termini di ordine pari, a_{2k} , nulli:

$$y(t) = \sum_{k=0}^n a_{2k+1} (x(t))^{2k+1} = a_1 \cos(\omega t) + a_3 \cos(\omega t)^3 + a_5 \cos(\omega t)^5 + \dots$$

Ciò significa che un DAC con architettura differenziale e controllato da un segnale differenziale non produce armoniche di ordine pari, questa è una importante proprietà delle architetture differenziali.

Nel caso in cui il segnale in ingresso al DAC sia dual tone, ovvero la somma di due segnali sinusoidali, le non linearità del DAC descritte dall'operazione di elevamento a potenza portano alla generazione di ulteriori armoniche dette *prodotti di intermodulazione*. Tali armoniche possono arrecare disturbi ed aumentare la complessità del filtraggio in uscita al DAC a causa della loro vicinanza con la banda del segnale. Considerando $x(t) = \cos(\omega_1 t) + \cos(\omega_2 t)$ in ingresso al DAC segue che l'uscita $y(t)$ prodotta dal sistema a causa delle sue non linearità è la seguente:

$$y(t) = a_0 + a_1 x(t) + a_2 x(t)^2 + a_3 x(t)^3$$

Dal termine quadratico segue che:

$$\begin{aligned} a_2 x(t)^2 &= a_2 \cos(\omega_1 t)^2 + a_2 \cos(\omega_2 t)^2 + 2a_2 \cos(\omega_1 t)^2 \cos(\omega_2 t)^2 \\ &= \frac{a_2}{2} (\cos(2\omega_1 t) + 1) + \frac{a_2}{2} (\cos(2\omega_2 t) + 1) \\ &\quad + a_2 (\cos((\omega_1 + \omega_2)t) - \cos((\omega_1 - \omega_2)t)) \end{aligned}$$

Si generano quindi due nuove armoniche $\cos((\omega_1 \pm \omega_2)t)$ dette prodotti di intermodulazione del secondo ordine. Gli effetti pratici di queste armoniche sono l'introduzione di distorsioni a bassa frequenza $(\omega_1 - \omega_2)$ e ad alta frequenza $(\omega_1 + \omega_2)$. Ad esempio, l'intermodulazione a bassa frequenza può, a seconda del valore ω_1 e ω_2 , generarsi vicino alla banda dei segnali di interesse rendendone complesso l'eventuale filtraggio. Oppure se si considera un ricevitore con banda 800MHz – 2.4GHz e due segnali indesiderati a frequenza 600MHz e 700MHz allora la distorsione del secondo ordine genera armoniche in posizione 100MHz ed 1.3GHz. Poiché 1.3GHz è nella banda

del ricevitore allora i segnali a questa frequenza verranno corrotti dalle distorsioni (3). Dal termine cubico segue invece:

$$\begin{aligned} a_3 x(t)^3 &= a_3 (\cos(\omega_1 t) + \cos(\omega_2 t))^3 \\ &= a_3 \cos(\omega_1 t)^3 + 3a_3 \cos(\omega_1 t)^2 \cos(\omega_2 t) \\ &\quad + 3a_3 \cos(\omega_1 t) \cos(\omega_2 t)^2 + a_3 \cos(\omega_2 t)^3 \end{aligned}$$

Si può notare che il primo e l'ultimo termine sono gli stessi della distorsione cubica con un solo ingresso, si ha quindi generazione di armoniche a frequenza $3\omega_1$ e $3\omega_2$. Il secondo e terzo termine può essere invece sviluppato e si ottiene la generazione di termini di intermodulazione alla frequenza $(2\omega_1 \pm \omega_2)$ alla frequenza $(\omega_1 \pm 2\omega_2)$. In particolare, se $\omega_1 \approx \omega_2$ allora $(2\omega_1 - \omega_2) \approx \omega_1$ e $(2\omega_2 - \omega_1) \approx \omega_2$. Anche se il sistema ha una banda molto stretta l'uscita può contenere il prodotto di intermodulazione all'interno della banda. Analogamente al caso single tone si misura l'effetto delle distorsioni, in questo caso i termini di intermodulazione, mediante l'uso di opportune metriche dette *Second Order Intermodulation (IM2)* e *Third Order Intermodulation (IM3)*:

$$IM2 = \frac{A_{\text{second-order-interm}}}{A_{\text{fundamental}}} \quad IM3 = \frac{A_{\text{third-order-interm}}}{A_{\text{fundamental}}}$$

In generale vale la relazione che la non-linearità di ordine n produce intermodulazioni alle frequenze $(j\omega_1 \pm k\omega_2)$ con $(j+k) = n$. Tutti i toni si trovano tra essi alla medesima distanza di $(\omega_2 - \omega_1)$. In Figura 5 è possibile osservare tutte le armoniche generate dalle non linearità nel caso di segnale dual tone.

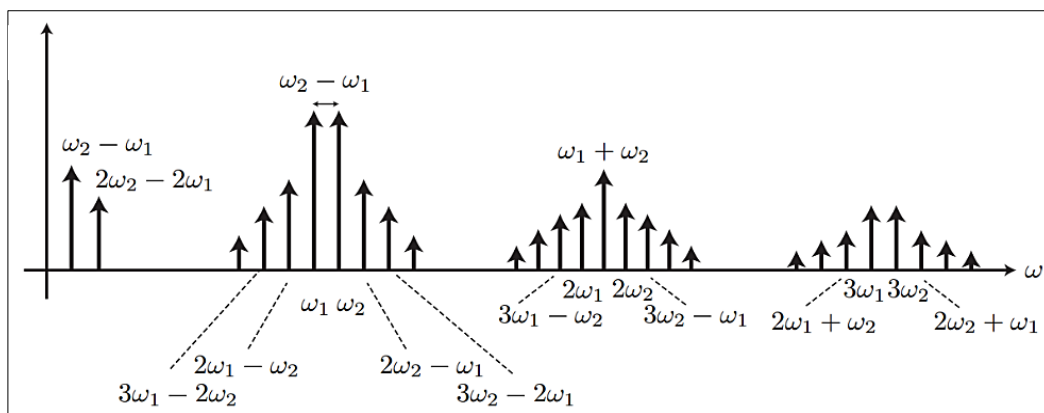


Figura 5: Risposta di un sistema non lineare ad un segnale dual tone

Un'altra metrica molto importante ed utilizzata per valutare le prestazioni dinamiche di un DAC è lo *Spurious Free Dynamic Range* (SFDR). Esso è definito come il rapporto tra l'ampiezza del segnale fondamentale e l'ampiezza della spuria maggiore nella banda di Nyquist, ovvero il range di frequenze fino a metà della frequenza di campionamento (f_{camp} o f_s). La spuria con ampiezza maggiore può essere dovuta alle non linearità introdotte del sistema (quindi una armonica) oppure dovuta al rumore introdotto dal sistema. L'SFDR è generalmente misurato in dBc ovvero considerando la differenza tra i segnali in dB. In formule si ha la seguente definizione:

$$SFDR = \frac{A_{fundamental}}{A_{max-spur}} \quad SFDR[dBc] = A_{fund}[dB] - A_{max-spur}[dB]$$

Ad esempio, se l'SFDR del segnale è 70dBc significa che l'ampiezza delle spurie è sempre almeno 3162 volte minore dell'ampiezza del segnale fondamentale.

1.1.4 Lo spettro del segnale di uscita

Lo spettro del segnale in uscita da un DAC ha un andamento caratteristico che dipende da due fattori: campionamento del segnale ed hold dell'uscita.

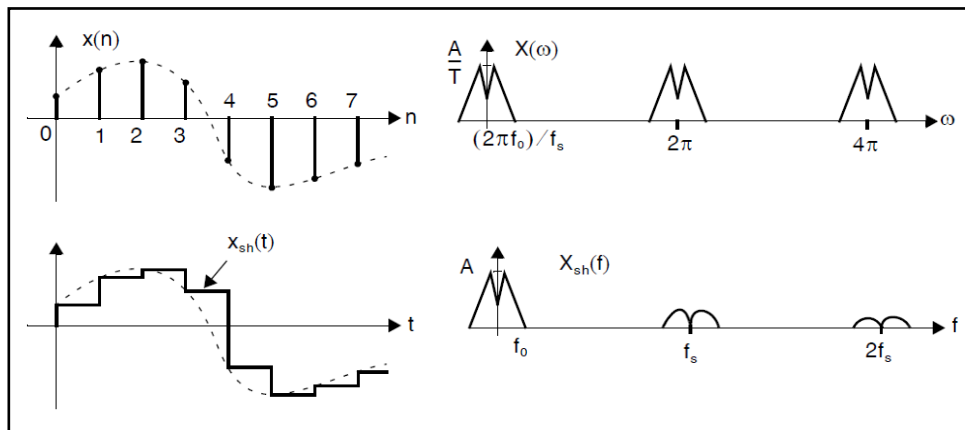


Figura 6: Effetto di sinc roll-off ed holding nello spettro di uscita del DAC

L'effetto del campionamento consiste nella replica dello spettro del segnale fondamentale a multipli della frequenza di campionamento ed è dovuto al fatto che il DAC lavora con segnali digitali discreti nel tempo. L'hold ha come effetto un'attenuazione della replica dello spettro all'aumentare della frequenza chiamato *sinc roll-off* ed è dovuto al fatto che

il DAC mantiene il valore analogico di tensione prodotto in uscita per un periodo equivalente a $T=1/f_{camp}$. In Figura 6 è possibile osservare distintamente lo spettro di un segnale campionato e l'effetto di attenuazione introdotto dall'hold in uscita.

Il campionamento di un segnale è rappresentabile come il prodotto di un segnale $x(t)$ continuo nel tempo per un treno di impulsi $s(t)$ rappresentabili con Delta di Dirac, in formule equivale a:

$$x_s(t) = x(t)s(t) = x(t) \sum_{n=-\infty}^{\infty} \delta(t - nT)$$

Nel dominio delle frequenze l'operazione di moltiplicazione corrisponde ad una convoluzione (indicata con il simbolo \otimes), trasformando con Fourier si ottiene quindi:

$$X_s(j\omega) = \frac{1}{2\pi} X(j\omega) \otimes S(j\omega) = \frac{1}{T} \sum_{k=-\infty}^{\infty} X\left(j\omega - \frac{jk2\pi}{T}\right)$$

Da questo risultato deriva il fatto che lo spettro di un segnale campionato è formato da infinite repliche dello spettro del segnale originario tempo continuo centrate intorno a multipli della frequenza di campionamento ($\pm f_{camp}$, $\pm 2f_{camp}$ etc.). È importante che il teorema del campionamento di Shannon-Nyquist venga rispettato da cui deriva che affinché un DAC ricostruisca correttamente il segnale è necessario che la frequenza di campionamento del DAC sia $f_{camp} > 2f_{max}$, dove f_{max} è la massima frequenza delle armoniche del segnale. In altre parole, in caso di f_{camp} fissata deve essere $f_{max} < f_{camp}/2$ dove il range $[0 - f_{camp}/2]$ è detto prima *banda di Nyquist*. In caso contrario il fenomeno è detto di *aliasing* e porta ad una non corretta ricostruzione del segnale da parte del DAC.

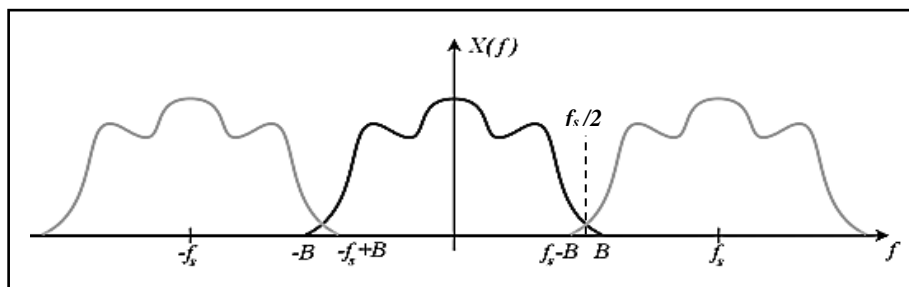


Figura 7: Repliche spettrali ed aliasing nel segnale di uscita da un DAC

Dalla Figura 7 si può osservare che nel caso in cui $f_{max} > f_{camp}/2$ (con $f_{max}=B$) si avrebbe sovrapposizione tra il segnale originario e la prima replica. I segnali reali non hanno però

una banda limitata facilmente identificabile, l'intervallo di frequenze che contiene tutte le armoniche può essere infinito. Ad esempio, per quanto visto precedentemente nella sezione 1.1.3 le non linearità introducono distorsioni armoniche a frequenze multiple di quella fondamentale e che possono superare la $f_{camp}/2$. Tuttavia, l'ampiezza delle armoniche decresce con la frequenza dell'armonica stessa per cui è necessario tenere in considerazione solo l'effetto di quelle più significative come, ad esempio, le armoniche del secondo o terzo ordine ed in generale limitare e ridurre le non linearità del sistema. Ciò che è però fondamentale è che l'armonica principale sia contenuta all'interno della prima banda di Nyquist. Tutte le armoniche introdotte dalle non linearità del DAC vengono replicate ai multipli della frequenza di campionamento inquinando lo spettro e, a seconda della frequenza dell'armonica fondamentale, possono verificarsi differenti scenari. Ad esempio, se la frequenza dell'armonica fondamentale è alta, cioè è vicina a $f_{camp}/2$ si può osservare che nella prima banda di Nyquist compaiono la seconda e terza armonica di distorsione data dalla replica spettrale dello spettro del segnale ad $+f_{camp}$ mentre la seconda e la terza armonica del fondamentale si trovano nella seconda e terza banda di Nyquist. Possiamo osservare questo effetto in Figura 8.

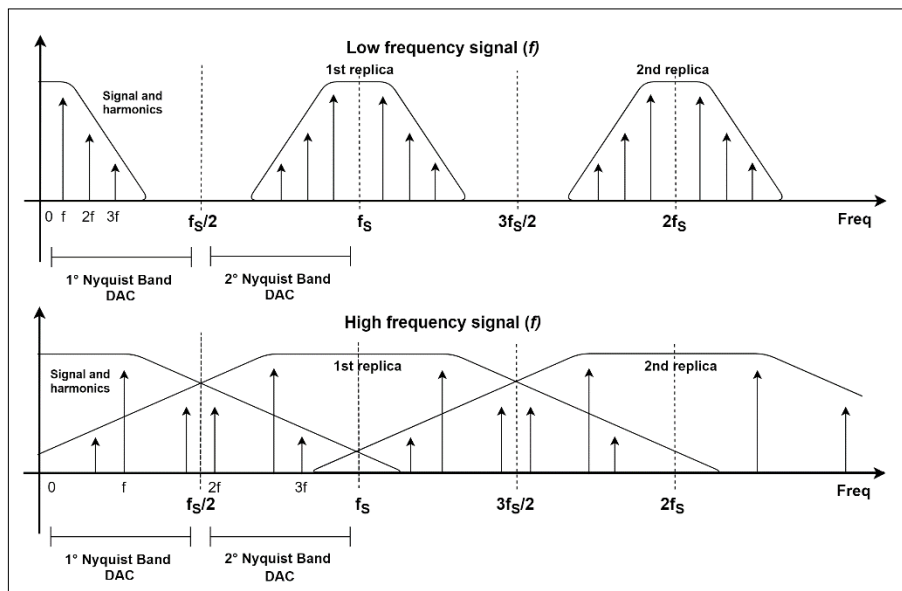


Figura 8: Spettro del segnale in uscita al DAC ad alta e bassa frequenza

Si è precedentemente parlato dell'effetto introdotto dal *sinc-rolloff*, ovvero l'effetto introdotto dall'hold che, insieme al campionamento del segnale, è definito come l'effetto di *sample and hold*. L'hold ha come effetto quello di trasformare un segnale analogico

tempo discreto in un segnale analogico il cui valore di tensione viene mantenuto costante per un periodo $T=1/f_{camp}$. La risposta in frequenza data da questo tipo di hold ha la seguente funzione di trasferimento:

$$H_{sh}(j\omega) = \frac{1 - e^{-j\omega T}}{j\omega} \quad \text{da cui} \quad |H_{sh}(f)| = T \frac{\left| \sin\left(\frac{\pi f}{f_s}\right) \right|}{\left| \frac{\pi f}{f_s} \right|}$$

È possibile osservare in Figura 9 il diagramma delle ampiezze della funzione di trasferimento dell'hold, o meglio, la *sinc response*.

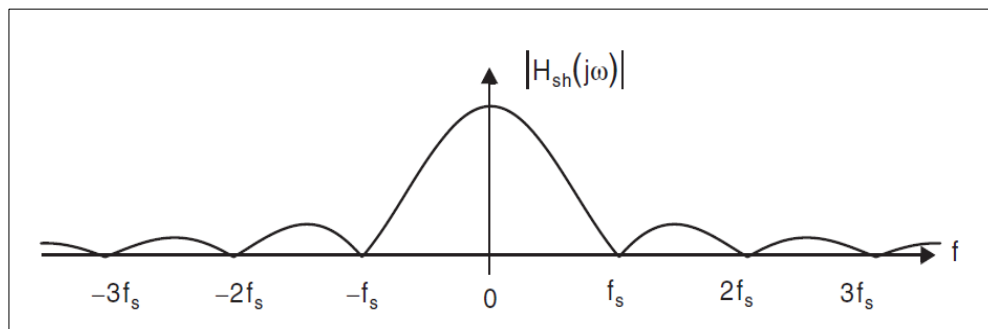


Figura 9: Diagramma delle ampiezze della sinc response

Tale tipologia di hold viene definita Non-Return-to-Zero (NRZ) e viene impiegata nei NRZ DAC, l'effetto della sinc è una attenuazione del segnale all'aumentare della frequenza f_{camp} sino ad annullarsi nelle frequenze multiple di quella di campionamento ($\pm f_{camp}$, $\pm 2f_{camp}$, $\pm 3f_{camp}$ etc.). Esistono poi ulteriori tipologie di hold in cui, a seconda della durata dell'hold, si hanno differenti funzioni di trasferimento. Ad esempio, se la durata dell'hold è di $T/2$ con $T=1/f_{camp}$ il DAC viene definito Return-to-Zero (RZ) e la corrispondente sinc response si annulla a frequenze doppie rispetto al NRZ DAC. Il vantaggio di questa soluzione è la minore attenuazione della banda del segnale in quanto la frequenza alla quale la sinc si annulla è a frequenza doppia rispetto ad una soluzione NRZ. Si può dimostrare però che con questa soluzione la potenza di segnale prodotta in uscita è la metà rispetto a quella di una soluzione NRZ in quanto l'intervallo temporale in cui viene erogata energia è metà del NRZ. Inoltre, è noto in letteratura che la soluzione RZ è maggiormente sensibile a problematiche dovute al jitter del segnale. Tali problematiche ed i DAC RZ non sono però oggetto di questo lavoro di tesi e ricerca.

1.1.5 Le architetture comuni

A seconda dell'applicazione e delle performance richieste esistono differenti architetture e circuiti di DAC. Concettualmente le più semplici architetture DAC ad N bit utilizzano una struttura con N elementi come, ad esempio, resistori (architetture a scala binaria), condensatori (architetture a distribuzione di carica) o generatori di corrente che vengono combinati insieme per generare un output analogico. Ciascuno degli elementi è dimensionamento con un opportuno peso binario, in questo modo i circuiti di decodifica binaria sono minimizzati ma la differenza di dimensionamento tra gli elementi corrispondenti ai bit più significativi (MSB) e quelli meno (LSB) aumenta esponenzialmente con l'aumentare della risoluzione rendendo complesso il matching tra i componenti. Realizzare DAC ad alta risoluzione con queste architetture è complesso poiché molto sensibili ad errori di mismatch.

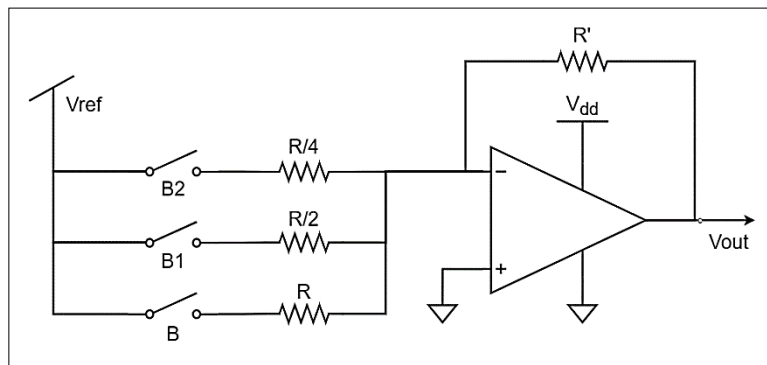


Figura 10: 3 bit DAC a resistori pesati

Esempio di queste architetture binarie sono i convertitori DAC a *resistori pesati*, come visibile in Figura 10. Il convertitore in figura ha una risoluzione di 3 bit ed è costituito da 3 resistori a pesi binari connessi tramite 3 switch al generatore di riferimento V_{ref} . Ciascuno switch è controllato dal segnale digitale in ingresso al DAC e tenendo conto che a ciascuno di essi è associato un determinato bit sulla base del valore del resistore del ramo. Allo switch controllato dal bit meno significativo del codice digitale in ingresso è associato il resistore maggiore con valore R mentre tutti gli altri resistori hanno valore pesato in maniera binaria cioè ognuno ha un valore che è metà del precedente. Il calcolo della tensione di uscita si ottiene considerando la corrente che scorre sui resistori selezionati dagli switch e che tramite l'amplificatore è convertita in tensione.

Per un generico DAC ad n bit si ha quindi che la tensione di uscita vale:

$$V_{out} = \left(\frac{B_{n-1}}{2} + \frac{B_{n-2}}{2^2} + \dots + \frac{B_0}{2^n} \right) \left(-2^n \frac{R'}{R} V_{ref} \right)$$

Come precedentemente introdotto uno dei problemi di questa architettura riguarda i mismatch ovvero l'impiego dei resistori e di componenti discreti che mantengano le stesse caratteristiche al variare del processo o, ad esempio, della temperatura. Inoltre, all'aumentare del numero di bit la precisione può essere un problema perché il campo delle resistenze richieste è molto ampio e l'errore introdotto dai bit più significativi può essere ben maggiore del valore di tensione V_{lsb} in caso di mismatch. Una soluzione a questo problema consiste nell'utilizzo di una stringa di 2^N resistori di uguale valore, in questo modo l'effetto di eventuali mismatch è limitato ma si richiede una rete logica in grado di decodificare l'input binario e trasformarlo in codifica termometrica. Un altro vantaggio della codifica termometrica è la riduzione dei glitch e quindi del rumore di uscita. In codifica termometrica, infatti, nel passaggio tra configurazioni binarie adiacenti solo uno switch deve commutare mentre in codifica binaria la commutazione può riguardare più elementi del circuito introducendo problemi di sincronizzazione e glitch.

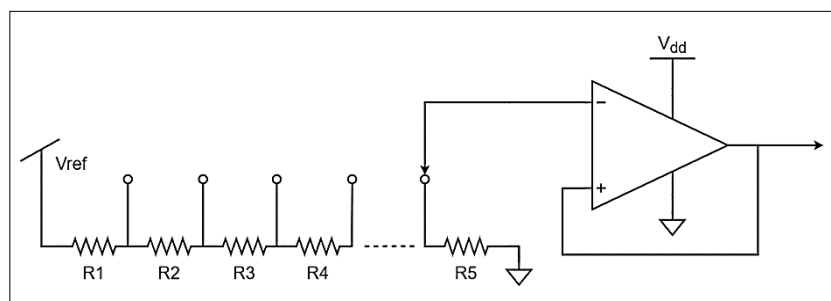


Figura 11: n-bit DAC Voltage Divider

Un'altra architettura che fa uso della codifica termometrica è chiamata *voltage divider* ed ha il vantaggio di essere completamente monotona e lineare se tutti i resistori hanno lo stesso valore. L'output è ottenuto decodificando l'ingresso binario ed attivando un determinato switch che collega un amplificatore ad una precisa posizione della stringa di resistori con il valore di tensione corrispondente. Una architettura equivalente può essere ottenuta utilizzando 2^N generatori di corrente, invece che i resistori, e connessi in parallelo tra l'alimentazione ed un nodo di uscita dove le correnti sono sommate. Il maggiore

svantaggio derivante da questa architettura è il numero di resistori o generatori di corrente richiesto nel caso di elevate risoluzioni che può diventare proibitivo in termini di dimensioni e matching per dimensioni superiori agli 8 bit. Un altro problema di questa architettura è la velocità, l'impedenza equivalente della stringa di resistenze è variabile con il codice binario applicato ed aumenta all'aumentare delle resistenze e del numero di switch rendendo così la carica del nodo centrale di ingresso all'amplificatore lenta poiché aumenta la costante di tempo ad esso associata.

Un'altra architettura largamente impiegata è quella $R-2R$, utilizzata per la realizzazione di DAC con reti a scala. Tale architettura unisce i vantaggi del lavorare con pesi binari quindi il fatto di non necessitare di un decoder ma utilizzando solamente due tipologie di resistori che sono tra loro in rapporto 2:1 come dimensioni. Il fatto di utilizzare solamente resistenze con valore R e $2R$ ha il grande vantaggio di ridurre i problemi di precisione discussi precedentemente nonostante ne sia comunque richiesto un numero elevato; la risoluzione del DAC dipende sempre infatti dal numero di resistori impiegati. Esempio di questa architettura $R-2R$ a commutazione di corrente è visibile in Figura 12.

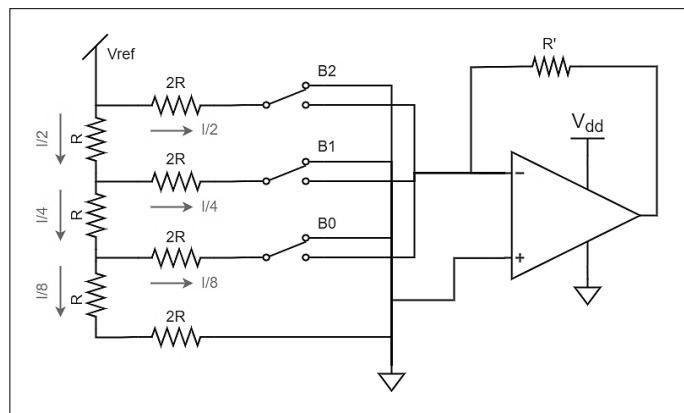


Figura 12: 3bit $R-2R$ DAC a commutazione di corrente

In questa architettura a scala alla corrente di ogni ramo è associato un peso binario, tale risultato è ottenuto mediante la divisione in due parti uguali della corrente per ogni nodo del circuito. Tale corrente in ogni ramo viene poi deviata a massa o all'ingresso dell'amplificatore da uno switch dipendentemente del valore dei bit in ingresso. Per un generico convertitore ad n bit si ha la seguente relazione:

$$V_{out} = \left(\frac{B_{n-1}}{2} + \frac{B_{n-2}}{2^2} + \dots + \frac{B_0}{2^N} \right) \left(-\frac{R'}{R} V_{ref} \right)$$

Nelle architetture appena discusse le prestazioni dinamiche sono limitate principalmente dalle prestazioni in frequenza dell'amplificatore e dal numero di componenti, come ad esempio resistori, collegati in serie della struttura. Nelle applicazioni a radiofrequenza la velocità di funzionamento del convertitore è fondamentale dovendo essi essere in grado di lavorare con segnali dell'ordine dei GHz. Per tali applicazioni vengono quindi utilizzate opportune e differenti architetture, ne è un esempio l'architettura *Current Steering* che verrà discussa nella prossima sezione.

1.2 L'architettura Current Steering

1.2.1 Introduzione

I convertitori Digitali Analogici ad alte prestazioni sono tra i componenti fondamentali dei moderni RF-System-on-Chip utilizzati per il settore delle telecomunicazioni. La tendenza nel design degli attuali sistemi di elaborazione e trasmissione del segnale è infatti quella di ridurre il più possibile la tradizionale elaborazione analogica riducendo la parte di analog front-end e back-end ed utilizzando direttamente convertitori DAC operanti ad elevate frequenze di campionamento. Per applicazioni ad alta frequenza la architettura *Current Steering* è la scelta da preferire essendo essa in grado di garantire migliori performance in termini di velocità grazie alla sua semplicità e compattezza. I problemi di velocità osservati nelle architetture descritte nella sezione 1.1.5 e dovuti all'utilizzo di un elevato numero di resistori non sono più presenti in questa architettura.

1.2.2 L'architettura

In primo approccio il convertitore è composto da schiere di generatori di corrente (dette celle), tutte indipendenti tra essi ed operanti in parallelo. L'aumentare del numero delle celle consente di aumentare la risoluzione del convertitore senza influire sulle prestazioni dinamiche, fenomeno che avviene invece nelle classiche architetture di DAC. Tale approccio non è però privo di altre complicazioni e fonti di errore che possono influire sulle performance statiche e dinamiche del convertitore e che verranno introdotte nelle prossime sezioni. Nella architettura *Current Steering* la conversione da digitale ad

analogico è effettuata tramite celle di corrente opportunamente dimensionate che, a seconda del segnale digitale in ingresso, fanno scorrere differentemente la corrente su due rami del convertitore definiti “ramo p” e “ramo n” generando una differenza di tensione che è il segnale analogico in uscita. Nello specifico, per ciascun ramo è presente un resistore di terminazione da 50Ω su cui si verifica una caduta di tensione V_{outp} e V_{outn} a causa della corrente che vi scorre. La tensione di uscita del convertitore V_{out_DAC} è quindi differenziale e viene presa come differenza tra la tensione al ramo p ed al ramo n. In Figura 13 è possibile osservare un esempio dell'architettura Current Steering ed in primo piano la struttura di una cella elementare.

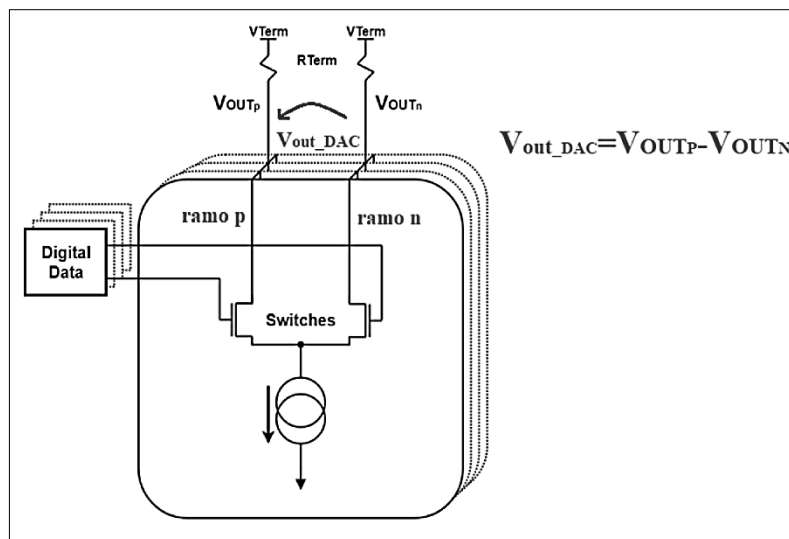


Figura 13: L'architettura Current Steering

Ogni cella elementare è composta da un generatore di corrente e da due switch che deviano le correnti sui due rami p ed n, le uscite di tutte le celle sono poi connesse insieme su due rami di uscita in cui sono presenti delle resistenze di terminazione. Gli switch sono realizzati con transistori NMOS e controllati da due segnali tra essi complementari, la corrente di ogni singola cella viene quindi completamente deviata o sul ramo n o sul ramo p contribuendo a quella complessiva dei rami di uscita. Il dimensionamento dei generatori di corrente dipende dal numero di bit e determina il peso di ogni singola cella sulla tensione di uscita. Per il dimensionamento dei generatori di corrente si possono seguire in teoria due differenti approcci, come osservato nelle architetture classiche: *dimensionamento in logica binaria* o *codifica termometrica*.

Il dimensionamento in logica binaria è meno complesso come codifica e consente di utilizzare il minor numero di celle di corrente. L'idea è di associare ad ogni generatore una corrente con un peso binario a seconda del numero di bit dell'architettura. La corrente di ogni generatore raddoppia per ogni generatore di corrente a partire da quella associata del bit meno significativo I_{LSB} .

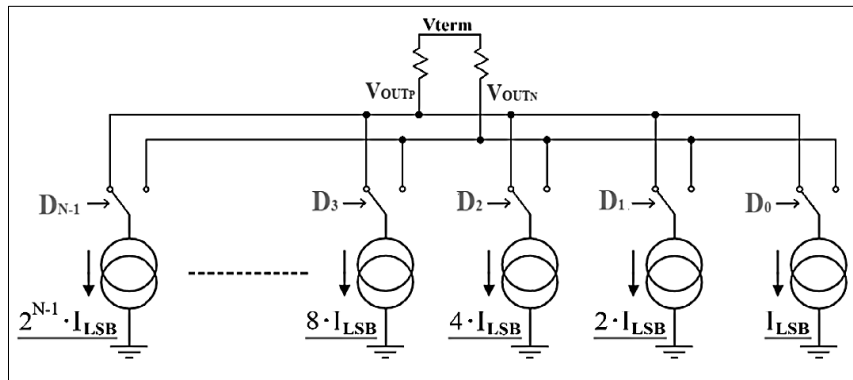


Figura 14: Current Steering DAC con dimensionamento binario

Ogni singola cella è quindi controllata direttamente con il bit del segnale digitale corrispondente in ingresso ed anche la dimensione degli switch dovuta al fattore di forma W/L è proporzionale alla corrente della cella. Il dimensionamento binario, teoricamente vantaggioso, introduce però non poche complessità statiche e dinamiche nella sua implementazione pratica. Si consideri ad esempio un DAC a 16 bit, gli switch della cella corrispondente al bit più significativo (MSB) dovrebbero condurre una corrente 65536 volte maggiore rispetto a quella del bit meno significativo (LSB) e quindi con fattore di forma 65536 volte maggiore rispetto al LSB. Oltre ai possibili problemi di layout la differente dimensione degli switch risulta in una differente capacità di ingresso di ciascuna cella e differenti tempi di commutazione degli switch che può essere complesso mantenere allineati. Questa differenza può introdurre errori dinamici, cioè glitch, sulla tensione di uscita poiché la commutazione di una cella può essere ritardata o anticipata rispetto alle altre portando la tensione di uscita a valori non previsti. In più, nel caso in cui l'effettiva corrente di ogni singola cella differisca staticamente dal valore ideale vi possono essere problemi di non monotonicità del convertitore in quanto, ad esempio, nel passaggio da un codice binario ad uno maggiore più di un generatore tra gli LSB può spegnersi ma solo un MSB accendersi portando a valori di tensione di uscita più bassi.

L'alternativa alla codifica binaria è la codifica termometrica. In una architettura a N-bit essa consiste nell'impiegare $2^N - 1$ generatori di corrente equamente dimensionati in modo da condurre ciascuno una corrente che contribuisce alla tensione di uscita di un valore pari a V_{LSB} . Tale architettura è intrinsecamente monotonica perché, ad esempio, il passaggio da un valore digitale in ingresso al valore esattamente successivo comporta l'attivazione di un solo generatore di corrente. Tale attivazione può solo aggiungere corrente a quella totale del DAC garantendone quindi la monotonicità ed evitando pure glitch sulla tensione di uscita, ragionamento analogo vale nel caso opposto. Il principale svantaggio di questa architettura è l'elevato numero di generatori di corrente richiesti, ad esempio un DAC a 16 bit richiederebbe 65536 generatori di corrente ed altrettanti segnali di controllo rendendo complesso anche il layout del circuito. A differenza del caso binario in cui è possibile utilizzare il segnale digitale in ingresso per il controllo dei generatori di corrente in questo caso è inoltre necessario convertire il segnale binario in codifica termometrica. La conversione di un codice binario ad N-bit con valore decimale D in codifica termometrica comporta l'utilizzo di $(2^N - 1)$ bit di cui i D bit meno significativi sono posti a valore logico 1 ed i restanti $(2^N - 1) - D$ sono posti a 0. Ad esempio, la conversione del codice binario a 3bit 011 in codifica termometrica diventa 0000111.

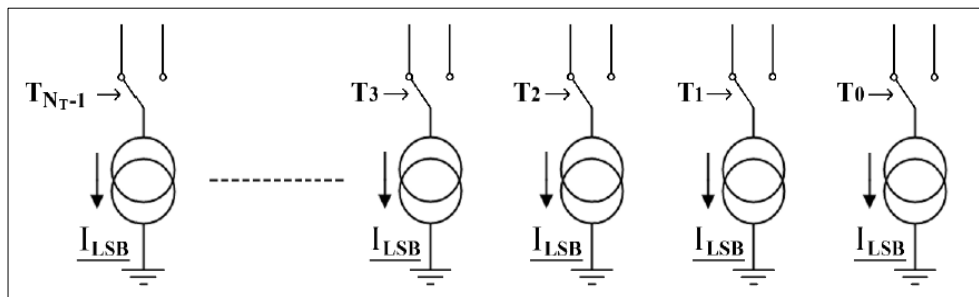


Figura 15: Current Steering DAC con dimensionamento termometrico

Entrambe le soluzioni presentano pregi e difetti, l'architettura Current Steering a 16 bit considerata in questa tesi è un compromesso tra le due soluzioni. In particolare, i bit sono suddivisi in questa maniera: gli 8 LSB sono codificati in codifica binaria, 3 bit vengono definiti come intermedi e sono codificati in codifica termometrica ed i restanti 5 MSB nuovamente in codifica termometrica. Nello specifico, degli 8 LSB solo 6 vengono considerati perché il contributo alla tensione di uscita apportato dai restanti due sarebbe trascurabile. Il convertitore, per tutta la trattazione, verrà quindi considerato come a 14

bit e di conseguenza il terzo bit meno significativo del codice digitale in ingresso al convertitore è considerato come LSB. Il numero totale di generatori di corrente richiesti e di relativi segnali di controllo con questa soluzione è di 44, di cui 6 per la parte binaria chiamati *Binary*, 7 per i bit *Intermedi* termometrici e 31 per i bit termometrici chiamati *Unary*. Ad esempio, considerando una corrente complessiva del DAC $I_{TOT} = 32\text{mA}$ si ha che la corrente per ciascuno dei 31 unary è $1/32$ della corrente complessiva quindi $I_{UNARY} = 1\text{mA}$. La corrente dei generatori intermedi è invece $1/8$ della corrente di un unary quindi $I_{INTERM} = 0.125\text{mA}$ mentre quella dei generatori binari viene progressivamente dimezzata di un fattore 2 fino ad arrivare alla corrente $I_{LSB} = 1.95\mu\text{A}$. Con questa tecnica, definita *segmentazione*, si ha una sostanziale riduzione del numero di segnali digitali in ingresso grazie ai LSB bit codificati in binario pur mantenendo i vantaggi forniti dalla codifica termometrica in quanto la maggior parte dell'energia è portata dagli unary. Il fatto che la maggior parte dell'energia venga trasportata dagli unary è indicatore del fatto che eventuali mismatch e non idealità di questi generatori di corrente avranno un effetto maggiore sulle variazioni della tensione di uscita rispetto al valore ideale. In Figura 16 è possibile osservare l'architettura completa.

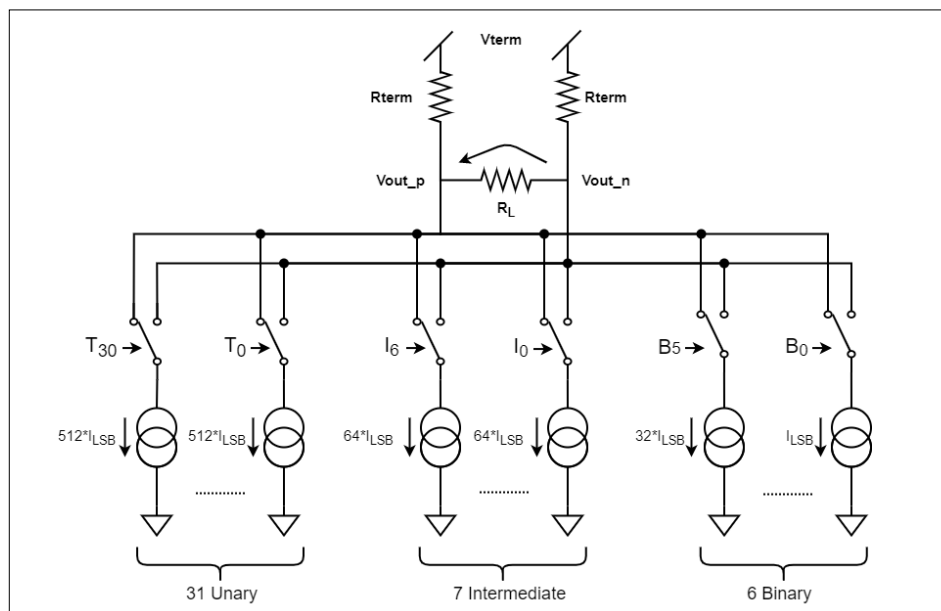


Figura 16: Current Steering DAC in codifica mista

La corrente totale I_{TOT} del DAC è data dal contributo di ciascun generatore, il quale farà scorrere la corrente sui rami p o sui rami n delle celle a seconda del codice applicato in

ingresso. Nel caso in cui la corrente che scorre sui rami p sia maggiore di quella sui rami n allora la tensione differenziale di uscita è negativa in quanto la caduta di tensione dovuta alle resistenze di terminazione è maggiore sul ramo p, si ottiene $V_{OUTP} < V_{OUTN}$, viceversa si avrà $V_{OUTP} > V_{OUTN}$. La tensione di uscita $V_{OUT} = V_{OUTP} - V_{OUTN}$ è differenziale in modo da garantire una maggiore immunità ai disturbi, minori non linearità ed indipendenza dalla tensione di alimentazione V_{term} . I resistori R_{term} di terminazione da 50Ω sono interni al die mentre il resistore R_L da 100Ω , utilizzato per motivi di adattamento in potenza, è esterno al chip.

Utilizzando il principio di sovrapposizione degli effetti e considerando separatamente il contributo di corrente dato da generatori unary, intermedie e binary è possibile ricavare la tensione di uscita del DAC. I tre casi sono visibili in Figura 17.

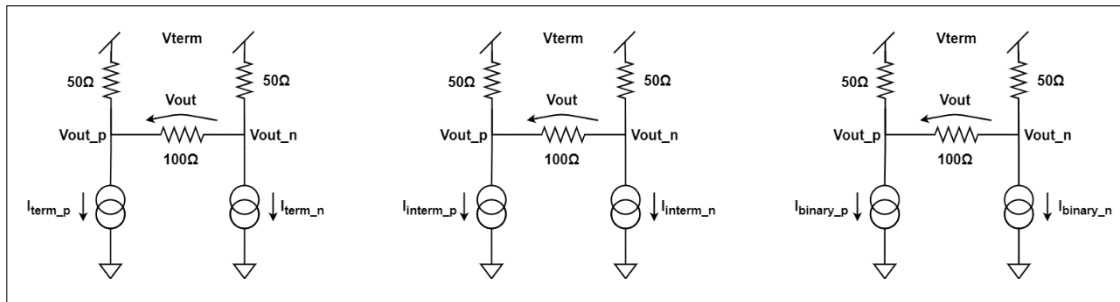


Figura 17: Contributo di corrente delle celle unary, intermedie e binary

Si definisce N_T il numero totale di celle unary, N_I il numero totale di intermedie ed N_B il numero di binary. A seconda del codice digitale in ingresso, k indica il numero di celle unary che fanno scorrere la corrente sul ramo n e j il numero di intermedie che fanno scorrere la corrente sul ramo n. Per le celle binary invece B_i assume valore 1 se il generatore binario fa scorrere la corrente sul ramo n o 0 altrimenti. In formule si ha quindi:

$$\begin{aligned}
 I_{term-p} &= (N_T - k)I_{unary} & I_{term-n} &= (k)I_{unary} \\
 I_{interm-p} &= (N_I - j)I_{interm} & I_{interm-n} &= (j)I_{interm} \\
 I_{binary-p} &= \left[2^{N_B} - 1 - \left(\sum_{i=0}^{N_B-1} B_i 2^i \right) I_{LSB} \right] & I_{binary-n} &= \left(\sum_{i=0}^{N_B-1} B_i 2^i \right) I_{LSB}
 \end{aligned}$$

Dove $I_{unary} = 512 * I_{LSB}$ è la corrente delle celle termometriche unary, $I_{interm} = 64 * I_{LSB}$ è la corrente delle celle intermedie ed I_{LS} è la corrente della cella binaria associata al bit meno significativo dell'architettura in uso.

Risolvendo il circuito si ottiene la tensione di uscita:

$$V_{OUT-DAC} = \frac{R_{term}R_L}{2R_{term} + R_L}(I_N - I_P)$$

Dove:

$$I_P = I_{term-p} + I_{interm-p} + I_{binary-p}$$

$$I_n = I_{term-n} + I_{interm-n} + I_{binary-n}$$

Applicando questa formula alle configurazioni digitali con in ingresso tutti i bit a zero e tutti i bit ad uno è possibile calcolare il minimo ed il massimo della tensione di uscita. Considerando una $I_{TOT}=20mA$ si ha nella configurazione zero che la corrente viene fatta scorrere tutta sul ramo p ottenendo $I_P=20mA$ ed $I_N=0mA$ con una $V_{OUT} = -0.5V$. Nella configurazione con tutti i bit ad uno la tensione di uscita è invece deviata completamente sul ramo n e si ottiene $V_{OUT} = +0.5V$. Si ha quindi un range del segnale di uscita di 1.0V che, nel caso a 14bit di nostro interesse implica una $V_{LSB} = 61\mu V$ ed $I_{LSB} = 1.22\mu A$.

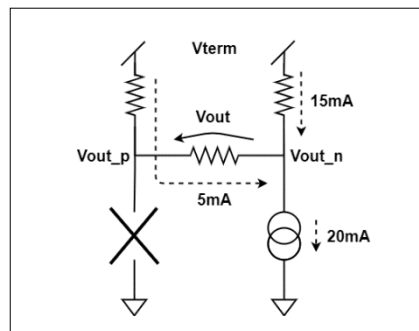


Figura 18: Massima potenza trasferita sul carico in un DAC Current Steering

Consideriamo ora la configurazione di picco visibile in Figura 18, la corrente $I_{TOT}=20mA$ scorre solo sul ramo n ma attraversa nella rete di output entrambe le resistenze di terminazione da $50\ \Omega$ scorrendo sul carico da $100\ \Omega$, in particolare si può ricavare che viene divisa in 5mA nel ramo di sinistra e 15mA nel ramo di destra. Risultato analogo ma opposto è ottenibile considerando la corrente solo sul ramo p. La corrente che scorre sul carico è quindi 5mA. A seguito di questo risultato è possibile calcolare la potenza massima trasferita al carico come:

$$P_{out} = R(I_{RMS})^2 = 1.25mW$$

$$P_{out}[dBm] = 10 \log(P_{out}) + 30 = 1dBm$$

1.2.3 I mismatch statici

Come introdotto nella sezione precedente la maggiore parte dell'energia di uscita dal DAC è dovuta al contributo delle celle di tipo unary, in quanto i generatori all'interno di esse conducono più corrente rispetto alle altre. Eventuali mismatch, cioè variazioni, della corrente condotta da queste celle rispetto al loro valore nominale di progetto si riflettono sull'uscita come errori di corrente e quindi variazioni della tensione di uscita impattando sulle performance di linearità del convertitore. Tali mismatch vengono definiti *statici* perché sono presenti sia ad alta che a bassa frequenza, la loro presenza infatti non dipende dalla frequenza ma dal processo produttivo in cui l'inevitabile variazione dei parametri di processo nel wafer di silicio porta alla realizzazione di celle di corrente che si discostano statisticamente dal loro valore nominale in cui idealmente dovrebbero essere tutte uguali. Si ha quindi una distribuzione statistica della corrente di ciascun unary centrata come valore medio in I_{unary} e con una certa varianza σ_p dipendente dall'area dei transistor utilizzati per la realizzazione dei generatori di corrente (4). Si ha infatti che:

$$\sigma_p^2 \approx \frac{1}{\text{Area}}$$

I generatori sono realizzati utilizzando la struttura cascode visibile in Figura 19 in modo da ottenere una elevata impedenza di uscita. Durante la fase di progetto si cerca di massimizzare l'area dei transistor (WL) ai fini di ridurre le variazioni di corrente tra essi ma, con l'aumentare dell'area dei generatori, vi è anche un aumento della lunghezza delle linee di interconnessione e quindi degli effetti parassiti ad esse collegate che possono limitare le performance ad alta frequenza del convertitore, c'è quindi un trade-off da valutare tra frequenza di funzionamento ed area dei transistor.

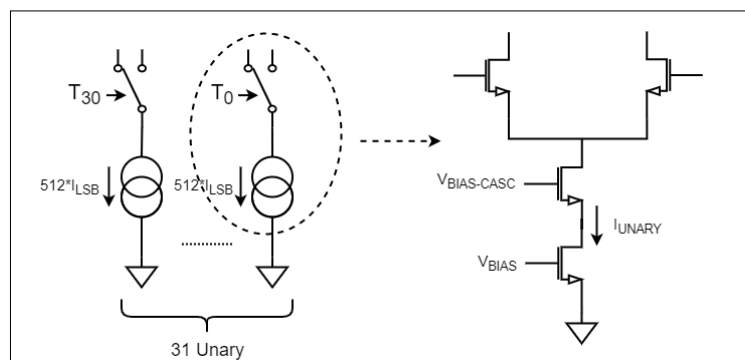


Figura 19: Dettaglio cella unary con architettura cascode

La corrente in ciascuno degli unary nel CSA (*Current Source Array*), ovvero l'insieme delle celle che compongono il DAC, si discosta statisticamente dal valore ideale come precedentemente descritto ma segue inoltre anche un andamento lineare che dipende dal gradiente di processo dovuto alla produzione del chip. La variazione delle correnti degli unary dipende dal layout scelto che, se non si usano tecniche di layout a baricentro comune, ha un andamento crescente o decrescente progressivamente con la posizione delle celle. Ciò si riflette in un INL degli unary di tipo parabolico e di non linearità della funzione di trasferimento del DAC come visto nella sezione 1.1.2.

È possibile osservare l'effetto di tali mismatch analizzando lo spettro del segnale di uscita dal DAC. In Figura 20 il risultato di una simulazione eseguita con un segnale a frequenza fondamentale di 224.6 MHz e utilizzando il modello VerilogA del Current Steering DAC a 10GHz che verrà descritto nelle prossime sezioni. Dai grafici è possibile osservare come l'introduzione nel modello dei mismatch di corrente, in seguito chiamati *CSA mismatch*, comporti l'introduzione di non linearità e la comparsa nello spettro del segnale di uscita delle armoniche di secondo, terzo ordine o anche ordini superiori.

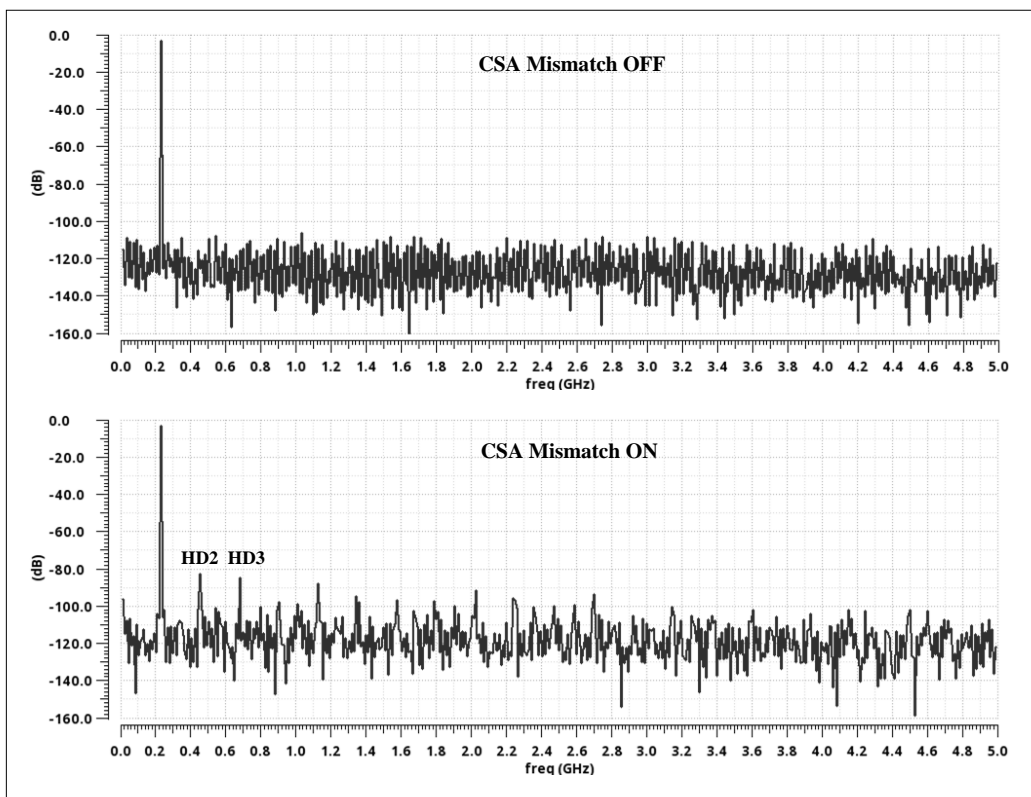


Figura 20: Spettro di uscita del DAC con e senza introduzione dei CSA mismatch

Per garantire buone prestazioni del DAC è dunque importante mantenere limitata la potenza delle armoniche indesiderate nello spettro ovvero limitato l'effetto delle non linearità del circuito. Esistono differenti tecniche per ridurre l'effetto delle non linearità, esse non verranno approfondite in questo elaborato di tesi ma, data l'importanza, verranno citate. Le possibili strategie per il miglioramento della non linearità del DAC sono due: riordino degli unary e correzione della corrente degli unary.

Nel caso della presenza di un gradiente di processo lineare è possibile applicare algoritmi di riordino degli unary. L'idea è quella di non seguire nella generazione del segnale di uscita l'ordine fisico dei generatori unary ma un differente ordine ottenuto tramite specifici algoritmi. Un primo e semplice approccio è quello di rimescolare casualmente l'ordine degli unary, in questo modo si ottiene un miglioramento dell'INL ma un peggioramento del rumore di fondo nel segnale di uscita. Un altro approccio si basa invece sull'algoritmo di riordino secondo cui un generatore che genera più corrente del valore ideale è seguito da un unary con che genera meno corrente. In questo modo l'INL parabolico viene migliorato perché le variazioni rispetto al valore ideale delle correnti (DNL) degli unary adiacenti si compensano a vicenda. In aggiunta, poiché i codici di uscita di maggior importanza per un DAC sono quelli intermedi è importante avere la miglior forma dell'INL nella zona centrale del range della tensione di uscita. Per ottenere questo si selezionano i generatori migliori per le posizioni corrispondenti a codici intermedi. Per l'implementazione dell'algoritmo è necessario realizzare un sistema di misura delle correnti ed istituire una fase di calibrazione del DAC in cui si misurano le correnti di ogni unary e sulla base delle misure ottenute si applica l'algoritmo di riordino.

La seconda strategia consiste nella correzione della corrente degli unary, anche in questo caso è necessario in primis misurare la corrente di ogni unary ma invece che modificarne l'ordine si agisce correggendo incrementando o diminuendo la corrente della cella di un certo step. La correzione della corrente degli unary si può effettuare seguendo due differenti approcci: correggendo la corrente dei singoli unary se essa è maggiore o minore di un certo intervallo oppure correggendola considerando l'INL espresso in corrente del singolo unary e verificando che sia contenuto all'interno di un certo intervallo. Il secondo approccio agendo direttamente sull'INL è più efficace e consente di ottenere una migliore correzione della forma parabolica dell'INL. Volendo sarebbe possibile combinare l'algoritmo di correzione dei mismatch con l'algoritmo di riordino degli unary.

1.2.4 I mismatch dinamici

Un'altra sorgente di non linearità del DAC sono i mismatch *dinamici*, anche definiti come *timing mismatch*. Anche in questo caso, come nei mismatch statici, si tengono in considerazione solamente quelli derivanti dagli unary in quanto le distorsioni in uscita dipendenti da intermediate e binary hanno un effetto minore poiché minore il loro contributo in corrente nella generazione del segnale in uscita. La definizione di mismatch dinamico si basa sul fatto che nella architettura Current Steering DAC è importante mantenere il più possibile allineate temporalmente le commutazioni tra i differenti unary in modo che essi commutino contemporaneamente e non si presentino configurazioni errate sull'uscita. Essi sono definibili come errori di corrente rispetto a quella idealmente attesa in uscita. Il mismatch dinamico è quindi dovuto al fatto che la commutazione degli switch che controllano gli unary può non essere sincronizzata tra le differenti celle introducendo una non linearità nella funzione di trasferimento del DAC.

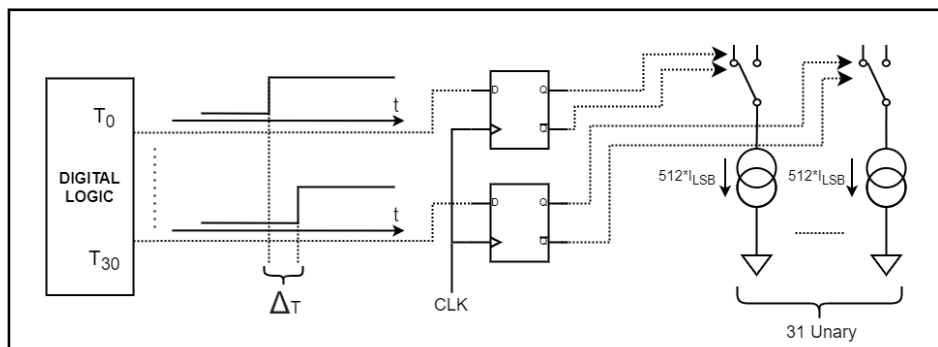


Figura 21: Ritardi nei segnali di controllo degli unary e flip flop di riallineamento

Nella implementazione pratica del DAC è stato tenuto conto dei mismatch di layout, ad esempio effetti parassiti nelle linee di interconnessione che si traducono in ritardi nei segnali digitali che controllano il CSA. Per limitare questo effetto vengono introdotti nella architettura Current Steering dei flip flop (visibili in Figura 21) di campionamento e riallineamento dei segnali di controllo e comandati dal segnale di clock. Seppur i flip flop consentano di ridurre il disallineamento permangono comunque dei disallineamenti, detti *timing error*, a causa dei mismatch dei flip flop o dovuti alla distribuzione del segnale di clock. In particolare, possono essere misurati come ritardi di salita o discesa rispetto al fronte positivo del segnale di clock in ingresso.

L'analisi matematica degli effetti dei mismatch dinamici viene fatta considerando l'errore di carica portata in uscita dal DAC quando la commutazione delle uscite non avviene nei fronti ideali. Si definisce errore di carica:

$$\Delta Q = \Delta T_{err} * \Delta I$$

Dove ΔI è la differenza tra la corrente portata in uscita dal DAC tra una configurazione e la successiva mentre ΔT_{err} è il timing error nella commutazione degli unary. Si può osservare da questa formula che se la frequenza del segnale in ingresso al DAC aumenta, allora gli step ΔI nello stesso periodo di campionamento sono maggiori e più unary devono commutare. Ne segue quindi che all'aumentare della frequenza l'errore di carica è maggiore e la non idealità avrà un errore maggiore. In Figura 22 è possibile osservare l'incremento delle non idealità all'aumentare della frequenza mettendo a confronto due simulazioni eseguite a 224 MHz e 1.24GHz con il modello VerilogA del DAC Current Steering. Nel modello sono stati introdotti dei timing error nei segnali di controllo del CSA generati con una distribuzione gaussiana con $\sigma=180\text{fs}$ e a valore medio nullo. Si osserva ad esempio l'aumento della potenza della seconda armonica da -93dB a -79dB.

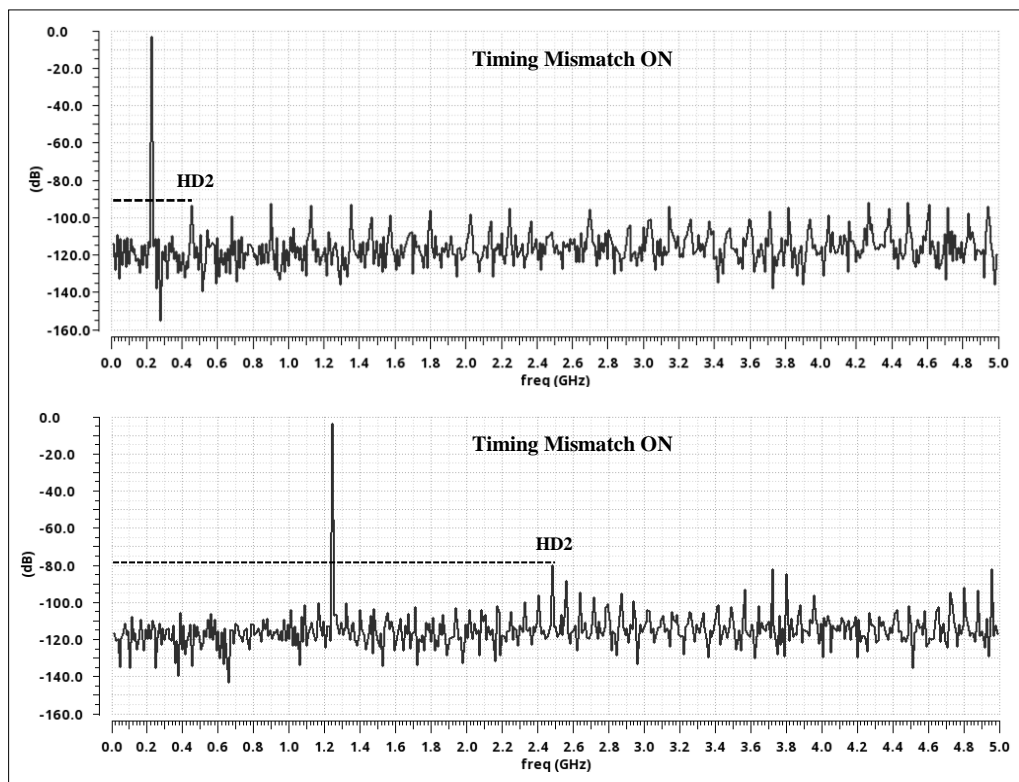


Figura 22: HD2 nello spettro del DAC a 224MHz e 1.24GHz con timing mismatch

Per i mismatch temporali, così come per quelli statici, è necessario mantenere il più possibile limitato il loro effetto riducendo la sorgente di non linearità e, se possibile, correggerli. Anche per il timing mismatch esistono differenti approcci per calibrare il DAC e ridurre le non linearità. È possibile agire correggendo i ritardi temporali oppure applicando algoritmi di riordino degli unary come visto per il caso dei mismatch statici, in entrambi i casi è comunque necessario in primis misurare gli errori temporali di ciascun unary. Tale misura viene fatta in modo da codificare l'errore per ciascun unary in termini di variazione del Duty Cycle e di Timing Error Medio rispetto al caso ideale. È poi possibile calcolare per ciascun unary l'INL relativo a queste due misure ed applicare l'algoritmo di riordino o la correzione. Anche in questo caso l'idea dell'algoritmo di correzione è di ottenere una sequenza di commutazione degli unary in grado di linearizzare l'INL alternando unary con errore opposto e che tende a compensarsi.

Essendo gli errori statici e gli errori dinamici di origine differente le sequenze di riordino degli unary ottenute applicando l'algoritmo al caso dinamico e a quello statico sono diverse e non è possibile applicarle contemporaneamente agli unary. È quindi necessario scegliere in quale caso sia più conveniente applicare l'algoritmo di riordino ed in quale sia più conveniente applicare la correzione, tenendo conto che l'eventuale correzione ha un elevato impatto in termini di area e potenza dissipata in quanto sarebbe necessario aggiungere blocchi di correzione per ciascun unary oltre che al sistema di misura. Simulazioni non trattate in questa tesi hanno verificato che l'approccio di correzione si è dimostrato più efficace nella riduzione delle non linearità per il caso dinamico mentre per il caso statico l'algoritmo di riordino è da preferire.

1.2.5 Il modello VerilogA del DAC

Le simulazioni mostrate nei paragrafi 1.2.3 e 1.2.4 sono state eseguite utilizzando un modello VerilogA del DAC con architettura Current Steering ed eseguite in ambiente Cadence Virtuoso. VerilogA è un linguaggio di programmazione che permette di simulare fedelmente il comportamento di una architettura senza utilizzarne lo schematico circuitale e di verificare agilmente gli effetti delle non linearità o dei circuiti di correzione. Il modello utilizzato è composto da differenti blocchi scritti in VerilogA, ciascuno dei quali

riproduce il comportamento di specifiche parti del circuito, lo schema completo è visibile nella Figura 23 sottostante.

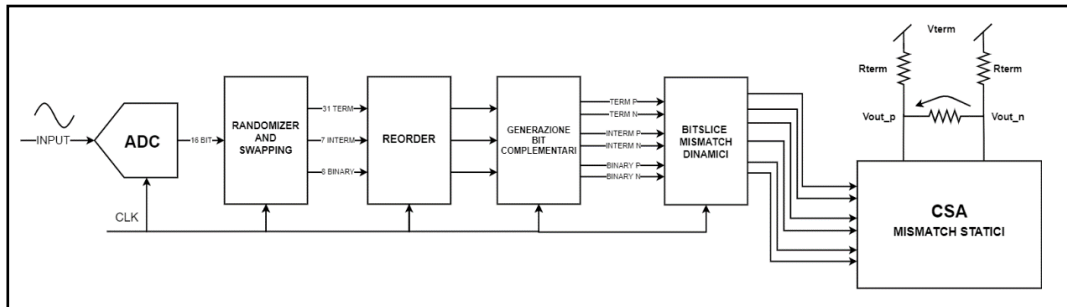


Figura 23: Schema a blocchi del modello VerilogA del DAC

Il primo blocco presente nel modello è un ADC ideale a 16 bit. Esso riceve in ingresso un segnale puramente analogico alle frequenze di interesse per la simulazione e genera i segnali digitali in ingresso al DAC. Il segnale digitale entra poi nel *randomizer*, esso ha come scopo quello di convertire il dato dalla rappresentazione binaria a 16 bit nei segnali di controllo del CSA suddividendolo in 31 bit termometrici, 7 intermedi e 8 binari secondo il criterio descritto in 1.1.2. In totale si contano 46 segnali, di cui solo i 44 MSB verranno usati dal CSA. Tale blocco allinea i fronti dei segnali ed introduce l'algoritmo di randomizzazione degli unary al fine di ridurre l'effetto dei mismatch statici (1.2.3) e migliorare l'INL. Successivamente il terzo blocco, detto di *reorder*, consente di riordinare, a seguito della misurazione, gli unary mediante l'applicazione dell'algoritmo di riordino. Lo scopo è compensare gli errori di tipo statico visti nella sezione 1.2.3 sulla base dei mismatch statici che verranno introdotti dal blocco CSA di uscita. I segnali in uscita dal reorder vengono convertiti in logica complementare dal quarto blocco, ogni cella del CSA è infatti composta da due switch che devono essere controllati da segnali complementari. Il blocco *bitslice* consente di scegliere la modalità di funzionamento del DAC: RZ o NRZ e nel modello VerilogA aggiunge i mismatch dinamici al circuito ritardando in maniera pseudo-casuale (distribuzione gaussiana con varianza impostabile per la simulazione) i segnali di controllo. Il blocco finale, connesso alla rete di uscita, descrive infine il comportamento delle celle del CSA secondo l'architettura Current Steering. Vengono introdotti nel blocco CSA anche le principali non idealità di tipo statico ovvero i mismatch di corrente dei generatori e gli effetti capacitivi e resistivi dati dai nodi interni al circuito.

2. Time Interleaved DAC

2.1 Introduzione

I convenzionali sistemi di front-end utilizzati in telecomunicazioni e composti da mixer, oscillatori e filtri analogici sono stati nel corso degli anni sostituiti nei circuiti integrati con ADC, DAC e DSP (Digital Signal Processing) in grado di effettuare la conversione di frequenza e le operazioni di filtraggio del segnale direttamente nel dominio digitale e tempo discreto. Tale soluzione consente di porre i convertitori più vicino alla antenna e di ridurre significativamente il costo e il consumo di potenza del sistema (5). Convertitori Digitali-Analogici in grado di operare ad elevate frequenze (dell'ordine dei GHz) e che consentono la sintesi diretta dei segnali a radio frequenza sono oggetto di studio e di interesse per numerose aziende (tra cui Xilinx) poiché necessari in queste applicazioni (6). La massima frequenza di funzionamento dei DAC presenta però delle limitazioni di cui è necessario tenere conto in fase di progetto, in particolare sono tre i fattori limitanti: la presenza della replica dell'immagine, l'effetto della attenuazione introdotto dall'hold e la generazione di spurie dovute alle non linearità, come osservabile in Figura 24.

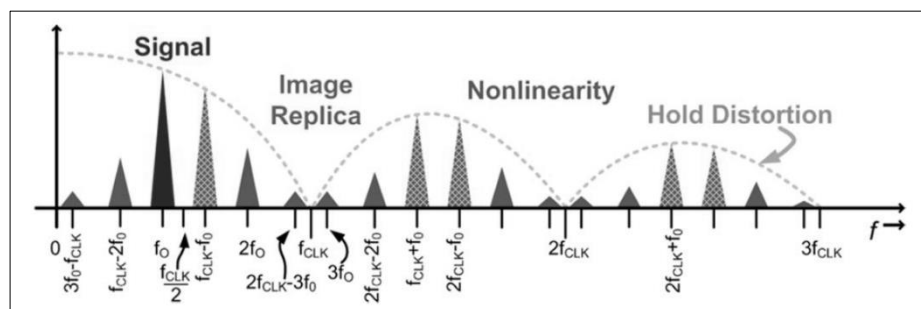


Figura 24: Replica dell'immagine, non linearità ed effetto del Sinc

Come già discusso nella sezione 1.1.4 osservando lo spettro di un DAC operante alla frequenza f_{clk} ed utilizzato per sintetizzare un segnale alla frequenza f_0 è possibile osservare repliche del segnale (immagine) alla frequenza $mf_{clk} \pm f_0$, con m numero intero. Tali repliche vengono poi filtrate da parte del filtro di ricostruzione del segnale analogico in uscita dal DAC ma per segnali con frequenze vicino alla fine della prima banda di

Nyquist, ovvero $f_0 \approx f_{clk}/2$, la replica si troverà molto vicina al segnale complicando il design del filtro. In tali situazioni è infatti richiesto un filtro con un elevato fattore Q ovvero maggiore selettività, condizione difficile da ottenere on-chip. Si dovrebbe progettare il filtro off-chip con un incremento in complessità, area, potenza e costi. Inoltre, a frequenze vicine alla banda Nyquist anche gli effetti introdotti dalle non linearità e l'attenuazione dovuta al Sinc (1.1.4) sono maggiori, i prodotti di intermodulazione e le armoniche presenti alle frequenze $mf_{clk} \pm nf_0$ hanno infatti una dipendenza diretta con la frequenza. A causa di questi motivi i segnali sintetizzabili da un DAC sono generalmente ben al di sotto del limite teorico della frequenza di Nyquist (7). Incrementare la frequenza di funzionamento del DAC, ovvero f_{clk} , consentirebbe di aumentare la larghezza di banda di Nyquist e di semplificare il design del filtro di ricostruzione del segnale ma comporta complicazioni significative a livello di design. Considerando ad esempio l'architettura Current Steering l'incremento della frequenza di clock implica vincoli di timing degli switch del CSA ancora più stringenti e difficilmente rispettabili mantenendo la stessa tecnologia e architettura.

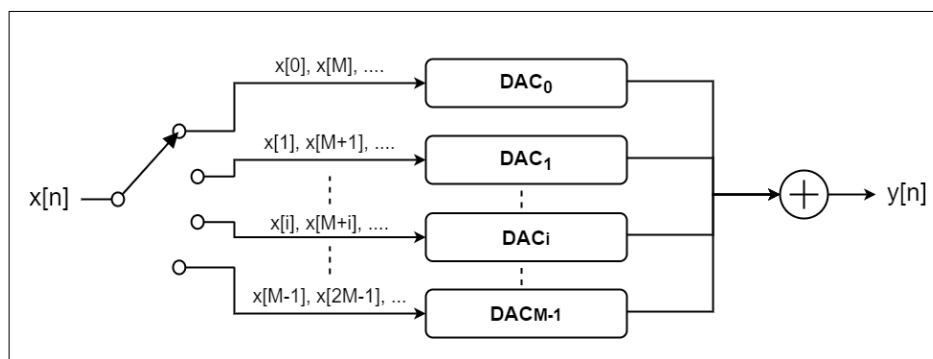


Figura 25: Schema logico dell'architettura Time Interleaved - DAC

Al fine di realizzare convertitori DAC in grado di sintetizzare segnali ad elevate frequenze e con maggiore banda può essere utilizzata l'architettura *Time Interleaved DAC* (TIDAC). Tale architettura, visibile in Figura 25, è già da tempo utilizzata nei convertitori ADC e consente ipoteticamente di aumentare di un fattore M la frequenza di funzionamento del convertitore e quindi la larghezza della banda di Nyquist a seconda del numero M di DAC utilizzati in parallelo. In generale, l'idea è quella di suddividere i dati digitali in ingresso al TIDAC a frequenza $f_{clk-TIDAC} = f_{clk} * M$ tra M canali ciascuno dedicato a un DAC controllato da un segnale a frequenza f_{clk} e sfasato di $2\pi/M$. L'uscita di ciascun DAC viene

poi selezionata sul nodo di uscita in modo da ricostruire il segnale analogico originale. Esistono differenti soluzioni ed architetture TIDAC sulla base del tipo di DAC utilizzati e sul modo in cui avviene la ricostruzione dell'uscita. Lo scopo delle prossime sezioni sarà quello di descrivere nei dettagli il funzionamento dell'architettura, le tipologie ed analizzarne le performance ed i problemi di tale architettura sulla base di un modello VerilogA di un Time Interleaved DAC con 2 DAC Current Steering appositamente creato. Nell'implementazione di questa tecnologia, è necessario tenere conto del fatto che gli inevitabili errori di timing o mismatch tra i due DAC portano alla generazione di armoniche e repliche spettrali che inquinano lo spettro del segnale in uscita dal TIDAC. Verranno quindi studiati ed analizzati anche gli effetti di queste non idealità.

2.2 Le caratteristiche del TIDAC

2.2.1 Le architetture Time Interleaved

Le tecnologie utilizzate per la realizzazione dei singoli DAC impongono delle limitazioni sulle prestazioni ottenibili in un singolo DAC (8), per questo motivo il concetto di parallelizzazione viene introdotto nelle architetture e nel progetto di circuiti. Esso consente di ottenere un incremento delle prestazioni in termini di frequenza di campionamento e banda grazie all'istanza di più convertitori ma senza variar l'architettura del singolo e quindi senza aggiungere complicazioni a livello di tecnologia. L'*interleaving* può essere applicato sia nel dominio della frequenza che nel dominio del tempo, le architetture che verranno introdotte in seguito si basano tutte sull'approccio temporale. Nel dominio del tempo sono due le possibili implementazioni dell'interleaving. La prima si basa sull'idea di combinare la potenza in uscita dai due DAC mediante un sommatore analogico, la seconda si basa sull'idea di utilizzare un multiplexer in modo da selezionare le uscite dei DAC ed aggregarle.

Nel primo approccio, ovvero quello basato sull'utilizzo di un sommatore, l'uscita del TIDAC è ottenuta dalla sovrapposizione delle uscite di ciascun DAC, come visibile in Figura 26. In tale architettura le uscite sono mantenute costanti per un intero ciclo di clock del DAC in un approccio *Non Return to Zero*, NRZ con $T=M/f_s$ ed i segnali di ciascun DAC sono sfasati in fase l'uno dall'altro di $2\pi/M$, ove M è il numero di DAC utilizzati,

in questo modo si è in grado di garantire la sovrapposizione delle uscite. Tale tecnica richiede però l'utilizzo di un algoritmo di pre-compensazione degli ingressi di ciascun DAC in modo tale che la combinazione delle uscite di ciascuno di essi restituisca il valore corretto del segnale. Sempre utilizzando un approccio con sommatore è possibile considerare segnali *Return to Zero* (RZ), in questo modo non è necessario l'algoritmo di pre-compensazione dei dati ma i vincoli temporali sulla velocità di switching del DAC sono più stringenti. Entrambi gli approcci RZ e NRZ del TIDAC consentono di spostare l'immagine replica del segnale f_0 da $f_{DAC} - f_0$ ad $f_s - f_0$, ove f_{DAC} è la frequenza di campionamento del singolo DAC e $f_s = 2f_{DAC}$ quella del TIDAC. In questo modo i vincoli sul design del filtro di ricostruzione del segnale sono rilassati quando f_0 assume dei valori vicini a $f_{DAC}/2$ ma la frequenza dei segnali sintetizzabili con questo approccio rimane ancora limitata ben al di sotto di $f_{DAC} = f_s/2$ a causa dell'effetto di attenuazione dato dal *sinc-rolloff* dei singoli DAC operanti alla frequenza f_{DAC} più bassa.

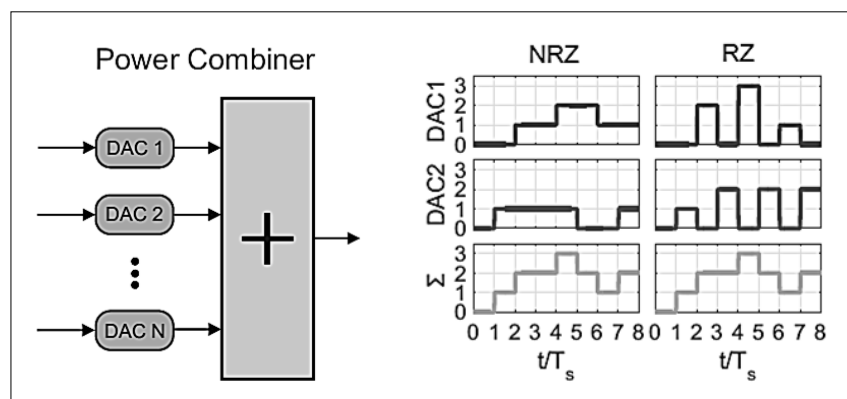


Figura 26: Time Interleaved DAC con sommatore, versione NRZ e RZ

L'altro approccio nel dominio del tempo fa uso di un multiplexer analogico ed è visibile in Figura 27. Anche in questa architettura i singoli DAC operano sempre alla frequenza f_{DAC} mentre il MUX opera alla frequenza f_s ed è in grado di combinare le uscite di ciascun DAC selezionandole in precisi istanti e portandole come uscita del TIDAC per un periodo $T=1/f_s$. Il sample rate viene incrementato di un fattore M utilizzando M DAC contemporaneamente, ove $f_s=M*f_{DAC}$, ed inoltre con questa soluzione la limitazione alla banda dovuta al DAC ed osservata nella struttura a sommatore non persiste più, l'unico limite è dato dalla banda del MUX e dal sinc-rolloff dovuto all'hold dell'uscita per il periodo $T=1/f_s$. Con questa soluzione il limite alle prestazioni viene spostato

definitivamente dal DAC al design del MUX analogico ad alta frequenza. In Figura 27 è possibile osservare un esempio di TIDAC con MUX, l'uscita di ogni singolo DAC viene selezionata dal MUX, in questo caso in figura, a metà di ciascun simbolo.

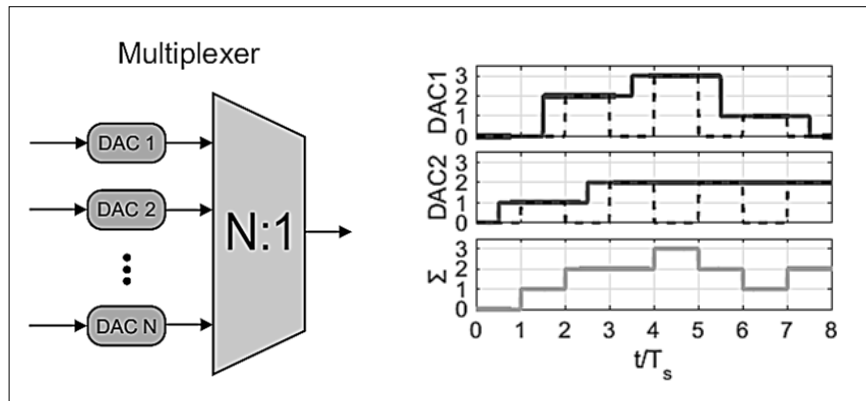


Figura 27: Time Interleaved DAC con multiplexer

2.2.2 Modello Twofold e spettro del segnale in uscita

Per analizzare le performance del TIDAC e trarre conclusioni sullo spettro del segnale in uscita da esso è necessario introdurre un modello matematico per descriverne il comportamento. Si riporta in questa sezione il modello introdotto in (5) di un TIDAC ad N-bit con multiplexer ed operante al sample rate f_s , tale architettura viene definita nel paper *Two Fold* in quanto fa uso di due DAC operanti alla frequenza di campionamento $f_{DAC}=f_s/2$. L'architettura presa in considerazione è visibile in Figura 28 e l'idea è alla base del modello VerilogA del TIDAC che verrà considerato nei prossimi capitoli.

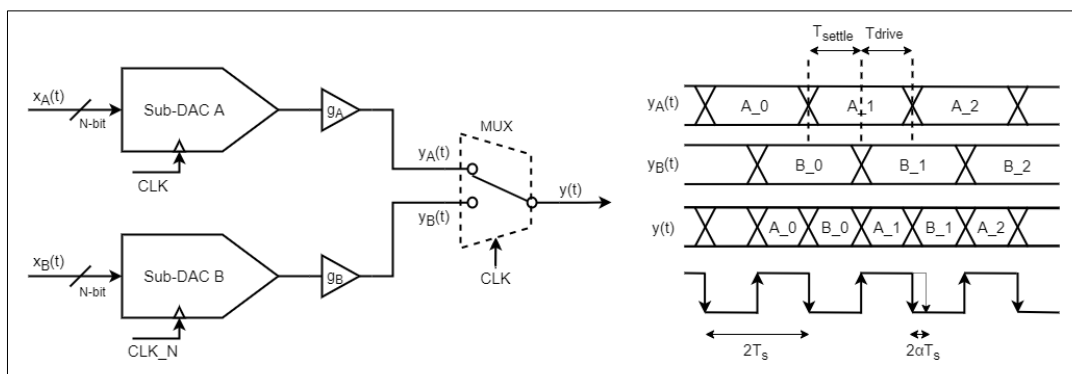


Figura 28: Diagramma a blocchi del Two Fold TIDAC

Nell'architettura considerata ciascun DAC è controllato da un segnale di clock alla frequenza $f_s/2$ ma sfasati tra essi di 180° , in questo modo ogni periodo di durata T_s l'uscita di uno dei due DAC commuta, come visibile in Figura 28. Non si entra nel dettaglio del funzionamento di ciascun DAC ma ciascuno di essi è realizzato con l'architettura Current Steering vista in sezione 1.2.2. In tale architettura il DAC genera una corrente in uscita a seconda del codice digitale ricevuto in ingresso la quale, scorrendo sulla resistenza di uscita, produce la differenza di potenziale V_{OUT} . Nella architettura Two Fold qui presentata la corrente di ciascun DAC viene portata come uscita del TIDAC a seconda del fatto che esso sia selezionato dallo switch presente nel multiplexer. Quando il clock ha valore alto viene selezionato il Sub-DAC-A mentre quando ha valore basso viene selezionato il Sub-DAC-B. Si tratta quindi di un MUX analogico il cui compito è selezionare la corrente di ciascun DAC e portarla come uscita del TIDAC nella fase T_{Drive} di durata T_s . Durante la fase T_{Settle} essa viene deviata su un resistore *dummy*, non presente in figura, in modo da garantire che il DAC resti acceso e che la corrente scorra sull'uscita solamente quando la fase di transitorio del segnale è terminata.

Idealmente in questa architettura la corrente di ciascun DAC dovrebbe essere portata in uscita esattamente per il 50% del periodo di clock, ovvero per un intervallo di tempo $T=T_s$. È necessario però introdurre nel modello il fatto che il Duty Cycle del segnale di clock, ovvero il rapporto tra il tempo in cui il segnale è alto ed il periodo del clock, può non essere esattamente del 50% nella reale implementazione circuitale. Per questo motivo viene introdotto il fattore $\alpha \in [-1,1]$, visibile in Figura 28, per modellare l'offset del Duty Cycle del clock. Quando $\alpha = 0$ il DC (Duty Cycle) è del 50%. Un'altra non idealità che viene introdotta nel modello è la differenza di guadagno tra il Sub-DAC-A ed il Sub-DAC-B a causa dei mismatch tra i generatori di corrente dei due DAC. Entrambe le non idealità hanno un effetto sullo spettro del segnale di uscita, ci si occupa ora di determinare una formulazione matematica che consenta di rappresentarne il fenomeno.

L'analisi dello spettro del segnale di uscita si basa sull'analisi della trasformata di Fourier di essa, si considera quindi $Y(f) = F[y(t)]$ con $y(t)$ uscita del TIDAC:

$$Y(f) = F[y(t)] = \int_{-\infty}^{+\infty} y(t) e^{-j2\pi f t} dt \quad \text{dove} \quad y(t) = y_a(t) + y_b(t)$$

Poiché il segnale $y(t)$ è ottenuto dalla somma dei due segnali $y_a(t)$ e $y_b(t)$ è possibile allora, per proprietà di linearità dell'integrale, calcolare individualmente le due trasformate di Fourier e sommare i contributi per ottenere $Y(f)$.

Il segnale $y_a(t)$ in uscita dal Sub-DACA si assume venga portato in uscita dall'istante $t=0$ fino all'istante $t=T_S+2\alpha T_S$ e può essere espresso come somma di infiniti impulsi rettangolari di tipo Return to Zero (RZ) con ampiezza $x_a(n) = x(2ntT_S)$ dove $x(t)$ è la rappresentazione tempo continua del segnale in ingresso al Sub-DACA. In formule:

$$y_a(t) = g_a \cdot \Pi\left(\frac{t - \frac{T_S}{2}(1 + 2\alpha)}{T_S(1 + 2\alpha)}\right) * \left(x(t) \cdot \sum_{k=-\infty}^{+\infty} \delta(t - 2kT_S)\right)$$

Dove g_a è il guadagno del Sub-DACA, $\Pi(t)$ è la funzione rettangolare di tipo RZ definita in modo da tener conto dell'errore α del DC del clock ed $\delta(t)$ è la delta di Dirac. In questo modo l'uscita del Sub-DACA è rappresentata come convoluzione della funzione rettangolare per un treno di impulsi ottenuto dal campionamento di $x(t)$ ogni $2kT_S$ secondi. Nello specifico, la funzione $\Pi(t)$ è così definita:

$$\Pi(t) = \begin{cases} 0 & \text{per } |t| > \frac{1}{2} \\ 1 & \text{per } |t| = \frac{1}{2} \\ 1 & \text{per } |t| < \frac{1}{2} \end{cases}$$

Ricordando che la trasformata di Fourier della convoluzione di due segnali equivale al prodotto delle trasformate si ottiene $Y_A(f)$:

$$Y_a(f) = F[y_a(t)] = \frac{g_A}{2} \cdot (1 + 2\alpha) \text{sinc}(f T_S(1 + 2\alpha)) e^{-j\pi f T_S(1+2\alpha)} \cdot \sum_{k=-\infty}^{+\infty} X\left(f - k \frac{f_S}{2}\right)$$

Analogamente è possibile ottenere la trasformata di Fourier del segnale $y_b(t)$ ricordando che la variazione α del DC del clock ha come effetto una riduzione della durata della pulsazione prodotta in uscita dal Sub-DACB e tenendo conto della traslazione temporale di $y_b(t)$ rispetto a $y_a(t)$ di $T = T_S(1+2\alpha)$, in formule:

$$Y_b(f) = \frac{g_B}{2} \cdot (1 - 2\alpha) \text{sinc}(f T_S(1 - 2\alpha)) e^{-j\pi f T_S(1-2\alpha)} \cdot \sum_{k=-\infty}^{+\infty} X\left(f - k \frac{f_S}{2}\right) e^{-j\pi k(1+2\alpha)}$$

Nell'espressione di $Y_B(f)$ compare un esponenziale all'ultimo termine, si è infatti usata la proprietà della trasformata di Fourier secondo cui una traslazione temporale produce uno sfasamento nel dominio trasformato. È possibile osservare in entrambe le espressioni delle trasformate il contributo di due termini moltiplicati tra essi: la Sinc e la sommatoria delle repliche dello spettro del segnale $X(f)$ traslate di $kf_s/2$ dove f_s è la frequenza di funzionamento del TIDAC. Tali termini rappresentano l'effetto dato dall'hold di tipo NRZ introdotto da ciascun DAC e del campionamento del segnale, come già introdotto nella sezione 1.1.4. La trasformata di Fourier dell'uscita e quindi lo spettro del segnale di uscita è quindi dato da:

$$Y(f) = Y_a(f) + Y_b(f)$$

Si considera l'espressione di $Y_a(f)$ e di $Y_b(f)$. Si osserva che se $\alpha = 0$ e se $g_a = g_b = g$, ovvero in assenza di mismatch statici o dinamici (di guadagno e temporali) tra i due Sub-DAC e nel caso in cui il DC del clock che controlla il sistema sia 50% allora le trasformate possono essere così riscritte:

$$Y_a(f) = \frac{g}{2} \cdot \text{sinc}(f T_S) e^{-j\pi f T_S} \cdot \sum_{k=-\infty}^{+\infty} X\left(f - k \frac{f_S}{2}\right)$$

$$Y_b(f) = \frac{g}{2} \cdot \text{sinc}(f T_S) e^{-j\pi f T_S} \cdot \sum_{k=-\infty}^{+\infty} X\left(f - k \frac{f_S}{2}\right) e^{-j\pi k}$$

K è il contatore utilizzato nella sommatoria per indicare le repliche dello spettro, a causa del campionamento del segnale in ingresso lo spettro viene infatti replicato ogni $kf_s/2$ con k numero intero. Per valori di k dispari l'esponenziale $e^{-j\pi k}$ presente nell'espressione di $Y_b(f)$ dà come risultato -1 mentre per valori pari ha valore 1, ovvero la fase delle repliche dei segnali è opposta di 180° per valori di k dispari. Ne segue quindi che nella sommatoria di $Y_a(f)$ e di $Y_b(f)$ tutti i contributi di termine k dispari si cancellano tra essi se in assenza di mismatch. Si ottiene quindi:

$$Y(f) = Y_a(f) + Y_b(f) = g \cdot \text{sinc}(f T_S) e^{-j\pi f T_S} \cdot \sum_{k=-\infty}^{+\infty} X\left(f - (2k + 1) \frac{f_S}{2}\right)$$

In tutti gli altri casi ogni variazione di α rispetto al valore 0 comporta una differenza temporale tra la durata del T_{Drive} dei due Sub-DAC che si traduce in una differenza tra il modulo dello spettro prodotto in uscita dal Sub-DACA e dal Sub-DACB. Ciò comporta

una non perfetta cancellazione delle repliche dello spettro presenti nelle posizioni k dispari ovvero ad esempio a frequenza $f_s/2$ o $3/2f_s$. Effetto analogo si ottiene nel caso in cui il guadagno dei due Sub-DAC sia differente.

In particolare, è di notevole interesse il fatto che viene cancellata la replica dello spettro del segnale presente alla frequenza $f_s/2$. Si ricorda infatti che il DAC realizzato in architettura TIDAC ha una frequenza di campionamento finale f_s , di conseguenza analizzando lo spettro del segnale in uscita ci si aspetta di osservare la prima replica del segnale alla frequenza f_s e non ad $f_s/2$, tale risultato è quindi coerente con quanto atteso dalla teoria del DAC esposta nel capitolo 1.1.4. In Figura 29 è possibile osservare un esempio di spettro in uscita dai due Sub-DAC e l'effetto di cancellazione delle repliche nel caso in cui non siano presenti mismatch. Per semplicità si è deciso di rappresentare graficamente lo sfasamento di 180° tra le repliche dei segnali f_0 presenti in $Y_a(f)$ e $Y_b(f)$ in posizione $kf_s/2$ con k dispari raffigurando i segnali con ampiezza opposta.

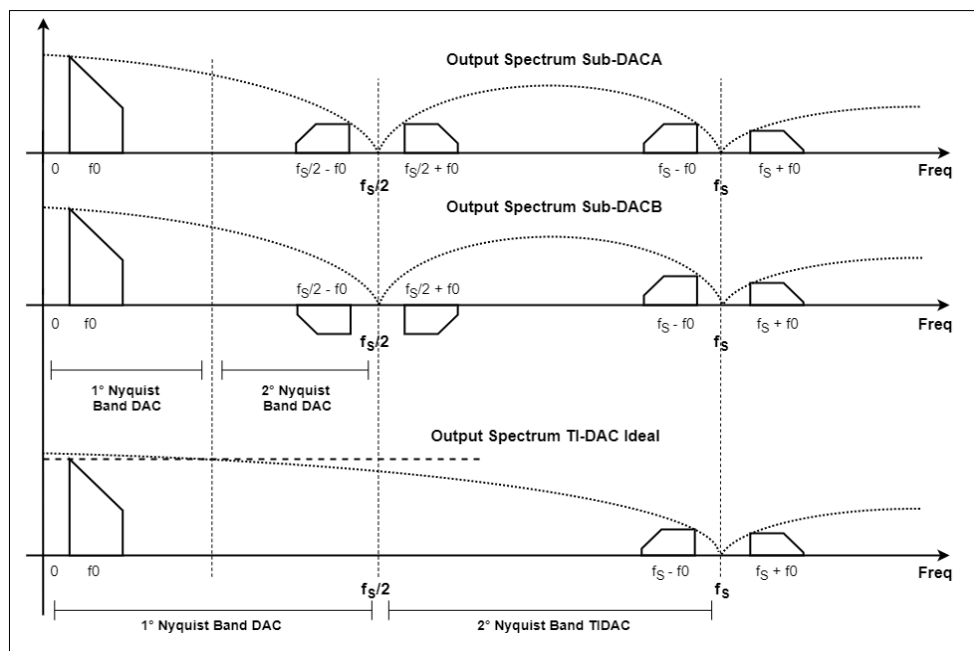


Figura 29: Spettro dei Sub-DAC e generazione dello spettro di uscita del TI-DAC

A seguito dell'effetto di cancellazione delle repliche presenti alle frequenze $f_s/2 - f_0$ e $f_s/2 + f_0$ lo spettro del segnale in uscita dal TIDAC ovvero la prima o la seconda banda di Nyquist sono idealmente completamente utilizzabili e non è richiesto particolare frequency planning se non quello normalmente effettuato per i comuni DAC.

2.2.3 I Mismatch

Nell'implementazione reale del TIDAC è necessario tenere conto dell'inevitabile presenza di mismatch nel Sub-DACA e nel Sub-DACB a causa di differenze tra i transistor all'interno di essi ed originate a causa del processo. Nello specifico, cade inoltre l'ipotesi fatta nella sezione precedente in cui il DC del segnale di clock è del 50%, ovvero $\alpha = 0$ e che i due Sub-DAC abbiano guadagno uguale, ovvero $g_a = g_b = g$. Ne segue quindi che nella somma di $Y_a(f)$ e di $Y_b(f)$ le repliche del segnale $X(f)$ in posizione $f = k f_s / 2$ con k dispari non si compensano completamente a vicenda ma rimane un residuo la cui ampiezza dipende dall'entità del mismatch tra i due Sub-DAC. Tale residuo è definito *immagine del segnale* e l'effetto è osservabile in Figura 30.

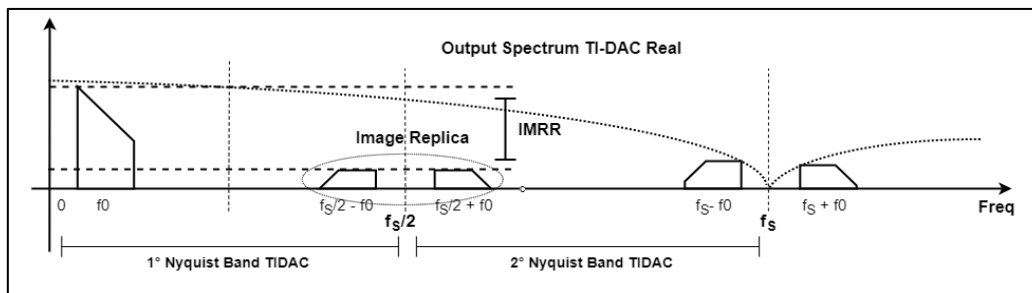


Figura 30: Spettro del segnale in uscita dal TIDAC in presenza di mismatch

Sarà interesse di questa tesi misurare quanto i mismatch introdotti dall'architettura TIDAC influiscano sulla ampiezza dell'immagine. È infatti di notevole importanza far sì che l'ampiezza dell'immagine sia il più possibile limitata in modo che la sua potenza sia trascurabile nello spettro del segnale di uscita. In caso contrario sarebbe necessario tenere conto della presenza dell'immagine nella fase di *Frequency Planning*, ovvero la fase in cui prima dell'utilizzo del DAC si progetta come la banda verrà occupata dal segnale in uscita in base ai segnali utilizzati e alle non idealità del DAC al fine di evitare la sovrapposizione e la distorsione di essi.

Si introduce ora la metrica utilizzata per misurare l'ampiezza della potenza dell'immagine del segnale rispetto all'ampiezza della potenza del segnale, essa è chiamata *Image Rejection Ratio* (IMRR) ed è definita come segue:

$$IMRR = \frac{A_{Image}}{A_{fundamental}} \quad IMRR[dBc] = 10 \log_{10} \left(\frac{A_{Image}}{A_{fundamental}} \right)$$

È importante sottolineare che la replica del segnale e dell'immagine visibili in Figura 30 includono la replica di tutte le possibili armoniche che a causa della distorsione del segnale vengono generate. Si era infatti osservato in sezione 1.1.3, 1.2.3 e 1.2.4 come i mismatch presenti nella struttura del DAC introducessero non linearità e di conseguenza generazione di armoniche a frequenze multiple di quella fondamentale, quindi f_0 , $2f_0$, $3f_0$ e superiori, lo stesso concetto vale per l'architettura TIDAC. Lo spettro completo osservabile in uscita dal TIDAC in caso di mismatch nell'architettura è quindi analogo a quanto visibile in figura sottostante.

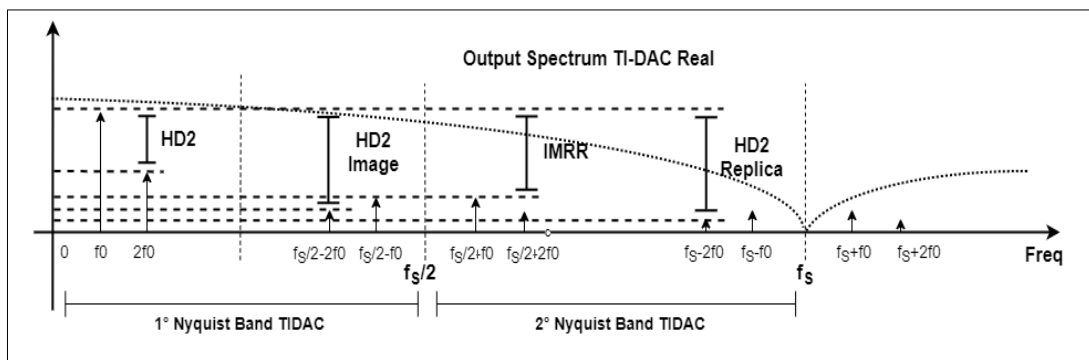


Figura 31: Spettro in uscita TI-DAC in caso di non linearità e mismatch

Per motivi grafici si è deciso di riportare in Figura 31 solo le non linearità del secondo ordine ma sarebbe possibile estendere la raffigurazione anche ad ordini superiori, in particolare si può osservare che è possibile estendere la definizione di HD2 introdotta in 1.1.3 anche alle repliche del segnale presenti alle frequenze $f_s/2 \pm 2f_0$ e $f_s \pm 2f_0$ ovvero per le armoniche di secondo ordine dell'immagine e della replica del segnale.

Analizzando l'architettura sono state individuate in totale cinque fonti di non idealità nel TIDAC:

1. Differenze di guadagno statico tra i 2 Sub-DAC, ovvero $g_a \neq g_b$.
2. Duty Cycle del segnale di clock non ideale, ovvero diverso dal 50%.
3. Mismatch statici (CSA Mismatch) dovuti alle differenze tra i Current Source di ogni singolo Sub-DAC, osservati e descritti nella sezione 1.2.3.
4. Mismatch dinamici (Time Mismatch) dovuti all'incertezza temporale nelle commutazioni degli switch di ogni singolo Sub-DAC, essi sono stati osservati e descritti nella sezione 1.2.4

5. Mismatch temporali nelle commutazioni degli switch del multiplexer posto sull'uscita del TI-DAC, la descrizione di questa non idealità verrà introdotta nel capitolo successivo e l'effetto valutato grazie al modello VerilogA.

Per quanto osservato in precedenza grazie al modello matematico Two Folded TIDAC le non idealità 1 e 2 hanno come effetto una riduzione della cancellazione delle repliche dell'immagine presenti in posizioni $kf_s/2$ con k dispari mentre per quanto osservato nei paragrafi 1.2.3 e 1.2.4 le non idealità 3, 4 e 5 hanno come effetto l'introduzione di non linearità nel sistema e quindi la generazione di armoniche spurie. Per riassumere si è quindi osservato come la prima banda di Nyquist del TIDAC, che idealmente dovrebbe essere libera da spurie, ovvero non dovrebbero essere presenti segnali indesiderati a parte il segnale alla frequenza f_0 venga invece inquinata dalla presenza dell'immagine e dalle non linearità originate a causa dei mismatch. Nei prossimi capitoli si descriverà il modello VerilogA realizzato per studiare le prestazioni del TIDAC e misurare l'inquinamento dello spettro di uscita al variare dei mismatch dell'architettura.

2.3 Il modello VerilogA del TIDAC

2.3.1 L'architettura

Come per l'architettura Current Steering descritta in sezione 1.2.5 si è deciso di realizzare un modello VerilogA in ambiente Cadence Virtuoso per studiare ed analizzare le performance dell'architettura TIDAC. Si è scelto di utilizzare il VerilogA in quanto come linguaggio consente di modellare agilmente le non idealità e non linearità del sistema riutilizzando ad esempio il modello del Current Steering DAC visto in 1.2.5.

La strategia adottata è stata quella di realizzare il modello in VerilogA seguendo l'idea precedentemente esposta del Two Folded TIDAC in modo da verificare e misurare quanto osservato in teoria. È di interesse di questa tesi determinare quali fattori contribuiscano maggiormente all'inquinamento dello spettro di uscita in termini di potenza delle spurie, armoniche e dell'immagine replica. Per ricapitolare, il modello Two Folded descritto in sezione 2.2.2 fa uso di due Sub-DAC controllati da due differenti segnali di clock sfasati di 180° ma entrambi operanti alla frequenza f_{clk} e di un MUX posto sull'uscita in grado

di selezionare la corrente in uscita dal CSA di ciascun Sub-DAC per metà periodo in modo da variare l'uscita con una frequenza doppia, ovvero $2f_{clk}$.

Ogni Sub-DAC deve essere in grado di operare ad alta frequenza e deve essere realizzato in un'architettura idonea. Per tale motivo e sulla base dello studio delle architetture di DAC effettuato precedentemente si considera ogni Sub-DAC di tipo Current Steering a 16 bit e segmentazione 5_3_8 come descritto nel capitolo 1.2.2 ed 1.2.5.. In Figura 32 è possibile osservare il diagramma a blocchi del modello VerilogA realizzato.

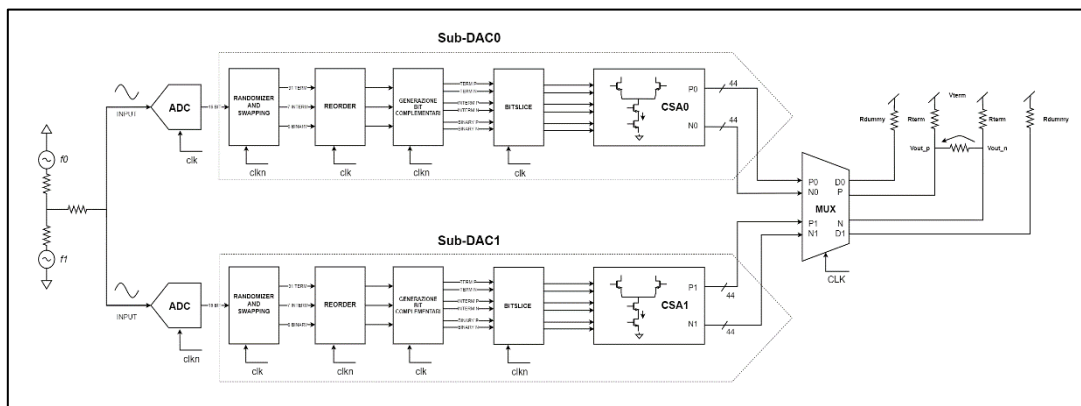


Figura 32: Modello VerilogA dell'architettura TI-DAC

Ogni Sub-DAC campiona il dato digitale in ingresso sempre al fronte positivo del segnale di clock che lo controlla a frequenza f_{clk} , è però grazie al fatto che entrambi sono controllati da segnali di clock sfasati di 180° che si riesce ad ottenere in uscita una frequenza doppia rispetto a quella di ogni singolo DAC. Infatti, mentre un Sub-DAC è selezionato dal multiplexer per un tempo $T_{Drive}=0.5/f_{clk}$ l'uscita dell'altro si trova in fase di setting per un tempo $T_{Settle}=0.5/f_{clk}$ e viceversa nel semiperiodo successivo. Il multiplex in uscita seleziona ciascuna delle uscite dei Sub-DAC durante la fase T_{Drive} e quindi l'uscita del TIDAC varia con frequenza $2f_{clk}$. Nel modello sono stati utilizzati due differenti segnali chiamati $clkp$ e $clkn$, uno il complementare dell'altro, per controllare i due rami Sub-DAC0 e Sub-DAC1. Per generare i dati digitali da fornire in ingresso ai due Sub-DAC sono stati istanziati nel modello due ADC a 16 bit ideali il cui comportamento privo di non idealità è descritto in VerilogA. Entrambi gli ADC sono connessi alla stessa sorgente di segnale, in questo caso il segnale in ingresso è ottenuto da due generatori di onde sinusoidali in modo da poter eventualmente anche simulare anche segnali dual tone a frequenza f_0 e f_1 . Anche gli ADC campionano il segnale al

fronte positivo del segnale di clock, per questo motivo il segnale deve essere campionato precedentemente rispetto a quando viene campionato dal Sub-DAC. Ne segue quindi che, ad esempio, se Sub-DAC1 è controllato dal segnale *clkp* allora ADC1 deve essere controllato dal segnale *ckln*, viceversa per Sub-DAC0. Il modello può essere quindi separato in due rami, Sub-DAC0 e Sub-DAC1, ciascuno di essi controllato da segnali opposti rispetto all'altro. Per ogni ramo vengono istanziati tutti i blocchi VerilogA osservati in sezione 1.2.5 in modo tale da poter generare tutti i segnali di controllo del Sub-DAC ed attivare i sistemi e algoritmi di correzione dei mismatch. Inoltre, tutti i parametri VerilogA dei due Sub-DAC vengono distinti in modo da poter simulare l'effetto di eventuali mismatch non solo all'interno dello stesso Sub-DAC ma anche gli effetti delle differenze tra essi, come ad esempio la differenza di guadagno statico di cui si è già discusso in 2.2.2.

Come introdotto precedentemente la corrente in uscita da ciascun Sub-DAC è portata sulla rete di uscita solo per metà periodo, ovvero per un tempo $T_{Drive}=0.5/f_{clk}$, ma è necessario garantire che il Sub-DAC sia acceso anche per il semiperiodo T_{Settle} precedente e che la corrente in uscita da esso scorra. Per questo motivo si introducono nell'architettura due resistori dummy, uno per Sub-DAC. Si progetta il multiplexer in modo da connettere i Sub-DAC all'uscita nel secondo semiperiodo, ovvero durante la fase T_{Drive} in cui l'uscita è assestata ad un valore stabile, e da connetterli al resistore dummy nel primo semiperiodo ovvero nella fase iniziale di transitorio definita T_{Settle} , come visibile in Figura 33.

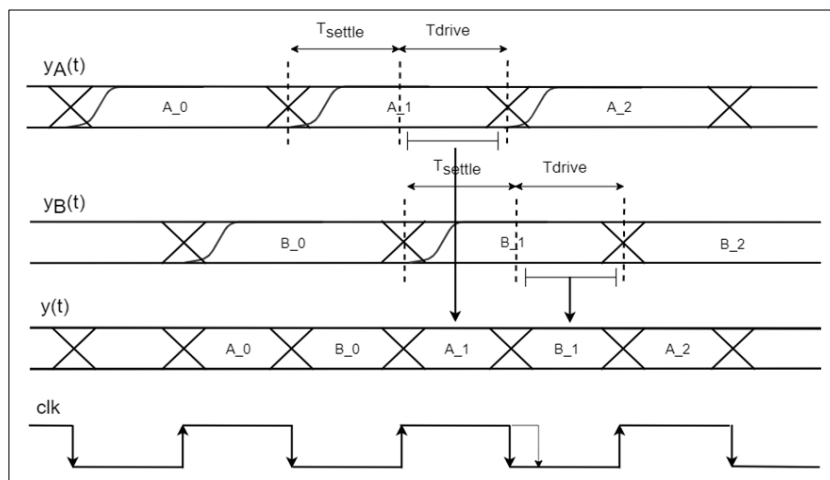


Figura 33: Forme d'onda di funzionamento dell'architettura e del multiplexer

Questa soluzione garantisce in primis di ridurre gli effetti di non linearità portando in uscita il segnale solo quando esso è assestato alla tensione di regime ma soprattutto consente di annullare anche i problemi dovuti ad eventuali ritardi dei fronti del segnale di uscita di ogni Sub-DAC, ovvero i mismatch dinamici dei Sub-DAC in quanto il segnale è selezionato solo quando stabile.

Se da un lato l'effetto dei ritardi nella commutazione di ogni cella del CSA (mismatch dinamici) e del transitorio del segnale in uscita da ogni Sub-DAC diventa influente perché l'uscita è selezionata nel secondo semiperiodo dall'altro lato il sistema è ora maggiormente sensibile alla transizione da un dato ad un altro. Il sistema infatti rimane comunque passibile di errori se la transizione al dato successivo è anticipata o a causa di non idealità (mismatch) del multiplexer che potrebbe introdurre differenti ritardi nella commutazione da un ingresso all'altro. In tal caso si osserverebbe per un breve istante la commutazione dell'uscita del TIDAC al nuovo valore dell'uscita del Sub-DAC prima di passare alla selezione del secondo semiperiodo dell'altro Sub-DAC.

La rete di uscita su cui il multiplexer analogico devia le correnti di ciascun Sub-DAC quando selezionati è la stessa già osservata per l'architettura Current Steering, si tratta quindi di una architettura differenziale. Il dimensionamento del resistore dummy è stato fatto in modo tale che la tensione di uscita dal Sub-DAC sia quella di modo comune dell'architettura; quindi, nel caso studiato con range delle tensioni di uscita $[-0.5V; +0.5V]$ si ha $V_{Out_diff}=0V$ come tensione di modo comune. Per il dimensionamento si considera la rete di uscita della classica architettura Current Steering analizzata in sezione 1.2.2 e la situazione in cui in uscita si ha la tensione di modo comune ovvero la corrente del DAC (20mA) è suddivisa equamente tra il ramo P ed il ramo N e di conseguenza non scorre corrente sul carico, come visibile in Figura 34.

In formule si ha che:

$$V_{out_P} = V_{out_N} = 3V - 10mA * 50\Omega = 2.5V \quad V_{out_diff} = V_{out_P} - V_{out_N} = 0$$

La condizione in cui non scorre corrente sul carico e le tensioni di uscita sono uguali è equivalente a ciò che si otterrebbe se si cortocircuitasse i rami P ed N e collegandoli entrambi ad un singolo resistore da 25Ω . In tal caso si otterrebbe infatti:

$$V_{out_P} = V_{out_N} = 3V - 20mA * 25\Omega = 2.5V$$

Ne segue quindi che la tensione di modo comune ottenibile collegando entrambi i rami al resistore dummy da 25Ω può essere considerata come soluzione a cui collegare i Sub-DAC durante la fase di setting, ovvero quando le loro uscite non sono selezionate dal multiplexer. Non sarebbe corretto collegare entrambi i rami a due resistori distinti, se si considera infatti una situazione di full-swing la corrente si troverebbe tutta sul ramo P o sul ramo N del DAC con il risultato in una tensione di uscita $V_{Out_P} \neq V_{Out_N}$ e quindi si otterrebbe in uscita $V_{Out_diff} \neq 0V$.

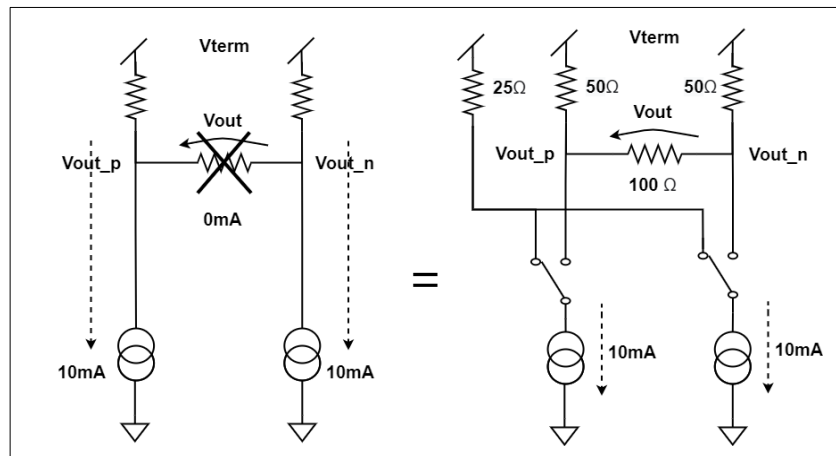


Figura 34: Tensione di modo comune ed introduzione del resistore dummy

2.3.2 Il Multiplexer Analogico

Il nodo centrale dell'architettura TIDAC Two Folded è il multiplexer analogico di selezione delle correnti di uscita dai CSA di ciascun Sub-DAC. Poiché essi sono realizzati in architettura Current Steering si hanno due segnali in uscita da ogni CSA: la corrente del ramo P e la corrente del ramo N del Sub-DAC, entrambe ottenute dalla somma delle correnti dei generatori del CSA deviate su un ramo o sull'altro dipendentemente del segnale in ingresso (1.2.2). Il Multiplex ha quindi 4 ingressi, le correnti P0, N0 del Sub-DAC0 e le correnti P1, N1 del Sub-DAC1. Il multiplexer seleziona le correnti di un Sub-DAC o dell'altro a seconda del valore del segnale di clock. Quando il segnale di clock ha valore basso il Sub-DAC0 è selezionato e le correnti P0 e N0 sono deviate sulla rete di uscita, quando il clock ha valore alto le correnti P0 e N0 sono invece connesse entrambe alla resistenza dummy. Viceversa, per P1 ed N1. L'operazione eseguita dal multiplexer corrisponde a livello logico all'attivazione o disattivazione di switch che deviano la

corrente verso le uscite o verso il resistore dummy. In Figura 35 è possibile osservare in dettaglio la rete di uscita ed il multiplexer analogico nell'intervallo temporale in cui il segnale di clock ha valore logico 0, ovvero quando Sub-DAC0 è selezionato

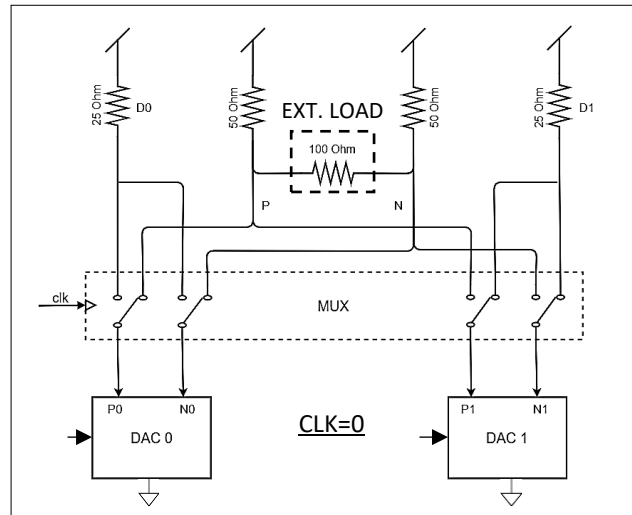


Figura 35: Dettaglio del MUX analogico e della rete di uscita del TI-DAC

La garanzia del corretto funzionamento del convertitore non dipende quindi solamente dagli eventuali mismatch tra i convertitori e dal DC del segnale di clock ma di conseguenza anche dal corretto funzionamento del multiplexer e da eventuali non idealità dello stesso. Ad esempio, la commutazione degli switch visibili in Figura 35 potrebbe avvenire a valori di soglia differenti a causa di mismatch tra i transistor dovuti al processo produttivo. Tali differenze si traducono in un ritardo nella propagazione delle correnti in uscita rispetto all'istante di transizione atteso differente tra Sub-DAC0 e Sub-DAC1.

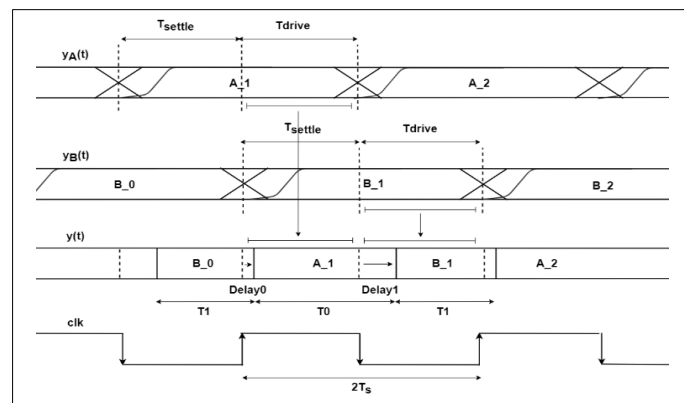


Figura 36: Delay nella commutazione del segnale in uscita dal multiplexer

Si tratta quindi di mismatch temporali simili a quelli presenti e discussi per il Current Source Array nella sezione 1.2.4 e che sono sorgente di non linearità per il sistema, ovvero generazione di armoniche nello spettro del segnale di uscita. Il fatto che le uscite dei due Sub-DAC siano selezionate per tempi differenti comporta che la carica $Q=I*T$ portata in uscita sia differente anche a parità di segnale (I) in ingresso. Inoltre, si può osservare che i mismatch temporali del multiplexer introducono un effetto analogo ad una variazione del DC del clock in quanto l'uscita del Sub-DAC0 è selezionata per un tempo T_0 differente da T_1 del Sub-DAC1, come visibile in Figura 36. Nel fare questa osservazione si ipotizza che il ritardo nella propagazione delle correnti sia differente tra gli switch del Sub-DAC0 e quelli del Sub-DAC1 ma che gli switch del Sub-DAC0 siano tra essi identici. Tale ipotesi è basata sul fatto che la variazione dei parametri dei transistor segue una specifica direzione sul chip definita dal gradiente di processo, tra switch adiacenti le differenze sono sicuramente minori.

Sino ad ora si è considerata una descrizione teorica dell'architettura in cui il multiplexer è sempre stato rappresentato come un modulo con 4 ingressi (P0, N0, P1, N1) e 2 uscite (P ed N). Nella descrizione del modello VerilogA del multiplexer si è però tenuto conto dell'effettiva implementazione circuitale dell'architettura. In essa, infatti, viene utilizzato un approccio distribuito che non fa uso di un multiplexer centrale ma in cui le 44 correnti in uscita da ogni CSA vengono singolarmente deviate verso la rete di uscita o verso i resistori dummy a seconda del segnale di controllo, ovvero il clock. Ogni singolo Current Source del CSA viene realizzato seguendo l'approccio visibile in Figura 37.

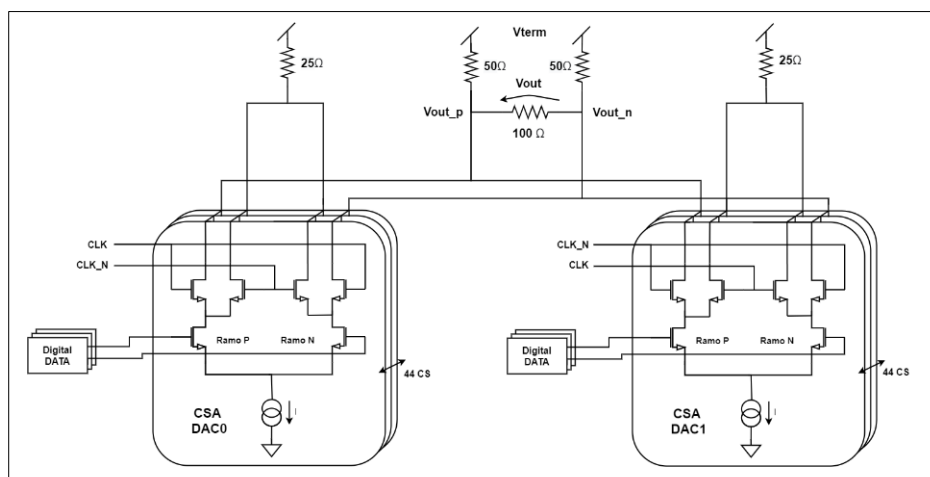


Figura 37: Multiplexer integrato nei CSA dei due Sub-DAC

Su ogni ramo p ed n dei generatori del CSA vengono aggiunti dei transistor che operando da switch aprono o chiudono il collegamento con l'uscita o verso il resistore dummy. Eventuali differenze tra i parametri degli switch di ciascun generatore di corrente comportano un differente ritardo temporale nella commutazione, in particolare la non linearità introdotta è maggiore quanto più grande è il mismatch introdotto dai generatori di tipo unary poiché la corrente portata in uscita da essi è maggiore rispetto agli altri generatori. Nel complesso si hanno 44 generatori (31 generatori unary, 7 generatori intermediate e 6 generatori binary) per ogni CSA, ciascuno con un'uscita per il ramo p ed una per il ramo n e ciascuno con un differente ritardo nella commutazione degli switch dovuto al processo.

Il modello VerilogA del multiplexer è stato realizzato in modo tale da descrivere le non idealità dell'architettura reale appena osservate. L'idea è quella di aggiungere un ritardo casuale nella commutazione delle correnti di ciascuno dei generatori di corrente dei due Sub-DAC quando selezionate come uscite dal multiplexer. È per questo motivo che il multiplexer in Figura 32 è stato raffigurato con 44x4 ingressi ([43-0]P0, [43-0]N0, [43-0]P1, [43-0]N1) e 44x2 uscite ([43-0]P, [43-0]N). Il ritardo di ogni generatore è calcolato in maniera pseudocasuale dal modello VerilogA all'avvio della simulazione, rimane poi costante per tutta la durata della stessa ed il ritardo aggiunto alle porte P è identico a quello aggiunto alle porte N di ogni singola cella di corrente. I ritardi sono generati in maniera pseudocasuale a partire da un seed e con un modello probabilistico di tipo gaussiano con valor medio nullo ($\mu=0$) e deviazione standard (σ) dipendente dalla tecnologia utilizzata. La funzione che descrive la probabilità dei ritardi (x) generati è la seguente:

$$P(x) = \frac{1}{\sigma\sqrt{2\pi}} e^{-\frac{1}{2}\left(\frac{x}{\sigma}\right)^2}$$

Dal *teorema del limite centrale* vale che per una popolazione numerica infinita di media μ e deviazione standard σ e da cui vengono estratti dei campioni casuali formati ciascuno da n individui (in questo caso gli n individui sono i ritardi associati agli n generatori di corrente) con n abbastanza grande ($n > 30$) la distribuzione statistica dei campioni formati n elementi è nuovamente gaussiana con:

$$\mu_{eqv} = \mu \quad ed \quad \sigma_{eqv} = \frac{\sigma}{\sqrt{n}}$$

Si osserva che il sigma equivalente (σ_{eqv}) derivante dall'applicazione del teorema del limite centrale è minore di un fattore \sqrt{n} rispetto al sigma di ogni singolo ritardo, questo fattore è positivo quando si considera l'effetto complessivo della non idealità sul sistema, ovvero ad esempio quando si analizza la corrente totale in uscita dal CSA. Per comprendere meglio tale teorema si considerano due generatori di corrente, ad esempio due unary all'interno del CSA, ciascuno che produce in uscita una corrente I_{unary} , e si osserva che i ritardi nella commutazione comportano una variazione della carica elettrica portata in uscita Q_{Gen} da ogni generatore di corrente durante il tempo T in cui è selezionato rispetto al valore nominale Q_{Nom} .

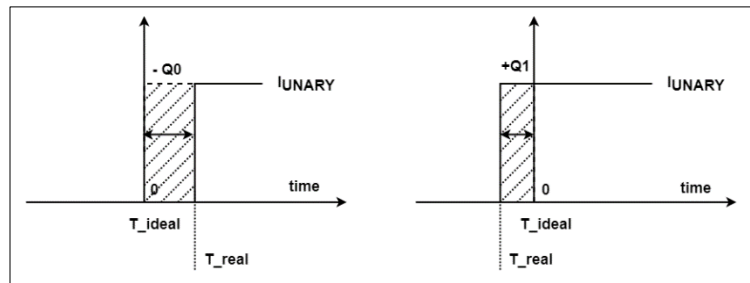


Figura 38: Variazione di carica a seguito di mismatch temporali tra unary

In formule si ha che la carica portata singolarmente in uscita dai due generatori è:

$$Q_{Gen0} = Q_{Nom} - Q_0 \quad \text{ed} \quad Q_{Gen1} = Q_{Nom} + Q_1$$

Dove Q_0 e Q_1 dipendono dal ritardo introdotto dagli switch la cui distribuzione probabilistica ha valore medio μ e deviazione standard σ . In totale la carica in uscita è:

$$Q_{TOT} = Q_{Gen0} + Q_{Gen1} = 2Q_{Nom} - Q_0 + Q_1 = 2 \left(Q_{Nom} + \frac{Q_1 - Q_0}{2} \right) = 2 \left(Q_{Nom} + Q_{Eqv} \right)$$

In cui Q_{eqv} grazie al teorema del limite centrale ha una distribuzione statistica sempre gaussiana con valore medio μ ma con deviazione standard $\sigma_{Eqv} = \frac{\sigma}{\sqrt{n}} = \frac{\sigma}{\sqrt{2}}$. Per riassumere, il valore totale della corrente in uscita si discosta statisticamente dal suo valore medio (o valore nominale) con deviazione standard minore rispetto a quanto accade per i singoli unary.

Per descrivere i ritardi degli switch nel modello VerilogA del multiplexer è stata utilizzata una particolare struttura che si è rivelata veloce ed efficiente nell'esecuzione delle simulazioni. In particolare, il modello VerilogA multiplexer è stato suddiviso in due sotto

parti: blocco di generazione dei segnali di controllo e blocco di switching. Nel blocco di generazione dei segnali di controllo vengono generati 88 segnali di clock definiti clk_del a partire dal segnale di clock del sistema. Ciascun segnale è ritardato di un tempo t_del fissato a cui viene sommato un ritardo generato casualmente dal codice VerilogA partendo da un determinato seed iniziale e secondo una distribuzione probabilistica gaussiana con deviazione standard σ configurabile dall'utente.

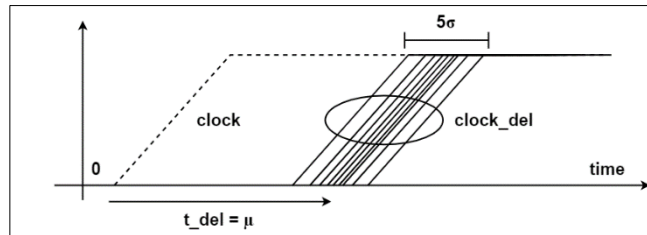


Figura 39: generazione dei segnali di controllo del multiplexer analogico

I segnali clk_del vengono poi utilizzati dal blocco di switching come segnale di controllo degli switch in modo da simulare i ritardi nelle transizioni. Il blocco di switching modella il comportamento di switch ideali seguendo la logica di funzionamento del multiplexer già discussa precedentemente. I segnali $clk_del[0:43]$ sono utilizzati per pilotare gli switch che controllano le correnti in uscita dai rami p ed n del CSA0 mentre i segnali $clk_del[44:87]$ per controllare le correnti in uscita dal CSA1. È importante specificare che ogni segnale clk_del controlla entrambi gli switch del ramo p ed n di un generatore di corrente di un CSA e che si è assunto non vi siano mismatch tra essi. In Figura 40 è possibile osservare l'architettura completa del multiplexer analogico.

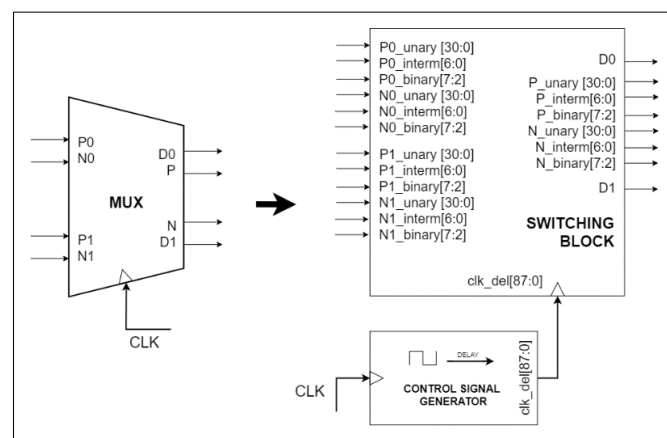


Figura 40: Architettura del modello VerilogA del multiplexer analogico

2.4 Analisi delle performance

2.4.1 Introduzione

Successivamente alla creazione del modello VerilogA del Two Folded TIDAC sono state eseguite differenti analisi per verificarne il funzionamento e per valutare le prestazioni della architettura. Lo scopo nell'analisi è stato quello di identificare, tra tutte le possibili fonti di non linearità, quali abbiano un maggiore effetto distortore sul segnale in uscita dal TIDAC in modo da essere a conoscenza delle prestazioni massime ottenibili dall'architettura. Nel caso del modello TIDAC si vuole misurare quanto i mismatch tra i due Sub-DAC, la non idealità del MUX e del segnale di clock inquinino lo spettro di uscita del segnale e contribuiscano alla non perfetta cancellazione delle repliche del segnale, ovvero i fenomeni osservati e descritti nei capitoli precedenti. Per fare ciò si sono prese in considerazione determinate metriche come l'IMRR, HD2, HD3 e l'SFDR misurate mediante il calcolo della DFT (*Discrete Fourier Transform*) del segnale in uscita dal TIDAC e si è osservata la loro variazione a seconda delle non idealità introdotte nel sistema mediante il codice VerilogA.

Si mostra ora a scopo di esempio il funzionamento dell'architettura riportando in Figura 41 le forme d'onda dei segnali in uscita dai principali blocchi del modello VerilogA. Misurando le tensioni in uscita dai Sub-DAC e quella in uscita dal multiplexer analogico si verifica il corretto funzionamento del modello.

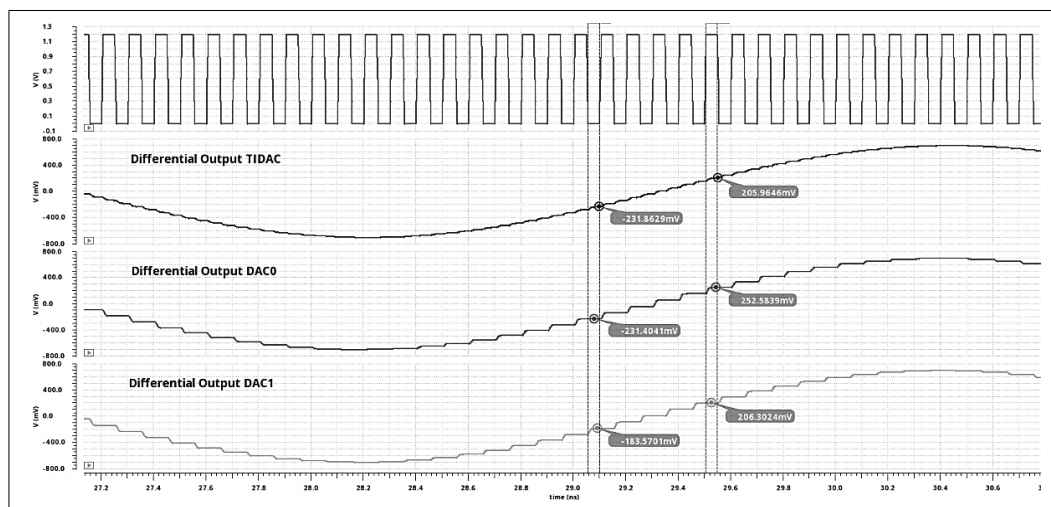


Figura 41: Tensione differenziale in uscita dai Sub-DAC e dal TI-DAC

In figura sono state riportate le tensioni differenziali di uscita prodotte singolarmente da ciascuno dei due DAC e quella differenziale di uscita dal TIDAC a valle dei due convertitori e del multiplexer. Si osserva il funzionamento del multiplexer: quando il segnale di clock ha valore basso la tensione di uscita dal Sub-DAC0 (231mV) è selezionata come uscita del TI-DAC, viceversa per Sub-DAC1 quando il clock è alto.

Anche analizzando il comportamento in frequenza del sistema si verifica quanto descritto in teoria: lo spettro del segnale in uscita dal TIDAC è dato dalla sovrapposizione di quello del Sub-DAC1 e del Sub-DAC0 con le loro non linearità (HD2, HD3), comportando la compensazione dell'immagine del segnale da circa -35dB a -85dB.

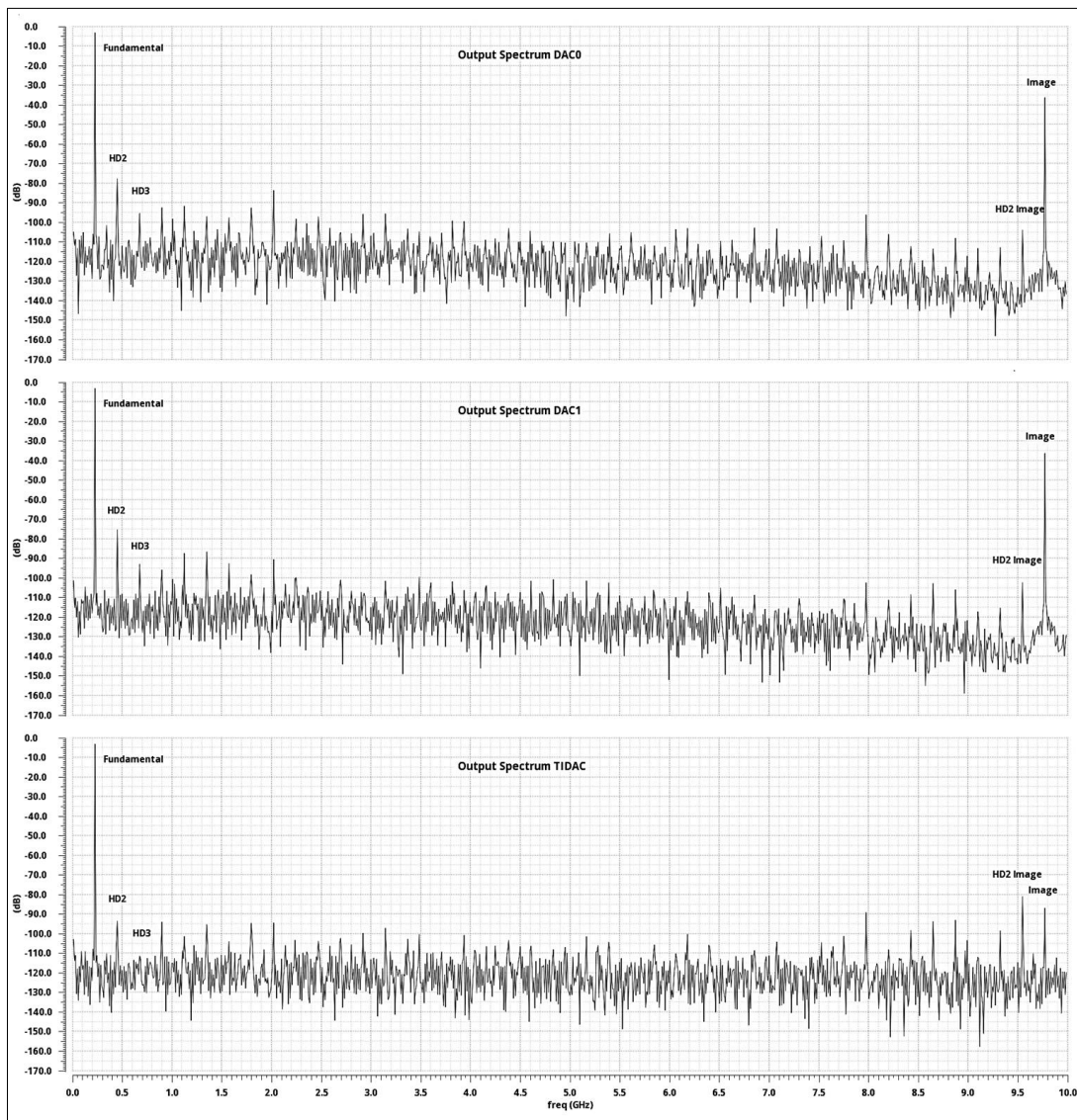


Figura 42: Spettro del segnale in uscita dai Sub-DAC e dal TIDAC

L'immagine del segnale non è completamente cancellata ma solamente attenuata, questo è dovuto al fatto che sia i Timing mismatch che i CSA mismatch tra il Sub-DAC0 ed il Sub-DAC1 introducono non linearità che complessivamente comportano una differente energia portata in uscita dai due DAC, ovvero un differente guadagno tra i due DAC. È di interesse osservare che tra tutte le spurie che inquinano lo spettro del segnale di uscita quella dominante, cioè con ampiezza maggiore, è in questo caso l'armonica di secondo ordine dell'immagine, chiamata HD2-Image in figura. Il valore dell'ampiezza di tale spuria è ciò che determina lo Spurious Free Dynamic Range (SFDR) misurato dalla simulazione. Si è verificato tramite simulazioni che gli algoritmi di riordino dei CSA (1.2.3) consentono di migliorare la non linearità e l'ampiezza delle armoniche del singolo DAC migliorando anche le prestazioni anche del TIDAC.

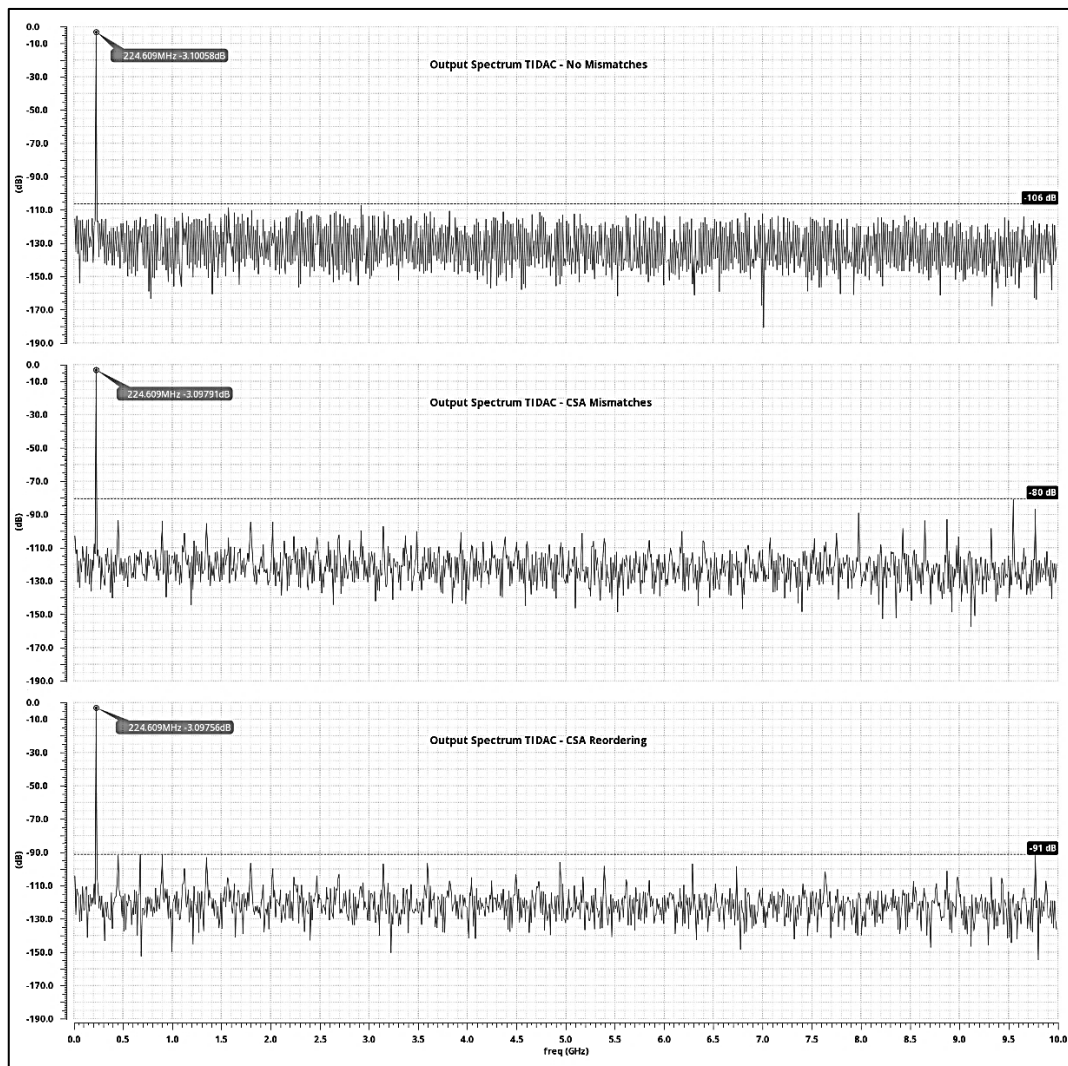


Figura 43: Spettro del segnale in uscita dal TIDAC con mismatch, algoritmo di riordino e ideale

Si osserva in Figura 43 che per la simulazione presa in esame l'introduzione del riordino comporta una riduzione dell'ampiezza massima della spuria presente in banda da -80dB a -95dB, un miglioramento di 15dB dell'SFDR.

Per completezza si aggiunge che spettri riportati nelle pagine precedenti si riferiscono a simulazioni eseguite a bassa frequenza (225MHz) effettuate considerando nel modello i CSA mismatch ($\sigma_{i/i} = 0.14\%$) ed i Timing mismatch ($\sigma = 180f$) del due Sub-DAC descritti nei capitoli 1.2.3 e 1.2.4. Il clock per queste simulazioni lo si è considerato ideale con $DC=50\%$ e $f_{clk}=10GHz$, lo scopo è stato infatti solamente quello di osservare e verificare il funzionamento logico a bassa frequenza dell'architettura, l'effetto delle non linearità con la frequenza verrà introdotto successivamente.

2.4.2 Le analisi eseguite

L'obiettivo delle analisi è stato quello di misurare le distorsioni introdotte dalle possibili non idealità dei componenti del sistema. Sono state eseguite molteplici simulazioni attivando una per volta le non idealità dei componenti dell'architettura descritte nel modello VerilogA del TIDAC e misurando sullo spettro di uscita le seguenti metriche: IMRR, HD2, HD3, HD2_Image, HD3_Image, SFDR. In particolare, si è considerato l'SFDR misurato escludendo l'ampiezza della seconda e terza armonica del segnale fondamentale, in questo modo si tiene conto esclusivamente delle spurie presenti in banda dell'architettura e non delle armoniche. Infatti, durante la fase di frequency planning i progettisti di sistemi RF tengono già conto della generazione delle armoniche di secondo e terzo ordine e della loro disposizione nello spettro, ciò che interessa è l'ampiezza delle altre spurie e la misura di quanto inquinino lo spettro per evitare che possano interferire con gli altri segnali presenti nella banda.

Per chiarezza le simulazioni effettuate possono essere suddivise in due gruppi:

- *Simulazioni deterministiche*: riguardano non idealità statiche del sistema e dipendenti da un singolo parametro il cui valore può variare a seconda dell'architettura o del processo. Le non idealità incluse in questa sezione sono quelle analizzate nel modello matematico 2.2.2, esse comportano una variazione dell'ampiezza del segnale in uscita da ogni singolo Sub-DAC ma non introducono

non linearità nel sistema ovvero non generano armoniche. Fanno parte di questo gruppo le seguenti non idealità:

- *Gain Error*, ovvero la differenza di guadagno tra i due Sub-DAC a parità di frequenza considerata.
 - *Duty Cycle Error*, ovvero la variazione del DC del clock del sistema rispetto al caso ideale in cui $DC = 50\%$.
- *Simulazioni statistiche*: fanno parte di questa categoria simulazioni in cui si analizzano non idealità dell'architettura il cui effetto dipende dalla variazione del valore di molteplici parametri e dalle possibili disposizioni di essi. Essi vengono generati nel codice VerilogA del modello secondo una distribuzione gaussiana dal simulatore a partire da un seed conoscendo valore medio e varianza del processo al fine di riprodurre la loro variabilità dovuta alla realizzazione fisica del chip. Per ciascuna non idealità di questa categoria è stato necessario ripetere le simulazioni con 100 seed in modo da analizzare i risultati a livello statistico, ovvero calcolandone il valore medio e la varianza misurata per ciascuna metrica al termine delle simulazioni. Le non idealità che fanno parte di questa categoria di simulazioni introducono tutte non linearità e generazione di armoniche nello spettro del segnale di uscita e sono le seguenti:
 - *CSA Mismatches*, differenze in termini di corrente prodotto in uscita rispetto al valore ideale tra i CSA di ciascun Sub-DAC (1.2.3)
 - *DAC Timing Mismatches*, differenti ritardi temporali nella commutazione dei CSA di ciascun Sub-DAC (1.2.4)
 - *MUX Timing Mismatches*, differenti ritardi temporali nella commutazione degli switch di ogni porta del Multiplexer di uscita (2.3.2)

Le simulazioni di entrambi i gruppi (statistiche e deterministiche) sono state eseguite in differenti condizioni di funzionamento del TIDAC, in particolare sono state ripetute per tre differenti frequenze: bassa (224.6MHz), media (4.09GHz) ed alta (8.85GHz) all'interno della banda di Nyquist e considerando una frequenza di clock del sistema $f_{clk}=10\text{GHz}$. Ne segue quindi che la frequenza di sampling del TIDAC è $f_s=2*f_{clk}=20\text{GHz}$; quindi, la prima banda di Nyquist del convertitore è da 0 a 10GHz. Tale scelta è stata fatta per valutare se sono presenti dipendenze dei mismatch dalla frequenza del segnale e

quindi un peggioramento delle metriche considerate. Inoltre, si sono ripetute le simulazioni per due diverse ampiezze del segnale in ingresso: Full-Scale (0dBFS), ovvero il segnale in ingresso ai DAC occupa tutto il range del convertitore ed -10dBFS ovvero l'ampiezza del segnale di ingresso è attenuata di un fattore 10dB rispetto al fondo scala del DAC. Tale operazione è detta di *Digital Back-off* e si basa sull'uso pratico del DAC che viene fatto in telecomunicazioni. Infatti, nella trasmissione di un segnale digitale non tutti i simboli vengono impiegati con la stessa probabilità, se si rappresentasse il segnale in ingresso al DAC nel dominio del tempo avrebbe un andamento molto simile ad un rumore, con un valore medio e una determinata varianza. Di conseguenza molto difficilmente il DAC verrà usato in modalità Full-scale, le analisi quindi condotte in full scale rappresentano un caso estremo e peggiore rispetto all'utilizzo reale. Per questo motivo è di interesse dello studio ripetere le simulazioni anche con l'ampiezza del segnale in ingresso al TIDAC ridotta del fattore $10\text{dB}=20\log(3.16)$.

2.4.3 Analisi del Gain Error

La prima analisi di tipo deterministico è stata effettuata sul Gain error, mediante la variazione di parametri del modello è stato possibile eseguire simulazioni considerando il TIDAC come ideale ed introducendo solamente come non idealità la differenza di guadagno dei due Sub-DAC. Essa viene descritta nel modello impostando due differenti valori dei parametri che descrivono le correnti di polarizzazione dei generatori nei CSA dei due Sub-DAC. La struttura della rete di polarizzazione è mostrata in Figura 44.

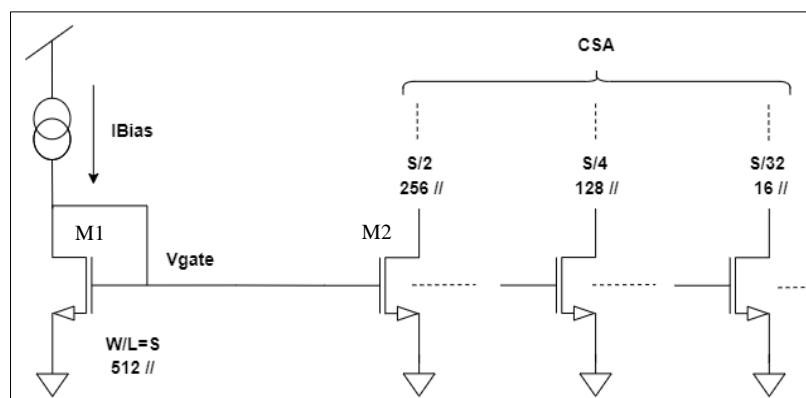


Figura 44: Rete di polarizzazione del CSA del Current Steering DAC

La polarizzazione del CSA avviene tramite uno specchio di corrente, la corrente I_{bias} (parametro del modello) scorre sul transistor M1 connesso a diodo la cui tensione del gate viene specchiata sugli altri transistor del CSA. A seconda del valore del fattore di forma S dei transistor la corrente I_{bias} viene replicata ridotta di un determinato fattore K . A titolo di esempio: in Figura 44 il transistor M1 ha fattore di forma S ed è formato da 512 transistor in parallelo, la corrente specchiata su M2 sarà esattamente $I_{bias}/2$ poiché formato da 256 transistor in parallelo; in questo modo si riescono a polarizzare tutti i generatori unary, intermediate e binary del DAC. Considerando una corrente complessiva del CSA di 20mA ne segue che per un DAC Current Steering 5-3-8 la $I_{bias}=1.25mA$.

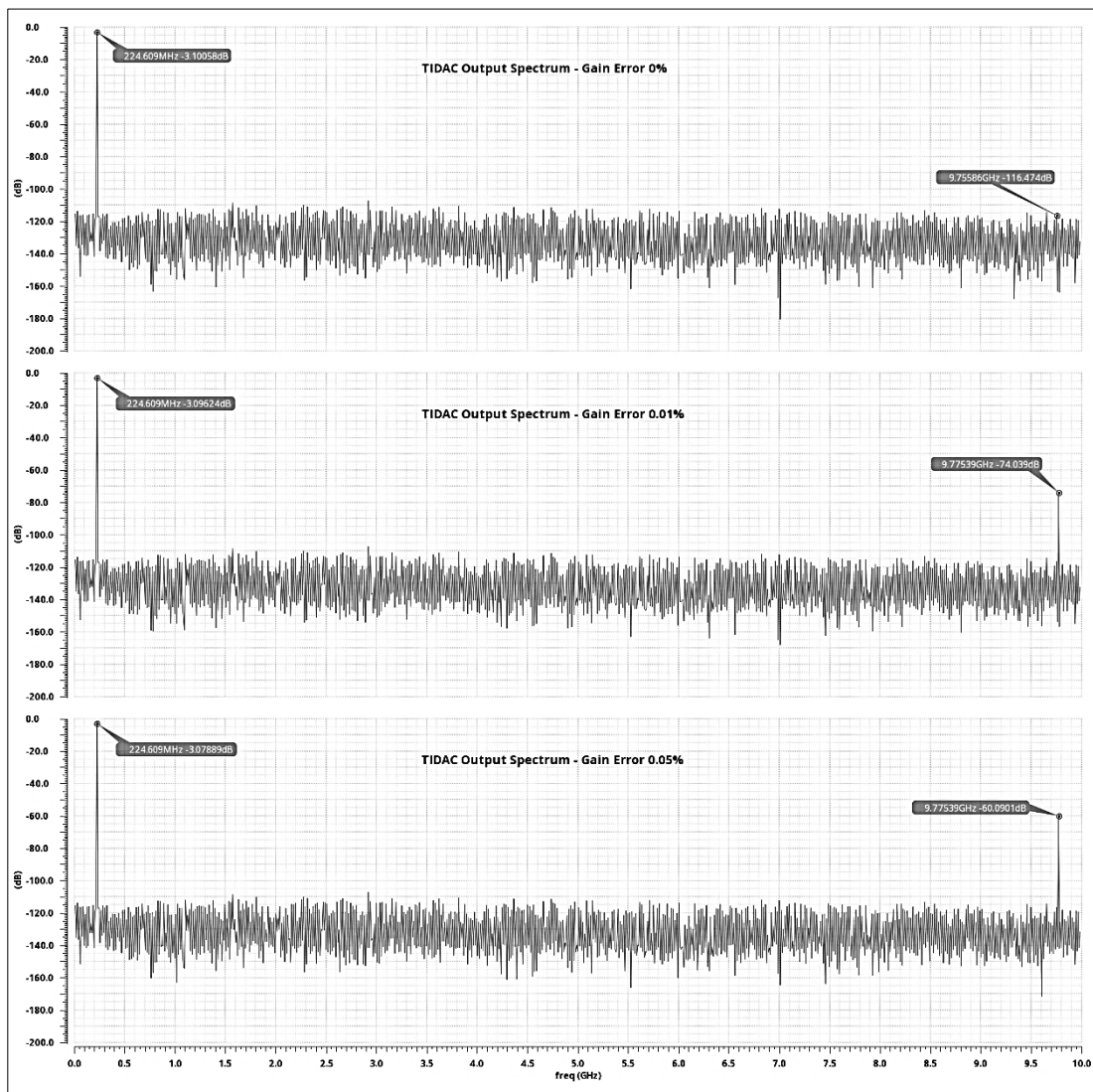


Figura 45: Dipendenza della potenza dell'immagine del segnale all'aumentare del Gain Error

Le simulazioni sono state eseguite considerando variazioni percentuali del parametro I_{bias} di un Sub-DAC rispetto all'altro secondo la seguente relazione:

$$I_{bias-DAC1} = I_{bias-DAC0} * (1 + GainError\%)$$

Sono stati considerati per tre valori di Gain Error percentuale: 0.5%, 0.1% e 0%. Il caso 0% rappresenta la situazione ideale ed è da considerare come riferimento. Lo spettro del segnale in uscita dal TIDAC solamente con il Gain Error non presenta armoniche dovute a non linearità ma è presente l'immagine alla frequenza $f_{clk}-f_0$. La metrica di interesse in questo tipo di simulazione è l'IMRR in quanto è misura della potenza dell'immagine rispetto al segnale. Le simulazioni hanno evidenziato una dipendenza della potenza dell'immagine da due fattori: frequenza del segnale in ingresso e valore percentuale del Gain Error, quest'ultimo effetto è visibile nella figura precedente. In Figura 45 sono riportati gli spettri del segnale in uscita dal TIDAC per tre simulazioni eseguite alla frequenza di 224.6 MHz e con errore di guadagno del 0.5%, 0.1% e 0%.

Si osserva un peggioramento del IMRR di 14dBc per ogni incremento di un fattore 5X del Gain Error. Una differenza di guadagno di un fattore 5X corrisponde infatti in scala logaritmica ad una differenza di $20\log(5)=14\text{dB}$ nella potenza del segnale in uscita dai due singoli Sub-DAC che comporta una differenza di 14dB nella compensazione dell'immagine e quindi nella misura del IMRR. Le simulazioni sono state eseguite per tutte e tre le frequenze di funzionamento e i tre valori di Gain Error misurandone per ciascuna di esse il valore dell'IMRR. I risultati sono stati riportati in Figura 46.

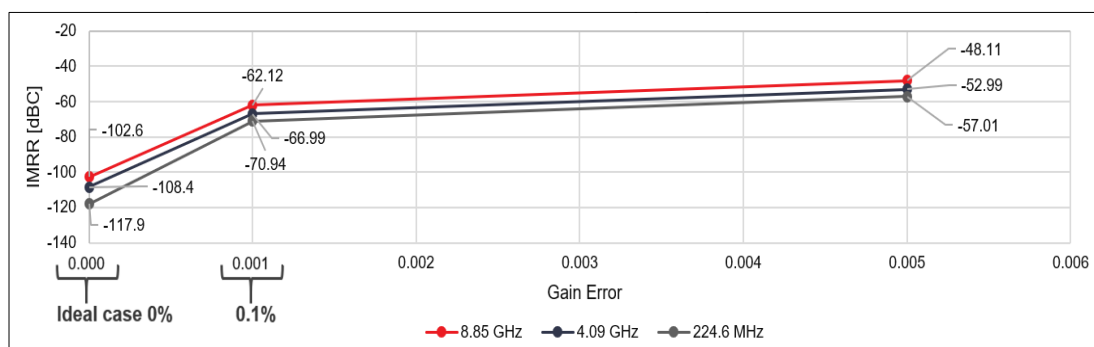


Figura 46: Andamento IMRR al variare di Gain Error e frequenza del segnale

2.4.4 Analisi del Duty Cycle Error

L'analisi del DC Error è stata eseguita nelle stesse modalità del Gain Error: mediante il codice VerilogA si è descritto un sistema ideale la cui unica non idealità è data da un errore nel DC del clock del sistema. Esso viene definito come differenza in secondi tra la durata ideale della fase alta del clock e quella reale del segnale. Ad esempio, in un clock con $DC=50\%$ e $f_{clk}=10GHz$, l'introduzione di un $DC_error=1ps$ comporta che la durata della fase alta del clock sia 49ps e la fase bassa sia 51ps, come visibile in Figura 47.

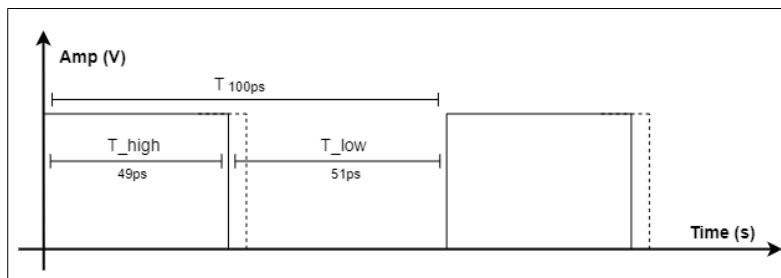


Figura 47: Duty Cycle error nel segnale di clock del TIDAC

Sono stati considerati tre valori di DC Error: 100fs, 500fs e 1ps e si sono eseguite le simulazioni sia ad alta, media e bassa frequenza del segnale digitale in ingresso al TIDAC. Come nel caso del Gain Error non vengono generate armoniche nello spettro del segnale in uscita ma si è osservata una dipendenza della potenza dell'immagine del segnale dalla frequenza del segnale in ingresso e dal valore del DC Error. In Figura 48 si osserva l'aumento della potenza dell'immagine all'aumentare della frequenza del segnale digitale in ingresso a parità di errore di Duty Cycle, in questo caso 100fs.

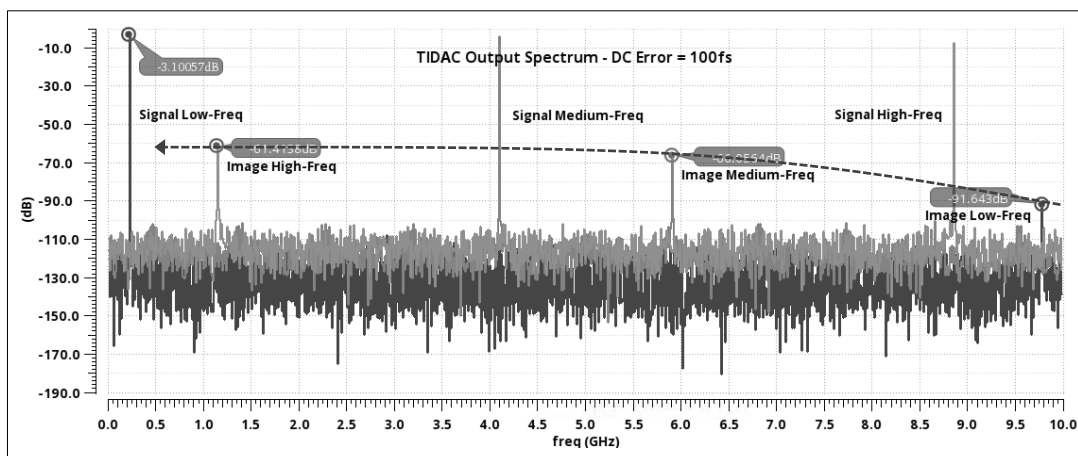


Figura 48: Dipendenza della potenza dell'immagine dalla frequenza del segnale nel TIDAC

La dipendenza della potenza dell'immagine dal valore dell'errore di Duty Cycle è osservabile invece in Figura 49, la simulazione è stata eseguita a parità di frequenza del segnale in ingresso al TIDAC (4.09GHz) e per i tre differenti valori di DC Error. Si osserva come già con solamente 100fs di DC Error ad una frequenza di funzionamento media comportino un IMRR nello spettro di uscita di -62dBc, un valore sicuramente non trascurabile e non accettabile per buona parte delle applicazioni in ambito delle telecomunicazioni.

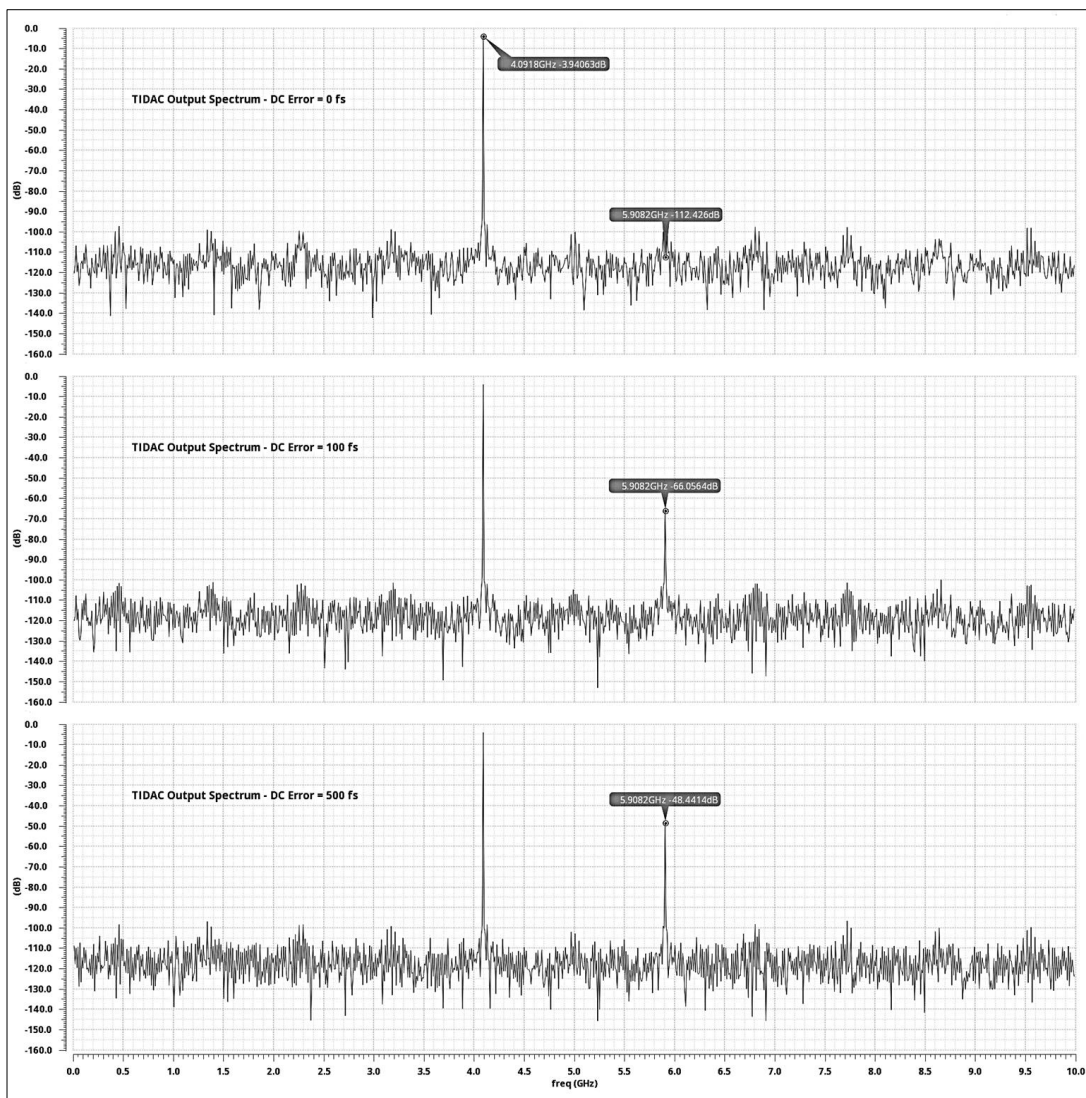


Figura 49: Dipendenza della potenza dell'immagine dal valore del DC Error del clock

La metrica di interesse in questa simulazione, come nell'analisi dell'effetto del Gain Error, è l'IMRR. In totale sono state eseguite 9 simulazioni per 3 differenti valori di DC error (100fs, 500fs, 1ps) e per 3 frequenze del segnale in ingresso.

I risultati sono stati riassunti nel grafico in Figura 50. Dall'analisi si conclude che l'IMRR peggiora sia all'aumentare della frequenza che al variare del DC Error e che un DC error superiore ai 100fs comporta un IMRR non accettabile, sarà quindi fondamentale mantenere il DC error del segnale di clock del TIDAC limitato a meno di 100fs.

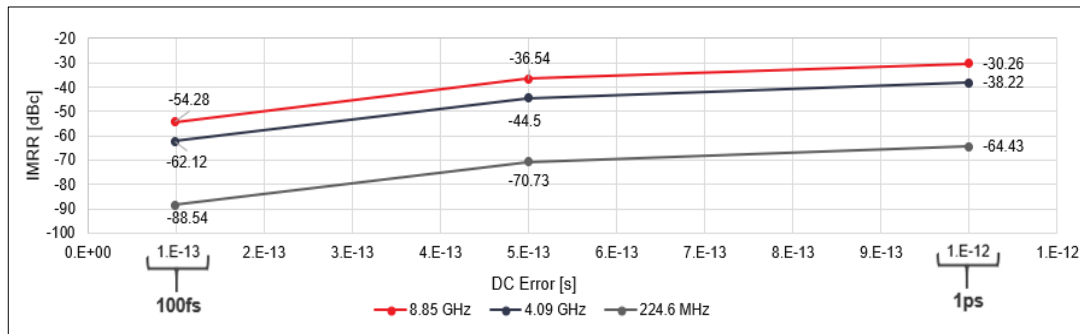


Figura 50: Andamento del IMRR al variare di frequenza e DC Error

2.4.5 Analisi dei Timing Mismatch del Multiplexer

Gli effetti delle non idealità del Multiplexer fanno parte della seconda categoria di simulazioni, quelle statistiche. Come già discusso in precedenza i timing mismatch del multiplexer del TIDAC introducono non linearità nell'architettura e comportano la comparsa di armoniche nello spettro del segnale di uscita e la non perfetta cancellazione dell'immagine del segnale. Lo spettro del segnale in uscita è analogo a quello osservato in precedenza in Figura 42.

In questo caso essendo presenti non linearità nel sistema le metriche misurate a partire dallo spettro sono: SFDR_NoHarm2,3 (cioè senza la 2° e 3° armonica), HD2, HD3, IM3 oltre che all'IMRR e seguendo le definizioni fornite nel capitolo 1.1.3. Il comportamento del TIDAC dipende dai ritardi ad associati ad ogni switch del multiplexer e che vengono generati nel caso delle simulazioni eseguite in questa tesi seguendo una distribuzione gaussiana a partire da un $\sigma = 180\text{fs}$ e dal seed utilizzato per la simulazione. Le simulazioni sono state eseguite sia a 0dBFS che a -10dBFS e ripetute con 100 seed differenti in modo da creare una statistica, si sono poi rappresentati i risultati delle simulazioni per ogni frequenza e ampiezza in istogrammi con larghezza di 4dBc per colonna.

Si riporta nella figura successiva due esempi degli spettri ottenuti dall'uscita dal TIDAC utilizzando due seed differenti. Dall'analisi degli spettri si osserva che la spuria che

inquina maggiormente la banda non è costante ma dipende dal seed, o meglio dai ritardi casuali di ogni porta del multiplexer. La misura dell'*SFDR_NoHarm* (senza seconda e terza armonica) dipende dalla spuria con potenza maggiore e può coincidere con la misura dell'IMRR. Ad esempio, la spuria con potenza maggiore può essere l'immagine del segnale (secondo spettro di Figura 51) e quindi la misura dell'*SFDR_NoHarm* coincide con l'IMRR oppure può essere la HD2 dell'immagine del segnale (primo spettro di Figura 51) e quindi in quel caso l'*SFDR_NoHarm* coincide con la HD2 dell'immagine.

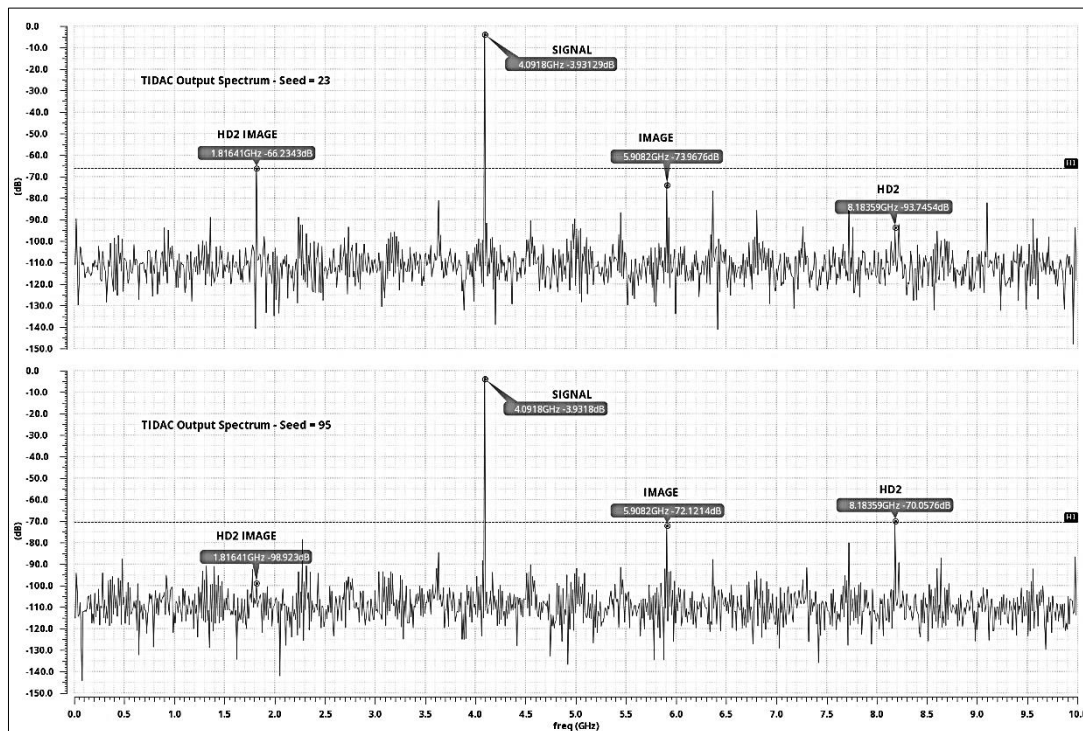


Figura 51: Spettro di uscita del TIDAC con differenti seed del Mux mismatch

Poiché l'informazione dell'IMRR è quindi già contenuta nella misura del *SFDR_NoHarm* e poiché HD2 è la non linearità dominante rispetto ad HD3 si è deciso di riportare solamente la misura dell'*SFDR_NoHarm* e HD2 nelle figure successive e per tutte le successive analisi statistiche poiché più significative. I risultati completi delle analisi con tutte le metriche misurate durante le simulazioni sono però disponibili nell'appendice della tesi.

Dalla tabella di Figura 52 si misura un peggioramento del *SFDR_NoHarm* all'aumentare della frequenza del segnale in ingresso al TIDAC, il range dinamico libero da spurie si riduce. Considerando il caso a 0dBFS e l'estremo sinistro dell'istogramma, ovvero il caso

peggiore, si ha una riduzione da 82dBc a 46dBc. Nel caso a -10dBFS non si osservano miglioramenti. Anche per l'HD2, i cui grafici sono rappresentati in Figura 53, si misura un peggioramento da -78dcB a -62dBc nel caso a 0dBfs e nel caso a -10dBFS non si misurano miglioramenti. Per concludere si osserva un aumento della potenza della seconda armonica e una riduzione dell'SFDR_NoHarm con l'aumentare della frequenza del segnale in ingresso al TIDAC.

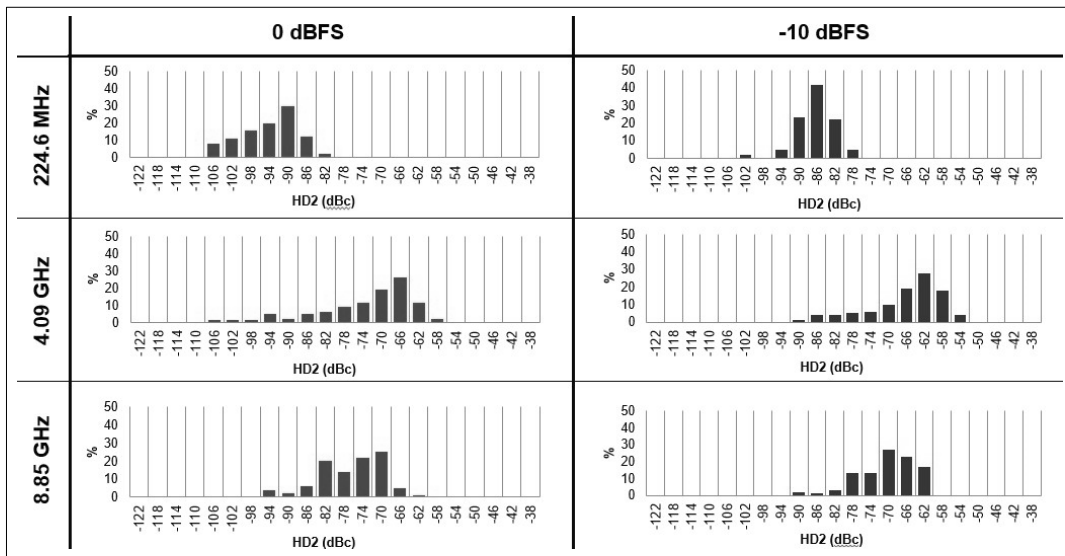


Figura 53: Misura del HD2 con Timing Mux Mismatches

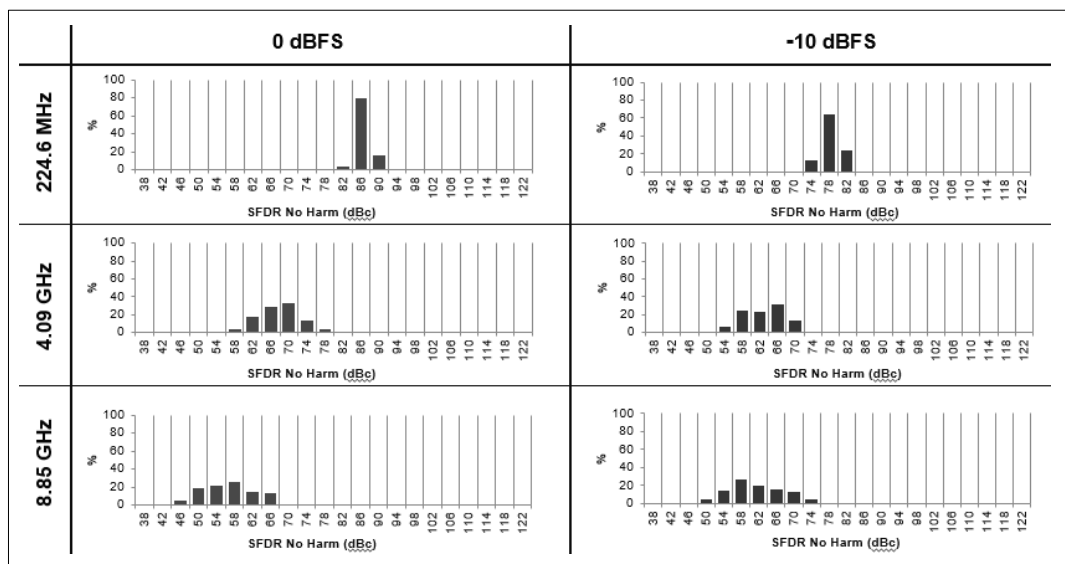


Figura 52: Misura del SFDR_NoHarm2,3 con Mux Timing mismatch

2.4.6 Analisi dei Timing e CSA Mismatch dei Sub-DAC

Le stesse simulazioni effettuate per valutare le non linearità introdotte dei Timing Mismatch del multiplexer sono state ripetute per l'analisi dei Timing Mismatch dei Sub-DAC del TIDAC già descritti nel capitolo 1.2.4 e per i CSA Mismatch dei Sub-DAC descritti nel capitolo 1.2.3. Tramite il modello VerilogA sono state introdotte e descritte nel modello le non idealità temporali nella commutazione degli switch del CSA del Sub-DAC a partire da una distribuzione gaussiana con deviazione standard $\sigma = 180\text{fs}$. Successivamente si sono disattivati i timing mismatch e si sono ripetute le simulazioni introducendo nel modello i mismatch tra i generatori dei CSA dei Sub-DAC a partire da una deviazione standard (normalizzata al valore della corrente del generatore) $\sigma_{i/i} = 0.14\%$. Entrambe le simulazioni sono state eseguite a partire da due differenti seed, uno per il Sub-DAC0 ed uno per il Sub-DAC1 in modo da non avere correlazione tra essi.

In Figura 54 e Figura 55 sono riportati gli istogrammi realizzati con i risultati delle 100 simulazioni dei DAC timing mismatch. Confrontando il caso peggiore di HD2 e SFDR_NoHarm a 0dbFS si osserva che l'effetto dei timing mismatch dei Sub-DAC è minore rispetto a quelli del multiplexer, si aveva un SFDR a 8.85GHz di 46dBc per i timing mismatch del multiplexer mentre per i timing mismatch del DAC si misura un caso peggiore di 78dBc. Risultato analogo per l'HD2 in cui si è misurata una riduzione dell'ampiezza della seconda armonica da -62dbc a -74dBc.

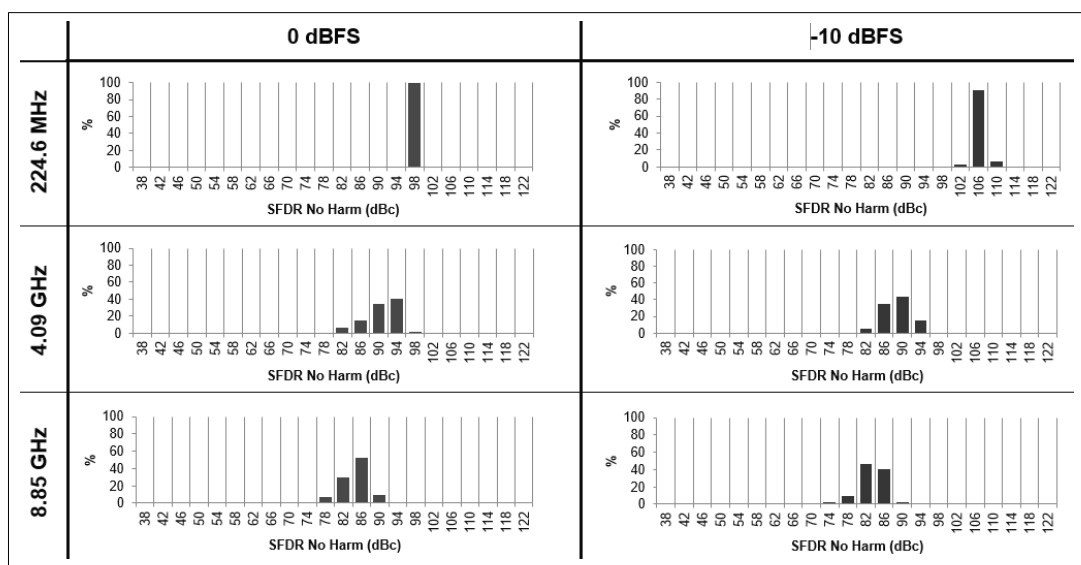


Figura 54: Misura del SFDR_NoHarm_{2,3} con DAC timing mismatches

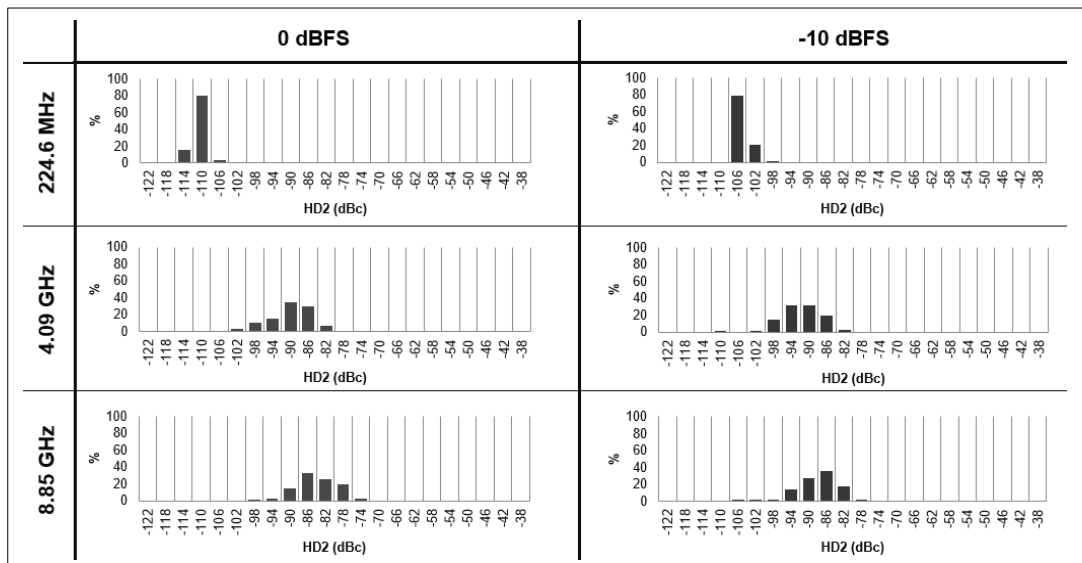


Figura 55: Misura HD2 con DAC Timing mismatch

Le simulazioni dei CSA mismatch sono state invece eseguite in due differenti condizioni: attivando nel modello VerilogA l’algoritmo di reordering (esposto in 1.2.3) e disattivandolo. Il confronto è stato eseguito per verificare il miglioramento delle non linearità nell’architettura TIDAC nei termini delle metriche precedentemente espote. Si riportano in Figura 56 e Figura 57 i risultati ottenuti dalle simulazioni. Considerando il caso peggiore ad 0dBFS, 8.85GHz e senza il reordering si misura un SFDR di 66dBc ed un HD2 di -66dBc, si osserva quindi che l’inquinamento dello spettro introdotto dai CSA mismatch è maggiore rispetto ai DAC timing mismatch.

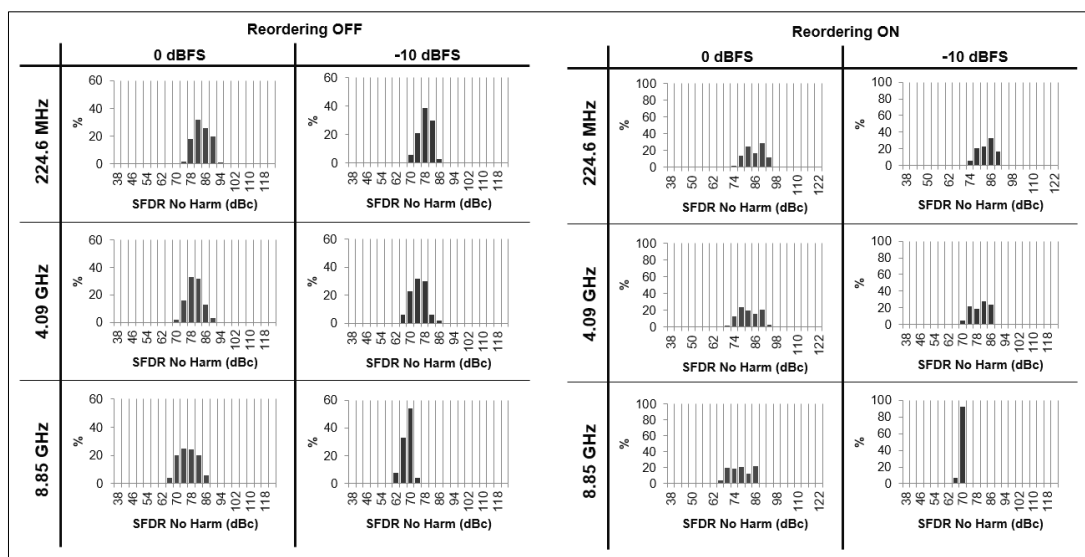


Figura 56: Misura del SFDR NoHarm2.3 con CSA Mismatch

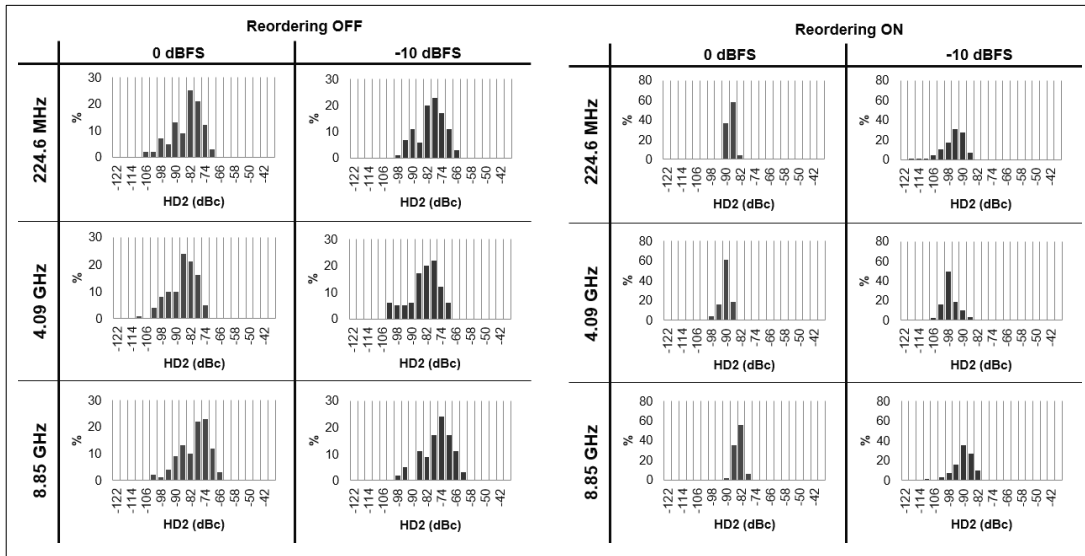


Figura 57: Misura di HD2 con CSA Mismatch

Al fine di confrontare ed osservare i miglioramenti introdotti dal reordering dei CSA si decide di calcolare il valore medio delle metriche su 100 simulazioni e per ogni corner di frequenza ed ampiezza del segnale in ingresso analizzata. I valori medi di SFDR ed HD2 nel caso a 0dBFS sono visibili nel grafico in Figura 58.

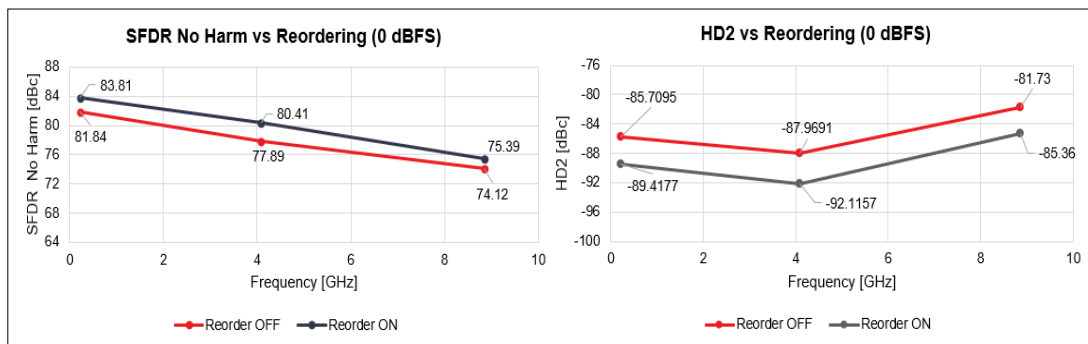


Figura 58: Valori medi SFDR_NoHarm2,3 ed HD2 con e senza reordering

Si può concludere che l'introduzione dell'algoritmo di riordino nell'architettura comporti indubbiamente un miglioramento, anche se non sostanzioso, di entrambe le metriche. Per quanto riguarda l'SFDR_NoHarm2,3 si ha un incremento del range libero da spurie di 2dB che però si riduce ad appena 0.7dB ad alta frequenza. Nel caso delle non linearità, quindi HD2, il miglioramento è maggiore e rimane costante ad alta e bassa frequenza: si misura una riduzione media della HD2 di 3.7dB sia ad alta che bassa frequenza.

2.4.7 Conclusione delle analisi svolte

Per concludere il confronto tra i mismatch statistici dell'architettura TIDAC si è deciso di rappresentare in grafico i valori medi a 0dBFS delle metriche calcolati per 100 simulazioni per ciascuno dei corner analizzati. Il confronto ha lo scopo di determinare quale tra i mismatch abbia un impatto maggiore sulle non linearità del TIDAC, in particolare si considera critica una non idealità quando introduce armoniche o spurie con una potenza maggiore di -70dbC. Si riportano in Figura 59 i valori medi di HD2, SFDR_NoHarm2,3 a 0dBFS, i risultati completi per tutte le metriche sono disponibili in appendice ma sono analoghi a quanto osservabile per HD2 ed SFDR_NoHarm2,3.

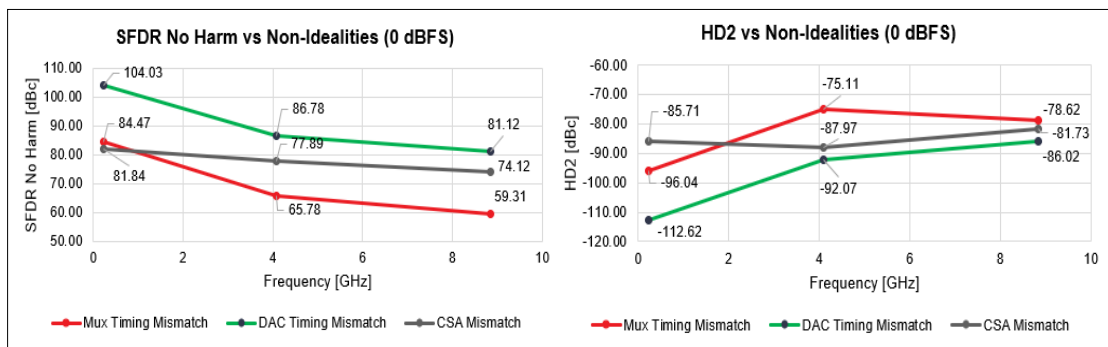


Figura 59: Valore medio di SFDR_NoHarm2,3 ed HD2 al variare di frequenza e mismatch

Dai grafici seguono le seguenti considerazioni:

- I timing mismatch dei due Sub-DAC sono, ad ogni frequenza, la minor sorgente di non linearità e spurie. Nel caso peggiore, ovvero ad alta frequenza, si misura un SFDR_NoHarm di 81.1 dBc ed un HD2 di -86 dBc. Tale risultato è possibile grazie all'approccio scelto nel design del multiplexer che minimizza l'effetto dei delay sulle uscite selezionando le uscite dei Sub-DAC quando già stabili.
- I CSA mismatch dei due Sub-DAC sono non idealità di tipo statico e come atteso dalla teoria il loro effetto è rilevante solo a basse frequenze. I casi peggiori sono stati misurati alla frequenza di 224.6MHz, dove il valore medio della HD2 è di -85.7dBc e l'SFDR_NoHarm2,3 ha valore 81.8dBc e dove sono le non idealità di maggior rilievo nel sistema.
- I Mux timing mismatch sono il collo di bottiglia dell'architettura e la maggiore sorgente di non linearità a media ed alta frequenza. In particolare, per quanto

riguarda l'SFDR_NoHarm_{2,3} si misura il caso peggiore ad alta frequenza dove il range libero da spurie si riduce ad appena 59.2dBc. Tale effetto è dovuto all'aumento della potenza dell'immagine e della sua seconda o terza armonica con l'aumentare della frequenza. Per l'HD₂ si misura il peggior valor medio a media frequenza, dove si raggiunge il massimo di -75.1dBc, all'aumentare della frequenza il valore scende leggermente a -78.6dBc. Tale risultato è dovuto al fatto che per frequenze maggiori di $f_{clk}/2$ la seconda armonica esce dalla prima banda di Nyquist e quella che viene misurata in banda è dovuta alla replica del segnale presente a $2f_{clk}$ e che di conseguenza ha potenza minore.

Si conclude quindi che in un'ottica di progettazione di un DAC con architettura TIDAC sia fondamentale prestare attenzione al design del multiplexer di uscita in modo da minimizzare le non linearità introdotte dai mismatch tra gli switch in quanto sono essi la sorgente di spurie e armoniche con maggior potenza. Anche dalle simulazioni deterministiche segue un'importante direzione per il progetto del TIDAC: un Duty Cycle error di 100fs nel segnale di clock è sufficiente per generare un'immagine nello spettro di uscita con IMRR di -54.3dBc e per quanto riguarda il gain error è sufficiente vi sia una differenza di guadagno statico dello 0.1% tra i due Sub-DAC per ottenere un'immagine con IMRR di -62.2dBc.

Tali risultati sono indice del fatto che il progetto di un TIDAC, seppur garantisce un raddoppio della banda di Nyquist, richieda una quasi idealità dei componenti e della architettura ai fini di mantenere limitato l'inquinamento dello spettro del segnale in uscita. Le non idealità da arginare ed i parametri su cui agire per mantenerne limitato l'effetto sono molteplici. Nei prossimi capitoli se ne prenderà in considerazione uno: il clock del sistema e si introdurrà un sistema di misura del duty cycle e dello skew al fine di garantire un allineamento del clock con un errore di poche decine di femto secondi.

3. Calibrazione del TIDAC: il clock

3.1 Introduzione

L'architettura TIDAC consente di realizzare DAC ad elevate frequenze di funzionamento ma, per quanto osservato nel capitolo precedente, soffre di problemi di distorsioni e non linearità dovute ai mismatch tra i Sub-DAC e alle non idealità dei componenti. Il problema è noto in letteratura ed in (6) ed (5) sono state proposte differenti soluzioni di calibrazione dei TIDAC al fine di ridurre gli effetti. In (5) viene descritto un metodo di calibrazione basato su un algoritmo di machine learning che punta a ridurre le distorsioni tramite l'ottimizzazione di alcuni parametri (segnali di controllo del circuito). In (6) viene invece proposto un metodo basato sull'utilizzo di un filtro digitale di correzione e precodifica dei campioni in ingresso al TIDAC. Entrambi gli approcci fanno però uso di un analizzatore dello spettro in uscita dal TIDAC: si tratta nella più semplice rappresentazione di un ADC (per la digitalizzazione dell'uscita analogica del TIDAC) e di un DSP che viene impiegato per il calcolo della trasformata di Fourier del segnale in uscita dal TIDAC e quindi dello spettro. Tale approccio difficilmente può essere integrato in un IC a causa dell'incremento dell'area e della potenza consumata dal ADC che dovrebbe essere progettato ed inserito nel sistema. Inoltre, il progetto di un ADC comporta a sua volta mismatch e distorsioni che possono rendere imprecisa la calibrazione del TIDAC.

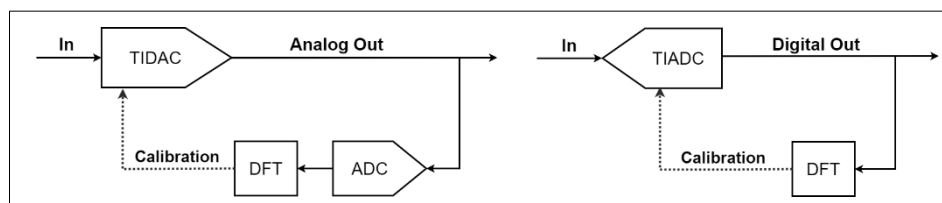


Figura 60: Calibrazione TIDAC ed TIADC mediante analizzatore di spettro

La calibrazione del sistema mediante l'analisi dello spettro è però una tecnica consolidata ed utilizzata per la calibrazione dei TIADC, in quel caso infatti non è necessario l'utilizzo di un ADC in quanto l'uscita è già digitale. È sufficiente implementare in un DSP una funzione di calcolo della DFT per ottenere lo spettro, misurarne le distorsioni e applicare

la calibrazione. La calibrazione proposta in questa tesi si basa quindi su un approccio differente e che non fa uso di un ADC: l'idea è quella di integrare nel TIDAC un sistema di misura dei mismatch del circuito ai fini di poterli correggere e calibrare il sistema in maniera analoga a quanto descritto in 1.2.3 ed 1.2.4 per i mismatch statici e dinamici del Current Steering DAC. Conoscendo un valore di riferimento di alcuni parametri del circuito e misurando l'effettivo valore di essi a seguito della realizzazione circuitale è possibile correggerli e migliorare di conseguenza l'effetto negativo che queste non idealità hanno sullo spettro di uscita. Come dimostrato dalle analisi svolte in 2.4 i parametri su cui agire, ovvero le non idealità, da ridurre e minimizzare sono molteplici ed è stato osservato vi sia una priorità su quali correggere in quanto sorgenti di maggiori inquinamento e distorsioni nello spettro. In particolare, si è osservato come un duty cycle error del segnale di clock di solo 100fs (0.0001% del periodo di clock, con $f_{clk} = 10\text{GHz}$) comporti un IMRR di -54.3dBc. Per questo motivo e per la scelta di non voler introdurre nel circuito un blocco di analisi dello spettro di uscita si è deciso di procedere con il progetto di un sistema di misura dello skew e del duty cycle dei segnali di clock del sistema che sia integrabile e che possa garantire perfetto allineamento tra i due clock della architettura. Tale soluzione si basa sulla stretta integrazione tra elettronica digitale ed analogica dei moderni FPGA (RFSoc) prodotti da Xilinx in cui il DAC è assistito da una logica digitale per l'esecuzione degli algoritmi di calibrazione. A seguito della misurazione la logica digitale integrata nell'FPGA è quindi in grado di agire in feedback sui clock ricevuti dal TIDAC e correggerli mediante opportuni circuiti di controllo e calibrazione. Per quanto, infatti, la generazione del segnale di clock possa essere precisa è necessario tenere conto che eventuali effetti parassiti dovuti alle linee di trasmissione introducono ritardi e distorcono il clock ricevuto dal TIDAC.

Scopo di questo capitolo è quello di descrivere nei dettagli il funzionamento di un sistema di misura realizzato in tecnologia FinFET a 7nm utilizzando le librerie TSMC in dotazione a Xilinx, descrivere i componenti che sono stati impiegati per il progetto ed esporre i risultati ottenuti dalle simulazioni in termini di precisione della misura. Non si entrerà invece nel merito del progetto di circuiti di correzione dello skew e del duty cycle dei clock, ci si limita affermare che circuiti di questo tipo sono già utilizzati da Xilinx e ampiamente studiati in letteratura.

3.2 La misura del clock

3.2.1 Il clock differenziale

I DAC con architettura Current Steering utilizzati per il progetto del TIDAC sono circuiti differenziali, di conseguenza anche il segnale di clock di controllo di ciascun Sub-DAC è differenziale ovvero formato da due fasi: $clock_p$ e $clock_n$, entrambe idealmente con duty cycle del 50% e sfasate di 180° l'una dall'altra. Nel modello VerilogA del TIDAC discusso nel capitolo 2.3 il clock utilizzato per controllare ciascun Sub-DAC era single ended (cioè riferito a massa) e si erano introdotti due clock: $clkp$ e $clkn$. Il primo è stato usato per controllare il Sub-DAC0 ed il secondo utilizzato per controllare il Sub-DAC1. È bene specificare che tale scelta è dovuta al fatto che nel modello non c'era la necessità di usare un segnale differenziale mentre nella implementazione circuitale dell'architettura il clock è sempre differenziale. Si definisce il segnale clk che controlla Sub-DAC0 come la differenza di tensione tra $clock_p$ e $clock_n$, ovvero:

$$clk = clock_p - clock_n$$

Ottenere il segnale negato, ad esempio $clkn$, a partire da $clkp$ è molto semplice nel caso di clock differenziali. È infatti sufficiente invertire i collegamenti di $clock_p$ e $clock_n$ al Sub-DAC1 per ottenere la versione complementare, ovvero $clkn$. Il funzionamento logico del circuito però non cambia: ogni Sub-DAC campiona il segnale al fronte positivo del clock differenziale in ingresso ad esso. Si riporta per chiarezza in Figura 61 lo schema logico di funzionamento del TIDAC, sia nel caso dell'architettura TIDAC con Mux (quella analizzata e studiata nel modello VerilogA) sia nella versione TIDAC ottenuta intervallando le uscite dei due Sub-DAC in modalità RZ.

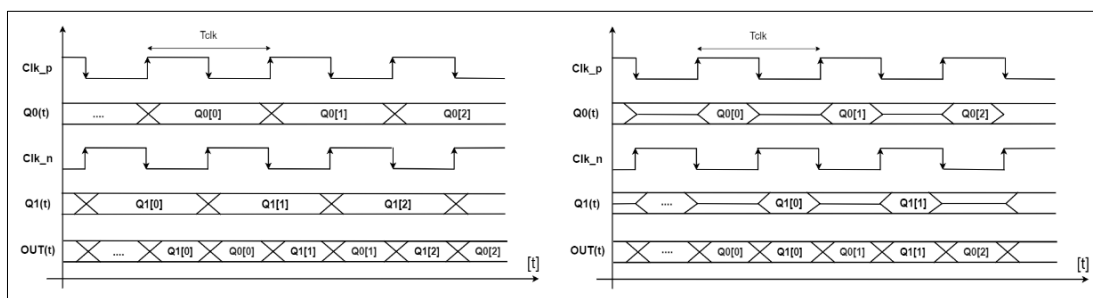


Figura 61: Architetture TIDAC-Mux e TIDAC-RZ con clock differenziale

In entrambe le architetture è fondamentale che i due Sub-DAC siano in perfetta sincronizzazione per ridurre le distorsioni del segnale di uscita dal TIDAC. Tale requisito può essere riassunto nel richiedere che il clock differenziale del circuito abbia un DC del 50% e che sarà l'obiettivo da misurare con l'approccio di misura esposto in questa tesi. Tale proprietà può essere a sua volta scomposta in tre condizioni:

1. Non devono esserci ritardi (skew) tra i segnali clock_p e clock_n
2. I segnali clock_p e clock_n devono avere lo stesso duty cycle
3. I fronti dei segnali di clock_p e clock_n devono essere temporalmente sovrapposti

Le prime due condizioni vengono definite come *condizione di allineamento* della fasi mentre la terza, se le prime due sono verificate, è possibile garantirla misurando il duty cycle delle singole fasi. Nel prossimo capitolo si entrerà nei dettagli delle tre condizioni e si osserverà le implicazioni che hanno nella misura del DC del clock differenziale.

3.2.2 L'allineamento ed il DC dei clock

Prima di descrivere il sistema di misura è importante introdurre alcune notazioni e definizioni che verranno utilizzate successivamente per la misura. Per lo scopo si considerano le due fasi del clock nel caso più generale possibile, i due segnali hanno la stessa frequenza ma sono completamente disallineati e scorrelati tra essi. L'esempio è visibile nella parte sinistra di Figura 62.

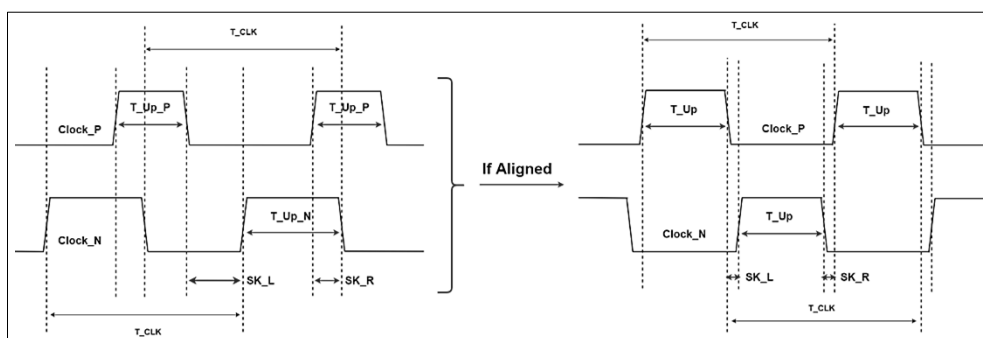


Figura 62: Disallineamento delle fasi del clock differenziale

Si definiscono su di esse determinate metriche: T_{Up_P} e T_{Up_N} ad indicare la durata temporale della fase alta (pulsazione) di clock_p e clock_n, ed SK_L ed SK_R per indicare lo skew da sinistra e da destra tra le due fasi di clock. In particolare, SK_L è lo skew da sinistra

ed è definito come l'intervallo temporale tra il fronte di salita di clock_n e quello di discesa di clock_p mentre SK_R è lo skew di destra ed è definito come l'intervallo temporale tra il fronte di discesa di clock_n e quello di salita di clock_p. Considerando la Figura 62 di sinistra si ha che SK_L ha valore positivo poiché i fronti delle pulsazioni di clock_p e clock_n non sono sovrapposti, mentre SK_R ha valore negativo poiché le pulsazioni sono sovrapposte.

Sulla base delle definizioni fornite è possibile individuare tre differenti condizioni:

- 1) $T_{Up_N} = T_{Up_P}$: le due fasi di clock hanno lo stesso duty cycle
- 2) $SK_L = SK_R$: le due fasi di clock sono centrate l'una con l'altra
- 3) $T_{Up_N} = T_{Up_P}$ ed $SK_L = SK_R$: le due fasi del clock sono allineate

In Figura 62 a destra è riportato un esempio di due fasi del clock allineate, ovvero entrambe con lo stesso duty cycle e centrate tra esse. In figura si ha che SK_L ed SK_R hanno lo stesso valore positivo e nonostante le pulsazioni non siano sovrapposte si considerano allineate comunque, ciò che conta per definizione è che lo skew da destra e sinistra siano uguali ed i duty cycle uguali. La condizione di allineamento tra le fasi è necessaria ma non sufficiente, ai fini di garantire che il clock differenziale sia del 50% è necessario fornire anche una misura del duty cycle affinché i fronti siano sovrapposti.

La condizione del duty cycle al 50% può essere più o meno complessa da garantire a seconda che si desideri che il duty cycle delle singole fasi del clock sia al 50% o che si consideri il clock differenziale ottenuto dalla differenza tra le due fasi. Nel garantire che il duty cycle delle singole fasi sia 50% la precisione ottenibile dipende unicamente dall'incertezza del circuito di misura e dallo step del sistema di correzione del duty cycle, idealmente il più piccolo possibile. La stessa condizione ma per il per il duty cycle del clock differenziale, ottenuto come differenza tra le due fasi, è invece più rilassata da garantire ed è quella di nostro interesse. Se infatti le due fasi sono allineate è sufficiente che il DC error delle singole fasi sia piccolo a sufficienza da garantire la sovrapposizione tra i fronti di salita/discesa affinché il duty cycle differenziale sia esattamente del 50%.

Nello specifico, ipotizzando che i fronti di salita e di discesa dei clock siano uguali, cioè $t_{rise} = t_{fall}$, allora affinché il DC del clock differenziale sia 50% è sufficiente che:

$$DC_{error_single_phase} < \frac{t_{rise}}{2} \quad \text{con } t_{rise} = t_{fall}$$

Per verificare la proprietà sono state eseguite alcune simulazioni considerando due fasi di clock allineate con $t_{rise}=t_{fall}=10ps$ e con DC_error compreso tra 100fs e 5ps, si è poi misurato il DC_error del segnale differenziale ottenuto come differenza tra le due e si è verificato che è 0. Le stesse simulazioni sono poi state ripetute introducendo anche uno skew tra le fasi del clock, definito come $SK=SK_L-SK_R$, con valori anch'essi compresi tra 100fs e 5p per verificare se la proprietà fosse valida anche se i segnali non sono perfettamente allineati. Il caso peggiore di DC_error del clock differenziale che è stato misurato è stato di 4.5fs, sostanzialmente un duty cycle del 50%.

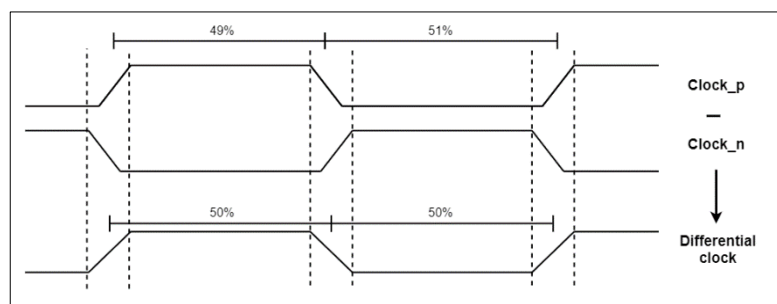


Figura 63: Duty Cycle del clock differenziale ottenuto da fasi con duty cycle non 50%

Da queste simulazioni si conclude che garantire che il duty cycle del segnale differenziale sia del 50% sia molto meno restrittivo rispetto a richiedere che la stessa proprietà sia valida per le singole fasi del clock poiché eventuali skew e DC_error dell'ordine delle unità di ps hanno un effetto quasi nullo nella architettura differenziale. È però sufficiente che l'ipotesi iniziale $t_{rise}=t_{fall}$ venga meno affinché il DC_error del segnale differenziale peggiori notevolmente. Ad esempio, ripetendo la stessa simulazione con DC_error e SK delle fasi di clock incluso tra 100f e 5p ma con $t_{rise}=10p$ e $t_{fall}=9.5p$ si misura un caso peggiore di DC_error del segnale differenziale di 200fs. In generale vale che: migliore è l'allineamento tra le due fasi è il DC differenziale.

L'idea del progetto è quindi quella di misurare con precisione di poche decine di fs l'allineamento ed il duty cycle delle due fasi del clock in modalità single ended ovvero considerando sempre i singoli segnali e ricavando poi di conseguenza informazioni su quello differenziale. Per questo motivo è necessario misurare con una precisione di poche decine di fs sia l'allineamento delle singole fasi di clock che il loro duty cycle. Il sistema di misura sarà quindi suddiviso in due parti: una parte di misura dell'allineamento ed una di misura del duty cycle delle singole fasi del clock.

3.2.3 La notazione a delta

Per misurare l'allineamento tra le due fasi del clock viene introdotta una notazione basata sulla misura di quattro intervalli temporali che è possibile definire sulle forme d'onda del clock_p e del clock_n. Si definiscono:

- $D1$: durata della pulsazione del segnale clock_p
- $D2$: durata della pulsazione del segnale clock_n
- $D3$: intervallo temporale tra un fronte di salita di clock_p ed il successivo fronte di salita di clock_n
- $D4$: intervallo temporale tra un fronte di salita di clock_n ed il successivo fronte di salita di clock_p

In Figura 64 sono rappresentati i quattro intervalli temporali definiti su due fasi di clock completamente disallineate tra esse ma con stessa frequenza. Si osserva che a causa del differente duty cycle la lunghezza di $D1$ è differente da $D2$ e che a causa del disallineamento la lunghezza di $D3$ è differente da $D4$.

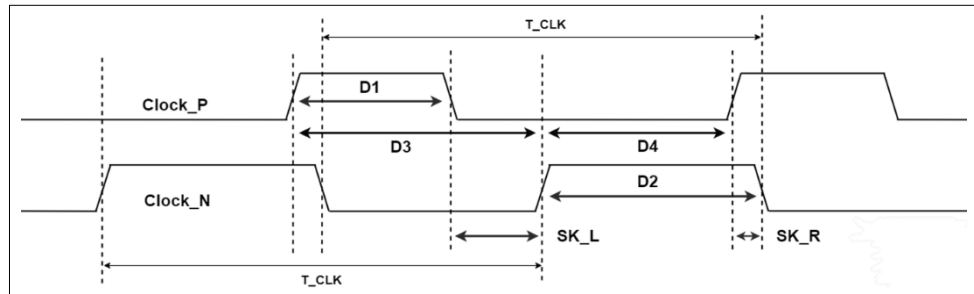


Figura 64: Intervalli temporali definiti sulle due fasi del clock

Per quantificare la differenza di duty cycle e il disallineamento si definisce una notazione basata sull'utilizzo di due delta, $\Delta 1$ e $\Delta 2$, i quali a seconda del loro valore forniscono informazioni sulla reciproca posizione ed allineamento delle forme d'onda. La definizione dei delta è necessaria in quanto non è corretto confrontare $D1$ e $D2$ con $D3$ e $D4$. Infatti, mentre $D1$ e $D2$ sono misurati tra un fronte di salita ed una discesa della pulsazione, l'intervallo $D3$ e $D4$ è misurato tra due fronti di salita. Si tratta sempre di misure temporali ma per il fatto che considerano differenti riferimenti sulle forme d'onda introducono di conseguenza errori di misura differenti.

Si definiscono i due delta come:

$$\Delta 1 = D1 - D2 \quad \text{ed} \quad \Delta 2 = D3 - D4$$

Il vantaggio dell'introduzione della notazione a delta è la cancellazione degli errori della misura e la possibilità di confrontare $\Delta 1$ e $\Delta 2$. Infatti, ipotizzando che D1 e D2 contengano un errore di misura ε_1 e D3 e D4 un errore ε_2 , allora la misura differenziale annulla l'errore sistematico di misura. In formule:

$$\Delta 1 = D1 - D2 = (D1_{real} + \varepsilon_1) - (D2_{real} + \varepsilon_1) = D1_{real} - D2_{real}$$

La misura di $\Delta 1$ equivale alla misura della differenza tra le pulsazioni del clock_p e del clock_n ovvero la differenza tra il duty cycle delle due fasi. È una misura importante, è la prima proprietà che deve essere soddisfatta affinché le fasi siano allineate.

Riferendosi alla Figura 64 è possibile riscrivere $\Delta 2$ in modo tale da determinare informazioni sull'allineamento delle due fasi del clock, si ottiene:

$$\Delta 2 = D3 - D4 = (D1 + SK_L) - (D2 + SK_R) = \Delta 1 + (SK_L - SK_R)$$

Dall'equazione segue che se $\Delta 1 = \Delta 2$ allora $SK_L = SK_R$ e quindi i segnali sono tra essi centrati poiché lo skew destro e lo skew sinistro hanno lo stesso valore. Tale condizione è la seconda proprietà necessaria per garantire l'allineamento delle fasi assieme a $\Delta 1=0$. Complessivamente dalla misura dei delta si ricavano informazioni su 4 possibili condizioni di allineamento osservabili in Figura 65. Scopo del sistema di misura è quello di garantire che la quarta condizione sia sempre verificata in modo tale che il duty cycle del clock differenziale sia del 50% se per le singole fasi vale che $DC_{error} < t_{rise}/2$.

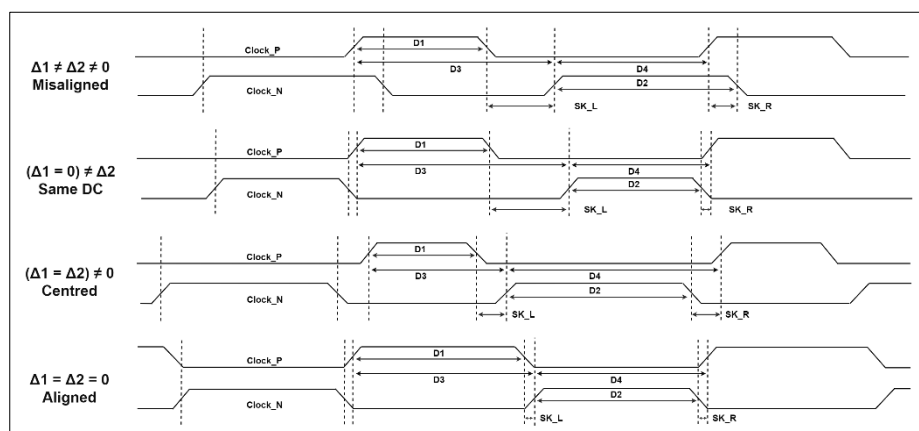


Figura 65: Condizioni di allineamento derivanti dalla misura di $\Delta 1$ e $\Delta 2$

3.3 I componenti del sistema di misura

3.3.1 Introduzione

La garanzia del fatto che il duty cycle del clock differenziale sia del 50% si basa su due misure: misura dell' allineamento delle due fasi e misura del duty cycle delle singole fasi affinché il $DC_{\text{error}} < \text{trise}/2$. Il sistema di misura utilizzato nei due casi è differente ma la tecnica si basa sempre sull'utilizzo di uno stesso componente: il comparatore differenziale dinamico. In questo capitolo verrà descritto il funzionamento del comparatore e degli altri principali componenti utilizzati per le due misure nonché le simulazioni che sono state eseguite per verificarne le caratteristiche ed il funzionamento. Tutti i componenti operano a 0.9V e sono progettati utilizzando le librerie FinFET a 7nm di TSMC (Taiwan Semiconductor Manufacturing Company) di cui nel prossimo sotto capitolo (3.3.2) ne verranno descritte le caratteristiche. Una volta introdotti i componenti verrà poi fornita l'architettura completa del sistema e della strategia di misura adottata.

3.3.2 La tecnologia FinFET

I transistor utilizzati per il design dei moderni e più performanti circuiti integrati si basano sulla tecnologia FinFET. Essa rappresenta un'evoluzione della classica tecnologia planare MOSFET dei transistor che è stata sviluppata per superare i problemi legati alla riduzione lunghezza di canale nei MOSFET. Se da un lato la riduzione della lunghezza di canale nei MOSFET tradizionali consente un miglioramento delle prestazioni in termini di velocità dall'altro introduce effetti parassiti dovuti al canale corto e problemi legati alla dissipazione di potenza statica. Per superare questi limiti è stata necessaria una completa riprogettazione della forma del transistor, iniziata già nel 1989 nei laboratori di ricerca Hitachi e commercializzata da TSMC solamente nel 2002 con una prima tecnologia a 25nm. A differenza della classica struttura planare in cui il contatto tra il gate e la regione di canale avviene solamente su una faccia dal canale nel caso della tecnologia FinFET il contatto è su tre lati del canale, detto *fin*. Questo è possibile grazie al fatto che il source ed il drain del transistor sono rialzati rispetto al substrato e la regione di gate circonda completamente il canale su tre lati aumentandone la superficie di contatto.

La tecnologia FinFET grazie ad una maggiore superficie tra gate e canale consente un migliore controllo del canale e quindi della corrente di perdita quando il transistor è spento. Inoltre, non ha effetti di canale corto, occupa meno area a parità di guadagno ed opera a tensioni di alimentazioni minori rispetto alla tecnologia planare. Tutto ciò consente di ottenere consumi inferiori e livelli di integrazione superiori rispetto ai MOSFET. Nella figura successiva è possibile osservare il confronto tra l'architettura FinFET e la tradizionale tecnologia planare.

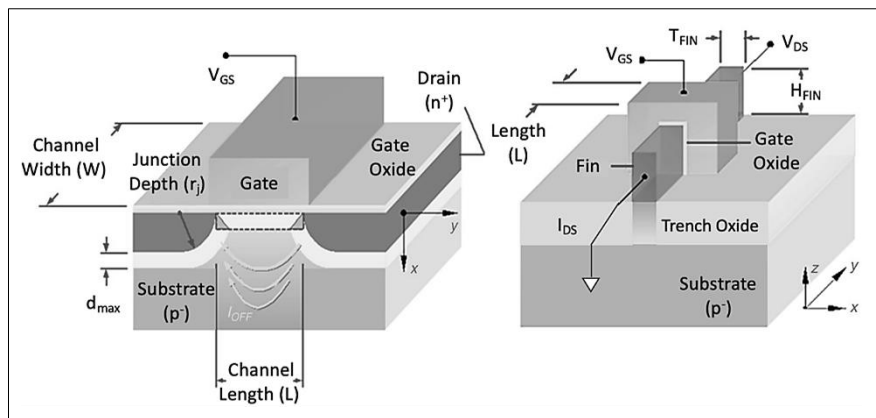


Figura 66: Tecnologia FinFET e MOSFET a confronto

Uno degli svantaggi della tecnologia FinFET è la quantizzazione della larghezza (W) del dispositivo, uno dei due parametri fondamentali per il dimensionamento dei transistor assieme ad L . Essa, a causa della tecnologia, può infatti assumere solo valori finiti e multipli della altezza del fin (H). Più precisamente per un tri-gate transistor si ha: $W = 2H + T$, dove T è lo spessore del fin, utilizzando fin multipli si aumenta la larghezza del transistor secondo la relazione $W_{\text{eff}} = W \cdot n$, dove n è il numero di fin in parallelo.

Complessivamente per il dimensionamento dei transistor si opera quindi sulla scelta di tre parametri: n° di fin, n° di finger e molteplicità. Il numero di finger rappresenta il numero di gate che si mettono in parallelo aumentando il numero di diffusioni source e drain e quindi la W_{eff} , mentre la molteplicità indica quante volte si replica la stessa istanza. Tutti i parametri in un primo ordine aumentano la conducibilità del transistor anche se la molteplicità introduce effetti del secondo ordine maggiori (capacità) rispetto agli altri parametri e di cui il modello del transistor impiegato dal simulatore deve tenere conto.

3.3.3 Il comparatore dinamico

Il comparatore dinamico è tra i componenti fondamentali del sistema di misura ed è il componente responsabile delle misure temporali che verranno eseguite. In prima approssimazione l'operazione eseguita dal comparatore dinamico è molto semplice: esso effettua una misura della tensione agli ingressi, li confronta (operazione di comparazione) e produce un'uscita che è il risultato della comparazione. Nella realtà il circuito è molto più complesso e merita un'analisi approfondita a partire dalla descrizione del funzionamento dei principali segnali di ingresso/uscita, visibili nella figura successiva:

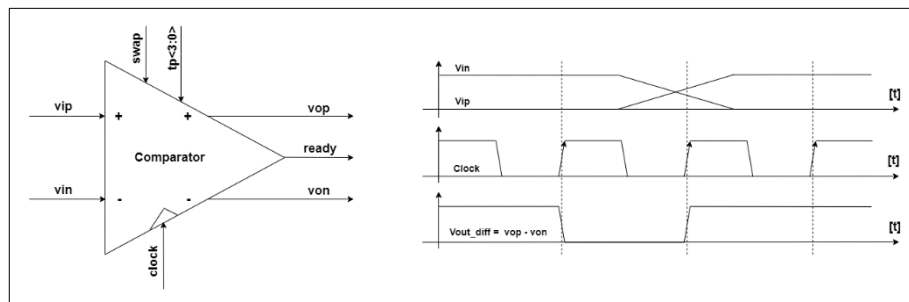


Figura 67: Ingressi e uscite del comparatore dinamico

Il circuito opera ad una tensione di alimentazione di 0.9V ed ha 5 ingressi e 3 uscite. L'operazione di comparazione è eseguita tra i segnali vin e vip ad ogni fronte positivo del segnale $clock$ che funge da trigger della comparazione, l'uscita è differenziale ed è data dai segnali vop e von . Quando, ad ogni evento del trigger, $vip > vin$ allora vop assume valore alto (0.9V) e von valore basso (0V), viceversa quando $vin > vip$. Il termine dell'operazione di comparazione è indicato dal segnale $ready$ che assume valore logico alto. I segnali $swap$ e $tp<3:0>$ sono invece segnali di controllo: il segnale di $swap$ consente di invertire internamente gli ingressi del comparatore mentre il segnale $tp<3:0>$ consente di regolare l'offset del comparatore, entrambi sono usati per ridurre l'errore di misura dovuto agli offset interni del comparatore. Entrando nei dettagli della architettura del comparatore esso è composto da tre blocchi connessi in cascata: un preamplificatore, un latch ed una rete digitale di generazione del segnale di $ready$. Ad essi si aggiungono due circuiti aggiuntivi: il circuito di correzione dell'offset che agisce sulle uscite del blocco di pre-amplificazione ed i circuiti di swapping (scambio) degli ingressi e delle uscite del comparatore utilizzato per ridurre ulteriormente l'offset in particolari misure.

In Figura 68 si può osservare lo schema a blocchi del comparatore, nei prossimi paragrafi ne verrà fornita una descrizione del funzionamento del circuito a livello di transistor.

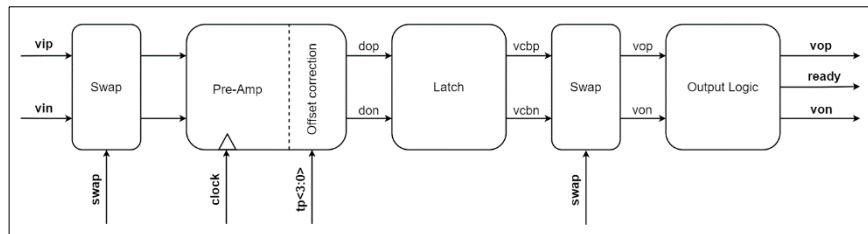


Figura 68: Diagramma a blocchi del comparatore dinamico

L'aggettivo dinamico usato per descrivere la tipologia di comparatore deriva dal fatto che il suo funzionamento dipende dal segnale di clock. Sulla base del fronte di salita del segnale di clock si distingue infatti il funzionamento del blocco di preamplificazione in due fasi: fase di *reset* e fase di *comparazione*. La fase di reset è quella precedente all'arrivo del fronte positivo del segnale di clock, in questa fase la tensione del segnale di clock è 0 ed i transistor M1 ed M2, visibili in Figura 69, sono accesi caricando i nodi interni *dop* e *don* alla tensione di alimentazione V_{dd} che viene mantenuta costante per tutta la durata della fase, i nodi non possono infatti scaricarsi essendo il transistor M5 spento. L'arrivo del fronte del segnale di clock che commuta dalla tensione 0 a V_{dd} comporta l'inizio della fase di comparazione con lo spegnimento dei transistor M1 ed M2 e l'accensione di M5. I nodi *dop* e *don* iniziano quindi a scaricarsi a seconda delle tensioni che sono applicate ai gate dei transistor M3 ed M4, cioè le tensioni di ingresso del comparatore. Se $v_{ip} > v_{in}$ allora il ramo di sinistra si scaricherà più velocemente di quello di destra e viceversa se $v_{in} < v_{ip}$. La differente velocità nello scaricarsi dei due rami rappresenta l'informazione di quale delle due tensioni di ingresso sia maggiore dell'altra.

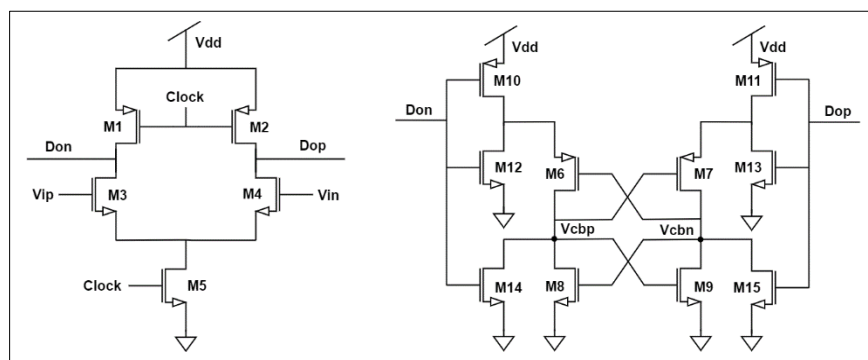


Figura 69: Circuito dello stadio preamplificatore e latch

L' iniziale differenza di tensione dei segnali in ingresso è amplificata dal preamplificatore nei segnali di uscita dop e don, segnali rail-to-rail che stimolano il latch nella fase di comparazione a convergere ad uno stato stabile. Il latch è composto dai transistori M6, M7, M8 e M9 collegati in modalità cross-coupled per la memorizzazione dello stato logico ed i transistori M10, M11, M12, M13, M14, M15 per la stimolazione del latch sulla base delle uscite dello stadio di preamplificazione. Le uscite del latch, indicate dai segnali *vcbp* e *vcbn*, hanno entrambe tensione zero quando il comparatore è in fase di precarica ma convergono a due possibili valori logici stabili in fase di comparazione: *vcbp* a tensione V_{dd} e *vcbn* a tensione zero (quando $dop < don$) oppure *vcbp* a tensione zero e *vcbn* a tensione V_{dd} (quando $dop > don$). Le due uscite del latch hanno sempre valori opposti. Lo stato logico in cui entrambe le uscite sono a V_{dd} non si verifica mai poiché l'architettura converge sempre a tensioni diverse durante la fase di comparazione.

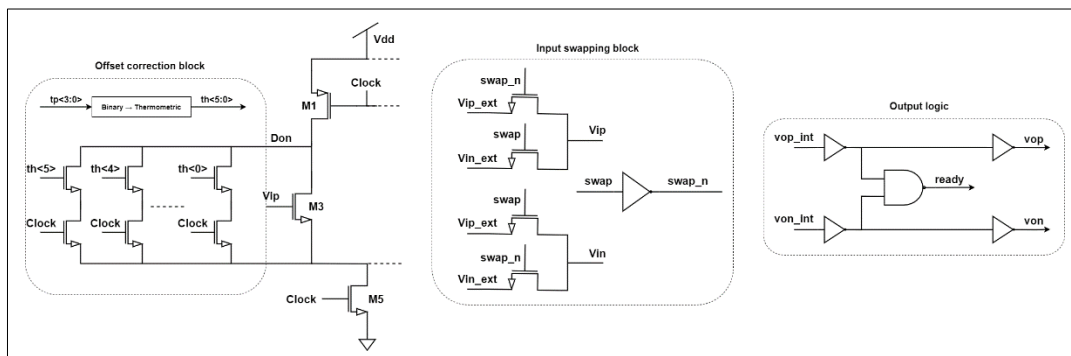


Figura 70: Circuito di blocchi di swapping, correzione offset e generazione del ready

Per indicare quando l'operazione di comparazione è terminata ed è possibile campionare le uscite viene utilizzato uno stadio logico che consente sia di generare un segnale di ready che rigenerare le uscite. L'operazione logica necessaria per generare il ready è un OR tra le uscite del latch: quando le uscite del latch sono 00 il segnale di ready sarà nullo mentre quando assumono valore 01 o 10 il segnale di ready avrà valore logico alto, il caso 11 non lo si considera perché non si verifica mai. L'OR nell'architettura del comparatore viene implementato mediante l'utilizzo di due NOT ciascuno connesso ad una uscita del latch in modo da rigenerare le uscite del latch ed un NAND connesso alle uscite dei NOT. In ingresso ed in uscita al comparatore sono presenti due blocchi di scambio dei segnali (swapping) implementati mediante l'utilizzo di semplici switch a pass transistor. Essi se attivati consentono di invertire *vip* con *vin* e *vcbp* con *vcbn*, ciò significa che quando lo

swap è attivo all'ingresso positivo del comparatore viene applicato il segnale v_{in} e all'ingresso negativo il segnale v_{ip} . Il risultato della comparazione sarebbe quindi l'opposto se non si invertissero anche le uscite, per questo motivo il blocco è replicato anche sulle uscite. L'utilizzo dello swapping è strettamente legato al problema dell'offset del comparatore, il quale è dovuto a sua volta ai mismatch tra i transistori a causa dal processo produttivo. Si definisce V_{offset} la minima differenza di tensione tra gli ingressi tale da innescare il cambiamento di tensione nell'uscita, ovvero:

$$V_{offset} = V_{ip} - V_{in} \quad \text{tale che} \quad V_{out} = V_{op} - V_{on} : 1 \rightarrow 0$$

Tale offset comporta un errore nella comparazione dei segnali e per questo motivo deve essere mantenuto il più piccolo possibile, idealmente nullo. Dall'equazione precedente è possibile anche comprendere il funzionamento e l'effetto dello swapping. Dalla formula segue che l'uscita del comparatore commuta da valore logico 1 a 0 quando $V_{ip} < V_{in} + V_{offset}$, cioè ipotizzando che $V_{ip} = V_{ip_{ext}}$ sia un segnale in discesa e $V_{in} = V_{in_{ext}}$ sia un segnale in salita allora la commutazione dell'uscita avviene in anticipo rispetto al crossing point tra i segnali. Introducendo lo swapping e considerando le stesse forme d'onda si ha che $V_{ip} = V_{in_{ext}}$ e che $V_{in} = V_{ip_{ext}}$, ne segue quindi che la commutazione delle uscite avviene questa volta in ritardo rispetto al crossing point. Tale sistema è fondamentale nelle misure temporali del crossing point in fronti di salita e di discesa dei segnali differenziali per far sì che il crossing point venga sempre individuato allo stesso istante del segnale differenziale, un esempio è visibile nella figura seguente.

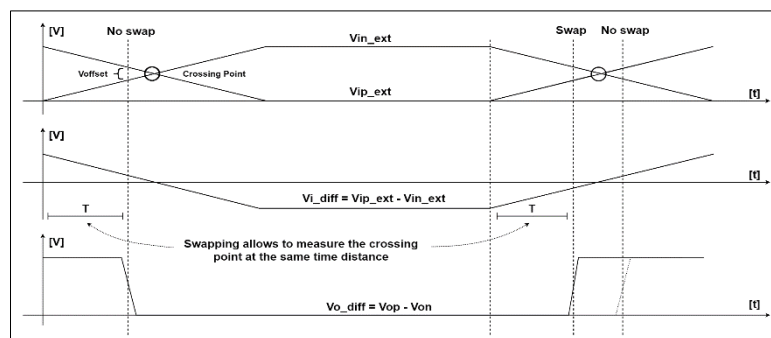


Figura 71: Effetto del segnale di swap nelle misure con comparatore

Transistori con grandi fattori di forma consentono di limitare i mismatch e ridurre l'offset, come visto in 1.2.3, ma comportano un aumento dell'area e del consumo di potenza del comparatore. Per questo motivo un blocco di correzione dell'offset è stato inserito nel

circuito: esso consente di introdurre un offset con una granularità di circa 7mV e con un range di circa $\pm 20\text{mV}$ in modo da poter compensare o comunque ridurre l'offset interno del comparatore. Ad esempio, se si misura una $V_{\text{offset}} = 8\text{mV}$ introducendo una correzione di -7mV si riduce l'offset a solo 1mV, chiaramente tale approccio richiede una precedente fase di misurazione dell'offset definita di calibrazione. Nel circuito di correzione dell'offset, di cui la parte relativa al ramo don è visibile in Figura 70, il segnale di calibrazione $tp<3:0>$ viene trasformato da notazione binaria a notazione termometrica generando i segnali di controllo th che agiscono attivando/disattivando una rete di switch con stesso dimensionamento e collegati in parallelo sull'uscita del blocco di pre-amplificazione. Ciascuno switch è attivato se il segnale th corrispondente ha valore logico alto e all'arrivo del fronte di clock forniscono un canale conduttivo per scaricare in nodo don. La stessa struttura è replicata per l'uscita dop ma utilizzando il segnale thb ottenuto tramite inversione di th . A seconda quindi del numero di transistor attivati sull'uscita dop o don si introduce una asimmetria nella comparazione che consente di compensare l'offset del comparatore.

Per misurare l'offset del comparatore sono state lanciate 200 simulazioni Montecarlo, ovvero simulazioni in grado di replicare l'effetto dei mismatch dei transistori in un circuito reale. Lo scopo è stato quello sia di misurare a livello statistico l'offset del comparatore che di misurare il miglioramento dell'offset apportato dal circuito di correzione. Al fine di correggere l'offset è stato necessario realizzare un blocco VerilogA in grado di misurare l'offset e di generare il segnale digitale $tp<3:0>$ che consente di ridurlo il più possibile tenendo conto della granularità di circa 7mV di ogni codice. Dalle simulazioni è stata misurata una deviazione standard dell'offset pari a $\sigma = 10.88\text{mV}$ che, mediante il blocco di calibrazione, è stato possibile ridurre a $\sigma = 4.34\text{mV}$. Si è poi passati a misurare l'offset residuo a seguito dello swapping, esso teoricamente consente di annullare l'effetto dell'offset in determinate misure ma in realtà è necessario tenere conto del fatto che i pass transistor del blocco di swap introducono a loro volta dei mismatch. Per misurare l'offset residuo si è quindi calcolata la differenza tra la V_{offset} misurata in un fronte di discesa del segnale differenziale in ingresso e la V_{offset} misurata su un fronte di salita del segnale differenziale con lo swapping attivato. Si è misurata una deviazione standard dell'offset residuo di 5.2uV che, aggiungendo anche il blocco di calibrazione del comparatore, è possibile ridurre ad appena 3.2uV.

3.3.4 Il Fine DTC

Precedentemente si è introdotto al fatto che il comparatore esegue il confronto tra gli ingressi ad ogni fronte positivo del segnale di clock. Avendo il segnale di clock un periodo costante sarebbe solamente possibile confrontare gli ingressi ogni 1ns, un intervallo temporale sicuramente insufficiente per eseguire misurazioni tra segnali con intervalli temporali dell'ordine dei fs. L'unico modo per spostare l'istante della comparazione è quindi quello di ritardare il fronte positivo del segnale di clock ed è proprio questa la funzione del *DTC* (*Digital to Time Converter*). Il DTC è formato principalmente da tre blocchi: una *Delay Line*, un *Phase Interpolator* ed un *fine DTC*. Ciascuno dei blocchi consente di ritardare il segnale di clock con una determinata granularità e all'interno di un determinato range temporale a seconda dei codici digitali di controllo ad esso applicati. La granularità del ritardo introdotto da ciascun blocco è sempre minore fino ad arrivare al fine DTC che è in grado di ritardare il segnale di clock con una granularità dell'ordine delle centinaia di fs in un range di una decina di ps, nella figura successiva è meglio visibile il concetto.

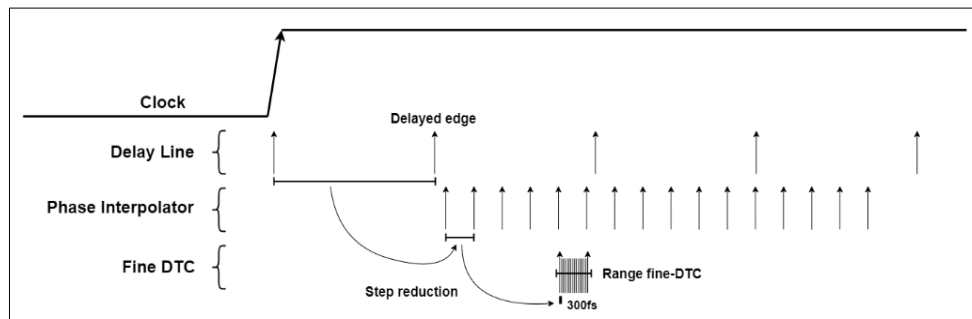


Figura 72: Granularità dello step del ritardo introdotto da ogni blocco del DTC

Il ritardo applicato al segnale di clock viene misurato in termini di codici digitali. Ad esempio, considerando ogni step del fine DTC di 300fs significa che incrementando il codice digitale del fine DTC di una unità si ritarda il segnale di ulteriori 300fs. È bene specificare però che complessivamente il DTC (formato dai 3 blocchi) non è un sistema lineare, differenti codici possono introdurre lo stesso ritardo e la linearità è garantita solamente all'interno del range di delay introdotti dal fine-DTC. Per l'applicazione di interesse di questa tesi ci si è quindi focalizzati sullo studio ed utilizzo del blocco fine DTC in quanto il ritardo applicato dai primi due blocchi, detti *Coarse-DTC*, rimane

sempre costante e solo il range lineare di ritardi del fine DTC è necessario per il sistema di misura. Per lo scopo si considererà quindi il blocco di coarse-DTC come un ritardo costante applicato al segnale in ingresso e si agirà solamente sui segnali di controllo del fine DTC per modificare il ritardo con la granularità delle centinaia di fs.

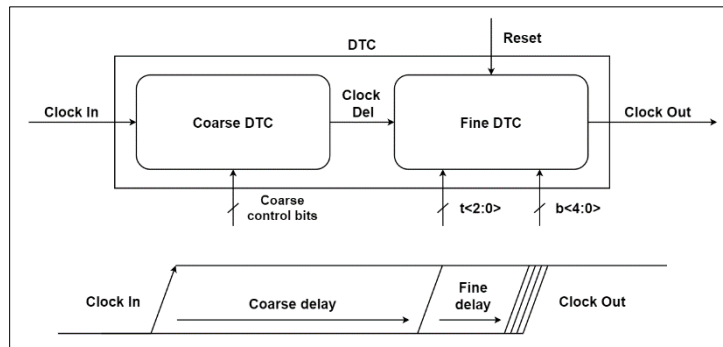


Figura 73: Schema a blocchi del DTC e del fine DTC

Il fine DTC è alimentato alla tensione di 0.9V e ha 3 segnali principali in ingresso/uscita: il segnale di clock in ingresso da ritardare chiamato *clock_del*, il clock di uscita *clock_out*, un segnale di *reset* e un segnale di controllo *b<4:0>*. Il segnale digitale *b<4:0>* permette di configurare il ritardo introdotto dal fine DTC al segnale all'interno di un determinato range. Essendo *b<4:0>* un segnale a 5 bit significa che il numero di punti all'interno del range è 32, la larghezza degli step sarà quindi data da $\text{step} = \text{range}/32$. In Figura 74 è possibile osservare il risultato di una simulazione condotta incrementando il valore del segnale *b<4:0>* da 0 a 32. Dalla simulazione è possibile osservare un ritardo costante introdotto al segnale in ingresso dal fine DTC ed un ritardo programmabile mediante il segnale *b<4:0>* con uno step costante e lineare. Nel caso della simulazione rappresentata in figura lo step del fine DTC era di 235fs, ovvero un range totale di 7.5ps.

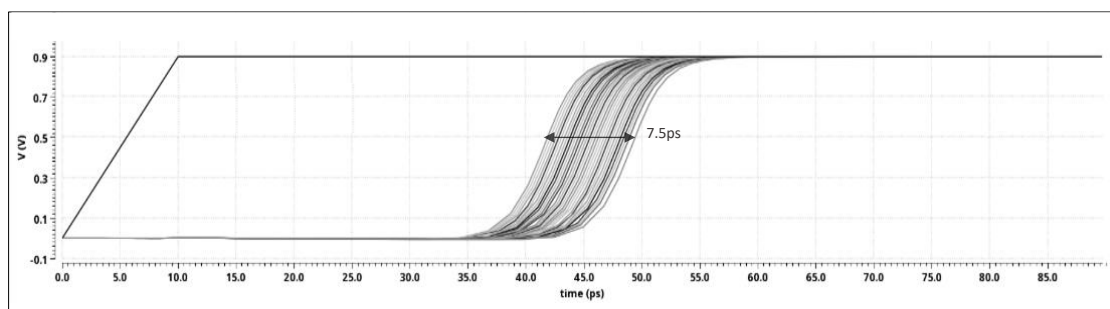


Figura 74: Ritardo introdotto da fine DTC al variare di *d<4:0>*

Lo schema circuitale del fine DTC è visibile in Figura 75 ed in esso è possibile distinguere i tre blocchi principali che lo compongono: un buffer di ingresso a basso rumore per amplificare e rigenerare il segnale, un generatore di rampe per caricare il nodo centrale X ed un invertitore in uscita che funge da comparatore a soglia.

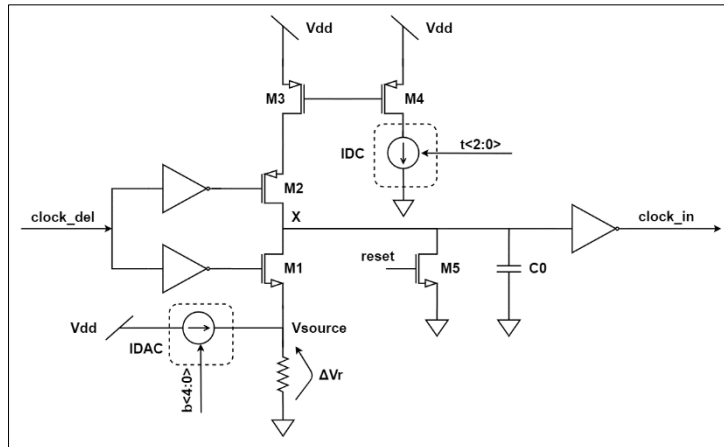


Figura 75: Schema circuitale del Fine DTC

Il funzionamento del circuito è il seguente: quando il clock entra in ingresso al fine DTC viene rigenerato invertendone il valore dai buffer in ingresso ed arriva ai transistori M1 ed M2 che sono connessi come un invertitore. Se clock_del ha valore logico alto solo il transistor PMOS M2 è acceso ed il nodo X viene caricato dalla corrente uscente da M3 mentre se clock_del ha valore logico basso solo il transistor NMOS M1 è acceso ed il nodo X è caricato alla tensione ΔV_r . Possiamo quindi distinguere due fasi: una fase di precarica del nodo X alla tensione ΔV_r ed una successiva fase di carica del nodo fino a V_{dd} dovuta all'accensione di M2. La tensione ΔV_r di precarica dipende dal valore del resistore e dalla corrente in uscita dal blocco IDAC secondo la relazione $\Delta V_r = I_{DAC} * R$. Il blocco IDAC è un convertitore DAC in corrente controllato dal segnale $b<4:0>$, esso trasforma il segnale $b<4:0>$ in scala termometrica e binaria tale che ad ogni codice corrisponde l'attivazione di un generatore di corrente in uscita opportunamente dimensionato, come visibile in Figura 76. Aumentando il valore del codice digitale di controllo si aumenta la corrente in uscita dal IDAC e quindi la tensione di precarica. La tensione di precarica è fondamentale per la durata della successiva fase di carica del nodo X, dal valore della tensione di partenza e della corrente di carica del nodo dipenderà infatti la durata del transitorio t_d .

Più il transitorio t_d è breve e prima il nodo X raggiungerà la soglia dell'invertitore in uscita e quindi prima l'uscita clock_out cambierà valore secondo la seguente relazione:

$$t_d = \frac{V_F - V_{PRE}}{S}$$

Dove S è costante ed è lo slope del generatore di rampa, dovuto alla corrente in uscita da M3, V_f è la tensione finale di carica ed V_{PRE} è la tensione di precarica ovvero ΔV_r . La corrente di uscita di M3 è ottenuta mediante uno specchio di corrente con M4 il quale è connesso al generatore di corrente IDC programmabile mediante alcuni segnali di controllo. Tali segnali consentono di attivare differenti generatori di corrente in IDC in modo da variare la corrente in uscita da M3, più la corrente è alta e più il coefficiente S è grande riducendo la durata del transitorio.

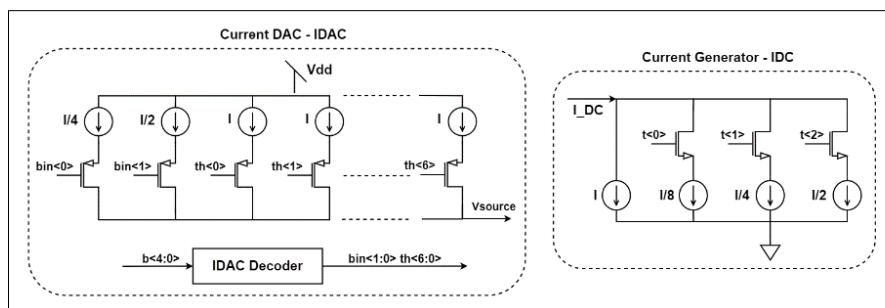


Figura 76: Schema circuitale del IDAC ed IDC del Fine DTC

Il concetto alla base quindi del funzionamento del fine DTC è la carica/scarica del nodo X del circuito, più la carica è lenta e più si introduce un ritardo nella propagazione del segnale di clock dall'ingresso all'uscita attraverso la catena di buffer. Per garantire che tra un fronte del segnale di clock ed il successivo il ritardo applicato al segnale sia lo stesso viene utilizzato un segnale di reset che mediante il transistor M5 scarica il nodo X a massa prima della fase di precarica, in questo modo si evita qualsiasi effetto di memoria. Alla base del corretto funzionamento del circuito e della linearità del sistema di misura è importante garantire che la corrente di carica del nodo X sia costante e che la capacità sul nodo X sia lineare. I dimensionamenti ed il calcolo delle correnti di polarizzazione dei generatori di corrente del IDAC, non affrontato in questo elaborato di tesi, devono poi essere tali da garantire la linearità del DTC ovvero che la tensione di precarica del nodo X non sia eccessivamente alta da oltrepassare la soglia del buffer in uscita.

3.3.5 Il riferimento di tensione V_{CM}

Un altro elemento fondamentale del sistema di misura sarà il generatore della tensione di modo comune V_{CM} che, nel caso della tecnologia utilizzata in questa tesi, è la tensione a metà tra V_{dd} e 0, cioè $V_{CM}=0.45V$. Avere un generatore che consenta di generare questa tensione è fondamentale se si decide di utilizzare il comparatore in modalità *single ended*. In tale modalità la comparazione è effettuata tra il segnale in ingresso ed un riferimento costante di tensione (soglia) al fine di determinare se esso è maggiore o minore di tale soglia, in questo caso V_{CM} . Affinché la comparazione sia corretta e le misure effettuate siano coerenti è necessario che tale riferimento di tensione sia il più preciso ed accurato possibile, idealmente 0.45V. È possibile però che a causa di mismatch tra i transistori dovuti al processo produttivo il riferimento di tensione generato differisca dal valore ideale. Parte del progetto di questo blocco è stato quello di dimensionare i transistori del circuito in modo tale da mantenere limitato l'offset della V_{CM} e allo stesso tempo mantenere limitati i consumi di corrente dell'architettura. Nella figura seguente è possibile osservare l'architettura scelta per generare il riferimento di tensione.

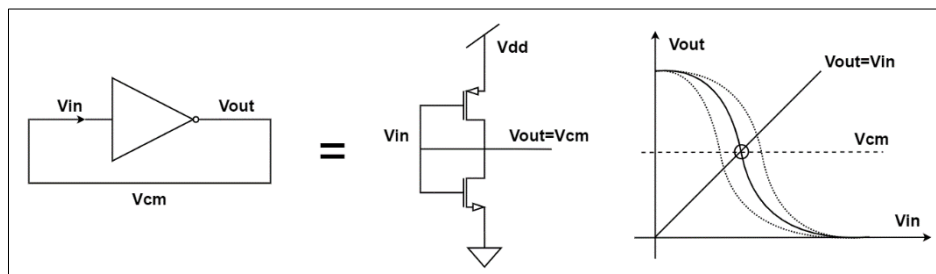


Figura 77: Generatore del riferimento di tensione V_{cm}

L'idea base è di collegare in feedback l'uscita di un invertitore con l'ingresso, in questo modo si forza la relazione $V_{in}=V_{out}$ che, se la caratteristica dell'invertitore è simmetrica, corrisponde a forzare le tensioni al valore della tensione di modo comune ($V_{CM}=0.45V$) indicata nella Figura 77 dall'intersezione tra la caratteristica di trasferimento dell'invertitore e la retta $V_{OUT}=V_{IN}$ nel punto V_{CM} . Eventuali mismatch tra i transistori dovuti al processo produttivo possono però comportare una asimmetria nella curva e lo spostamento del punto di intersezione da V_{CM} ad $V_{CM} \pm V_{offset}$ come visibile sempre in Figura 77 considerando le caratteristiche tratteggiate.

Tale effetto è descrivibile considerando la resistenza equivalente dei transistori PMOS e dei transistori NMOS della rete di pull-up e di pull-down dell'invertitore, in tale rappresentazione la tensione di uscita è quella di un partitore di tensione, si ha quindi:

$$V_{out} = V_{dd} * \frac{R_{down}}{R_{up} + R_{down}} = \frac{V_{dd}}{2} \quad \text{con } (R_{down} = R_{up})$$

Affinché $R_{up}=R_{down}$ i fattori di forma (W/L) dei due transistori devono essere uguali ma, come già affermato, a causa di possibili mismatch questa condizione non è sempre verificata. Incrementare l'area del transistor mantenendo lo stesso fattore di forma consente di ridurre le differenze tra i parametri dei transistor ma comporta anche un aumento della corrente statica consumata dal circuito e da mantenere sicuramente al di sotto del mA. Un'alternativa è quella di collegare più transistor in serie a formare la rete di pull-up e di pull-down, in questo modo le resistenze R_{up}/R_{down} equivalenti sono la somma delle resistenze di pull/down connesse in serie e le differenze dei resistori dal loro valore nominale tendono a compensarsi più il numero di transistor utilizzati è alto.

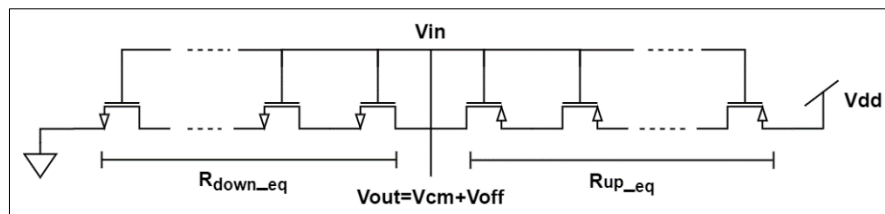


Figura 78: Circuito per riduzione dell'offset della Vcm

L'approccio utilizzato per il dimensionamento del circuito è stato duplice: da un lato si è incrementata la dimensione dei transistor il più possibile mantenendo la corrente limitata e dall'altro si è aumentato il numero di transistor in serie per ridurre ulteriormente l'offset della V_{CM} . Il circuito finale è composto da 8 transistor NMOS ed 8 transistori PMOS in serie opportunamente dimensionati in modo da mantenere il consumo di corrente limitato alle centinaia di μA . Sono state poi lanciate 100 simulazioni Montecarlo per introdurre gli offset tra i transistor e fare una statistica sulla variazione della V_{CM} dal valore ideale $V_{CM}=0.45V$. Al termine delle simulazioni si è misurata una deviazione standard di $\sigma=1.5mV$ che permette di concludere che per il 99.7% dei casi la V_{CM} generata dal circuito è inclusa all'interno del range $[445.5mV; 454.5mV]$, un offset accettabile per l'applicazione nel sistema di misura di interesse in questa tesi.

3.3.6 I multiplexer

L'architettura scelta per la realizzazione dei multiplexer del sistema di misura è definita *transmission gate multiplexer* poiché fa uso della logica a pass transistor rispetto ad una tradizionale soluzione in logica CMOS. Tra i vantaggi della logica a pass transistor vi è quello di utilizzare in generale meno transistor rispetto ad una logica CMOS, una maggiore velocità e minori consumi di potenza. Tra i limiti della tecnologia pass transistor è da citare però la riduzione della tensione di uscita ad ogni stadio logico, problema che non si presenta nel caso della logica CMOS in quanto le uscite sono direttamente collegate ad una delle alimentazioni a seconda dell'operazione logica eseguita. Una soluzione a questo problema è l'utilizzo di logica a pass transistor complementare in cui ogni porta logica, detta *transmission gate*, è composta sia da un transistor PMOS che NMOS. In questo modo si raddoppia il numero di transistor ma l'ampiezza del segnale in uscita non viene ridotta. In Figura 79 è rappresentata l'architettura del multiplexer a transmission gate il cui funzionamento è il seguente: quando il segnale *Sel* ha valore 0 entrambi i transistor del transmission gate relativo all'ingresso *In0* sono attivi, viceversa quando il segnale *Sel* ha valore 1 essi sono spenti e quelli relativi all'ingresso *In1* sono attivi. È necessario quindi generare anche segnale di selezione complementare *Sel_bar* mediante l'uso di un invertitore integrato all'interno del multiplexer.

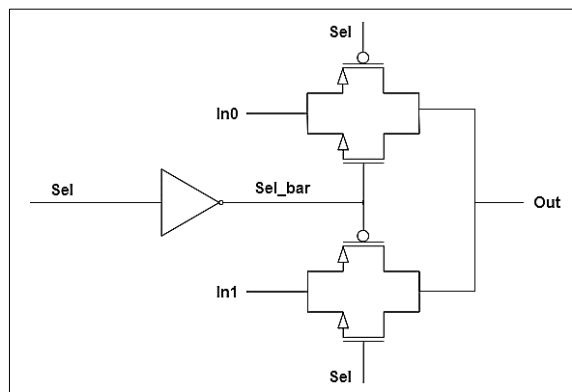


Figura 79: Architettura del multiplexer in configurazione transmission gate

In particolare, la simmetria della logica a pass transistor consente di mantenere limitato lo skew tra gli ingressi che l'utilizzo di un multiplexer realizzato con transistor reali introdurrebbe. Tale effetto è dovuto al fatto che nell'implementazione circuitale dell'architettura i mismatch tra i transistori, cioè le differenze del loro dimensionamento

dal valore ideale, introducono un differente ritardo nella propagazione del segnale in ingresso all'uscita. Ogni transmission gate introduce inevitabilmente un ritardo, ciò che è fondamentale è far sì che la differenza tra i ritardi introdotti dai due transmission gate del multiplexer sia il più piccolo possibile, idealmente nulla, in modo che la misura non sia alterata dai multiplexer.

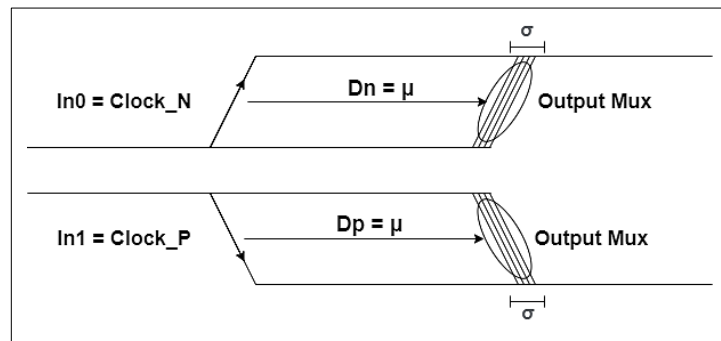


Figura 80: Ritardo tra ingressi e uscite del multiplexer

Considerando l'esempio in Figura 80 è possibile osservare che ciò che si vuole garantire nel progetto del multiplexer. Si richiede quindi che il valore medio μ dei ritardi introdotti tra gli ingressi $In0$ $In1$ e le uscite dei multiplexer siano uguali, ovvero idealmente $D_p = D_n = \mu$ e che la deviazione standard σ sia sufficientemente piccola (dell'ordine delle unità di fs). Vengono quindi dimensionati i transistori del multiplexer al fine di garantire queste specifiche e simulando i mismatch tra i transistor attraverso una simulazione Montecarlo su 300 punti. L'obiettivo della simulazione è quello di misurare la differenza nei ritardi, ovvero lo *skew*, tra i due ingressi e l'uscita del multiplexer distinguendo tra i fronti di salita e di discesa dei segnali. I risultati della simulazione sono quindi due: lo skew dei fronti di salita e lo skew dei fronti di discesa degli ingressi. I transistori dei pass gate e dell'invertitore sono stati opportunamente dimensionati tenendo conto del fatto che aumentare il fattore di molteplicità consente di ridurre i mismatch. Si sono quindi misurati i seguenti risultati: il valore medio dello skew sia per i fronti di salita che per quelli di discesa è minore di 2fs e la deviazione standard per i fronti di salita è di 8.8fs mentre per i fronti di discesa è di 10.4fs. Aumentando ulteriormente le dimensioni dei transistori si potrebbe ridurre ulteriormente la σ ma non sarebbe vantaggioso in termini di area occupata. L'analisi eseguita ci permette quindi di concludere che i multiplexer così dimensionati introdurrebbero nel caso peggiore un errore nella misura di $5\sigma = 44\text{fs}$.

3.4 La misura dell'allineamento

3.4.1 Il sistema di misura

La misura dell'allineamento tra le fasi del segnale di clock segue la definizione di allineamento fornita in 3.2.3 ovvero che le fasi si definiscono allineate quando hanno lo stesso duty cycle e sono centrate tra esse, ovvero SK_L è uguale a SK_R . Si è poi dimostrato che la condizione di allineamento tra le fasi è verificata se è valida la relazione $\Delta 1 = \Delta 2$, dove $\Delta 1 = D1 - D2$ e $\Delta 2 = D3 - D4$. In questo capitolo si vuole illustrare il sistema di misura di $D1$, $D2$, $D3$ e $D4$ che è stato studiato in questa tesi e realizzato utilizzando i blocchi circuitali descritti in 3.3.3, 3.3.4 ed 3.3.5.

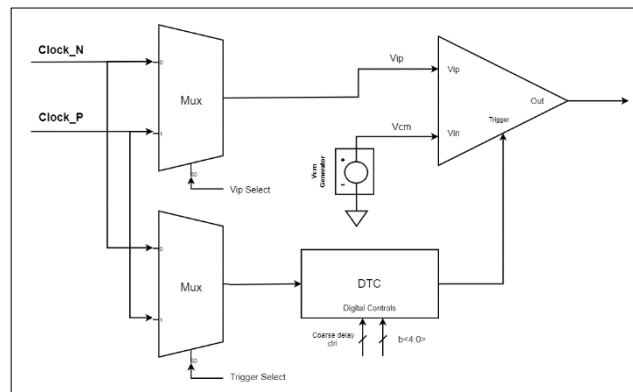


Figura 81: Architettura del sistema di misura dell'allineamento

L'architettura, visibile in Figura 81, è composta da quattro blocchi principali:

- *Comparatore dinamico*: confronta il segnale di clock che viene fornito nell'ingresso V_{ip} con la tensione di modo comune V_{CM} (modalità single ended) presente nell'ingresso V_{in} ad ogni fronte positivo del segnale di trigger.
- *DTC*: introduce un ritardo programmabile al fronte positivo del segnale di Trigger del comparatore, il ritardo è finemente regolato agendo sul segnale $b<4:0>$ del blocco fine DTC con uno step di 130fs in un range di 4.1ps. Il valore del codice digitale applicato al fine DTC in grado di innescare il cambiamento dell'uscita del comparatore sarà considerato nel sistema di misura come il risultato della misura.
- *Generatore V_{CM}* : genera il riferimento di tensione costante $V_{CM} = 0.450V$ ed è sempre connesso all'ingresso negativo del comparatore dinamico.

- **Multiplexers:** consentono di selezionare il segnale in ingresso al DTC e all'ingresso positivo del comparatore dipendentemente da un segnale di controllo. La selezione è effettuata in entrambi i casi tra le due fasi del clock, sia clock_n che clock_p dovranno essere infatti utilizzati come trigger e/o Vip per la misura di D1, D2, D3 e D4. L'implementazione circuitale dei multiplexer è critica per il funzionamento del sistema: è fondamentale garantire che i multiplexer non introducano distorsioni o skew ai segnali di clock ed è per questo motivo che l'architettura a pass transistor descritta precedentemente è stata scelta.

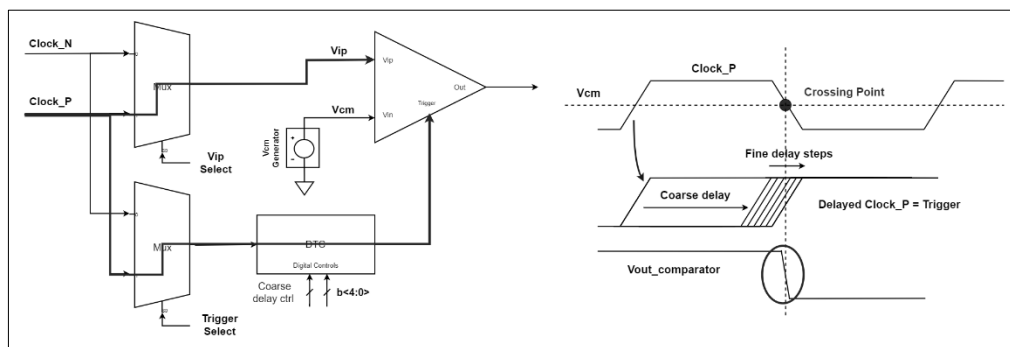


Figura 82: Approccio utilizzato per la misura di D1

Per illustrare il funzionamento del sistema di misura si considera come esempio la misura dell'intervallo temporale D1, definito in 3.2.3 come la durata della pulsazione del segnale clock_p ovvero l'intervallo temporale tra un fronte di salita del segnale clock_p ed il suo successivo fronte di discesa. L'idea è la seguente: mediante i multiplexer si seleziona clock_p per essere sia segnale di trigger che ingresso positivo del comparatore, il comparatore esegue quindi la comparazione tra clock_p e V_{cm} in corrispondenza del fronte positivo di clock_p. Inizialmente il DTC non aggiunge ritardo al trigger, la tensione di clock_p è quindi maggiore di V_{CM} per ogni fronte del segnale di trigger ed il risultato della comparazione è 1, cioè l'uscita differenziale del comparatore assume valore logico alto. Agendo sui segnali di controllo del DTC si introduce ritardo al fronte del segnale di clock spostando l'istante di comparazione verso il fronte di discesa di clock_p, sino al raggiungimento dell'istante in cui clock_p e V_{CM} hanno lo stesso valore, detto *crossing point*. Se il ritardo temporale introdotto dal DTC è tale da innescare la comparazione tra clock_p e V_{CM} in un istante successivo al crossing point allora il risultato della comparazione sarà 0. È proprio mediante la quantità di ritardo aggiunto al trigger che si ottiene una misura della pulsazione di clock_p, ovvero D1.

È necessario prestare attenzione al fatto che la misura del ritardo introdotto dal DTC è espressa in codici digitali e, come già discusso in 3.3.4, il DTC non è un sistema lineare poiché differenti codici introducono lo stesso ritardo. Ne segue che non è possibile effettuare una diretta conversione del codice digitale in secondi e misurare realmente la durata della pulsazione. La misura di D1 è effettuabile solo in termini dei codici digitali applicati dall'ultimo blocco del DTC, ovvero il fine DTC e che è un blocco lineare. Per riassumere, l'approccio seguito è quello di determinare la posizione del crossing point incrementando inizialmente i segnali digitali di controllo del coarse DTC, solo una volta determinato il codice precedente a quello in grado di innescare una variazione dell'uscita del comparatore si iniziano ad incrementare i codici del fine DTC. Incrementando i codici del fine DTC applicati tramite il segnale $b<4:0>$ da 0 fino a 31 ed osservando l'uscita del comparatore si è in grado di determinare quale codice comporti la transizione dell'uscita del comparatore da 1 a 0. La misura di D1 viene quindi effettuata in termini di codici digitali del fine DTC, ad esempio se il codice 16 è quello che fa variare l'uscita del comparatore significa che il fine DTC ha aggiunto un ritardo di $16 \cdot 130\text{fs}$ al segnale in uscita dal coarse DTC. La misura in secondi di D1 non è quindi assoluta ma è relativa al ritardo coarse applicato prima del fine DTC.

Lo stesso approccio discusso per D1 viene poi ripetuto per la misura di D2 utilizzando come segnali di trigger e Vip il clock_n, per la misura di D3 utilizzando clock_p come trigger e clock_n come ingresso Vip e per la misura di D4 utilizzando clock_n come trigger e clock_p come ingresso Vip del comparatore. Attenzione, affinché queste misure siano coerenti tra esse è necessario che il ritardo applicato dal coarse DTC sia lo stesso nelle misure D1/2 ed in D3/4. Ne segue quindi che tra le differenti configurazioni il codice applicato al coarse DTC non deve variare ed il crossing point viene cercato all'interno della finestra di ricerca data dal range del fine DTC. Per eseguire le simulazioni è stato creato un testbench che, fissato un ritardo costante al segnale di trigger in modo da per simulare il coarse DTC, esegue automaticamente le simulazioni variando solamente i codici digitali in ingresso al fine DTC ed i segnali in ingresso al comparatore e fine DTC mediante opportuni segnali di controllo applicati ai multiplexer. Il testbench consente di determinare il crossing point per la misura di D1, D2, D3 e D4. Si ottengono quindi 4 codici digitali, il cui valore è compreso tra 0 e 31 e che rappresentano la misura con una incertezza pari allo step di 130fs.

Nella Figura 83 è possibile osservare un esempio dell'uscita differenziale del comparatore durante la misura di D3, l'approccio è quello di incrementare il codice applicato al fine DTC, cioè il ritardo applicato al trigger del comparatore fino a determinare il crossing point tra V_{ip} ed V_{CM} . Nel primo grafico con codice 14 l'uscita del comparatore è sempre a livello basso cioè sicuramente $V_{ip} < V_{CM}$, incrementando di due step il ritardo applicato al trigger si osserva come l'uscita del comparatore assuma poi valore positivo, cioè sicuramente $V_{ip} > V_{CM}$, la misura di D3 è quindi il codice 16 in questo caso.

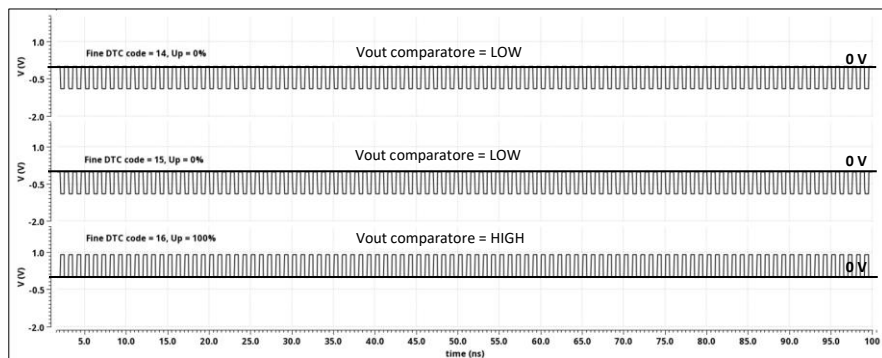


Figura 83: Uscita del comparatore con differenti codici del DTC

L'approccio appena descritto rappresenta il funzionamento alla base del criterio di misura, si deve però tenere conto del rumore dei transistori nell'implementazione pratica del circuito che, a loro volta, introducono di conseguenza un rumore nella misura effettuata, che sia essa di D1, D2, D3 o D4. Il rumore ha l'effetto positivo di mediare la misura e di migliorarne la precisione ma è necessario un approccio differente alla misura. Si consideri ad esempio la Figura 84 dove è riportato il risultato della stessa misura di D3 ma in una simulazione transient noise a 10GHz, ovvero una simulazione che introduce un rumore nei componenti del circuito con una frequenza massima di 10GHz.

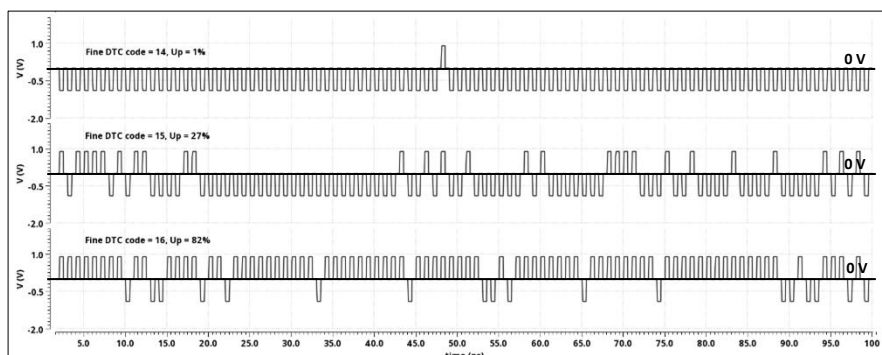


Figura 84: Uscita del comparatore in simulazione transient noise con differenti codici del DTC

Con l'introduzione del rumore nel circuito il risultato della comparazione non è più netto, l'uscita del comparatore con il codice 16 può assumere sia valore alto in alcuni casi che valore basso in altri essendo l'effetto del rumore completamente casuale. Non è quindi possibile assumere che il risultato della misura sia 16. Ciò che si osserva è un aumento della percentuale di periodi in cui segnale è alto all'aumentare del codice applicato al fine DTC, ovvero all'aumento del ritardo del segnale di trigger. Se si applicasse un codice superiore a 16 la percentuale di periodi in cui l'uscita è alta tenderebbe gradualmente a 100%, viceversa applicando codici inferiori a 14 la percentuale scenderebbe allo 0%. Si può definire allora una probabilità associata ad ogni codice come:

$$P(\text{codice}) = \frac{N^{\circ} \text{ periodi } (V_{diff} = 1)}{N^{\circ} \text{ periodi totali}}$$

L'idea è quella di creare una funzione statistica a partire dalla percentuale di periodi in cui l'uscita assume valore alto per ciascun codice del fine DTC e di considerare come misura del crossing point il codice per cui si ha il 50% di probabilità in cui l'uscita sia alta, come visibile ad esempio in Figura 85. Il criterio si basa sul fatto che se il trigger aziona il comparatore in un punto lontano dal crossing point il rumore del comparatore è trascurabile rispetto all'ampiezza dei segnali e la comparazione è corretta, più ci si avvicina al crossing point e più invece il rumore diventa determinante ed a sua volta l'incertezza del risultato della comparazione a causa del rumore. Nel crossing point il risultato della comparazione produrrà un valore alto dell'uscita per il 50% dei casi.

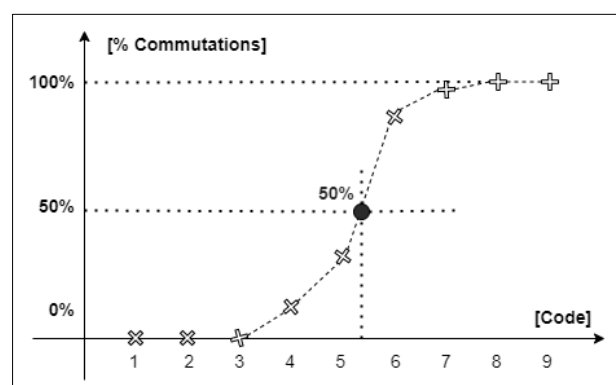


Figura 85: Statistica per il calcolo del codice del crossing point

Il codice corrispondente al crossing point viene poi calcolato dai dati statistici tramite interpolazione lineare tra i due codici il cui intervallo di probabilità include il valore 50%.

Ad esempio, siano (P1, C1) ed (P2, C2) i due punti estremi tali per cui P=50% appartiene all'intervallo [P1, P2]. Il codice C associato alla crossing point è allora calcolabile come:

$$C = C1 + \frac{P - P1}{P2 - P1} \times (C2 - C1)$$

L'errore di misura del codice C dipende da due fattori: l'errore introdotto dall'interpolazione lineare (che si considera trascurabile) ed il numero di periodi considerati nel calcolo della statistica per ogni codice. La misura della probabilità di ciascun codice può essere considerata come il valore medio della tensione di uscita dal comparatore per un determinato codice. Ne segue allora che, ipotizzando il rumore di tipo gaussiano con valore medio nullo $\mu_n=0$ e varianza σ_n^2 , allora il valor medio temporale del segnale converge al valore medio statistico per un numero di periodi N tendente ad infinito. In generale, per un numero di campioni finito N , si ha che:

$$\sigma_{errore_misura} = \frac{\sigma_n}{\sqrt{N}}$$

Per riassumere, la tecnica del *signal averaging* consente di calcolare il codice C per la misura di D1, D2, D3 o D4 introducendo un errore a valor medio nulla e deviazione standard dipendente dal numero N di campioni per codice considerati. La riduzione della deviazione standard dell'errore della misura non è però lineare ma ha una proporzionalità dipendente dall'inverso della \sqrt{N} . Incrementare il numero di campioni ha quindi un effetto migliorativo evidente solo finché il numero N è piccolo. Le simulazioni del sistema di misura descritte in 3.4.3 sono state eseguite con $N=200$ ed implementando nel testbench un blocco VerilogA che leggendo l'uscita del comparatore ed il codice applicato al fine DTC è in grado di effettuare la statistica e calcolare il valore di D1, D2, D3 e D4 automaticamente.

Per completezza si precisa che i segnali clock_p e clock_n utilizzati dai convertitori DAC operano a frequenze dell'ordine della decina di GHz (come, ad esempio, nel modello del TIDAC) ma che la frequenza massima di funzionamento del comparatore è però solamente dell'ordine delle unità di GHz. Ne segue quindi che i segnali prima di essere utilizzati dal sistema di misura devono essere necessariamente convertiti tramite un divisore di frequenza ad una frequenza più bassa. Nelle simulazioni verranno utilizzati due segnali alla frequenza di 500MHz e con tempi dei fronti di salita e di discesa di 10ps.

3.4.2 I mismatch e gli offset

In ogni sistema la precisione e l'accuratezza della misura possono dipendere da molteplici offset e non idealità, scopo di questo capitolo è analizzare ed individuare le possibili fonti di errore che affliggono la misura di D1, D2, D3 e D4 ma che, grazie alla notazione differenziale basata sui $\Delta 1$ e $\Delta 2$, la misura dell'allineamento non ne è influenzata. In particolare, si sono individuate tre possibili fonti di errore: *l'errore di integrazione*, *l'offset nella V_{CM}* e *l'offset del comparatore*.

L'errore di integrazione è già stato parzialmente introdotto in 3.2.3, dove si è detto che essendo D1 e D2 misure di una quantità differente rispetto a D3 e D4 non è possibile effettuare un confronto diretto tra le due quantità. D1 e D2 sono infatti intervalli temporali misurati considerando il crossing point tra un fronte di discesa e V_{CM} mentre D3 e D4 sono intervalli temporali misurati considerando il crossing point tra un fronte di salita e V_{CM} , per coerenza della misura è possibile confrontare tra esse solo la loro differenza ovvero $\Delta 1$ e $\Delta 2$. Si sottolinea che l'approccio di misura con i delta è stato quindi studiato proprio per evitare di incorrere in questo errore e che di conseguenza non è sensibile agli errori di integrazione. Tale criterio deriva da osservazioni effettuate durante le simulazioni del sistema dove si è definito l'errore di integrazione come la differenza in codici digitali tra due misure dello stesso intervallo temporale, una effettuata considerando un crossing point tra V_{CM} e un fronte di discesa e l'altra effettuata considerando un crossing point tra V_{CM} e un fronte di salita.

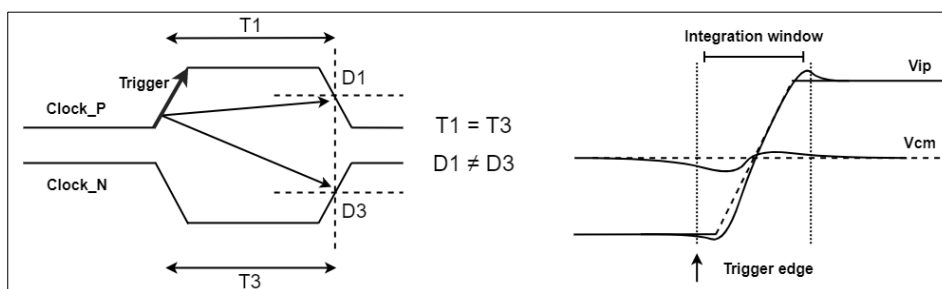


Figura 86: L'errore di integrazione del sistema di misura

In Figura 86 è riportato l'esempio della misura di D1 e D3 in cui, seppur i due intervalli temporali abbiano durata uguale $T1 = T3$, si misura un codice digitale D1 differente da D3. A causa dell'errore di integrazione non è ad esempio lecito assumere che se $D1=D2$

(cioè le due fasi del clock hanno lo stesso duty cycle) e che se $D1=D3$ (cioè la pulsazione di clock_p ha la stessa durata della fasi basse di clock_n) allora i due segnali hanno entrambi un duty cycle del 50%, la misura del DC sarà possibile effettuarla solamente con il sistema di misura che verrà descritto in 3.5. Il nome errore di integrazione deriva dal comportamento del comparatore: esso, infatti, all'arrivo del fronte del segnale di trigger non prende una decisione istantanea ma impiega un certo tempo t_w definito *finestra di decisione o integrazione*. Se il segnale differenziale ($V_{Diff} = V_{ip} - V_{in}$) in ingresso al comparatore fosse costante nel tempo, o sufficientemente lento, non ci sarebbero dubbi sulla risposta del comparatore mentre invece nel caso di segnali che variano nel tempo è necessario considerare l'integrale del segnale differenziale agli ingressi nell'intervallo t_w . Dalle simulazioni si è osservato che il segnale differenziale in ingresso alla rete di preamplificazione del comparatore è differente all'interno la finestra di integrazione a seconda che si tratti di un fronte di salita o di discesa, tale differenza è dovuta al rumore ed all'effetto di kickback del segnale di trigger del comparatore che si ripercuote sul valore di tensione dei segnali in ingresso al comparatore modificandone il valore.

La seconda categoria di non idealità del sistema di misura che sono state considerate sono gli offset del V_{CM} e gli offset del comparatore. Seppure la sorgente dell'offset sia differente entrambi hanno un effetto analogo sulla misura di $D1$, $D2$, $D3$ e $D4$.

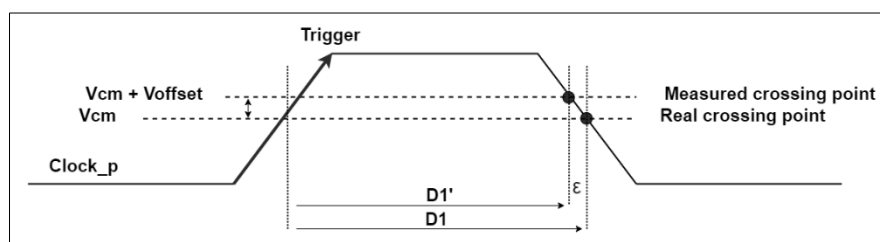


Figura 87: Effetto dell'offset del comparatore e della V_{cm} nella misura di $D1$

Si consideri la misura di $D1$ raffigurata nella figura precedente, la presenza di una variazione di V_{offset} nella V_{CM} o nel comparatore comporta uno spostamento del crossing point ed una misurazione di $D1'$ che differisce dal vero valore $D1$ per un errore ϵ . Lo stesso errore si ripresenterà analogamente nella misura di $D2$, in quanto anche in quel caso la tensione V_{offset} comporterà una misura di $D2'$ minore di $D2$ per un errore ϵ . Gli errori ϵ nel calcolo di $\Delta 1$ si annullano a vicenda rendendo la misura non dipendente da essa. Considerazioni analoghe valgono per il calcolo di $D3$ e $D4$ e quindi di $\Delta 2$.

3.4.3 Simulazioni e risultati

Per testare e verificare il funzionamento del sistema di misura sono state eseguite alcune simulazioni. Come precedentemente introdotto è stato creato un testbench in Cadence Virtuoso con l'istanza di tutti i componenti dell'architettura e di un blocco scritto in VerilogA per automatizzare la misura di $\Delta 1$ e $\Delta 2$ sulla base dei parametri di simulazioni. Nel testbench i generatori di tensione ed i segnali di controllo dei multiplexer sono stati implementati mediante generatori ideali presenti della libreria *Analoglib* di Cadence Virtuoso in modo tale da poter misurare D1, D2, D3 e D4 variando tramite essi i segnali di clock in ingresso al sistema di misura. Le fasi del clock sono state generate tramite generatori di tensione *vpulse* in modo che i segnali *clock_p* e *clock_n* abbiano ampiezza 0.9V, tempi di salita e di discesa di 10ps, frequenza di 500MHz, ed in condizioni normali siano tra essi allineati e con duty cycle del 50%. Il testbench è parametrizzabile in modo che sia possibile introdurre uno skew tra i segnali, introdurre un differente duty cycle nelle due fasi ed osservare la variazione del $\Delta 1$ e $\Delta 2$ misurato. $\Delta 1$ e $\Delta 2$ vengono misurati come differenza tra codici misurati seguendo l'approccio descritto in 3.4.1 e ripetendo in una simulazione transient noise la comparazione tra gli ingressi per 400 volte per tutti i 32 codici del fine DTC e per D1, D2, D3 e D4. La misura dell'allineamento tramite i Δ viene poi convertita in secondi moltiplicando il codice digitale per lo step del fine DTC, in questo caso è di 130fs.

	Aligned	DC Error Clk_P	DC Error Clk_N	SK_L	SK_R	$\Delta 1$ Expected	$\Delta 2$ Expected	$\Delta 1$ Measured	$\Delta 2$ Measured
Test 1	Yes	0	0	0	0	0	0	1.8fs	8.5fs
Test 2	Yes	200 fs	200 fs	200 fs	200 fs	0	0	-3.2fs	8.6fs
Test 3	No	200 fs	0	100fs	100fs	200 fs	200 fs	196.2fs	161.8fs
Test 4	No	200 fs	0	0	200 fs	200 fs	400 fs	188.0fs	403.4fs

Figura 88: Risultati della simulazione della misura dell'allineamento delle fasi di clock

In Figura 88 è possibile osservare i risultati di quattro simulazioni del sistema eseguite per misurare $\Delta 1$ e $\Delta 2$ di *clock_n* e *clock_p* in diverse condizioni di sfasamento. In test 1 e test 2 i due segnali sono allineati, hanno lo stesso duty cycle e sono centrati tra essi, secondo la definizione di allineamento introdotta in 3.2.3 si ha idealmente che $\Delta 1 = \Delta 2 = 0$ che è la condizione di allineamento ricercata per garantire che il segnale differenziale

abbia duty cycle del 50%. Tramite le simulazioni del sistema di misura è stato possibile verificare che tale condizione è vera nei due segnali del test 1 e 2, misurando in entrambi i casi un $\Delta 1$ ed un $\Delta 2$ che si discostano dal valore ideale 0 con un errore massimo di 8.5fs. Nel test 3 e 4 si sono considerati due segnali disallineati: nel primo i segnali hanno diverso duty cycle ma centrati ($\Delta 1 = \Delta 2 \neq 0$), mentre nel secondo hanno diverso duty cycle e non sono centrati tra essi ($\Delta 1 \neq \Delta 2$). Il risultato delle misure effettuate durante le simulazioni consente di verificare il disallineamento dei segnali con un errore massimo di 38.2fs.

	V _{cm} Offset	D1 Measured	D2 Measured	D3 Measured	D4 Measured	$\Delta 1$ Expected	$\Delta 2$ Expected	$\Delta 1$ Measured	$\Delta 2$ Measured
Test 1	0 mV	21.35	21.36	18.48	18.42	0	0	1.8fs	8.5fs
Test 2	1 mV	21.32	21.34	19.11	19.04	0	0	1.8fs	8.4fs
Test 3	2 mV	21.29	21.30	19.71	19.77	0	0	1.4fs	-6.9fs
MC 1	0 mV	17.60	17.82	16.43	16.29	0	0	27.5fs	17.9fs
MC 2	0 mV	22.40	22.41	15.94	16.30	0	0	0.9fs	-45.2fs
MC 3	0 mV	26.23	26.24	14.69	14.46	0	0	1.3fs	29.7fs
MC 4	0 mV	26.66	26.59	20.71	20.55	0	0	-9.6fs	20.8fs

Figura 89: Risultati della simulazione della misura dell'allineamento delle fasi di clock con offset

Sono poi state eseguite alcune simulazioni per verificare la robustezza dell'approccio di misura agli offset del comparatore, della V_{CM} e per misurare le variazioni di D1, D2, D3 e D4 a seguito di mismatch e variazioni nel processo introdotte tramite simulazione Montecarlo. In queste simulazioni è stata considerata la condizione di perfetto allineamento tra clock_p e clock_n dove entrambi i segnali hanno duty cycle del 50% e in cui ci si aspetta di misurare $\Delta 1 = \Delta 2 = 0$. Le prime tre simulazioni visibili in Figura 89 sono state eseguite introducendo un offset della V_{CM} compreso tra 0mV (caso ideale) e 2mV a step di 1mV. Si verifica che, come preventivato in teoria, il sistema è robusto agli offset di V_{CM} poiché non viene introdotto un errore nella misura e di conseguenza è robusto anche agli offset del comparatore in quanto hanno lo stesso effetto sulla misura. Dalle simulazioni Montecarlo si osserva invece la variazione del codice delle coppie D1-D2, D3-D4 rispetto al caso ideale ma che, a livello differenziale, introduce un errore limitato a poche decine di fs. L'errore massimo di misura rilevato nelle 4 simulazioni è di -45.2fs e corrisponde all'errore temporale introdotto dai mismatch dei multiplexer (analizzati in 3.3.6) e da quelli del Fine-DTC.

3.5 La misura del duty cycle

3.5.1 Il sistema di misura

L'architettura descritta nel capitolo precedente consente di verificare e misurare l'allineamento tra le due fasi del clock, se si vuole però garantire che il duty cycle del segnale differenziale sia del 50% tale condizione non è sufficiente. Per quanto osservato in 3.2.2 l'ulteriore condizione necessaria è che il DC_error delle singole fasi sia inferiore a metà del tempo di salita e discesa delle singole fasi, occorre quindi un sistema per la misura del duty cycle. A causa degli errori di integrazione non è infatti possibile utilizzare l'architettura precedente anche per la misura del duty cycle, si è quindi cercato un differente approccio per effettuarne la misura. Per la condizione sul DC_error la precisione della misura è più rilassata rispetto a quella dell'allineamento, considerando ad esempio un clock con $t_{rise}=t_{fall}=10ps$ è sufficiente garantire che il DC_error sia minore di 5ps per verificarla. La precisione del sistema di misura può quindi essere tranquillamente dell'ordine delle centinaia di fs. È comunque fondamentale mantenere limitati i possibili effetti di mismatch del blocco di misura, la scelta del sistema di misura si basa proprio infatti sull'idea di determinare un sistema il più affidabile e robusto a queste non idealità. Per la misura del DC_error sono stati quindi studiati due approcci differenti: uno basato sull'utilizzo di un blocco logico di XOR ed un secondo basato sull'utilizzo dello stesso comparatore già studiato per la misura dell'allineamento.

La prima idea, quella basata sull'uso dello XOR, è molto intuitiva: ipotizzando di avere le due fasi di clock allineate tra esse (se non lo sono è necessario correggerle utilizzando il sistema di misura precedentemente discusso) le si collega agli ingressi del blocco logico. Se il DC è del 50% l'uscita dello XOR avrà sempre a valore logico alto in quanto quando una fase ha valore logico alto (1) l'altra ha valore basso (0), la configurazione 00 o 11 non si verificano mai. Se però è presente un DC_error comune alle due fasi allora l'uscita assumerà valore logico 0 per un certo intervallo temporale dipendente dal DC_error poiché all'ingresso si presenterà la configurazione 11 o 00 delle due fasi. L'idea sarebbe quindi quella di misurare tramite un integratore il valore medio della tensione di uscita dallo XOR sapendo che essa assume il valore massimo solamente quando il DC delle due fasi è del 50%, per tutti gli altri valori di DC la tensione media di uscita è minore.

Nello specifico, l'andamento della tensione media di uscita è idealmente una parabola con concavità rivolta verso il basso e valore massimo per $DC_error=0s$. Nella figura seguente è rappresentata graficamente l'idea alla base di questo approccio di misura e l'andamento della curva parabolica.

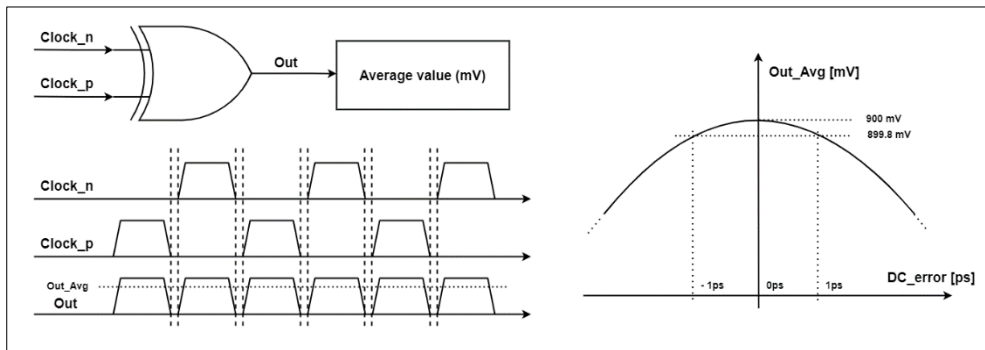


Figura 90: Sistema di misura del duty cycle mediante XOR

Il problema di questo approccio consiste però nella realizzazione del blocco logico di XOR: ogni logica digitale introdotta nel sistema di misura può essere infatti sorgente di errori nella misurazione se vi sono mismatch tra la parte di pull-up e la parte di pull-down a causa dei differenti tempi di salita e di discesa dei fronti del segnale di uscita. Utilizzare una logica a pass transistor eviterebbe questo problema ma richiede di avere a disposizione la versione complementare dei segnali in ingresso e che dovrebbe essere generata utilizzando due invertitori che, a loro volta, possono essere sorgente di mismatch. Inoltre, misurare il valore medio della tensione di uscita non è semplice, un DC_error di 1ps comporta una variazione del valore medio dell'ordine dei μV , una variazione che con l'effetto di rumore ed altre non idealità può essere molto difficile da misurare. Per questi motivi si è cercata una soluzione alternativa che fosse il più possibile insensibile ai mismatch abbandonando quindi l'idea dello XOR.

In (9) viene proposta una architettura per la misura e correzione del duty cycle, il paper introduce un'idea innovativa di misura basata sul campionamento casuale del segnale di clock sulla base della quale viene poi corretto il segnale. Essendo di interesse di questa sezione solo la parte di misura del duty cycle si è deciso di replicare e testare solo la parte dell'architettura relativa ad essa in modo da poterne valutarne le prestazioni. L'idea proposta è quella di misurare il duty cycle di ogni fase del clock campionando ad istanti casuali il segnale e creando una statistica delle misure effettuate. Ipotizzando ad esempio

che il duty cycle del segnale di clock sia del 50% allora campionandolo casualmente si dovrebbe osservare per il 50% dei casi un valore alto (ovvero il duty cycle) e per il 50% un valore basso della tensione. L'approccio è quindi quello di creare una statistica con i valori dei campioni misurati e di definire il duty cycle come:

$$DC [\%] = \lim_{n \rightarrow \infty} \frac{X}{n}$$

Dove X è il numero di campioni con valore di tensione alto ed n è il numero di campioni totali considerato nella statistica. Se il numero di campioni n è sufficientemente grande (idealmente infinito) allora tale statistica converge alla definizione di duty cycle. Il paper fornisce inoltre alcune relazioni utili a calcolare il numero di campioni n necessari per misurare il duty cycle con un errore $\alpha = DC - DC_{atteso}$ dove DC assume valori all'interno dell'intervallo $(DC_{atteso} \pm Z_c \sigma)$ con Z_c che è il limite dell'intervallo di confidenza CI e con $\sigma = \sqrt{DC(1 - DC)/n}$, si ha quindi:

$$n = \left(\frac{Z_c}{\alpha}\right)^2 DC_{atteso}(1 - DC_{atteso})$$

Si osserva quindi dall'equazione che n , cioè il numero di campioni da considerare nella misura ha una relazione quadratica dall'accuratezza della misura. Ad esempio, considerando un intervallo di confidenza CI=99,9% ed un errore $\alpha=0.1\%$ su un DC=50% si ottiene che il numero di campioni n necessari è di circa 3 milioni.

Nella pratica si è deciso di implementare l'operazione di misura del duty cycle del segnale di clock mediante l'utilizzo di un comparatore analogo a quello utilizzato per la misura dell'allineamento delle fasi ed abilitando la comparazione tra una fase di clock in ingresso al comparatore e V_{CM} ad istanti casuali. Quando la fase di clock ha valore in tensione maggiore di V_{CM} l'uscita del comparatore assume valore logico alto quando minore assume valore basso. Mediante l'ausilio della logica digitale (contatori) è poi possibile contare il numero di volte che l'uscita del comparatore assume valore alto rispetto al numero di volte in cui viene eseguita la comparazione, cioè fare la statistica per la misura del duty cycle. I componenti utilizzati per il sistema di misura del duty cycle sarebbero quindi gli stessi per la misura dell'allineamento, ad eccezione del fine DTC che non è necessario per questa applicazione. La misura potrebbe essere effettuata singolarmente per ogni fase del clock oppure, sfruttando la proprietà di allineamento, anche solamente

con una fase in quanto se si verifica che i segnali sono allineati allora segue che hanno anche lo stesso duty cycle. Il punto cruciale di questa strategia di misura è il campionamento casuale del segnale, affinché la statistica sia corretta è necessario che la probabilità con cui il segnale viene campionato in istanti temporali casuali sia uniformemente distribuita. In (9) il problema della generazione di un segnale trigger casuale viene affrontato e si discute della possibilità di utilizzare oscillatori caotici per generare numeri casuali che possano utilizzati per generare un segnale di clock con periodo e pulsazioni di durata casuale. Un'alternativa è quella di utilizzare una qualsiasi sorgente di clock che sia completamente scorrelata con il clock da misurare, ed è questo l'approccio che si è deciso di testare ed implementare.

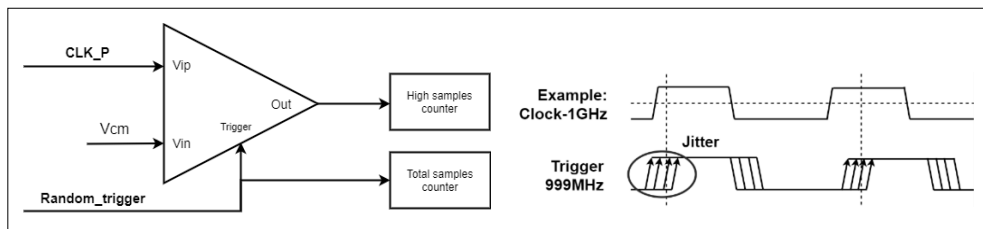


Figura 91: Sistema di misura del duty cycle di una fase di clock

In Figura 91 è possibile osservare la struttura del sistema di misura e l'approccio utilizzato per la generazione del segnale di trigger. Esso è completamente scorrelato dalla fase del clock ed ha frequenza differente da quella della fase, ad esempio se $f_{clk}=1\text{GHz}$ si sceglie $f_{trigger}=999\text{MHz}$. La differente frequenza comporta uno sfasamento temporale tra i fronti dei due segnali e quindi il campionamento del segnale in differenti punti della fase di clock. Tale sfasamento aumenta ad ogni periodo a seconda delle frequenze dei segnali ripetendosi ciclicamente dopo certo numero di periodi del segnale di trigger. Il numero di periodi del segnale di clock dopo i quali lo sfasamento si ripete è calcolabile secondo la relazione: $f_{clk}/(f_{clk}-f_{trigger})$. Nell'esempio considerato la ripetizione è ogni 1000 periodi ovvero si campiona la fase in 1000 differenti punti ma se si considerasse un segnale a 999.9MHz la ripetizione sarebbe ogni 10000 periodi. Comparare la fase di clock in 1000 punti consentirebbe di ottenere una risoluzione massima della misura di 1ps se la frequenza fosse di 1GHz, in realtà però considerando il rumore del circuito e l'effetto del jitter del segnale di trigger si può affermare che il campionamento è sostanzialmente casuale. Il jitter implica infatti lo spostamento casualmente del fronte del segnale di trigger in una finestra dipendente dal rumore del circuito e dalla qualità della sorgente.

3.5.2 I mismatch e gli offset

Per quanto discusso precedentemente la precisione nella misura del duty cycle ha una dipendenza quadratica dal numero di campioni considerati, tale dipendenza non rappresenta però un problema in questo sistema di misura. Seppur il numero di campioni necessario sia elevato si tratta di intervalli temporali molto brevi operando a frequenze di 1GHz, ritornando all'esempio precedente 3Msamples corrisponderebbero infatti ad un tempo di misurazione di appena 3ms. Si tratta inoltre di misurazioni che fanno parte di operazioni di calibrazione che potrebbero essere eseguite in background nel mentre vengono effettuate altre operazioni di start up del dispositivo. Appurato che per questa applicazione il numero di campioni necessari non è un problema si considerano ora altre possibili sorgenti di errore dipendenti dai componenti del circuito, in particolare l'offset del generatore di V_{cm} e del comparatore.

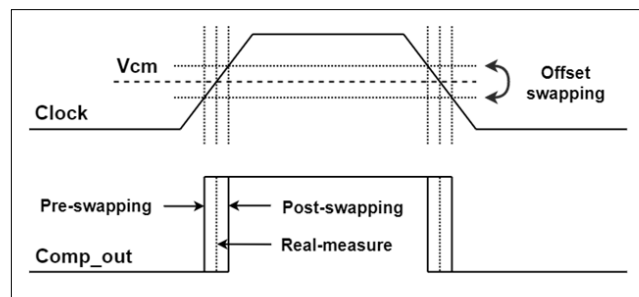


Figura 92: Offset del comparatore ed effetto dello swapping degli ingressi

L'offset del comparatore comporta un errore nella misurazione del duty cycle, l'uscita del comparatore in quel caso non commuta in corrispondenza del crossing point tra gli ingressi ma ad un valore di tensione differente che dipende dal valore dell'offset. Statisticamente si misura quindi una durata della pulsazione del segnale di clock maggiore o minore di quella reale, errore che si riflette in una variazione del DC misurato. Nella sezione 3.3.3 il problema dell'offset del comparatore era già stato affrontato e si era discusso della funzionalità di swapping degli ingressi che consente, in alcune applicazioni, di compensare l'errore di misura scambiandone gli ingressi. È proprio questo uno dei casi in cui lo swapping si dimostra utile ed in Figura 92 ne è illustrato il funzionamento. Si consideri ad esempio il caso pre-swapping, l'uscita del comparatore (indicata in figura come comp_out) passa da valore logico basso a valore logico alto ad un valore della tensione differenziale in ingresso al comparatore diverso dal crossing

point, in questo caso in anticipo rispetto al crossing point nel fronte di salita del segnale di clock. Nel caso in figura, si ha che:

$$V_{clock} + V_{offset} > V_{cm} \text{ allora } Out_{comp} = 1$$

Scambiando internamente gli ingressi V_{ip} e V_{in} del comparatore l'offset non cambia ma la relazione può essere riscritta come:

$$V_{cm} + V_{offset} > V_{clock} \rightarrow -V_{clock} + V_{offset} < -V_{cm} \rightarrow V_{clock} - V_{offset} > V_{cm}$$

In questo modo l'uscita del comparatore passerebbe da valore logico basso a valore logico alto in ritardo rispetto al crossing point nel fronte di salita del segnale di clock. L'idea è quindi quella di misurare il duty cycle del clock in ingresso al comparatore in entrambi i casi: inizialmente con lo swapping degli ingressi attivato e successivamente disattivandolo. Le due misure saranno entrambe errate ma della stessa quantità ed in valore opposto: una misurerà un duty cycle maggiore ed una un duty cycle minore rispetto al valore reale, per determinare il valore reale del duty cycle e compensare l'effetto del rumore è quindi poi sufficiente effettuare la media tra le due misure. L'efficacia dell'approccio è stata verificata tramite alcune simulazioni che saranno visibili nel capitolo successivo.

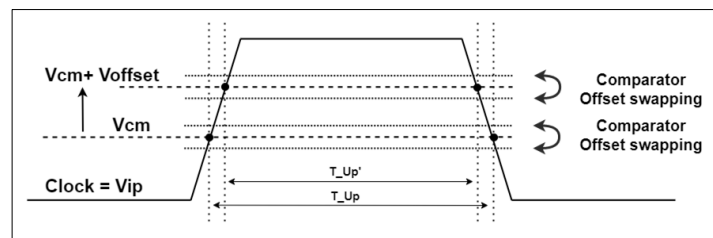


Figura 93: Offset del riferimento di V_{cm} ed effetto dello swapping degli ingressi

Se per l'offset del comparatore è possibile annullarne l'errore introdotto nella misura tramite swapping lo stesso approccio non funziona per gli offset del generatore di V_{CM} . Ogni variazione della tensione di modo comune si riflette infatti in un errore nel duty cycle misurato. In Figura 93 è possibile osservare come V_{offset} comporti uno spostamento del crossing point tra i fronti di salita/discesa del segnale di clock ed il V_{CM} e quindi una differente misura della durata della pulsazione del segnale. In figura è definita T_{Up} come la durata della pulsazione misurata nel caso ideale mentre T_{Up}' come la durata della pulsazione misurata in seguito allo spostamento del crossing point alla tensione $V_{CM} +$

V_{offset} . Si osserva inoltre che l'offset del comparatore comporta la variazione del crossing point dall'intorno di V_{CM} all'intorno di $V_{CM} + V_{offset}$, di conseguenza l'operazione di swapping sposta il crossing point nell'intorno di essi ma non è efficace nel compensare l'errore dovuto all'offset della tensione di modo comune. Fortunatamente l'errore dovuto alla V_{CM} può essere trascurabile a seconda della qualità del riferimento di tensione utilizzato. Ad esempio, nel caso del circuito utilizzato in questa applicazione era stata misurata una deviazione standard dal valore di 0.45V di $\sigma=1.5mV$. Ipotizzando i fronti del segnale di clock quasi lineari l'errore ε introdotto nella misura è quantificabile come:

$$\varepsilon = \left(\frac{t_{rise}}{V_{dd}} * V_{offset} \right) + \left(\frac{t_{fall}}{V_{dd}} * V_{offset} \right) = (t_{fall} = t_{rise}) = \left(\frac{t_{edge}}{V_{dd}} * V_{offset} \right) * 2$$

Ad esempio, considerando un $t_{edge}= 10ps$, $V_{DD}=0.9V$, $V_{offset}=4mV$ si ottiene che l'errore introdotto nella misura è di 88fs. Tale valore è trascurabile se si considera che la condizione di sovrapposizione tra i fronti delle fasi del clock di cui si è discusso in 3.2.2 richiede che $DC_{error} < t_{edge}/2$ e che l'errore commesso nella misura del DC_error sarebbe più di 50 volte minore della condizione stessa.

3.5.3 Simulazioni e risultati

Sono state eseguite alcune simulazioni per verificare il funzionamento della architettura e valutare l'errore nella misura del duty cycle del segnale di clock a seconda del tempo di simulazione (cioè il numero di campioni considerati nella statistica), l'offset del comparatore e l'offset della V_{CM} . Le simulazioni sono state eseguite utilizzando un segnale di clock in ingresso al comparatore alla frequenza di 1GHz ed un segnale di trigger alla frequenza di 999MHz con un Jitter RMS di 50fs. A differenza delle simulazioni del sistema di misura dell'allineamento in cui erano stati usati i modelli a transistor dei circuiti in questo caso si è usato un modello VerilogA del comparatore in modo da velocizzare le simulazioni essendo i tempi di simulazione del circuito dell'ordine dei ms. L'approccio di verifica del funzionamento è stato in seguente: si è introdotto un DC_error (chiamato ΔDC nella figura in seguito) nel segnale di clock in ingresso al comparatore e se ne è misurato il duty cycle mediante il sistema di misura. Conoscendo il DC_error introdotto e facendo la differenza con quello misurato si è quindi in grado di quantificare l'errore della misurazione nei differenti casi.

Nel complesso sono state eseguite sette simulazioni, visibili in Figura 94, ciascuna per valutare la dipendenza dell'errore di misura da differenti parametri.

	ΔDC	Sim. Time	Jitter rms	Vcm Offset	Comp. Offset	Swap Average	ΔDC Measured	Measure Error
Test 1	5ps	100us	50fs	0	0	No	5.105ps	105fs
Test 2	5ps	500us	50fs	0	0	No	5.041ps	41fs
Test 3	5ps	1ms	50fs	0	0	No	5.025ps	25fs
Test 4	3ps	1ms	50fs	0	0	No	3.029ps	29fs
Test 5	3ps	1ms	50fs	2mV	0	No	2.901ps	99fs
Test 6	3ps	1ms	50fs	0	5mV	No	2.739ps	261fs
Test 7	3ps	1ms	50fs	0	5mV	Yes	3.015ps	15fs

Figura 94: Risultati delle simulazioni del sistema di misura del DC

Nei test 1-3 è stata verificata la riduzione dell'errore di misura all'aumentare della durata del tempo di simulazione e cioè del numero di campioni considerati nella statistica. La simulazione è stata eseguita in assenza di offset e si è verificato che un tempo di misura di 1ms consente di ottenere un errore di solo 25fs, le successive simulazioni sono quindi state eseguite mantenendo 1ms come tempo di misura in quanto sufficiente per ottenere un errore abbastanza piccolo. Nei test 3-4 si è voluto verificare se l'errore di misura dipendesse dal DC_error, si è quindi mantenuto costante il tempo di simulazione ma si è ridotto il DC_error da 5ps a 3ps. Dalle simulazioni si osserva una variazione dell'errore della misura di appena 4fs che consente di affermare che il risultato della misura non dipende dal valore del duty cycle da misurare. I test 4-5 sono stati quindi eseguiti con un DC_error di 3ps, un tempo di simulazione di 1ms ed introducendo una Voffset nella Vcm di 2mV. Dalle simulazioni si è misurato un peggioramento dell'errore di misura, da 29fs a 99fs, un risultato ancora accettabile poiché 50 volte minore della condizione sul DC_error che si intende garantire che sia verificata. Si è poi voluta testare nei test 6-7 l'efficacia dello swapping degli ingressi per compensare gli errori dovuti all'offset del comparatore. Si è introdotto quindi un offset nel comparatore di 5mV che comporta un errore di misura di 261fs e si è effettuata la misura seguendo l'approccio descritto in 3.5.2. Si può osservare come lo swapping consenta annullare completamente l'offset del comparatore e consentendo di misurare il duty cycle con un errore di solo 15fs.

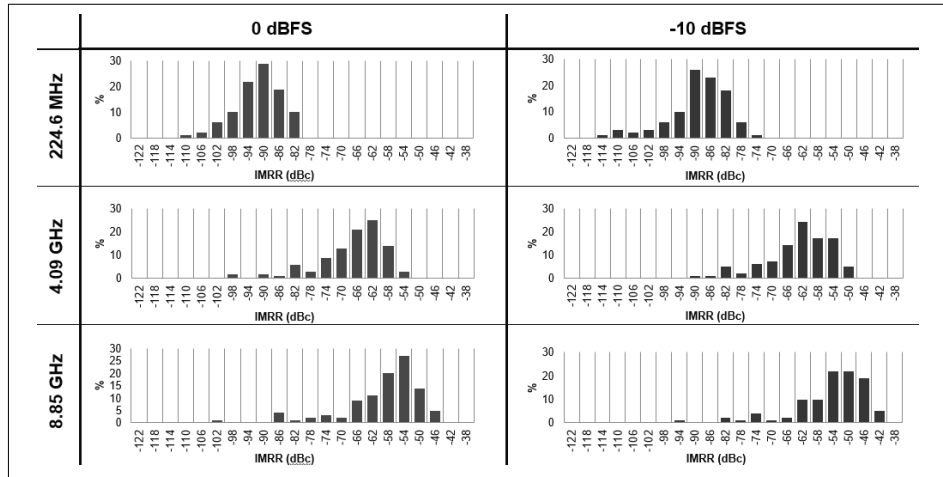
Conclusioni

Il presente lavoro di tesi si è posto l'obiettivo di studiare ed implementare l'architettura TIDAC per la realizzazione di RF-DAC per future applicazioni a radiofrequenza di interesse per Xilinx. Lo studio si è concentrato in fase preliminare sullo studio dell'attuale tecnologia Current Steering dei convertitori analizzandone le non linearità e le distorsioni che esse introducono nello spettro del segnale di uscita. Una volta definite le non idealità della architettura è stato poi realizzato un modello VerilogA di un convertitore Two-Fold TIDAC ottenuto combinando le uscite di due Current Steering DAC tramite multiplexer. Gli studi effettuati hanno consentito di verificare il raddoppio della banda del convertitore grazie all'architettura TIDAC ma hanno messo in luce alcune criticità dell'architettura: la presenza mismatch tra i due convertitori, nel multiplexer o variazioni nel duty cycle del segnale di clock introducono forti distorsioni nello spettro del segnale di uscita comportando la comparsa nello spettro di armoniche indesiderate. Dalla ricerca condotta è emerso che un errore nel duty cycle di appena 100fs comporti il peggioramento del SFDR del segnale di uscita a -54.3dBc. Si è quindi giunti alla conclusione che le variazioni del duty cycle del clock assieme ai mismatch del multiplexer siano le maggiori sorgenti di non idealità dell'architettura. Tale risultato ha messo in luce la necessità di implementare un sistema integrato di misurazione delle non idealità temporali del clock e fornire uno strumento di calibrazione del TIDAC al fine di migliorarne le prestazioni. Nello specifico, è stato progettato un sistema di misura del clock in tecnologia FinFET a 7nm in grado di garantire che il duty cycle del clock differenziale sia del 50%. Ogni passo del progetto è stato verificato con opportune simulazioni dimostrando che il sistema di misura è in grado di misurare lo skew e differenze di duty cycle tra le due fasi del clock con un errore di massimo 45fs ed utilizzando un approccio robusto a mismatch, offset e alle variazioni del riferimento di modo comune del sistema di misura. Si è sviluppato inoltre un sistema per la misura del duty cycle di ogni singola fase del clock, anch'esso robusto a mismatch e con un errore di misura trascurabile per l'applicazione di interesse. Per riassumere, con la ricerca svolta si sono raggiunti gli obiettivi prefissati di analisi delle prestazioni dell'architettura TIDAC e si è presentato e progettato un possibile sistema di misurazione e calibrazione del clock del convertitore.

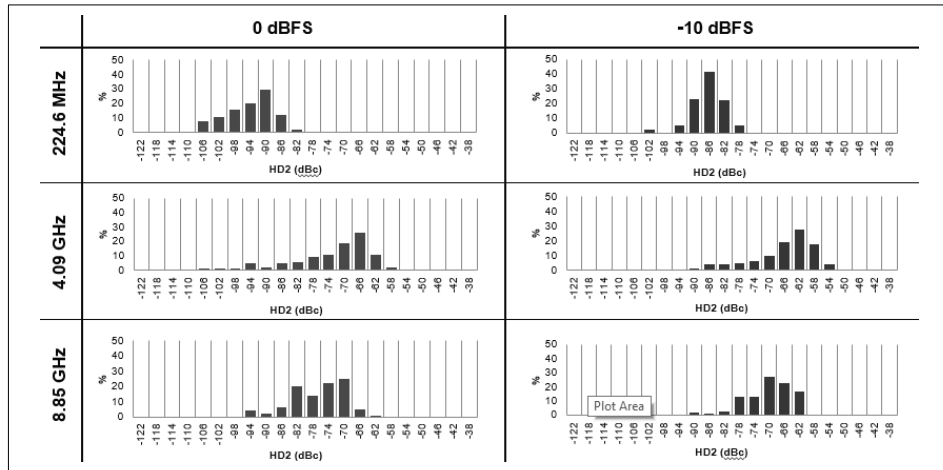
Appendice

Simulazioni complete – Mux Timing Mismatch del TIDAC

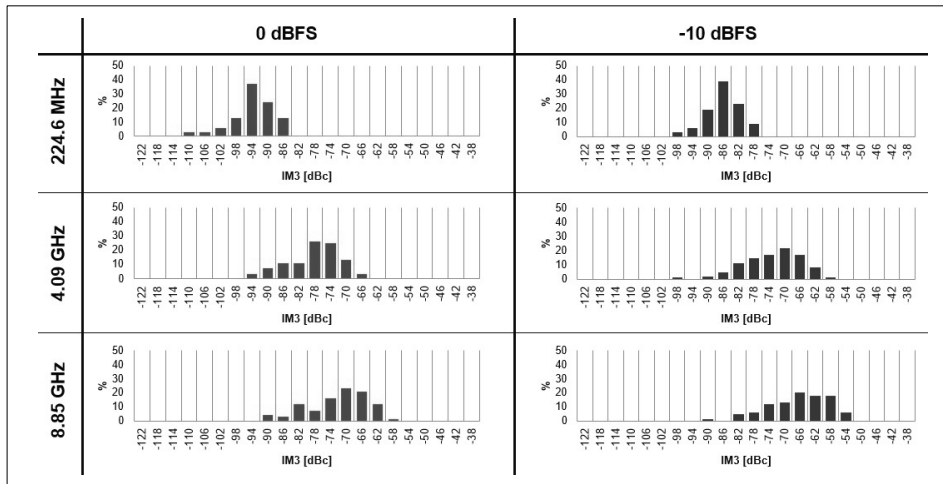
IMRR Results



HD2 Results

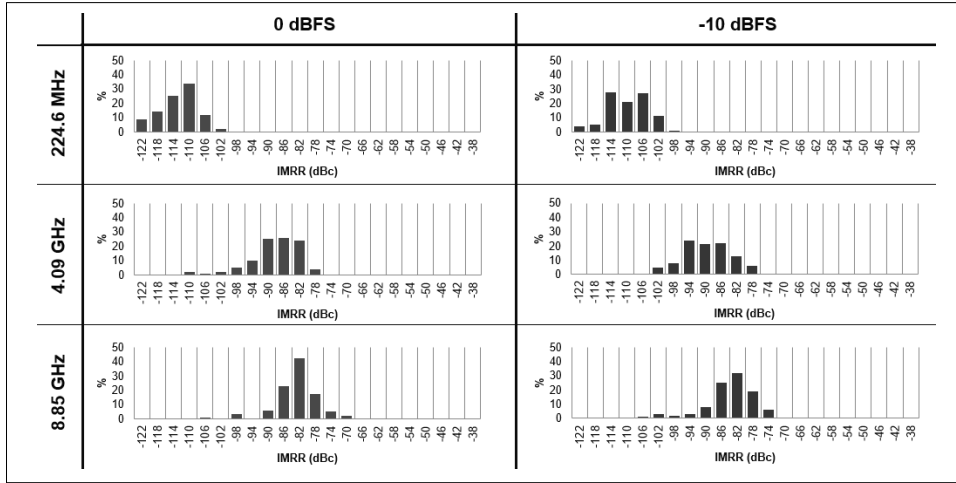


IM3 Results

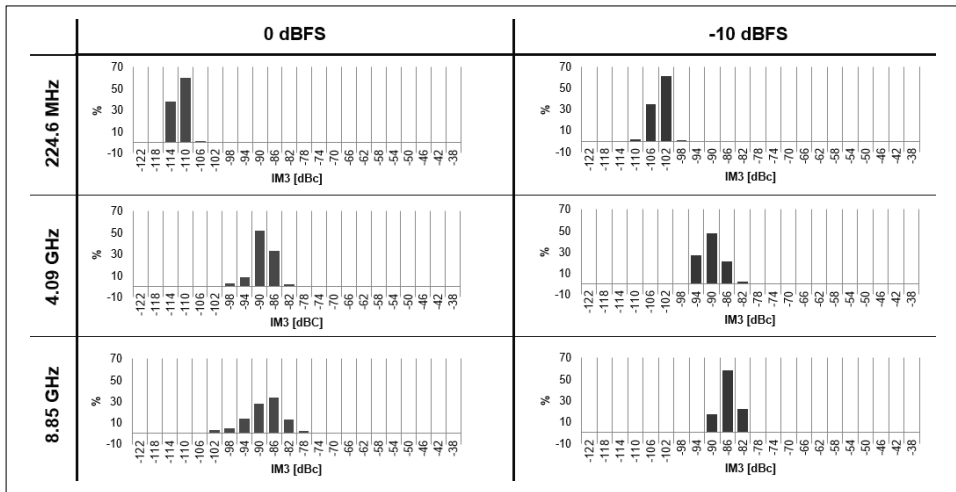


Simulazioni complete – Sub-DAC Timing Mismatch

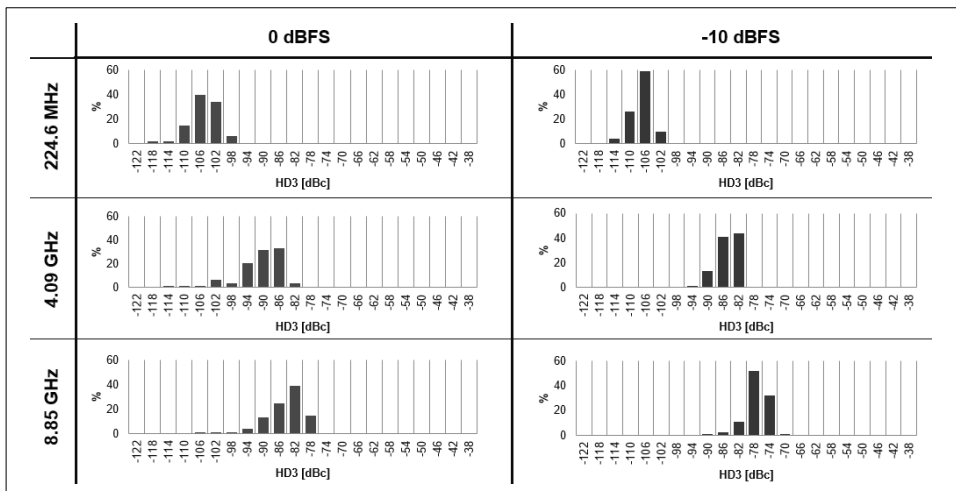
IMRR Results



HD2 Results

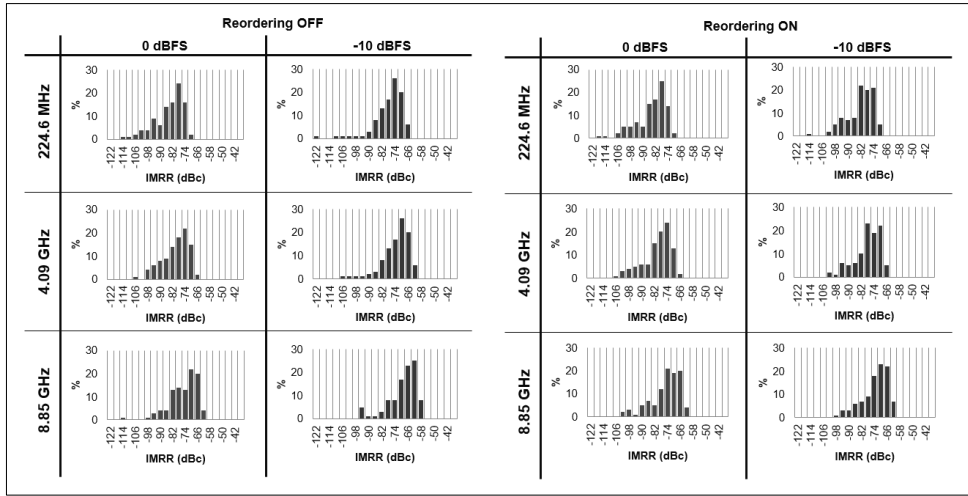


IM3 Results

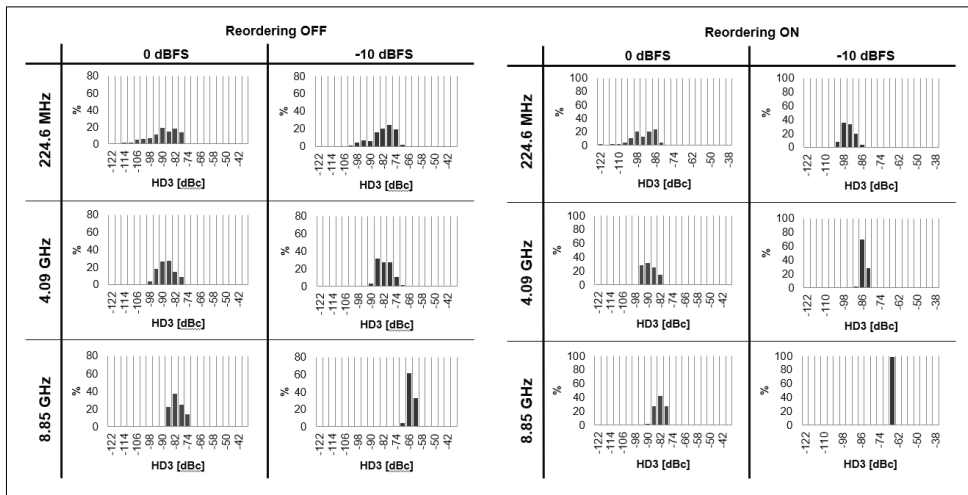


Simulazioni complete – Sub-DAC CSA Mismatch

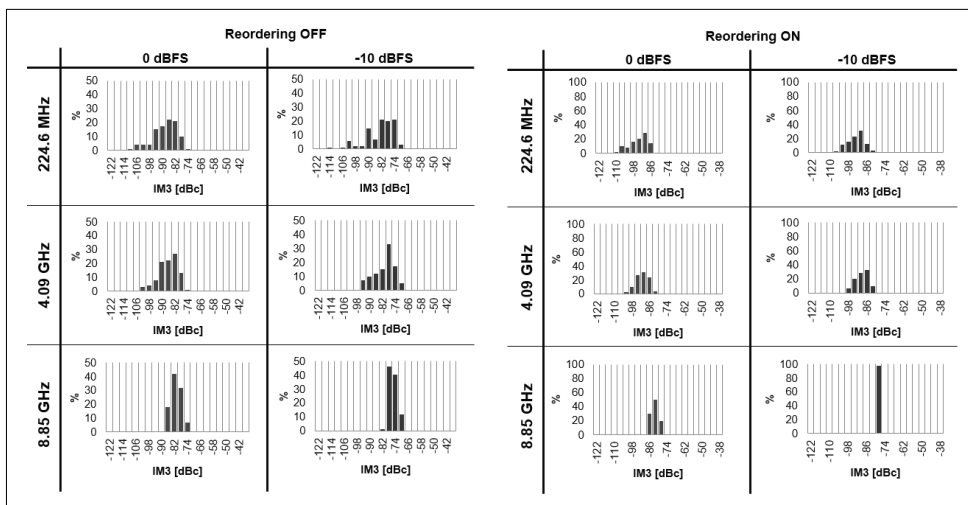
IMRR Results



HD2 Results



IM3 Results



Bibliografia

1. John, David A and Martin, Kenneth W. Analog Integrated Circuit Design. s.l. : John Wiley & Sons, Inc., 2012.
2. Behzard, Razavi. Design of Analog CMOS Integrated Circuits. New York : McGraw-Hill, 2017.
3. Integrated Circuits for Communication - Distorsion Metrics. s.l. : University of California, Berkeley, 2005.
4. Matching Properties of MOS Transistors. Marcel J. M. Pelgrom, Aad C. J. Duinmaijer and Anton P. G. Welbers. s.l. : IEEE Journal of Solid-State Circuits, 1989.
5. Machine Learning Based Image Calibration for a Twofold Time-Interleaved High Speed DAC. Beauchamp, Daniel e Chugg, Keith. s.l. : IEEE, 2019.
6. Calibration and Correction of Timing Mismatch Error in Two-Channel Time_Interleaved DACs. Xu, Saihua e Lee, Jun Wei. s.l. : IEEE, 2019.
7. Systematic Analysis of Interleaved Digital-to-Analog Converters. Balasubramanian, S., et al. s.l. : IEEE, 2011.
8. Enhancing the Bandwidth of DACs by Analog Bandwidth Interleaving. Schmidt, C, Christoph, K e Freund, R. Berlin : Conference Paper TG-Fachbericht-Breitbandversorgung, 2016.
9. Duty cycle measurement and correction using a random sampling technique. Z, Bhatti R., M, Denneau e J, Draper. s.l. : IEEE, 2005.
10. A 12 bit 2.9 GS/s DAC With IM3 <- 60 dBc beyond 1GHz in 65 nm CMOS. Bult, Klaas. s.l. : IEEE, 2009.

Ringraziamenti

A conclusione di questa tesi e di questo percorso universitario ci tengo a ringraziare tutti quelli che, anche in minima parte, hanno contribuito a rendere questa avventura unica.

Desidero in primis ringraziare il mio correlatore Roberto Pelliconi per avermi offerto l'opportunità di lavorare in Xilinx e per tutti gli insegnamenti, i consigli ed il supporto in questi nove mesi di tirocinio. Un'opportunità unica sia dal punto di vista professionale che personale; nonostante le difficoltà ogni obiettivo è raggiungibile se si lavora con impegno e dedizione.

Ringrazio inoltre la professoressa Eleonora Franchi Scarselli, relatrice di questa tesi, per la possibilità di entrare in contatto con questa realtà e per la disponibilità nello svolgere il lavoro di tesi e tirocinio.

Un sentito ringraziamento va alla mia famiglia per il continuo e fondamentale supporto e sostegno nella realizzazione dei miei progetti ed in questo percorso universitario.

Grazie agli amici di una vita per essere stati sempre presenti anche durante questa ultima fase del mio percorso di studi, per la compagnia e tutti i momenti di spensieratezza passati insieme in questi anni. Un ringraziamento speciale anche a tutti gli amici e colleghi che ho avuto l'opportunità di conoscere in Irlanda, senza di voi non sarebbe stato lo stesso.