

ALMA MATER STUDIORUM · UNIVERSITÀ DI
BOLOGNA

Scuola di Scienze
Dipartimento di Fisica e Astronomia
Corso di Laurea in Fisica

Progettazione e costruzione di una
scheda di espansione per un prototipo
del sistema di acquisizione dati
dell'esperimento ATLAS in HL-LHC

Relatore:
Prof. Alessandro Gabrielli

Presentata da:
Marco Collesei

Correlatori:
Dott. Gabriele D'Amen
Dott. Nico Giangiacomi

Anno Accademico 2017/2018

*"Una volta che abbiate conosciuto il volo,
camminerete sulla terra guardando il cielo,
perché là siete stati e là desidererete tornare"*

- Leonardo da Vinci

Sommario

Questa tesi illustra lo sviluppo di una scheda di espansione di memoria per il sistema di acquisizione dati π LUP e le problematiche riscontrate durante la sua creazione. La scheda π LUP, che è stata progettata e realizzata nei Laboratori di elettronica di Bologna dell'INFN e presso l'Università di Bologna, è capace di gestire con rapidità ed efficienza i dati che saranno prodotti dal nuovo detector (Inner Tracker) di ATLAS; questo sarà installato al termine del Run 3 di LHC, quando saranno avviate le operazioni di potenziamento dell'acceleratore e di aumento della sua luminosità.

La scheda π LUP, sviluppata attorno a due FPGA in configurazione master-slave, è dotata di grande flessibilità ma è carente di memoria necessaria a supportare i software richiesti. Per risolvere questo problema è stata progettata, disegnata tramite un software CAD e realizzata, sempre presso i Laboratori di Bologna, una PCB dotata della componentistica necessaria per leggere memorie FLASH con protocollo microSD, in modo da espandere considerevolmente le capacità della scheda π LUP.

Introduzione

La fisica delle particelle indaga la struttura della materia ed i meccanismi che regolano l'Universo. Per osservare da vicino la composizione di ciò che ci circonda, sin dagli anni '30 (acceleratore lineare Van de Graaf, 1931), vengono utilizzati gli acceleratori di particelle. Questi possono essere di varie forme e dimensioni, capaci di accelerare le particelle ad energie differenti. Nel corso dei decenni si sono raggiunte energie dei fasci accelerati di ordini di grandezza via via crescenti per comprendere sempre meglio i fenomeni della fisica nucleare e subnucleare.

Nei pressi di Ginevra ha sede il *Conseil Européen pour la Recherche Nucléaire* (CERN), la più grande collaborazione al mondo di fisici, informatici e ingegneri. Al CERN si trova il *Large Hadron Collider* (LHC), il più potente acceleratore di particelle che sia mai stato costruito. LHC ha una struttura ad anello ed è lungo 27 km; attorno ad esso sono costruiti alcuni rivelatori che hanno il compito di ricostruire (a partire dalle traiettorie delle particelle) i meccanismi alla base delle interazioni fondamentali.

La teoria attuale, descritta dal Modello Standard, prevede l'esistenza di un numero definito di costituenti elementari sottoposti a forze fondamentali mediate da altre particelle.

Nonostante le numerose conferme ad altrettante predizioni del Modello Standard ottenute attraverso gli esperimenti, esistono ancora oggi problemi aperti quali: l'unificazione delle forze fondamentali, la conciliazione tra relatività generale e teoria quantistica, la comprensione di materia ed energia oscura e la determinazione di alcuni parametri del Modello Standard.

Per permettere ai ricercatori di eseguire esperimenti sempre più precisi e significativi, gli acceleratori e tutti gli apparati di misura sono in costante aggiornamento tecnologico. In particolare, l'esperimento *A Thoroidal LHC Apparatus* (ATLAS), come anche gli altri rivelatori presenti al CERN, sarà aggiornato in più fasi sia nella struttura dei suoi sotto-detector sia nell'elettronica di acquisizione dati, che rende utilizzabile dai fisici l'informazione acquisita dai rivelatori.

L'aggiornamento dei rivelatori va di pari passo con quello dell'acceleratore; grazie a ciò è possibile osservare un numero sempre maggiore di urti tra i protoni che vengono fatti collidere all'interno di LHC.

Per affrontare la sfida dettata dalla richiesta di un'elettronica di acquisizione sempre più rapida, è stata sviluppata dai Laboratori di elettronica della sezione di Bologna dell'*Istituto Nazionale di Fisica Nucleare* (INFN) e dall'Università di Bologna una scheda di acquisizione dati chiamata π LUP. Questa scheda è dotata di grande versatilità ed è preposta ad interfacciarsi con i nuovi detector che saranno installati all'interno di ATLAS.

Durante la fase di sviluppo e test della scheda si è reso necessario l'utilizzo di memoria aggiuntiva in grado di detenere i software necessari a queste operazioni. Dal momento che non era stata prevista una quantità sufficiente di memoria, si è proposto di realizzare una piccola scheda elettronica, chiamata π LUP Memory EXpander (π MEX), capace di aumentare lo spazio dedicato alla lettura e alla scrittura di informazioni.

Da questa necessità è nata la *Printed Circuit Board* (PCB), basata sul protocollo microSD, che sarà presentata in questa tesi. Di questa ho curato personalmente la progettazione, attraverso il software KiCad, la realizzazione, seguendone la fresatura e la saldatura dei componenti, ed infine i test elettrici.

La tesi è così strutturata: in **Capitolo 1** vengono presentati l'acceleratore LHC e l'esperimento ATLAS che coinvolge lo sviluppo della π LUP; in **Capitolo 2** si affrontano e analizzano le sostanziali differenze tra diversi tipi di processori al fine di giustificare le scelte fatte nella realizzazione della board principale; infine in **Capitolo 3** si seguono e si spiegano nel dettaglio le fasi di progettazione, design e realizzazione della PCB volta alla lettura di schede microSD.

Indice

Introduzione	iii
1 LHC ed ATLAS	1
1.1 LHC	1
1.1.1 Esperimenti a LHC	3
1.2 ATLAS	3
1.2.1 Inner Detector	5
1.3 Evoluzione del DAQ	8
1.3.1 Effetto Pile-Up	10
2 πLUP	11
2.1 CPU, ASIC e FPGA	12
2.1.1 CPU	12
2.1.2 ASIC	13
2.1.3 FPGA	14
2.2 Progetto π LUP	18
2.2.1 Lettore di microSD	19
3 πMEX	21
3.1 Progettazione	22
3.1.1 Standard microSD	23
3.1.2 Level translator	24
3.1.3 ZYNQ SoC	24
3.2 Design	26
3.2.1 Connettore per microSD	28
3.2.2 Voltage Level Translator	29
3.2.3 Connessione alla π LUP	30
3.2.4 Altri componenti	31
3.2.5 Layout finale	32
3.3 Realizzazione	36
3.3.1 Fresatura	36

3.3.2	Saldatura	38
3.4	Caratterizzazione elettrica	41
Conclusioni		43
A IBL-BOC e IBL-ROD		45
A.1	IBL BOC	46
A.2	IBL ROD	46
A.3	Pixel-ROD	46
Elenco delle figure		50
Elenco delle tabelle		51
Bibliografia		56

Capitolo 1

LHC ed ATLAS

Lo scopo della fisica è quello di fornire la miglior descrizione possibile dell'Universo e dei suoi meccanismi. Sebbene ci sia ancora molto da spiegare e da scoprire la teoria più accreditata attualmente è il Modello Standard, che è stato provato dai risultati di numerosi esperimenti.

Per fare questo vengono impiegati gli acceleratori di particelle come quello presentato in questo capitolo, unitamente all'acceleratore sono continuamente in sviluppo i rivelatori: all'interno di uno di questi si inserisce il lavoro di questa tesi.

1.1 LHC

Il *Large Hadron Collider* (LHC)[1] è il più grande acceleratore di particelle mai costruito: è situato nel sottosuolo di Ginevra, al confine tra Svizzera e Francia, ad una profondità media di 100 m. Al suo interno vengono fatti collidere fasci controrotanti di protoni o ioni pesanti. Questi ultimi vengono ottenuti in una camera apposita a partire da atomi di idrogeno; i protoni, una volta isolati, attraversano una serie di acceleratori secondari visibili in Figura 1.1 prima di essere immessi nel canale principale.

Qui, mediante cavità a radiofrequenza risonanti di 400 MHz, vengono accelerati e impacchettati in gruppi di circa 1.2×10^{11} particelle. In questo modo, al momento dello scontro, si può raggiungere un'energia nel centro di massa pari a 13 TeV.

Il fascio all'interno della beam pipe viene curvato da dipoli magnetici superconduttori e viene mantenuto focalizzato da quadrupoli magnetici. In Figura 1.2 è possibile vedere la disposizione dei maggiori esperimenti che operano nella ricerca avanzata in fisica delle particelle.

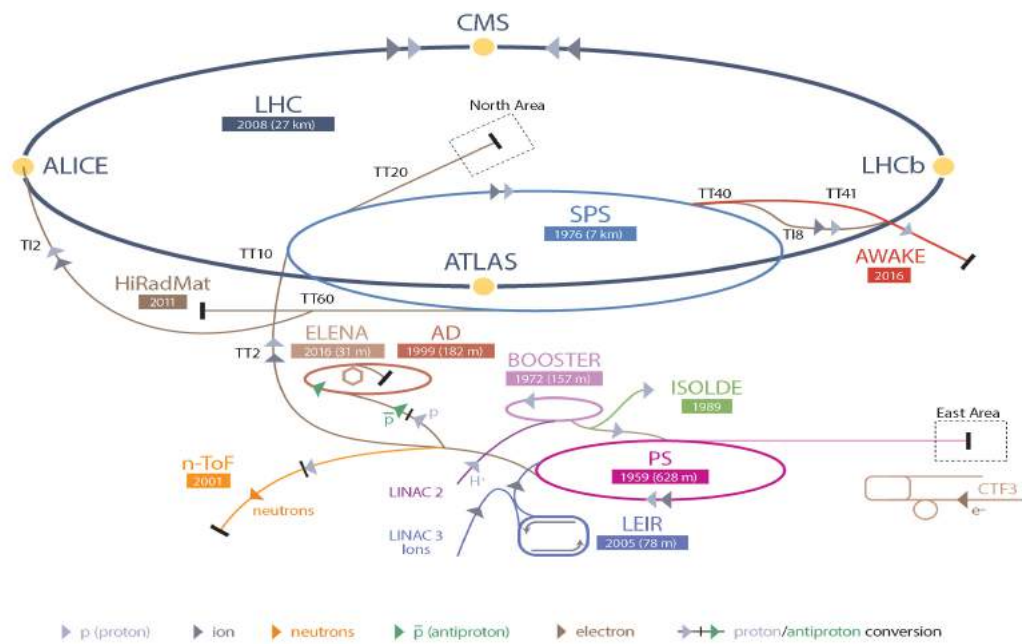


Figura 1.1: Catena di accelerazione di LHC composta da numerosi anelli ed acceleratori lineari *Linac*: ad ogni step aumenta l'energia del fascio.

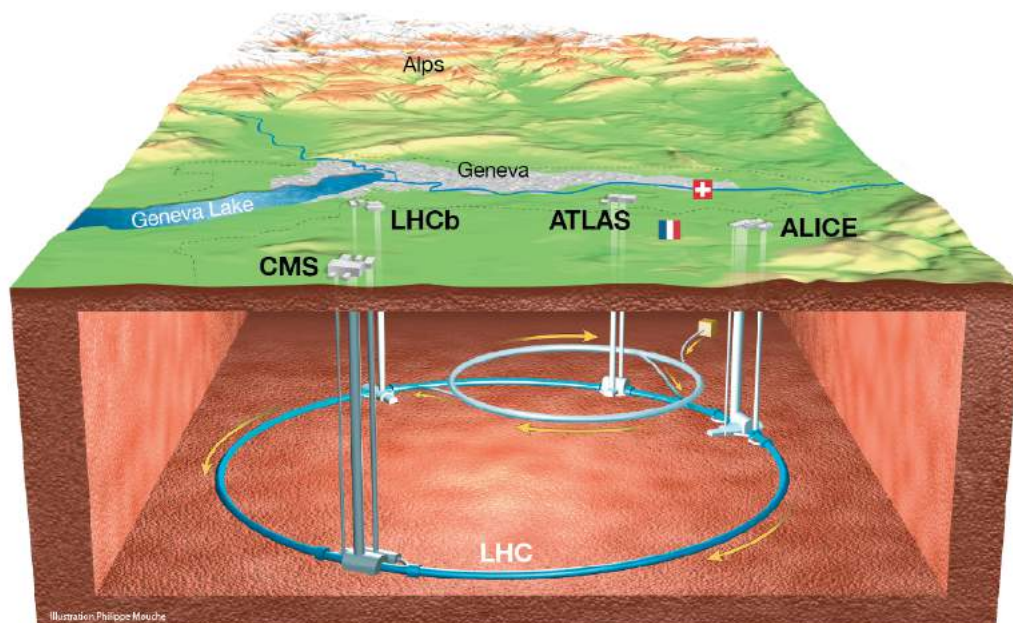


Figura 1.2: Rappresentazione tridimensionale dello schema sotterraneo di LHC in cui è visibile la disposizione dei quattro esperimenti principali.

1.1.1 Esperimenti a LHC

Lungo l'anello sono disposti quattro detector nei quattro punti di interazione dove si incontrano i fasci. Ognuno di questi è nato con scopi diversi; ad esempio *A Large Ion Collider Experiment* (ALICE) studia la fisica dell'interazione forte e del quark-gluon plasma, mentre LHCb investiga le differenze tra materia e antimateria e al CMS si indaga sul Modello Standard e oltre. L'ultimo detector, quello centrale per gli scopi di questa tesi, è l'esperimento *A Toroidal LHC ApparatuS* (ATLAS)[2]; questo, al pari di CMS, è di tipo general purpose ma capace anche di misure sempre più precise dei parametri del Modello Standard, come la ricerca del Bosone di Higgs (previsto quasi 50 anni prima della sua scoperta) e l'investigazione della fisica oltre la teoria attuale, orientandosi su possibili evidenze di fisica al di là del Modello Standard.

1.2 ATLAS

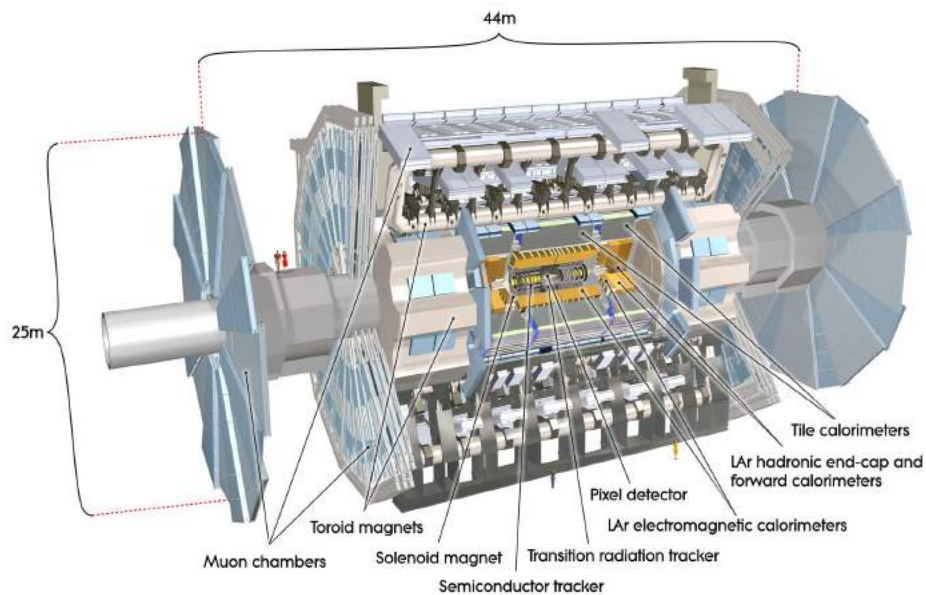
L'esperimento ATLAS è uno dei più grandi apparati presenti al CERN, con i suoi 46 m di lunghezza e i 25 m di diametro. Il suo scopo è quello di rilevare diversi tipi di particelle prodotte negli scontri protone-protone in base a diversi parametri osservati dai sotto-rivelatori specializzati di cui è composto. La sua struttura, come è possibile osservare in Figura 1.3, è cilindrica e contiene due serie di magneti a geometria differente, una solenoidale e una toroidale (presente anche alle estremità del detector), al fine di curvare le traiettorie delle particelle cariche.

Intervallati a questi magneti trovano posto una serie di rivelatori di differente natura:

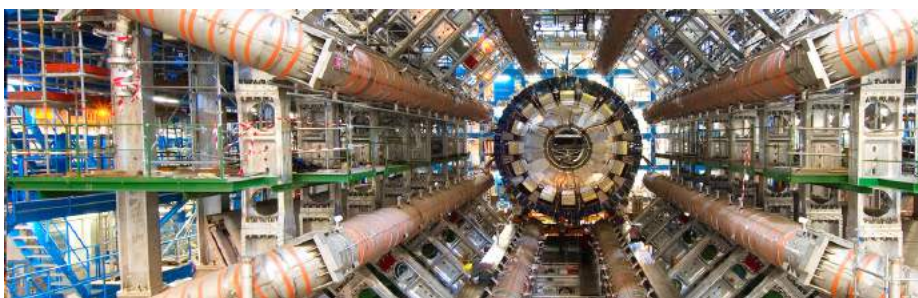
- il Muon Spectrometer[3] dedicato, tramite le camere muoniche, alla rilevazione dei muoni che attraversano indisturbati gli strati più interni di ATLAS. Esso si compone di camere di trigger e camere di tracciamento (entrambe realizzate con diverse miscele di gas in cui sono immersi catodi di varia forma);
- i Calorimeters[4][5], disposti anch'essi intorno al fascio, sono impiegati per effettuare una misura distruttiva dell'energia delle particelle elettromagnetiche o adroniche che lo attraversano, mentre muoni e neutrini passano indisturbati. Per far ciò sono presenti due tipi di calorimetri: nel *LAr* (calorimetro elettromagnetico) più interno, riempito da argon liquido, è possibile misurare le energie degli elettroni e dei fotoni incidenti mentre, nel *Tile Calorimeter* (calorimetro adronico) composto da scintillatori, si possono misurare le energie delle particelle sensibili all'interazione forte, come per esempio i pioni;

- l'*Inner Detector* (ID)[6][7] si trova nello strato più in interno di ATLAS e ciò gli permette di coprire un'ampia regione di angolo solido, fino ad un'area con alzo di circa 10° dal fascio di protoni; inoltre è dotato di un'elevata accuratezza nella rilevazione della posizione, che varia tra i 10 ed i 100 μm , che permette la ricostruzione dei vertici di interazione primari e secondari.

A questi rivelatori sfuggono i neutrini che non interagiscono con la materia né elettricamente né fortemente tuttavia, osservando l'asimmetria della distribuzione del momento trasverso, è possibile risalire alla loro esistenza.



(a)



(b)

Figura 1.3: Strati dell'esperimento ATLAS in cui sono visibili: lo spettrometro muonico, i calorimetri e l'Inner Detector (a) ed i super magneti capaci di generare il campo toroidale (b).

1.2.1 Inner Detector

Nel cuore di ATLAS trova posto l'ID, il rivelatore più prossimo al punto di interazione e dotato di maggiore risoluzione spaziale tra quelli presenti ad LHC.

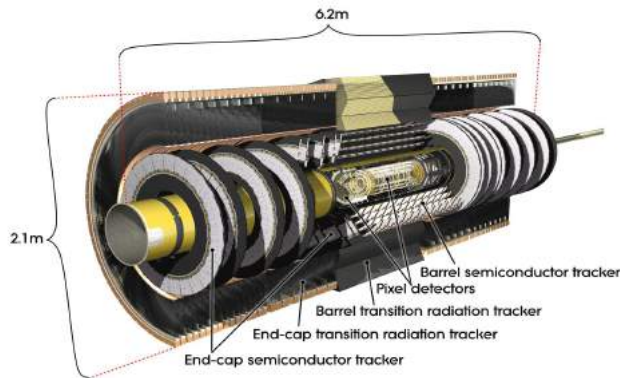


Figura 1.4: L'Inner Detector composto dai quattro layer interni detti barrel layers (Insertable B Layer, B-Layer, Layer-1, Layer-2), dai tracker e dagli end-cap.

Come è possibile vedere in Figura 1.4 a lato, la sua struttura è cilindrica e misura una lunghezza di 6.2 m per 2.1 m di diametro; al suo interno sono alloggiati, disposti in strati concentrici ed alle estremità del rivelatore, tre sistemi di sensori immersi in un campo magnetico di 2 T parallelo all'asse del fascio.

L'apparato rileva e misura il momento, la traiettoria e la carica delle particelle grazie alla deflessione che il campo magnetico applicato induce sul moto di esse. Avanzando dall'esterno

verso l'interno si incontrano Layer-2, Layer-1, B-layer ed IBL:

TRT Il *Transition Radiation Tracker*[8] è il più voluminoso dei tre tracciatori ed è composto da una moltitudine di tubi di 4 mm di diametro riempiti con una miscela di argon, anidride carbonica e ossigeno al cui interno scorre un filo di tungsteno dorato mantenuto ad un potenziale positivo rispetto al tubo stesso. I tubi sono a loro volta circondati da un polimero, in tal modo sono osservabili due effetti che sono distinguibili in base all'intensità del segnale:

1. il passaggio di particelle attraverso un mezzo non omogeneo dà origine alla radiazione elettromagnetica di transizione che viene assorbita dagli atomi di Ar;
2. il passaggio di una particella carica attraverso il gas genera la ionizzazione dello stesso e quindi un segnale di corrente nel tubo.

SCT Nel secondo livello è presente il *Semiconductor Tracker*[9], un tracciatore al silicio di 4 strati costituito da strisce di pixel dalla forma allungata. Si è resa necessaria questa soluzione per riuscire a coprire la maggior area possibile mantenendo il giusto compromesso tra precisione e costo dell'apparecchiatura.

PD Il sistema più interno è il *Pixel Detector*[10]: nella cui struttura, composta da layer cilindrici (attorno alla beam pipe) e layer a disco perpendicolari alla beam pipe, sono situati dei moduli contenenti i chip di Front End FE-I3[11][12]. Questi, unitamente a dei sensori al silicio e ad una elettronica flessibile, sono in grado di evidenziare il passaggio di particelle cariche. In questo modo, grazie all'elevata granularità e al veloce sistema di acquisizione dati, è possibile ricostruire con precisione i vertici in cui avvengono gli urti tra particelle.

In aggiunta a questi differenti layer figura IBL.

Struttura e sensori di IBL



Figura 1.5: Istantanea delle delicate fasi di inserimento di *Insertable Barrel Layer*, il nuovo strato di detector di ATLAS, attorno ad una nuova beam pipe che è stata opportunamente sagomata per permettere di alloggiare IBL dentro il Layer-0.

Insertable Barrel Layer (IBL)[13], visibile in Figura 1.5, è l'ultimo strato inserito, in ordine di tempo (2014), all'interno del Pixel Detector di ATLAS. Durante il periodo di aggiornamento di LHC, denominato "Long Shutdown 1", è stato installato questo nuovo rivelatore per fare fronte ai danni da radiazione del PD e all'aumento previsto delle prestazioni dell'acceleratore. Tra queste vi sono:

Degradamento dei sensori Durante il Run 1 di LHC, ovvero la fase di accensione e acquisizione tra il 2009 e il 2013, si è osservato un progressivo danneggiamento dei sensori del B-Layer dovuto all'esposizione alla radiazione elettromagnetica.

In previsione dell'incremento di energia e luminosità di Run 2, e quindi di un degrado che avrebbe portato alla perdita di una sensibile mole di dati, IBL è stato dotato di chip di nuova generazione FE-I4 (Front End)[14], inseriti nei moduli contenenti i sensori di Figura 1.6, capaci di una maggiore resistenza alla radiazione. In questo modo è stata ristabilita la completa funzionalità degli strati del PD.

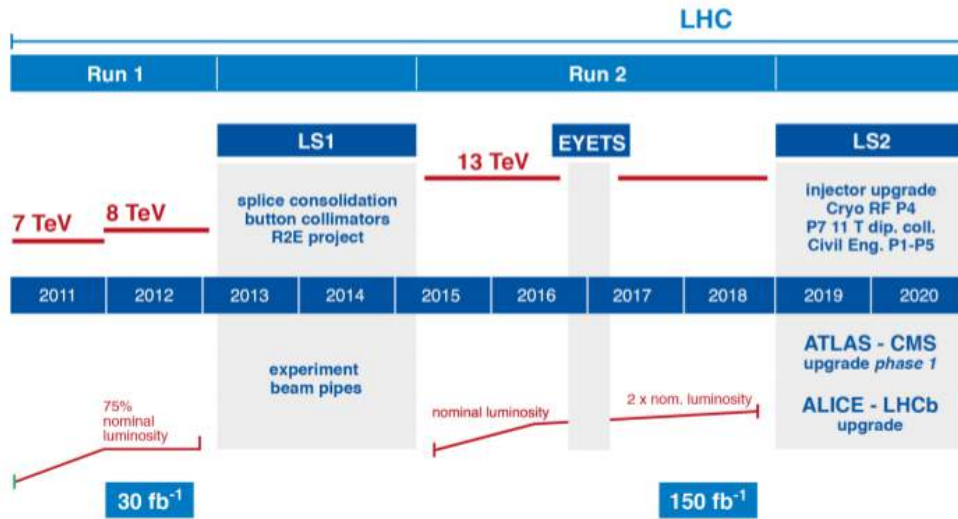
Limitatezza di banda L'incremento della luminosità di picco fino a 10^{34} $\text{cm}^{-2}\text{s}^{-1}$ ha determinato l'aumento del numero di collisioni occorrenti ogni secondo e quindi del quantitativo di dati da raccogliere con sistemi di acquisizione dati. La larghezza di banda del B-Layer, ovvero lo strato più interno del detector prima dell'inserimento di IBL, e dei layer esterni non avrebbe potuto sopperire a questa crescita. Il nuovo sistema di acquisizione dati installato permette invece di ridurre la perdita di eventi in condizioni di luminosità maggiore di quella del Run 1.

Sensibilità Per inserire IBL nell'intercapedine presente tra il Barrel Layer e il fascio è stata realizzata una nuova beam pipe di dimensioni ridotte; questo ha comportato una maggiore vicinanza ai vertici d'interazione e quindi un livello di sensibilità maggiore dell'apparato rivelatore; in concomitanza con la maggiore granularità dei sensori e di un aumento della superficie efficace fino al 90%.

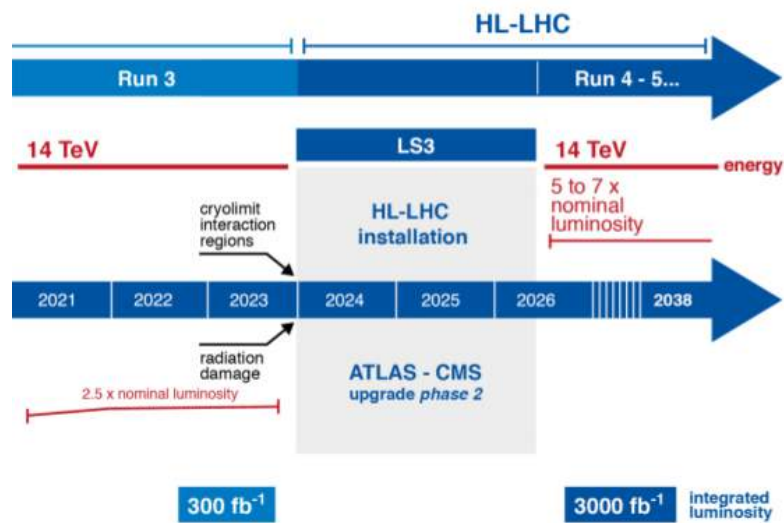


Figura 1.6: Nuovi sensori[15] inseriti con IBL a diversa tecnologia: planare (a sinistra) contenenti 160×336 pixel e 3D (a destra) da 80×336 pixel.

1.3 Evoluzione del DAQ



(a)



(b)

Figura 1.7: Linea temporale delle fasi di upgrade[16] di LHC e degli esperimenti ALICE, ATLAS, CMS ed LHCb nel periodo 2011 - 2038. In rosso, in basso, l'incremento previsto di luminosità delle varie fasi, mentre in rosso marcato in alto l'incremento di energia del fascio. Phase - 1 (LS1 più Run 2) e Phase - 2 (LS2 più Run 3) porteranno all'aggiornamento dell'acceleratore per dare origine ad *High Luminosity LHC* (HL-LHC).

Per inquadrare al meglio il lavoro proposto in questa tesi, è necessario introdurre lo sviluppo e la funzionalità del sistema di acquisizione dei dati del rivelatore preso in esame, il Pixel Detector dell'esperimento ATLAS. Questo è tenuto in costante aggiornamento sia dal punto di vista logico che tecnologico, per seguire gli step di avanzamento[17] di LHC.

In Figura 1.7 si può vedere una panoramica della tabella di marcia con i periodi di spegnimento e accensione dell'intero apparato. Nello specifico ogni grande miglioria viene apportata durante il periodo denominato *Long Shutdown* (LS), mentre piccoli interventi e sostituzioni possono avvenire anche in corso di acquisizione dati, ovvero nei periodi di Run; si definisce fase l'arco temporale che va dall'inizio di un LS alla fine del Run seguente.

Nel dettaglio, in ordine cronologico, dall'accensione effettiva avvenuta nel 2009 si incontrano:

Run 1 Durante il primo periodo di accensione facevano parte del Pixel Detector gli strati Layer-2, Layer-1 e Layer-0 (o B-Layer), questi erano composti da moduli contenenti i chip FE-I3. L'intera elettronica di read out era gestita da coppie di schede chiamate BOC e SiROD (di cui viene fatta solo menzione per non allontanarsi dagli scopi della tesi) capaci di trasmettere larghezze di banda fino a 1.28 Gbps.

In questa prima fase il fascio totale di particelle raggiungeva un'energia nel centro di massa di circa 7 TeV il primo anno e 8 TeV il secondo, la luminosità di picco era dell'ordine di $3\text{-}4 \times 10^{33} \text{ cm}^{-2}\text{s}^{-1}$.

Phase-0 La Phase-0 di LHC inizia con LS1 durante il quale, per affrontare la perdita di efficienza cospicua di alcuni sensori, per fare fronte al fenomeno del pile-up (di cui verrà data una spiegazione in seguito) e per permettere di analizzare un crescente numero di eventi, è stato installato IBL, un nuovo strato del Pixel Detector.

IBL è stato inserito all'interno di Layer-0, è composto da chip di nuova generazione FE-I4 ed è supportato da una nuova coppia di schede dedicate.

Le schede IBL-BOC e IBL-ROD, di cui in Appendice A è data una breve descrizione, sono state progressivamente sostituite alle vecchie schede BOC e SiROD: tra il 2015 e il 2016 dapprima per Layer-2, raddoppiando la velocità di trasferimento da 40 a 80 Mbps; poi per Layer-1, a più riprese, portando anche qui la velocità a 160 Mbps ed infine tra il 2017 e il 2018 per Layer-0 e i dischi di terminazione. Grazie a questo upgrade è stato possibile operare a 13 TeV di energia nel centro di massa dei protoni con una luminosità di picco di $2.14 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$.

Phase-I L'obiettivo di Phase-1 è quello di aumentare quasi del doppio la luminosità attuale e portare l'energia di collisione p-p a 14 TeV. In questa fase verranno anche aggiornati alcuni sotto-detector, come il

Muon Spectrometer e una parte dei Calorimetri (LAr) e, conseguentemente, saranno testati i prototipi (FLX-712) di una nuova scheda di acquisizione di cui sarà data una spiegazione di seguito.

Phase-II Al termine di Run 3 l'intero Inner Detector sarà rimpiazzato dall'*Inner Tracker* (ITk)[18], la cui acquisizione di dati si basa su dei nuovi chip di front end ancora in sviluppo denominati RD53. Questo permetterà di osservare eventi in un contesto ad alta luminosità ($7.5 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$) e conseguentemente elevato pile-up, rendendo necessario un notevole aumento della larghezza di banda[19].

Per ottenere ciò e rendere omogenea la gestione di tutto l'esperimento ATLAS sono state proposte due schede, la *Front End Link eXchange* (FELIX), frutto di una collaborazione tra diversi istituti di ricerca, e la π LUP in sviluppo presso i Laboratori di elettronica della sezione di Bologna dell'INFN. Attualmente entrambe sono testate simulando i prototipi RD53A dei sensori che saranno inseriti con ITk.

La π LUP ha dalla sua numerosi vantaggi quali: una velocità di trasferimento di 70 Gbps; un numero ridotto di FPGA a confronto con le schede IBL-BOC ed IBL-ROD; diverse interfacce e le più moderne connessioni PCIExpress.

Grazie alla sua versatilità la scheda si prepone di: acquisire direttamente i segnali provenienti dai nuovi sensori RD53; simulare la generazione di dati per merito di un emulatore del prototipo RD53A ed infine di fungere da convertitore di protocollo tra le schede FELIX ed i nuovi sensori.

1.3.1 Effetto Pile-Up

Il pile-up è il numero di collisioni p-p che avvengono quando si scontrano due pacchetti di protoni. Urti aggiuntivi possono verificarsi prima, durante e dopo la regione temporale di interesse in cui operano i sensori, provocando due tipi di conseguenze:

- effetti "in-time", in cui eventi simultanei sovrapposti vanno a formare una sorta di background difficile da distinguere dai dati significativi;
- effetti "out-of-time" in cui si può andare ad inficiare l'affidabilità del detector in quanto, dati i tempi morti necessari all'apparato per prepararsi al segnale successivo, si ha un effetto di "mascheramento" dell'evento interessante.

Questo fenomeno si presenterà sempre più spesso nei vari step di upgrade di LHC, visto che aumenterà la luminosità[20][21]. Per questo tutta l'elettronica di lettura deve essere aggiornata con schede più veloci e capaci di gestire grandi moli di dati; da qui nasce appunto la scheda π LUP.

Capitolo 2

π LUP

Come anticipato in **Capitolo 1**, presso i laboratori della sezione di Bologna dell'INFN, è attualmente in fase di sviluppo una scheda di acquisizione dati, chiamata π LUP, basata su due *Field Programmable Gate Array* (FPGA), entrambe prodotte da Xilinx, in una configurazione master-slave.

La prima si trova all'interno di un ZYNQ-XC7Z020 *System on a Chip* (SoC)[22] che comprende un processore dual-core ARM Cortex-A9 utilizzabile per operazioni di monitoraggio e controllo tramite l'implementazione di una distribuzione Linux sul processore ARM stesso; la seconda è una FPGA Kintex-XC7K325T[23] connessa tramite un bus di 21 linee differenziali e 5 linee singole al sistema ZYNQ SoC, ed in grado di fornire elevata potenza di calcolo per il processamento in parallelo dei dati provenienti dal rivelatore.

La π LUP verrà impiegata per interfacciare i nuovi chip di front-end RD53A con la scheda di read-out FELIX, ma la sua adattabilità la rende fruibile anche per altre applicazioni.

Non a caso la scheda è dotata di diverse porte fisiche che la rendono flessibile ai diversi contesti; nello specifico sono presenti 3 connettori: un *FPGA Mezzanine Connectors* (FMC), un connettore PCIExpress ed un *Small Form-factor Pluggable* (SFP+). L'elevato quantitativo di connettori rende la scheda molto versatile nell'interfacciamento con i sistemi esterni e capace di un'elevata banda in uscita.

2.1 CPU, ASIC e FPGA

Per esporre le motivazioni che hanno portato alla scelta di montare delle FPGA sulla scheda, di seguito sarà presentata una panoramica di quelli che sono i tipi di circuiti capaci di svolgere operazioni di calcolo e scambiare pacchetti di dati. Di questi saranno evidenziate la struttura e la logica di realizzazione, mettendo a confronto, in Tabella 2.1, le prestazioni e dimostrando come le FPGA risultino la scelta più adatta nella realizzazione di schede sperimentali come la π LUP.

2.1.1 CPU

Il circuito digitale più diffuso, ed il primo ad essere sviluppato e commercializzato, è la *Central Processing Unit* (CPU). La CPU è un microprocessore digitale sincrono che sovrintende e dirige le diverse unità di controllo presenti nell'hardware del computer, quali ad esempio le diverse porte e interfacce, le periferiche e le schede elettroniche di vario genere.

Al suo interno sono presenti alcuni componenti basilari:

CU L'unità di controllo, che preleva le istruzioni, prima presenti nella memoria di massa *Read Only Memory* (ROM), e i dati necessari ad un programma, dalla memoria volatile *Random Access Memory* (RAM), processa le informazioni e ne scrive il risultato sulla RAM stessa.

ALU L'unità logica e aritmetica, che svolge di norma le basilari operazioni aritmetiche, logiche (AND, OR, XOR, NAND, NOR), di scorrimento dei bit tramite shifter e di confronto su richiesta della CU.

REGISTER I registri possono essere organizzati in diversi modi a seconda delle necessità di accesso (stack, nominativi e indicizzati) come quello di puntamento, che indica da dove partirà l'istruzione successiva, e quelli dei flag di controllo e stato, in cui vengono memorizzati diversi valori a seconda dei risultati dell'ALU.

Infine alla CPU arrivano dei segnali elettrici esterni che tengono il processore aggiornato sullo stato corrente di tutto l'hardware circostante. Oltre ai segnali di RESET e *Interrupt Request* (IRQ), il più importante è il CLOCK che viene distribuito a tutte le componenti, definendone la frequenza di lavoro. Maggiore è la frequenza di clock, ovvero la rapidità nel passare da uno stato logico basso a uno alto (la tensione di esercizio dei componenti), maggiore sarà la rapidità di esecuzione delle operazioni.

Alcune limitazioni sono date dalla frequenza massima a cui può lavorare il processore senza che i vari componenti si surriscaldino e dalla lunghezza nominale dei percorsi: infatti per essere distribuito uniformemente ad ogni componente della CPU il segnale non può essere invertito prima di aver raggiunto

il componente più "lontano", pena lo sfasamento tra diverse operazioni. Il funzionamento di una CPU si distingue sostanzialmente in tre fasi: una di Fetch, in cui vengono prelevate le istruzioni dalla RAM e viene aggiornato il valore del puntatore in previsione del ciclo successivo; una di Decode dove la CU interpreta le istruzioni e una di Execute in cui la CU richiede all'ALU di prelevare dati dalla RAM e svolgere determinate operazioni, per poi riscrivere tramite registri il risultato nella RAM ed, eventualmente, attivare dei flag.

2.1.2 ASIC

Per applicazioni definite e immutabili vengono usati i chip *Application Specific Integrated Circuit* (ASIC). Questi circuiti nascono per eseguire velocemente determinate operazioni che non possono essere modificate.

La logica implementata su questo tipo di processori, che arrivano a possedere anche 100 milioni di porte, è infatti fissata una volta per tutte al momento della progettazione e non è riprogrammabile a prodotto finito. Proprio per questo motivo sono richieste minuziosità e una particolare attenzione a non introdurre errori logici o hardware: nello specifico sono da evitare possibili capacità parassite, carenze di alimentazione in alcuni settori e soprattutto inadeguatezze nella sincronizzazione visto che sono impossibili da recuperare a circuito stampato.

Tutto ciò richiede lunghi tempi di sviluppo dall'idea iniziale all'oggetto pronto per il mercato ed espone ad elevati costi non recuperabili che per essere ammortizzati devono essere ridistribuiti su produzioni di vasta scala.

Gli ASIC nascono come circuiti completamente vuoti, nel senso che non è presente nessuna funzione logica di base; grazie a questo fatto è possibile realizzarvi sopra interi microprocessori e blocchi di memoria, sia volatile che non, dando origine a quelli che sono definiti SoC.

Le tecnologie impiegate dai primi anni '80 ad oggi nella fase di design sono molteplici e di seguito ne sarà data una breve descrizione:

GATE ARRAY La logica Gate-array prevede la presenza di una moltitudine di transistor a cui non è stata assegnata alcuna funzione specifica. Gli strati di silicio, sui cui alloggiano i transistor, sono intervallati a strati metallici che realizzano le opportune connessioni fisiche, dando origine così a circuiti in logica NAND o NOR. Questa tecnologia permette di stampare strati di silicio in grandi stock predefiniti e quindi ridurre in parte i costi di progettazione, visto che i collegamenti tra i componenti sono realizzati ad hoc a seconda del loro impiego; d'altro canto la difficoltà nel tracciare i percorsi ottimali richiede spesso dimensioni maggiori e un uso non del tutto efficiente delle potenzialità del chip.

STANDARD CELL Negli anni '90 si è sviluppata la tecnologia Standard-cell che ha portato ad ASIC sempre più compatti e con un'alta densità di componenti. Le case produttrici hanno iniziato a fornire all'utente finale dei blocchi funzionali predefiniti, di cui fossero già note e testate le caratteristiche elettriche e la bontà della logica. Grazie a questo salto i tempi di prototipazione si sono ridotti notevolmente e soprattutto si è recuperato lo spazio fino ad allora inutilizzato, con una conseguente riduzione delle spese.

FULL CUSTOM Il design Full-custom invece definisce la funzione e le connessioni di ogni singolo transistor di ogni strato del processore. Ciò permette di raggiungere un'alta efficienza prestazionale e un'area occupata molto ridotta. Inoltre è possibile creare interfacce per componenti analogici esterni che siano già stati validati nel loro funzionamento, ad esempio microprocessori per la realizzazione di SoC. Tutto questo è possibile a fronte di un grande dispendio di tempo e ammesso che si disponga di ottime doti di progettazione e di programmi di tipo CAD più complessi e difficili da usare.

STRUCTURED Il design di tipo Structured si basa sull'utilizzo sia di blocchi logici predefiniti, sia sull'impiego di strati metallici le cui connessioni sono già state tracciate. Così facendo, dato un set di maschere metalliche prestabilite e un certo numero di elementi funzionali posizionabili, si ottengono le prestazioni richieste per il chip accorciando però i tempi di realizzazione.

Delle tecniche appena illustrate, l'ultima di tipo strutturale è quella che può essere intesa come un ponte tra i processori di tipo ASIC e le FPGA a cui è dedicato il prossimo paragrafo.

2.1.3 FPGA

Una FPGA è un circuito integrato che può essere programmato e riprogrammato un numero arbitrario di volte. La sua struttura interna permette infatti a chiunque di implementare qualsiasi blocco funzionale necessario ad una determinata operazione, lasciando spazio a correzioni, aggiustamenti e riprogettazioni complete. Il firmware di una FPGA, ovvero i set di istruzioni per la parte hardware, è locato in memorie non volatili di tipo ROM, come *Electrically Erasable Programmable Read Only Memory* (EEPROM) basate su array di transistor di tipo floating-gate, e memorie FLASH, la cui unica differenza dalle prime consiste nelle dimensioni dei blocchi riprogrammabili e nel numero di transistor necessari per cancellare una certa zona di memoria.

Il linguaggio HDL

Per scrivere e modificare il firmware si utilizza un linguaggio di tipo *Hardware Description Language* (HDL), le cui sezioni di codice permettono di definire il comportamento e la logica degli elementi funzionali nel circuito. In realtà, a differenza di altri linguaggi di programmazione di tipo procedurale, con HDL è possibile esplicitare la nozione di tempo garantendo così la possibilità di istruire diversi componenti circuitali a lavorare in parallelo: questo comporta un grande vantaggio in termini prestazionali rispetto al "classico" processore. Questo tipo di descrizione è capace di generare anche una net-list, ovvero un'associazione tra componenti e funzioni, che è necessaria per posizionare e connettere fisicamente le varie regioni del chip.

Architettura di una FPGA

L'architettura di una FPGA si basa su pochi elementi ripetuti in maniera modulare, come è possibile vedere nella Figura 2.1 seguente.

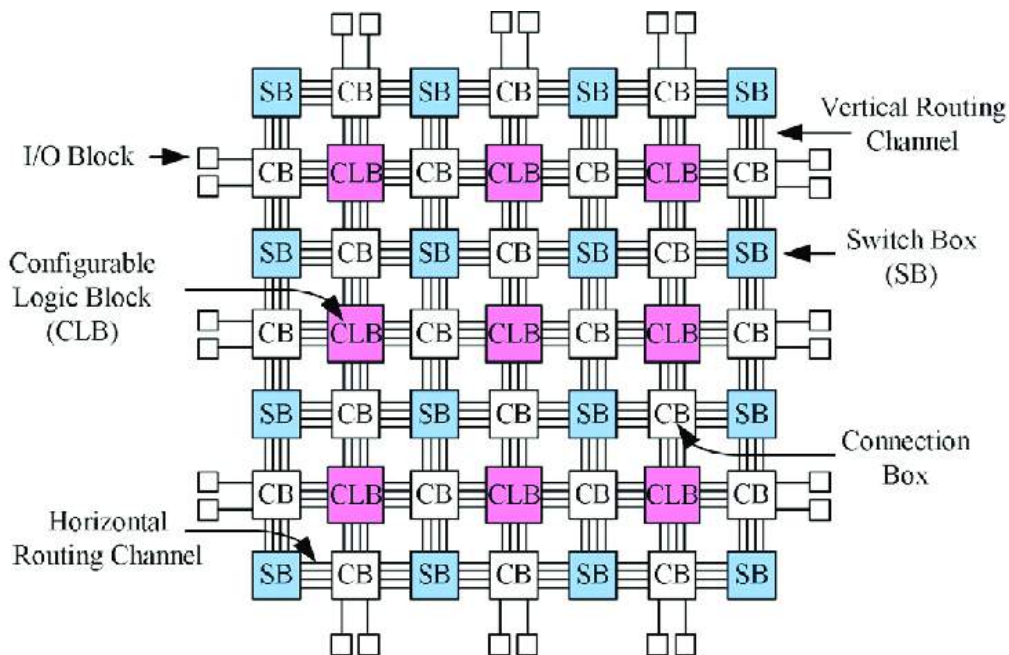


Figura 2.1: Schema base di una FPGA con le unità programmabili e le connessioni.

I/O Block I blocchi di input-output sono formati da raggruppamenti di pad che hanno distribuiti sui vari lati un numero variabile di ingressi e uscite che permettono loro di connettersi ad altri blocchi adiacenti.

Connections Le connessioni tra i blocchi logici avvengono su due livelli e sono gestite da Connection Matrix e Switching Matrix che operano su gerarchie diverse: le prime connettono direttamente due blocchi logici posti immediatamente uno accanto all'altro; le seconde gestiscono un livello più complesso di connessione che comprende anche gli I/O Block.

CLB I Configurable Logic Block, solitamente disposti in array, sono il cuore dell'architettura di una FPGA; sono stati brevettati nel 1985 da David W. Page e LuVerne R. Peterson e rappresentano l'unità riprogrammabile di una FPGA. Al loro interno sono formati da alcune celle logiche come quella visibile in Figura 2.2, la quale si compone normalmente di due *Look Up Tables* (LUT) a tre ingressi, letteralmente tavole di consultazione, in cui sono conservati i risultati delle operazioni più ricorrenti, le quali, a seconda della modalità (normale o aritmetica), si combinano grazie a un Multiplexer in una LUT a 4 ingressi e restituiscono le uscite necessarie al Full Adder. Questo, ricevuti e mandati i dovuti riporti delle operazioni (una parte delle quali può essere già implementata nelle LUT), invia il risultato a un flip-flop di tipo D insieme al segnale di Clock e da lì si ottiene il risultato finale della cella.

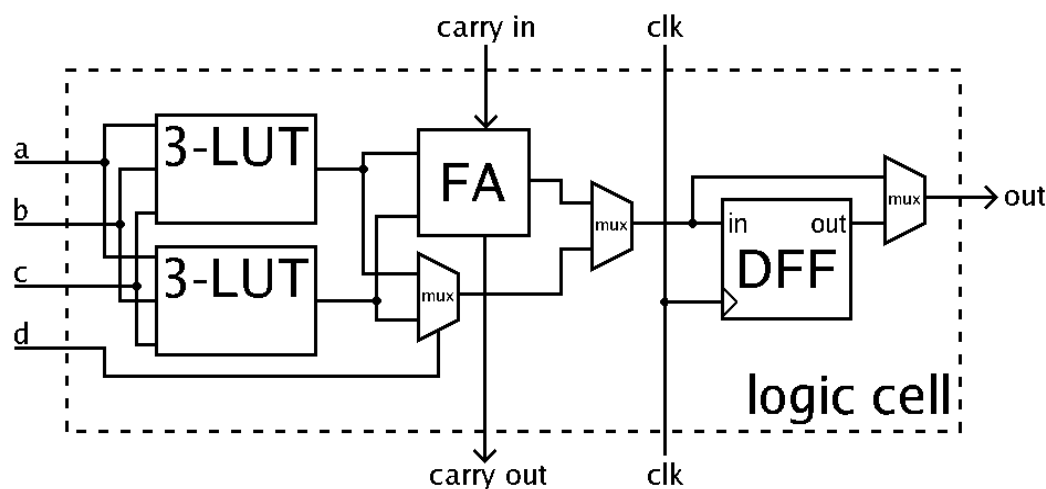


Figura 2.2: Diagramma di un'unità logica standard contenente: le *Look Up Tables* (LUT), un *Full Adder* (FA) e un *flip flop di tipo D* (DFF).

Design

Come anticipato, per definire le operazioni che deve svolgere una FPGA si usa un linguaggio descrittivo di tipo HDL: questo perché, a differenza di un approccio più "manuale" tramite schematico, si può evitare di disegnare ogni singolo componente. Per generare quella che si chiama netlist, ovvero il

riepilogo degli elementi del circuito con relative funzionalità e connessioni, si usano solitamente strumenti di lavoro *Electronic Design Automation* (EDA). Questo tipo di software si rivela fondamentale per la catena di design di circuiti integrati e stampabili complessi come quelli attualmente in commercio; i loro punti di forza sono l'utilizzo di librerie e di unità logiche già impostate, ma soprattutto la simulazione del comportamento di tutte le componenti assemblate insieme. Ciò permette di assicurarsi della piena funzionalità del chip, anche dal punto di vista della temporizzazione, prima che questo venga fisicamente montato e utilizzato.

Attraverso software proprietari dei produttori di FPGA si compie il passo successivo, ossia quello di "place and route", nel quale si cerca di disporre e collegare in maniera efficiente, nel minor spazio possibile, tutto ciò che serve alla funzione specifica. Generalmente quest'operazione viene svolta in automatico con algoritmi di ottimizzazione, ma quando ancora il livello di complessità dei circuiti non era così elevato il tutto veniva progettato a mano. Infine il design viene trasferito tramite un'interfaccia seriale o una memoria esterna sulla FPGA da configurare.

Applicazioni

Le applicazioni che trova una FPGA sono innumerevoli, sostanzialmente tutte quelle che troverebbe un normale processore, visto che è praticamente possibile costruircene uno sopra. Nello specifico se ne fa un largo impiego in alcuni settori come: l'elettronica di consumo e medicale; i sistemi di sicurezza e la crittografia; l'elaborazione di video e immagini; le reti neurali e, come nel caso del progetto π LUP, in molti apparati di ricerca scientifica.

Riepilogando, le FPGA sono state scelte perché rispetto ad una generica CPU offrono prestazioni migliori grazie alla logica di esecuzione parallela di istruzioni e una migliore definizione dell'hardware controllato.

Un ASIC ha sicuramente prestazioni più elevate di una FPGA in termini di rapidità, ma ha per contro un costo di produzione molto alto nel caso di piccole applicazioni sperimentali, come quella in corso sulla scheda di acquisizione. Un ASIC inoltre non permette assolutamente di raggiungere i livelli di flessibilità che invece esprime una FPGA che è riprogrammabile anche dall'utilizzatore finale. In più la gestione del clock risulta non banale su un ASIC, visto che non può essere testata in anticipo, e oltretutto una FPGA permette di lavorare con un elevato numero di interfacce diverse, perfino le più recenti e aggiornate. Non va dimenticato poi che anche la fase di debugging risulta più efficiente e veloce su un circuito di tipo FPGA, grazie alla sua modularità, che su qualsiasi altro processore.

Processore	CPU	ASIC	FPGA
Performance	Medie	Alte	Medie
Parallelismo	Medio	Alto	Alto
Flessibilità durante lo sviluppo	Bassa	Molto alta	Alta
Flessibilità dopo lo sviluppo	Alta	Bassa	Alta
Costo di produzione singola	Basso	Alto	Basso

Tabella 2.1: Comparazione di prestazioni e qualità di CPU, ASIC ed FPGA.

2.2 Progetto π LUP

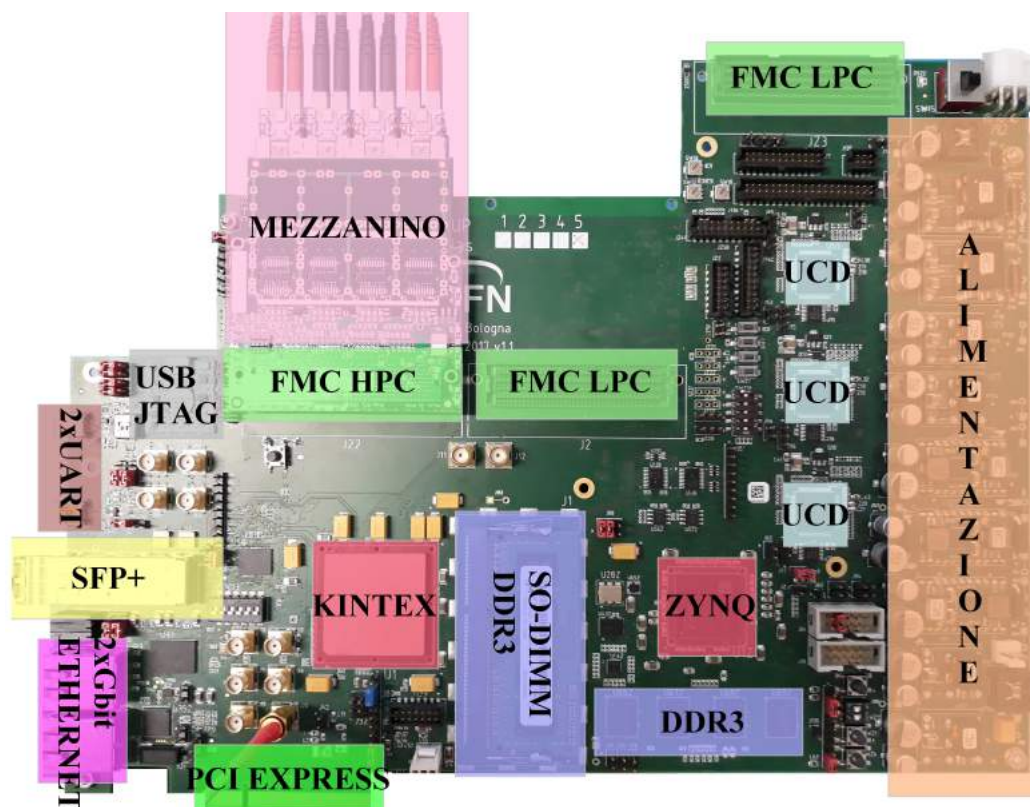


Figura 2.3: Foto della scheda di acquisizione dati π LUP con i componenti principali in evidenza, a partire dalla FPGA Kintex e dal ZYNQ SoC in rosso, le connessioni FMC e PCIeExpress in verde, i banchi di memoria in azzurro e il mezzanino con le connessioni ottiche in rosa.

Una descrizione troppo approfondita della scheda di acquisizione risulterebbe dispersiva ma, per inquadrare lo scopo della tesi, saranno dati alcuni cenni sui componenti principali e sarà prestata particolare attenzione alla gestione della memoria.

In Figura 2.3 si vedono le due FPGA: il ZYNQ SoC, che include il processore ARM, agisce da master controllando il flusso dei dati e la Kintex, la quale agisce da slave processando effettivamente i dati e gestendo le comunicazioni ad alta velocità. Queste ultime avvengono tramite le porte come: il PCIeExpress di seconda generazione, capace di trasmettere a 4 GB/s; il connettore SFP+ da 10 Gb/s; due interfacce Ethernet, collegate una al ZYNQ SoC e una alla Kintex; due connessioni *Universal Asynchronous Receiver-Transmitter* (UART) e soprattutto tre FMC a cui è stato dedicato molto spazio sulla π LUP per accogliere schede aggiuntive.

Per le operazioni del processore ARM è saldata direttamente sulla scheda una memoria RAM da 1 GB di tipo *Double Date Rate* (DDR3), che trasmette i dati sia sul fronte di salita che di discesa del segnale), mentre per la Kintex è stato predisposto uno slot sempre per memorie DDR3. In aggiunta sulla board sono presenti altre tre memorie non volatili di tipo FLASH: una da 64 MB PC28F00AP30TFA di tipo NOR e una da 16 MB N25Q128 di tipo QSPI (entrambe connesse alla Kintex) e un'altra memoria da 16 MB collegata al ZYNQ SoC.

Tutte e tre servono per detenere il firmware necessario alle FPGA, tuttavia le prime due contengono solamente i dati necessari alla programmazione mentre l'ultima deve supportare anche una distribuzione Linux compreso il filesystem e i software installativi. Le dimensioni di questa memoria appaiono modeste e limitative nei confronti di quelle che sono le potenzialità che potrebbe esprimere il ZYNQ SoC.

In origine infatti la FPGA in questione era dotata di ingressi per memorie SD, nella geometria attuale questi sono stati eliminati e i relativi pin sono stati indirizzati ad un header generico.

2.2.1 Lettore di microSD

È qui che si inserisce il lavoro della tesi, ovvero la progettazione e realizzazione di un lettore per memorie microSD customizzato da potersi collegare direttamente alla π LUP tramite l'header dedicato, in modo tale da restituire al ZYNQ SoC la piena funzionalità delle prestazioni.

Capitolo 3

π MEX

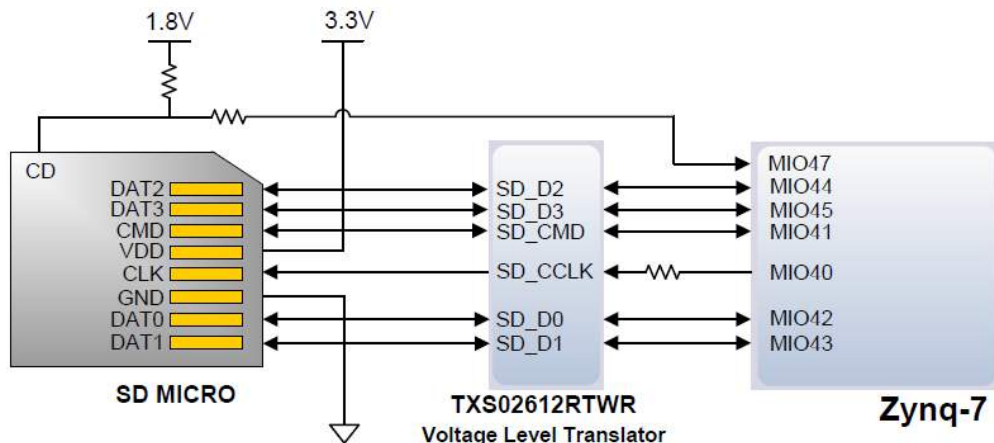
In questo capitolo saranno spiegate in maniera esaustiva le fasi attraverso le quali si è giunti alla realizzazione di una PCB chiamata *π LUP Memory EXpander* (π MEX).

Lo scopo della scheda in questione, come è già stato anticipato, è quello di espandere la memoria accessibile al ZYNQ SoC in quanto la memoria attualmente disponibile risulta esigua per gli scopi prefissati. In particolare la memoria FLASH da 16 MB contiene al momento sia i codici firmware che l'immagine del kernel di una distribuzione Linux; inoltre potrebbe essere richiesto ulteriore spazio per software aggiuntivi o librerie.

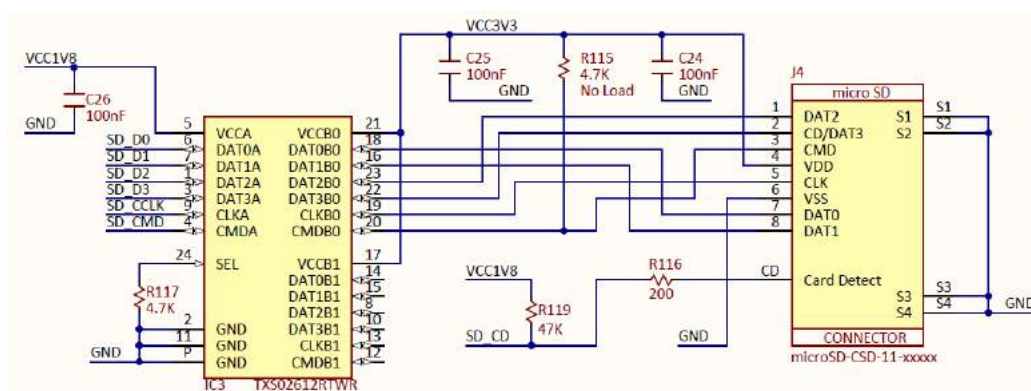
La FPGA master contemplava già la possibilità di leggere e scrivere dati tramite memoria di tipo SD, come in effetti avviene nella scheda di prototipazione XILINX ZYBO[24] (la quale monta un ZYNQ SoC della serie 7000 proprio come quella presente sulla π LUP), ma nell'ottica di rendere la scheda versatile lo slot dedicato è stato rimosso, optando per il reindirizzamento delle linee di trasmissione ad un header presente sulla scheda π LUP.

Le due sfide più impegnative affrontate durante la progettazione sono state l'introduzione di un elemento circuitale che permettesse di traslare le due diverse tensioni di esercizio della microSD e della π LUP e il disegno di una scheda altamente personalizzata capace di minimizzare l'ingombro sulla scheda madre.

3.1 Progettazione



(a)



(b)

Figura 3.1: Schematici del sistema di lettura di microSD della scheda di prototipazione XILINX ZYBO ottenuti dal reference manual, in cui è possibile leggere il nome associato alle linee di trasmissione dalla ZYNQ-7 (a), e dal documento contenente tutti gli schematici dettagliati grazie al quale si capisce il funzionamento del Voltage Level Translator (b).

La base di partenza per la realizzazione di un circuito stampato è lo schematico: esso racchiude in forma stilizzata tutti i componenti elettrici e le relative connessioni.

Per la progettazione della π MEX ho fatto riferimento agli schematici, visibili in Figura 3.1, presenti sia all'interno del reference manual della XILINX ZYBO sia nella parte di schematico[25] della XILINX ZYBO dedicata all'interfaccia microSD.

3.1.1 Standard microSD

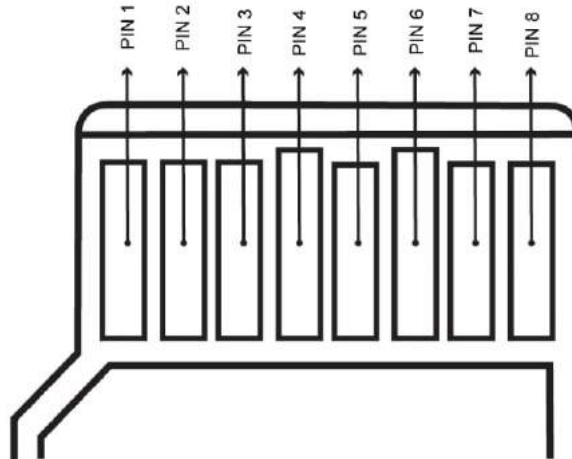


Figura 3.2: Raffigurazione stilizzata dei pin di una memoria FLASH di tipo microSD.

Lo standard microSD[26] è definito in base agli 8 pin visibili in Figura 3.2 il cui nome e la cui funzione sono esplicitati in Tabella 3.1.

Pin #	Nome	Tipologia
1	DAT2	Linea di dato 2
2	DAT3	Linea di dato 3
3	CMD	Linea di comando
4	VDD	Linea di alimentazione
5	CLK	Linea di clock
6	GND	Linea di ground
7	DAT0	Linea di dato 0
8	DAT1	Linea di dato 1

Tabella 3.1: Corrispondenze tra il nome dei pin della microSD e la loro funzione specifica.

Le linee di alimentazione (3.3 V) e di ground del lettore della microSD non si connettono direttamente al ZYNQ SoC ma a contatti dedicati presenti sulla π LUP che saranno illustrati successivamente.

Il segnale di *Card Detect* (CD), che comunica alla FPGA la presenza o meno

di una microSD nel suo alloggiamento, è l'unico a non dover attraversare il Level Translator, a cui è dedicato il prossimo paragrafo, perché lavora già alla stessa tensione nominale di 1.8 V alla quale opera la ZYNQ SoC. Le tensioni di tutte le altre linee devono invece essere convertite mediante un Voltage Level Shifter.

3.1.2 Level translator

Il Voltage Level Translator, o Voltage Level Shifter, è un elemento circuitale che trasla le tensioni di circuiti integrati che operano a due livelli logici differenti. In questo caso, i segnali di trasmissione dati, di clock e di comando, che sono trasmessi bidirezionalmente, devono passare attraverso lo shifter poiché le tensioni di esercizio della microSD e della FPGA sono rispettivamente di 3.3 V e 1.8 V.

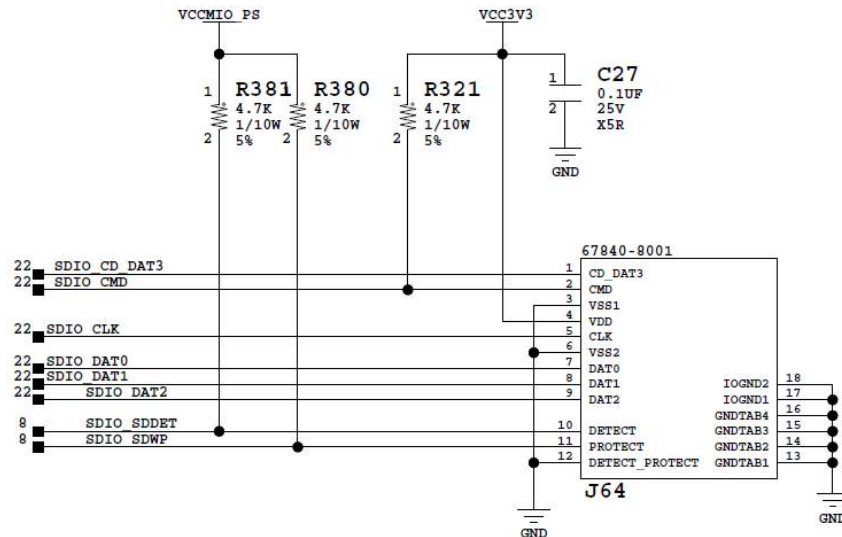
3.1.3 ZYNQ SoC

Il ZYNQ SoC XC7Z020-1CLG484C presente sulla π LUP e le altre FPGA della stessa serie sono predisposte ad interfacciarsi con memorie di tipo SD. Nello schematico[27] di un'evaluation board del ZYNQ SoC visibile in Figura 3.3 si vede infatti un lettore di schede SD (non microSD) le cui uscite attraversano esattamente lo stesso level shifter impiegato sulla XILINX ZYBO e sulla π MEX da me progettata.

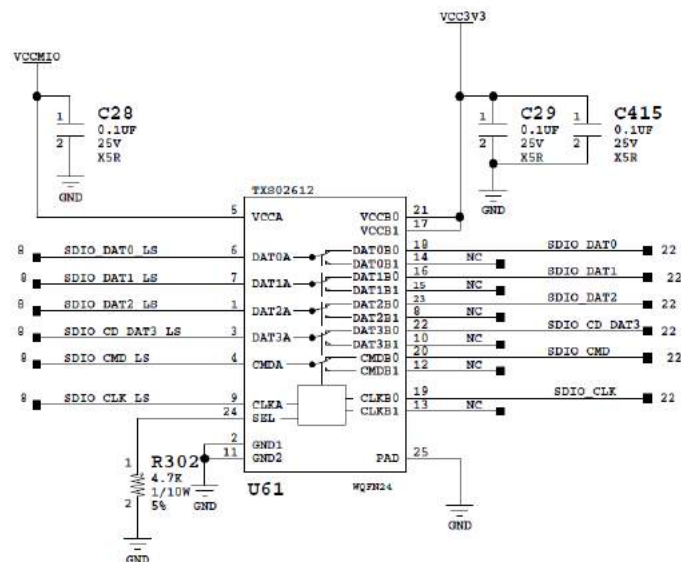
ZYNQ SoC	PS_MIO
SDIO_SDDDET	0_500_G6
SDIO_CLK_LS	40_501_E14
SDIO_CMD_LS	41_501_C8
SDIO_DAT0_LS	42_501_D8
SDIO_DAT1_LS	43_501_B11
SDIO_DAT2_LS	44_501_E13
SDIO_CD_DAT3_LS	45_501_B9

Tabella 3.2: Nomi delle linee di trasmissione appartenenti al ZYNQ SoC secondo la dicitura standard PS_MIO.

I nomi esplicativi delle funzioni a cui sono dedicate le connessioni corrispondono ad altrettanti nomi nello standard *Processing System Multiplexed Input Output* (PS_MIO), riassunti in Tabella 3.2, a cui è possibile fare riferimento in fase di programmazione della FPGA.



(a)



(b)

Figura 3.3: Particolari degli schematici relativi alla lettura di schede SD con il ZYNQ SoC, nello specifico sono visibili il socket per SD (a) e il Voltage Level Translator (b).

Nella prima delle due immagini di Figura 3.1 si leggono anche i nomi originali delle linee dedicate dal ZYNQ SoC, usata nella XILINX ZYBO, alla lettura e scrittura su microSD (eccetto per la linea MIO47 il cui nome nel ZYNQ SoC utilizzato è in realtà MIO0), queste sono state rinominate sulla π LUP secondo la seguente tabella.

XILINX ZYBO	π LUP
PS_MIO0_500_G6	PS_MIO_3
PS_MIO40_501_E14	PS_MIO_9
PS_MIO41_501_C8	PS_MIO_20
PS_MIO42_501_D8	PS_MIO_10
PS_MIO43_501_B11	PS_MIO_21
PS_MIO44_501_E13	PS_MIO_11
PS_MIO45_501_B9	PS_MIO_22

Tabella 3.3: Assegnazione sulla π LUP delle linee di trasmissione originarie della XILINX ZYBO.

3.2 Design

Dopo aver completato lo schematico, la progettazione prosegue con la fase di design. Questa è stata eseguita con il software KiCad[28], un programma di tipo *Computer Aided Design* (CAD) specifico per il disegno di PCB non troppo elaborate come quella ottenuta in questo caso. KiCad è una suite di software che si divide in:

EDITOR DI LIBRERIE DI SIMBOLI In questo editor è possibile disegnare manualmente le rappresentazioni grafiche degli elementi circuitali che non siano già presenti nelle librerie. Ciò permette, tramite vari strumenti di design, di rappresentare in maniera concettuale e simbolica, così da rendere più semplice il lavoro dal punto di vista logico, ciò che verrà effettivamente inserito nello schematico.

EDITOR DI SCHEMI ELETTRICI Questo è lo strumento con il quale disegnare gli schematici veri è propri. Qui si stabilisce la posizione ottimale dei componenti, in modo tale da rendere già l'idea della posizione che avranno nella realtà, quantomeno la zona, mantenendo una leggibilità chiara e immediata. Quando il numero di elementi in un

circuito integrato aumenta, è utile infatti poter seguire ed individuare i collegamenti nella maniera più semplice possibile.

I collegamenti rappresentano le connessioni elettriche che saranno realmente realizzate, ma non è qui che il loro percorso e le loro proprietà vengono definite.

EDITOR DI LIBRERIE DI IMPRONTE Le impronte sono delle rappresentazioni grafiche che contengono le misure effettive dei componenti reali. Il programma fornisce numerose librerie con le specifiche tecniche di resistori, capacitori, alloggi, traslatori di livelli, connettori e tanti altri elementi elettrici di vario genere presenti in commercio.

Per quei componenti che non hanno un'impronta associata è possibile realizzarne una, tramite l'editor di impronte, seguendo il datasheet che le aziende distribuiscono, come nel caso del connettore di microSD.

EDITOR DI CIRCUITI STAMPATI Questo è l'ambiente più importante di tutto il programma perché qui si realizza concretamente la fase di design. In questo editor ho disposto il connettore di microSD, il level translator, gli ingressi opportunamente disegnati per la π LUP, i resistori ed i capacitori necessari e li ho collegati seguendo lo schematico.

L'editor è fornito di numerose funzioni e permette di lavorare a più strati, di selezionare le dimensioni delle piste e di visualizzare tridimensionalmente il progetto.

I parametri utilizzati, come il numero di strati, la dimensione delle piste e gli spazi minimi richiesti tra una connessione e l'altra, corrispondono a parametri fisici dati dal laboratorio che ha realizzato concretamente la π MEX.

VISUALIZZATORE DI FILE GERBER I parametri costruttivi del proprio design PCB vengono salvati in due diversi set di dati: un file gerber, contenente le informazioni necessarie a ricavare le piste, i pad e il contorno della scheda ed un file drill, utile alla fresatrice, di cui si parlerà in seguito, per realizzare i fori che conetteranno gli strati. In questo visualizzatore è possibile osservare la composizione di ogni strato, incluse maschere e nomi dei componenti circuitali, prima che la board venga stampata.

3.2.1 Connettore per microSD

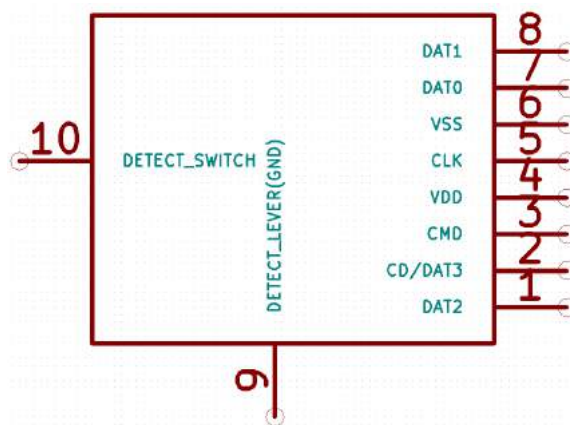
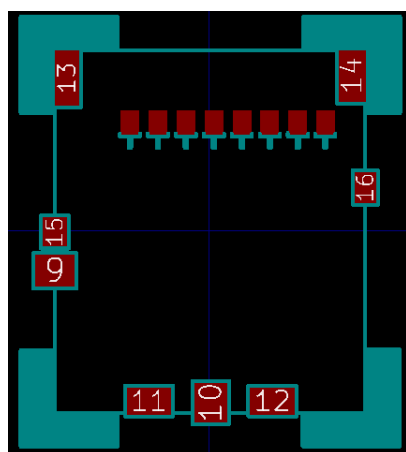


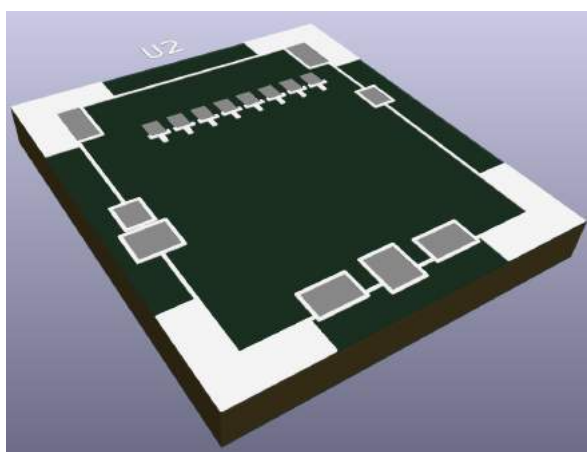
Figura 3.4: Rappresentazione grafica del socket per microSD realizzata nell'editor di simboli di KiCad.

Per l'alloggio di microSD, più propriamente detto socket, ho impiegato un MOLEX 5040771891[29][30] per il quale ho disegnato il simbolo da inserire nello schematico visibile in Figura 3.4.

A questo simbolo è stata associata un'impronta disegnata appositamente, osservabile in Figura 3.5, che rispecchia le dimensioni reali di 15.4 x 11.32 mm con un pitch tra i pin di 1.1 mm.



(a)



(b)

Figura 3.5: Impronta associata al lettore di microSD realizzata tramite l'editor dedicato in due (a) e tre (b) dimensioni.

3.2.2 Voltage Level Translator

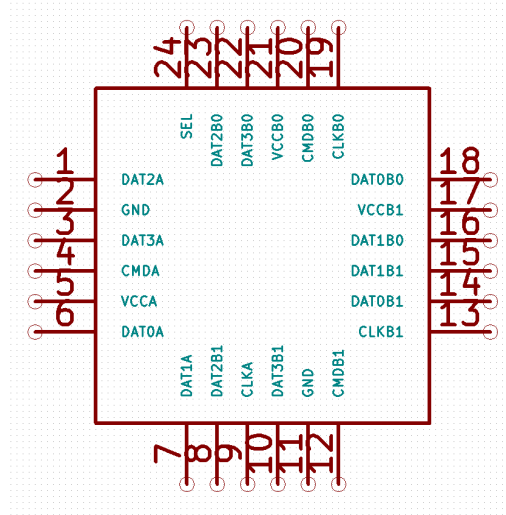
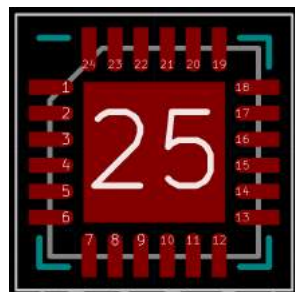


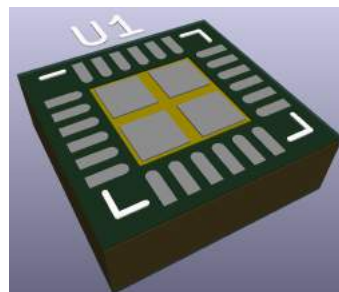
Figura 3.6: Simbolo dello schematico associato al level shifter in cui è possibile vedere i 24 pin con le relative funzioni.

Per il level translator TXS02612RTWR[31] è stato disegnato un simbolo apposito con 24 contatti ordinati e nominati come indicato nel suo data-sheet. Tra questi si trovano quelli dedicati a: l'alimentazione con GND, VCCA, VCCB1 e VCCB0; il clock mediante CLKA, CLKB1 e CLKB0; tutte le linee di trasmissione dati e comandi ed infine il connettore di selezione SEL.

Per quanto riguarda la footprint, invece, non è stato necessario disegnarla poiché era già presente all'interno della libreria Package_DFN_QFN di KiCad.



(a)



(b)

Figura 3.7: Impronta del Voltage Level Translator presente nelle librerie di KiCad visualizzata in due (a) e tre (b) dimensioni.

3.2.3 Connessione alla π LUP

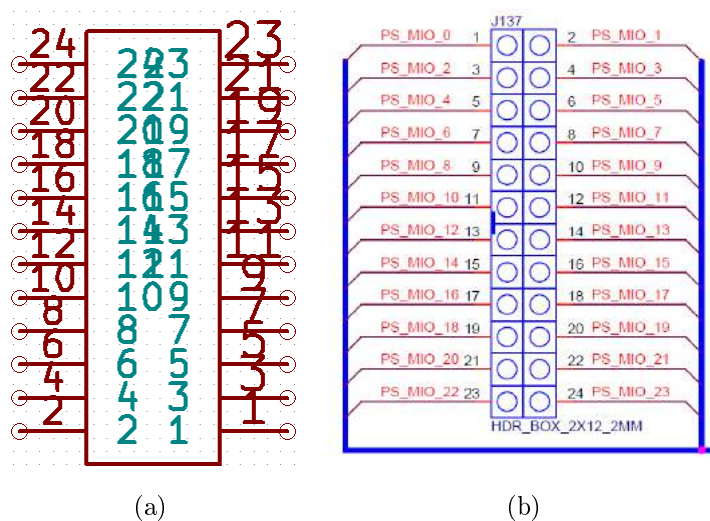


Figura 3.8: Rappresentazione dello schema delle vie (a) necessarie a connettersi all'header della π LUP (b).

La PCB si aggancia alla π LUP mediante un connettore femmina-maschio a 24 pin, questi si inseriscono in altrettanti fori conduttori presenti sulla scheda. Anche per questo elemento relativamente semplice si è scelto di disegnare il simbolo e l'impronta rispecchiandone il layout finale con due file di fori distanziati di 2 mm l'uno dall'altro, come si vede in Figura 3.8 e Figura 3.9.

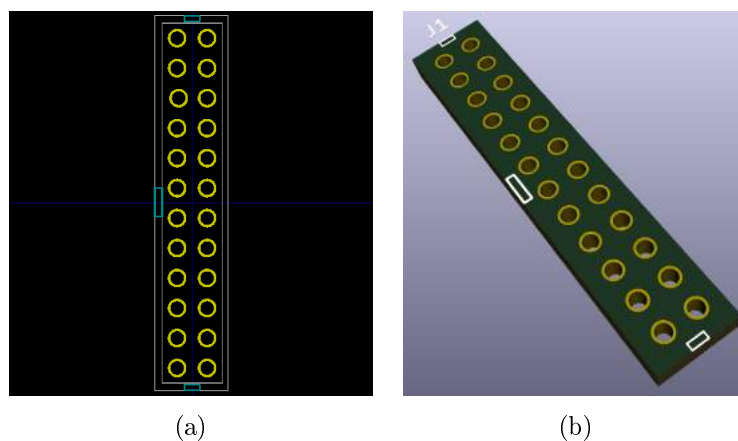


Figura 3.9: Impronta relativa alle vie realizzate sulla PCB per la connessione tramite un header a 24 pin alla π LUP in due (a) e tre (b) dimensioni.

3.2.4 Altri componenti

Oltre ai componenti già citati si aggiungono i resistori ed i capacitori, i cui simboli e le cui footprint sono già disponibili nelle librerie di componenti del software KiCad in molteplici misure e configurazioni. Per questo progetto sono stati scelti dei componenti standard facilmente reperibili nel Laboratorio di Elettronica di Bologna.

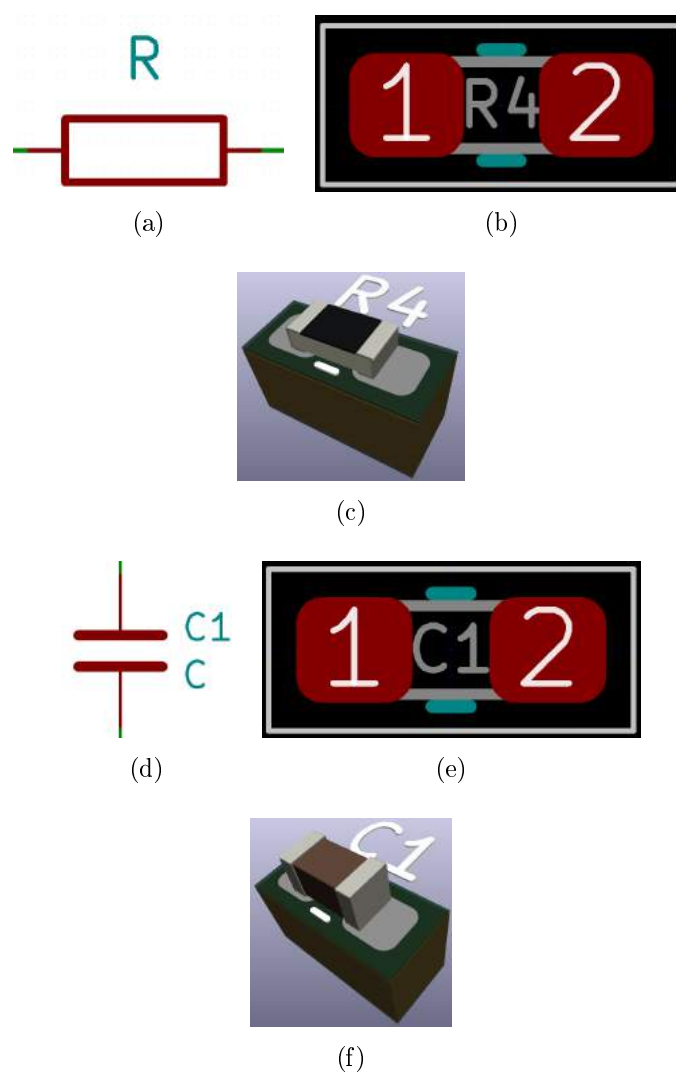


Figura 3.10: Schematici (a, d) ed impronte (b, c, e, f) dei resistori e i capacitori distribuiti sulla scheda plug-in. Sono stati scelti dei componenti di tipo SMD per occupare minor spazio possibile sulla π MEX la cui geometria deriva dalla necessità di non coprire alcuni specifici connettori presenti sulla π LUP.

3.2.5 Layout finale

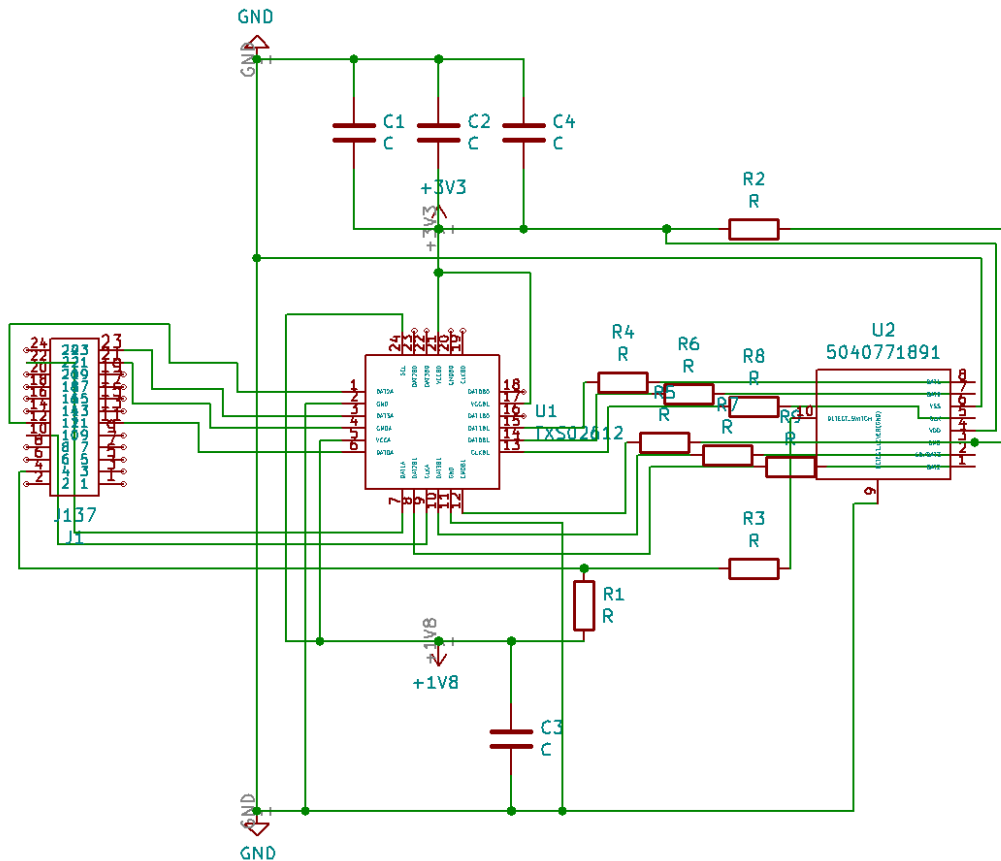


Figura 3.11: Schematico completo della π MEX, a destra l'alloggio per la memoria, al centro il trasformatore di tensioni e a sinistra le connessioni per l'header.

Gli elementi fin qui presentati sono stati disposti e connessi nello schematico di Figura 3.11 e, una volta associata la relativa impronta ad ognuno, è stata generata la netlist. Questa contiene le informazioni che consentono di ricostruire i collegamenti tra i componenti nella fase finale del design e può essere aggiornata di volta in volta se un simbolo o una footprint vengono modificati.

Una volta caricata la netlist nell'editor di circuiti stampati, sono state inserite le impronte dei componenti necessari e le stesse sono state connesse come in Figura 3.12 tracciando le piste in modo tale da rispettare sia lo spazio disponibile sulla π LUP, sia mantenendo (entro un certo intervallo) la stessa lunghezza, così da evitare fenomeni di desincronizzazione. Questi possono occorrere nel caso in cui una pista di trasmissione dati sia sensibilmente più

lunga di un'altra.

Per ridurre il più possibile il numero di vie e di linee sovrapposte ho scelto di porre il socket della microSD sul lato inferiore della π MEX e di far passare le connessioni necessarie al lato superiore. In questo modo le linee di dato e comando arrivano in parallelo allo shifter, rendendo anche più semplice la fase di validazione elettrica eseguita successivamente.

In Figura 3.13 è possibile vedere il risultato finale nell'editor, mentre in Figura 3.14 si osserva uno spaccato dei layer principali che compongono la PCB a due strati.

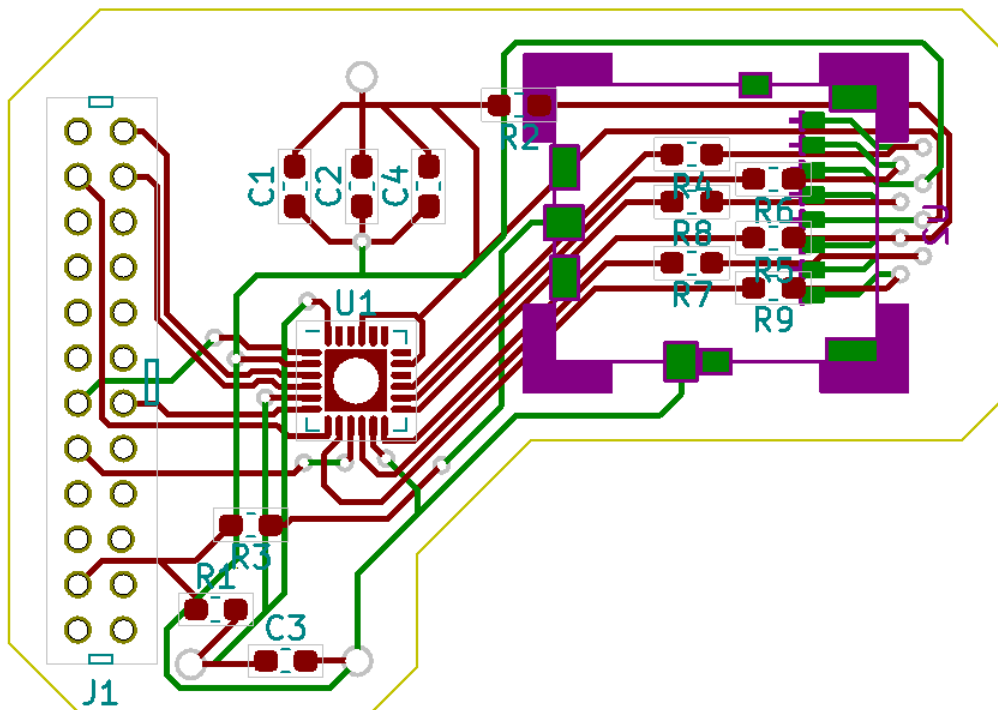
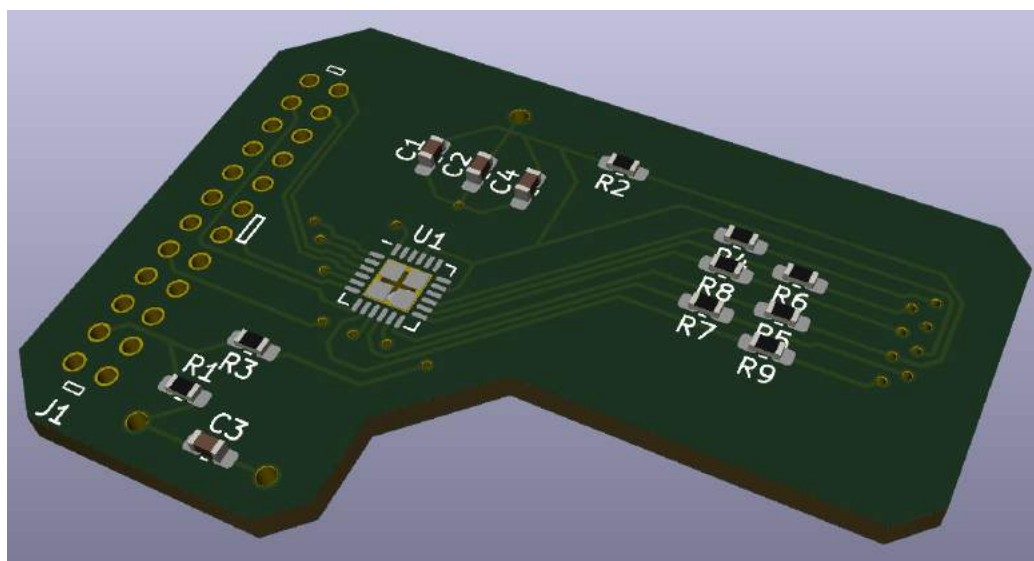
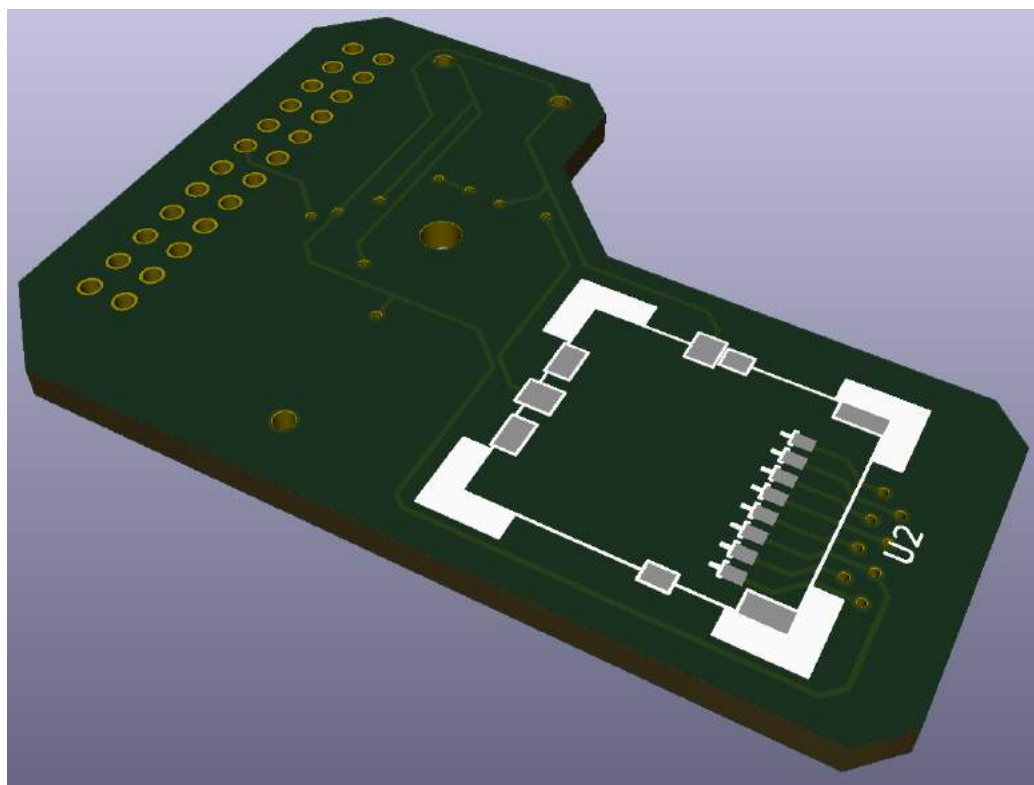


Figura 3.12: Rappresentazione dei componenti che sono stati posizionati e connessi tramite piste sulla π MEX. Sul lato destro si notano le otto vie che connettono i pin del socket della microSD, disposto sul lato inferiore della scheda, al Voltage Level Translator previsto invece sul lato superiore.



(a)



(b)

Figura 3.13: Impronte tridimensionali conclusive della π MEX. Sono ben visibili le tre vie pi grandi disposte due ad un bordo e una a quello opposto a cui saranno saldati i cavi di alimentazione. Inoltre è stata prevista una via sul retro del Voltage Level Translator per poterlo connettere eventualmente a massa invece di mantenerlo flottante.

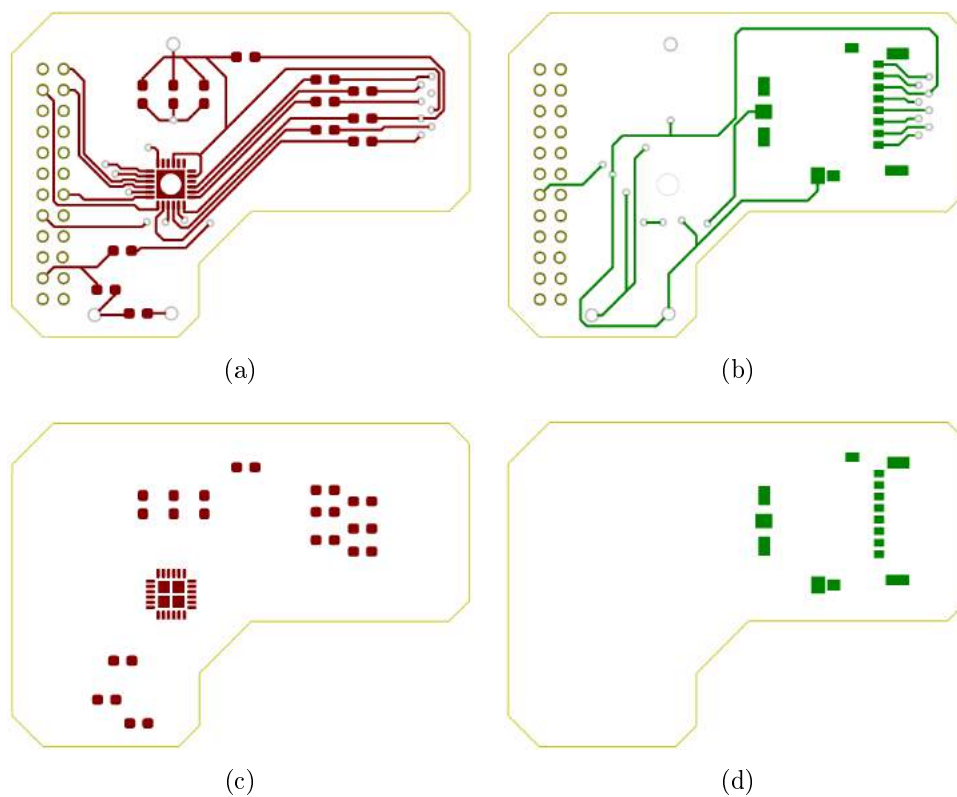


Figura 3.14: Strati in rame del lato superiore (in rosso) e inferiore (in verde) della π MEX. Si possono notare (d, a destra) le piazzole predisposte in corrispondenza delle sei linee di trasmissione tra microSD e Voltage Level Translator pensate per inserire all'occorrenza delle resistenze di terminazione serie al fine di evitare la riflessione dei segnali.

3.3 Realizzazione

Una volta completato il progetto all'interno dell'editor di PCB di KiCad è possibile salvare due tipi di file necessari alla fase di realizzazione della scheda: i file di tipo gerber, che contengono le informazioni utili per sagomare (mediante una macchina fresatrice) le piste e le piazzole dagli strati di rame ed i file di tipo drill, nei quali è scritto dove siano posizionate le forature e che dimensioni abbiano.

Questi file vengono letti successivamente da una fresa automatizzata che guida una punta apposita ricavando la scheda progettata.

Sulla π MEX, le piste sono state stagnate per evitarne l'ossidazione e pulite da ogni impurità per evitare cortocircuiti. Infine vi sono stati saldati sopra tutti i componenti necessari: socket, level shifter, header, resistori, capacitori e cavi di alimentazione.

3.3.1 Fresatura

La π MEX è stata ricavata da una lastra apposita, ovvero da una basetta di vetronite (una resina epossidica) spessa circa 1 mm ricoperta su entrambi i lati da un sottile film di rame. La lastra è stata inserita in una macchina fresatrice, visibile in Figura 3.15, collegata ad un pc in cui era presente un software proprietario in grado di controllarla. All'interno del programma sono stati caricati i file di gerber e di drill, opportunamente impacchettati, ed è stata virtualmente posizionata la sagoma della PCB su un'immagine raffigurante la lastra.

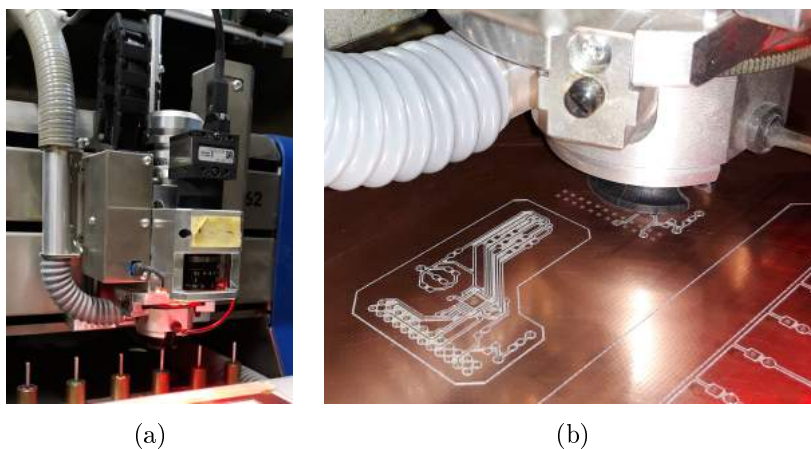
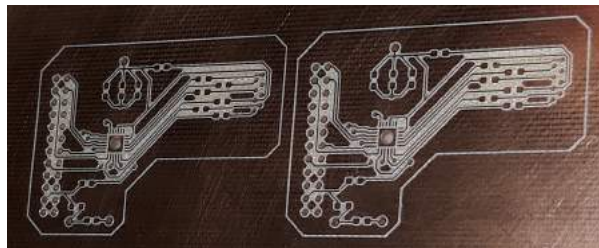


Figura 3.15: Particolari della testa della fresatrice al momento di cambiare la punta (a) e in azione durante la definizione delle piste di rame (b).

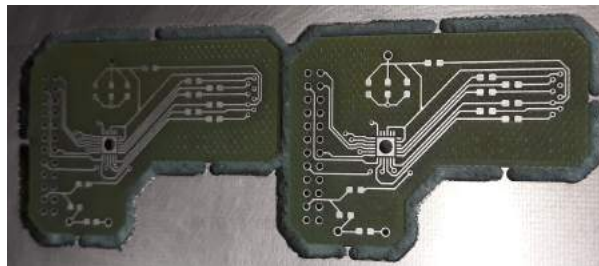
Prima di avviare le operazioni di fresatura sono stati individuati e praticati tre fori di riferimento necessari alla calibrazione della macchina al momento del ribaltamento della lamina (per lavorare il secondo strato).

Una volta avviato il macchinario sono state eseguite diverse operazioni realizzate con punte di geometria e dimensioni differenti: innanzi tutto sono state aperte le vie, ovvero i fori attraverso i quali è possibile connettere tutti gli strati di una PCB; poi è stato tracciato il bordo esterno, su di un lato, e sono state ricavate le piazzole attorno alle vie; in seguito, con una punta molto sottile (di diametro inferiore al millimetro) sono state realizzate le scanalature attorno alle piste ed ai pad necessari alla saldatura dei componenti; infine con punte di dimensione crescente è stato eliminato tutto il rame non necessario.

Dopo avere capovolto la lamina e aver compiuto le dovute fasi di riallineamento e calibrazione sono state ripetute tutte le operazioni viste in precedenza anche sul secondo strato di rame (ad eccezione della foratura perché già eseguita), in più, con una punta sufficientemente grande, è stata realizzata la scontornatura attorno alla scheda, visibile in Figura 3.16, per permettere di rimuoverla dalla basetta.



(a)



(b)

Figura 3.16: La π MEX al termine delle operazioni di scontornatura (a) e in seguito alla rimozione del rame in eccesso (b). La scheda è stata poi fresata lungo il bordo per rimuoverla dalla lamina.

3.3.2 Saldatura

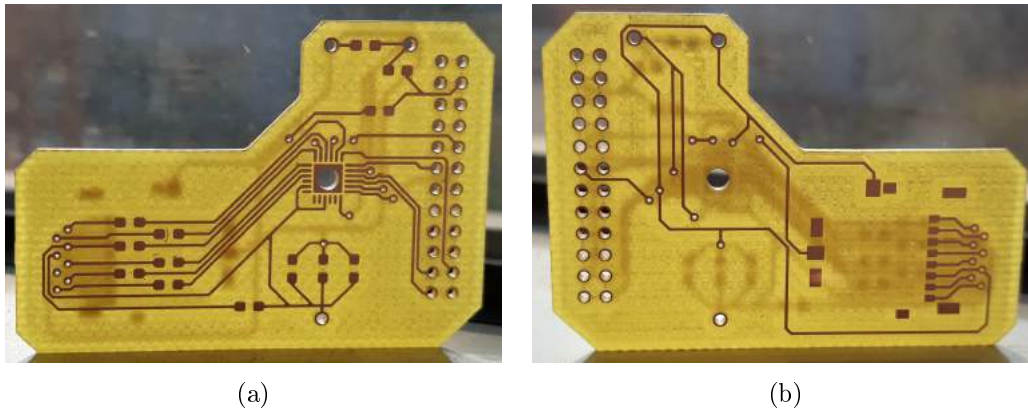


Figura 3.17: Vista frontale dello strato superiore (a) ed inferiore (b) della PCB appena terminata la fase di fresatura, pronta per la saldatura dei componenti.

Una volta terminata la fase di fresatura e rimossa la π MEX dalla lastra, il reader ha l'aspetto visibile in Figura 3.17. La π MEX è così pronta per la saldatura dei componenti: da un lato il connettore femmina-maschio, in Figura 3.18, che mette in contatto l'header dedicato della π LUP alla π MEX; al lato opposto l'ingresso per le schede microSD, presente in Figura 3.19; tra questi il Voltage Level Translator inserito in Figura 3.20 ed infine i resistori ed i capacitori richiesti nello schematico.

Date le ridotte dimensioni della scheda, dei componenti e delle piste, la saldatura è stata eseguita da parte di un tecnico di laboratorio specializzato in microsaldature sotto la lente di un microscopio, con un saldatore dalla punta molto sottile capace di depositare la quantità di stagno necessaria a saldare tutti gli elementi.

Dal momento che non è stato possibile, per la mancanza di attrezzatura apposita, depositare del rame attraverso bagno chimico all'interno delle vie, le connessioni tra uno strato e l'altro sono state eseguite inserendo e saldando ai capi (in corrispondenza delle piazzole attorno ai fori) dei segmenti di filo rigido conduttore.

Terminate queste fasi le piste sono state ricoperte da stagno per evitare l'ossidazione del rame a contatto con l'aria e, grazie ad una particolare spugna, sono state rimosse tutte le possibili impurità che sarebbero potute essere causa di cortocircuiti.

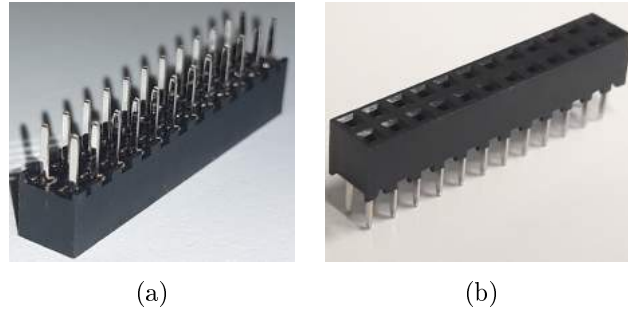


Figura 3.18: Connettore femmina-maschio da 2 x 12 pin con pitch di 2mm sia in ascissa che in ordinata da inserire sulla π LUP e da saldare sulla π MEX.



Figura 3.19: Socket MOLEX 5040771891 visto dal lato dello shield esterno (a) e dal lato dei contatti con la microSD (b).

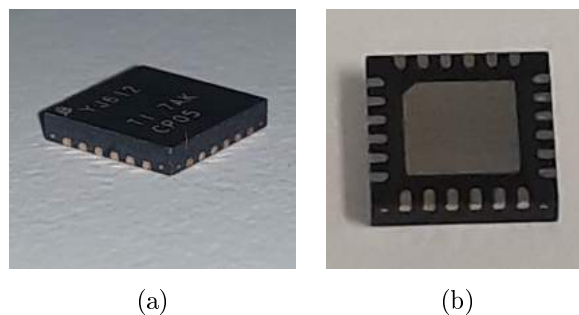


Figura 3.20: Voltage level translator TXS02612RTWR usato per passare le due diverse tensioni di esercizio tra la π LUP e la microSD, visto dal lato superiore (a) ed inferiore (b) in cui è presente l'exposed pad che ha in questo caso la funzione di dissipatore di calore.

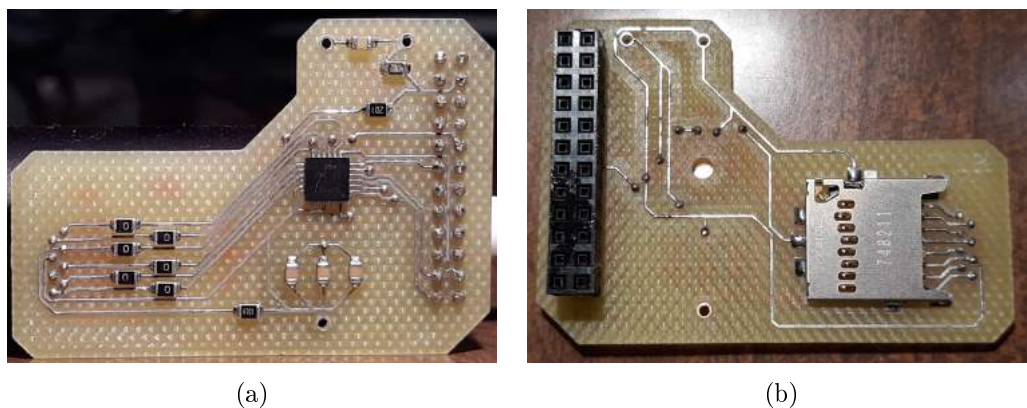


Figura 3.21: Vista frontale dello strato superiore (a) ed inferiore (b) della PCB dopo aver saldato tutti i componenti, il socket della microSD è stato posizionato sullo strato inferiore per ridurre il numero di sovrapposizioni delle linee di trasmissione.

Dopo aver concluso l'assemblaggio dei componenti, il cui risultato è quello di Figura 3.21, l'ultima operazione compiuta è stata la saldatura dei cavi, in Figura 3.22, che trasmettono le tensioni di 1.8 V, 3.3 V e ground. Queste sono fornite direttamente dalla π LUP tramite dei pin dedicati che sono stati selezionati appositamente nei paraggi dell'area dedicata alla scheda, in modo tale da ridurre il più possibile la lunghezza dei fili in previsione dell'inserimento della board nel case di un PC.

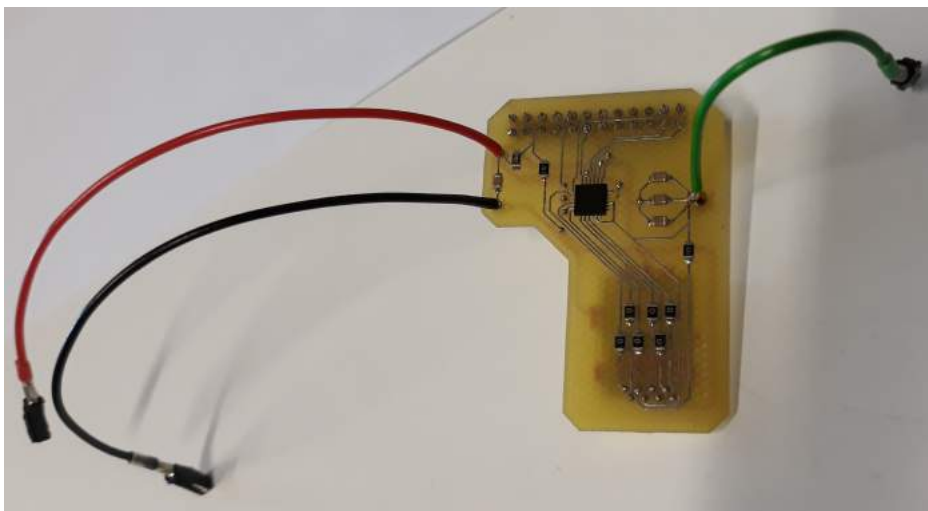


Figura 3.22: π MEX completa con i cavi di ground (in nero), di 3.3 V (in verde) e di 1.8 V (in rosso).

3.4 Caratterizzazione elettrica

Una volta realizzata, la π MEX è stata testata con un multimetro digitale; si è verificato che non fossero presenti corti, su entrambi gli strati, tra tutte le possibili combinazioni di linee adiacenti, che fossero effettivamente connessi i due strati della scheda attraverso le vie e che il valore effettivo di resistenze e capacità fosse quello stabilito durante la progettazione.

Il controllo dell'effettivo funzionamento della π MEX, invece, sarà eseguito in un secondo momento con il supporto di un tecnico specializzato nella gestione del firmware della π LUP. Nel frattempo è stato possibile testare, con la PCB inserita come in Figura 3.23, che le tensioni utilizzate rientrassero nel range di esercizio della scheda.

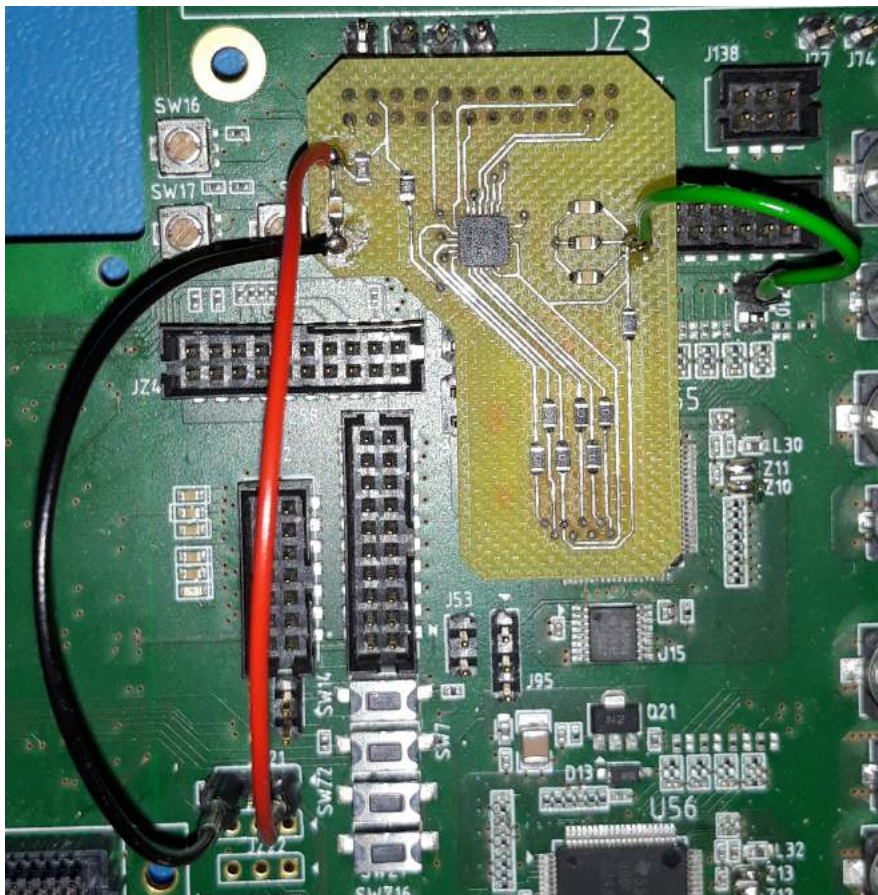


Figura 3.23: π MEX collegata alla scheda madre[32], la connessione avviene tramite l'header da 24 pin J137 mentre le tensioni sono prelevate dai pin JZ10 (in alto a destra, cavo verde) e JZ21 (in basso a sinistra, cavi rosso e nero).

Conclusioni

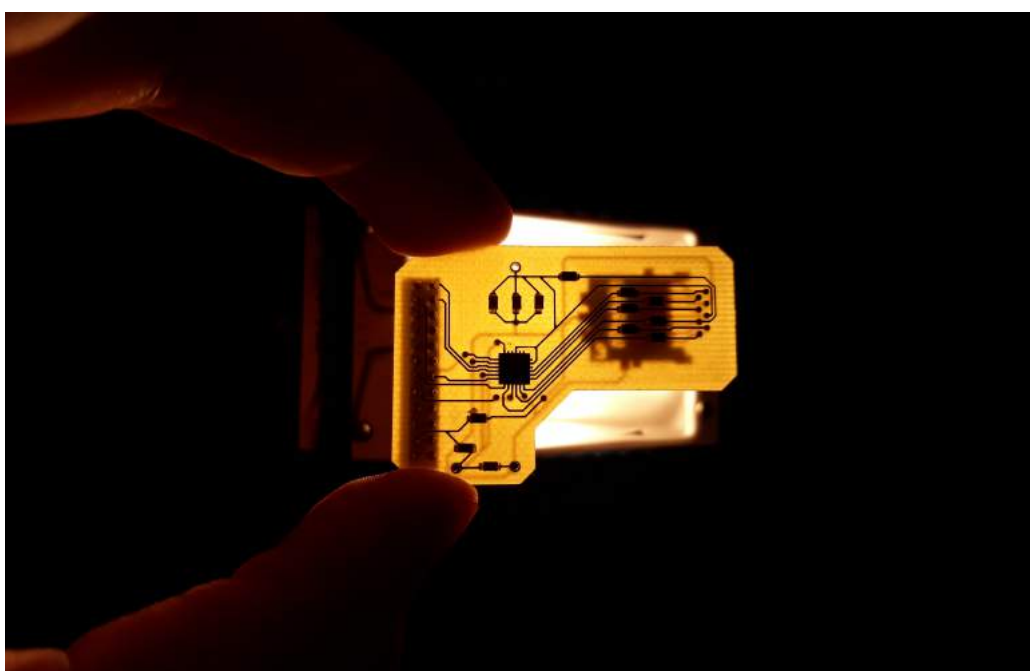


Figura 3.24: π MEX con in evidenza le connessioni e i componenti su entrambi gli strati della PCB.

In questa tesi è stato presentato il mio lavoro di sviluppo di una PCB, in Figura 3.24, capace di leggere memorie di tipo microSD. La scheda che ho ideato, progettato, disegnato e che è stata realizzata nei Laboratori di elettronica della sezione di Bologna dell'INFN, ha lo scopo di mettere a disposizione al ZYNQ SoC della scheda di acquisizione dati π LUP memoria di archiviazione aggiuntiva di tipo FLASH.

La necessità di una porta di espansione di memoria deriva dalla volontà di poter caricare, all'avvio della π LUP, il software e il firmware richiesto per le operazioni di test e sviluppo senza dover ricorrere alla memoria RAM presente, perché questa perde i dati contenuti al momento dello spegnimento della scheda.

La π MEX è stata disegnata utilizzando il programma KiCad, col quale sono stati definiti lo schematico, le impronte e il layout. Per il primo sono stati realizzati dei simboli ad hoc che rappresentano i componenti elettronici utilizzati e sono state tracciate le connessioni logiche tra essi; le seconde sono state anch'esse realizzate con un editor apposito facendo riferimento alle schede tecniche dei vari componenti; quindi si è cercato di disporre gli elementi facenti parte dello schematico in una configurazione tale da ridurre l'ingombro sulla π LUP e semplificare le connessioni tra il socket e il Voltage Level Translator.

Dal disegno si è passati alla realizzazione con l'impiego di una macchina fresatrice a punta intercambiabile e successivamente sono stati saldati sulla scheda i componenti richiesti dal progetto.

Lo sviluppo della π LUP si inserisce in un contesto più ampio, quello di aggiornamento dell'acceleratore LHC e dei suoi rivelatori. Attraverso gli upgrade di Phase-0, Phase-1 e Phase-2 il Collider sarà potenziato nell'energia dei fasci di particelle che vengono fatte scontrare, inoltre ne sarà aumentata la luminosità con un conseguente e sostanziale incremento del pile-up, ovvero del numero di urti inelastici p-p che avvengono ogni 25 ns dentro LHC.

L'upgrade Phase-2 (che avrà inizio nel 2024) darà origine ad HL-LHC, in questa fase l'intero Pixel Detector di ATLAS sarà aggiornato e l'Inner Detector attualmente presente sarà sostituito con il nuovo detector ITk, contenente i nuovi chip di front-end RD53A. Per mantenere elevata l'efficienza dell'esperimento ATLAS anche l'elettronica preposta all'acquisizione dati subirà un upgrade decisivo.

In questo senso sono in fase di sviluppo alcune nuove schede di acquisizione dati come la FELIX e la π LUP (realizzata sempre presso i Laboratori di elettronica di Bologna); la prima è capace di trasmettere i dati in arrivo dai sensori alla rete di server che si occuperà di formattarli e prepararli all'analisi, mentre la seconda, oltre a ricevere e trasmettere, è in grado anche di processare i dati ed impacchettarli opportunamente per l'elaborazione successiva. Tramite questa serie di aggiornamenti sarà possibile indagare sempre meglio e più a fondo la composizione dell'Universo, capendone i meccanismi che vi sono alla base, scoprendo nuovi fenomeni e cercando risposte a problemi attualmente insoluti come: la comprensione dell'origine dei parametri del Modello Standard, l'unificazione delle interazioni fondamentali della Natura, la coesistenza della relatività generale e della teoria quantistica e la definizione di materia ed energia oscura.

Appendice A

IBL-BOC e IBL-ROD

Il sistema in uso dopo l'installazione di IBL prevede la presenza di due schede elettroniche con compiti differenti: IBL BOC e IBL ROD[33][34].

Ogni coppia di schede è in grado di interfacciarsi e di gestire i dati provenienti da 16 moduli di IBL (corrispondenti a 32 chip di Front End) con una larghezza di banda totale di 5.12 Gb/s; questi sono trasmessi su 32 linee seriali da 160 Mb/s e, tramite connessione ottica, arrivano alla scheda BOC pronti per essere convertiti in segnali elettrici.

Giunti a questo punto le linee attraversano un demultiplexer per essere ricevute dalla scheda ROD, la quale si occupa di formattare i dati. Qui il percorso si biforca a seconda della necessità: in un caso i dati sono rimandati alle BOC per venire infine raccolti dal sistema TDAQ di ATLAS, nell'altro invece sono impiegati da una rete di server per creare istogrammi e calibrare i chip tramite una connessione diretta da BOC a FE-I4 sfruttata per la loro configurazione.

Le coppie di schede sono gestite da un VME crate: ossia una struttura fisica in cui alloggiavano diverse board alle quali è possibile accedere secondo un determinato protocollo. La temporizzazione dell'intero protocollo è gestita dal *Timing, trigger and control Interface Module* (TIM), che ha il compito di distribuire il segnale di clock ad ogni componente dell'elettronica off-detector e ricevere/propagare i trigger necessari.

A.1 IBL BOC

La scheda *Back Of Crate* (BOC), attualmente in uso, si occupa del controllo del detector e della gestione dei dati verso le schede ROD; oltretutto tra i suoi compiti vi è quello di distribuire il segnale di clock, ricevuto dal TIM ad una frequenza di 40 MHz, ai chip FE-I4. Il funzionamento della scheda è basato su 3 FPGA di tipo Xilinx Spartan-6 che sono suddivise in:

BCF BOC Control FPGA, composta da una sola FPGA, che è preposta al controllo della scheda e alla sua configurazione grazie all'utilizzo di memorie di tipo FLASH.

BMF BOC Main FPGA, le cui mansioni principali sono: la gestione di dati di configurazione da ROD a FE-I4, la deserializzazione dei dati raccolti dai chip e trasmessi alla ROD e l'indirizzamento delle connessioni ottiche al sistema TDAQ.

A.2 IBL ROD

La scheda *Read Out Driver* (ROD) è stata sviluppata per sostituire la vecchia scheda al silicio SiROD, ancora impiegata negli strati esterni a IBL fino al SCT compreso. I suoi compiti comprendono la propagazione del timing e dei segnali di trigger ai moduli di front end e la loro configurazione ma, soprattutto, in fase di elaborazione degli eventi, la produzione del ROD data frame che verrà spedito, passando dalla BOC, al TDAQ.

A.3 Pixel-ROD

L'intero apparato fin qui descritto necessita tuttavia di essere aggiornato per soddisfare gli standard di LHC dopo il Long Shutdown previsto nel 2024. Nello specifico si prevede un incremento di luminosità di circa un fattore 10, con il conseguente aumento della mole di dati che l'elettronica attuale non sarà capace di trattare. Verso questa direzione si è orientata la sezione di Bologna dell'INFN, grazie soprattutto all'esperienza conseguita nello sviluppo e nella gestione delle schede BOC e ROD: cominciando con largo anticipo a sviluppare il prototipo di una nuova scheda.

Una prima versione, denominata Pixel-ROD, racchiude in sé lo sforzo fatto per avere una grande versatilità (in grado di interfacciarsi anche con i layer L0, L1 ed L2 del Pixel Detector) e l'architettura master-slave già impiegata che è risultata efficace nelle schede IBL-ROD. A seguito della necessità di montare delle mezzanine, la geometria della scheda è stata rivisitata: dando così origine alla nuova scheda π LUP.

Elenco delle figure

1.1	Catena di accelerazione di LHC composta da numerosi anelli ed acceleratori lineari <i>Linac</i> : ad ogni step aumenta l'energia del fascio.	2
1.2	Rappresentazione tridimensionale dello schema sotterraneo di LHC in cui è visibile la disposizione dei quattro esperimenti principali.	2
1.3	Strati dell'esperimento ATLAS in cui sono visibili: lo spettrometro muonico, i calorimetri e l'Inner Detector (a) ed i super magneti capaci di generare il campo toroidale (b).	4
1.4	L'Inner Detector composto dai quattro layer interni detti barrel layers (Insertable B Layer, B-Layer, Layer-1, Layer-2), dai tracker e dagli end-cap.	5
1.5	Istantanea delle delicate fasi di inserimento di <i>Insertable Barrel Layer</i> , il nuovo strato di detector di ATLAS, attorno ad una nuova beam pipe che è stata opportunamente sagomata per permettere di alloggiare IBL dentro il Layer-0.	6
1.6	Nuovi sensori[15] inseriti con IBL a diversa tecnologia: planare (a sinistra) contenenti 160 x 336 pixel e 3D (a destra) da 80 x 336 pixel.	7
1.7	Linea temporale delle fasi di upgrade[16] di LHC e degli esperimenti ALICE, ATLAS, CMS ed LHCb nel periodo 2011 - 2038. In rosso, in basso, l'incremento previsto di luminosità delle varie fasi, mentre in rosso marcato in alto l'incremento di energia del fascio. Phase - 1 (LS1 più Run 2) e Phase - 2 (LS2 più Run 3) porteranno all'aggiornamento dell'acceleratore per dare origine ad <i>High Luminosity LHC</i> (HL-LHC).	8
2.1	Schema base di una FPGA con le unità programmabili e le connessioni.	15
2.2	Diagramma di un'unità logica standard contenente: le <i>Look Up Tables</i> (LUT), un <i>Full Adder</i> (FA) e un <i>flip flop di tipo D</i> (DFF).	16

2.3	Foto della scheda di acquisizione dati π LUP con i componenti principali in evidenza, a partire dalla FPGA Kintex e dal ZYNQ SoC in rosso, le connessioni FMC e PCIExpress in verde, i banchi di memoria in azzurro e il mezzanino con le connessioni ottiche in rosa.	18
3.1	Schematici del sistema di lettura di microSD della scheda di prototipazione XILINX ZYBO ottenuti dal reference manual, in cui è possibile leggere il nome associato alle linee di trasmissione dalla ZYNQ-7 (a), e dal documento contenente tutti gli schematici dettagliati grazie al quale si capisce il funzionamento del Voltage Level Translator (b).	22
3.2	Raffigurazione stilizzata dei pin di una memoria FLASH di tipo microSD.	23
3.3	Particolari degli schematici relativi alla lettura di schede SD con il ZYNQ SoC, nello specifico sono visibili il socket per SD (a) e il Voltage Level Translator (b).	25
3.4	Rappresentazione grafica del socket per microSD realizzata nell'editor di simboli di KiCad.	28
3.5	Impronta associata al lettore di microSD realizzata tramite l'editor dedicato in due (a) e tre (b) dimensioni.	28
3.6	Simbolo dello schematico associato al level shifter in cui è possibile vedere i 24 pin con le relative funzioni.	29
3.7	Impronta del Voltage Level Translator presente nelle librerie di KiCad visualizzata in due (a) e tre (b) dimensioni.	29
3.8	Raffigurazione dello schema delle vie (a) necessarie a connettersi all'header della π LUP (b).	30
3.9	Impronta relativa alle vie realizzate sulla PCB per la connessione tramite un header a 24 pin alla π LUP in due (a) e tre (b) dimensioni.	30
3.10	Schematici (a, d) ed impronte (b, c, e, f) dei resistori e i capacitori distribuiti sulla scheda plug-in. Sono stati scelti dei componenti di tipo SMD per occupare minor spazio possibile sulla π MEX la cui geometria deriva dalla necessità di non coprire alcuni specifici connettori presenti sulla π LUP.	31
3.11	Schematico completo della π MEX, a destra l'alloggio per la memoria, al centro il traslatore di tensioni e a sinistra le connessioni per l'header.	32
3.12	Rappresentazione dei componenti che sono stati posizionati e connessi tramite piste sulla π MEX. Sul lato destro si notano le otto vie che connettono i pin del socket della microSD, disposto sul lato inferiore della scheda, al Voltage Level Translator previsto invece sul lato superiore.	33

3.13	Impronte tridimensionali conclusive della π MEX. Sono ben visibili le tre vie più grandi disposte due ad un bordo e una a quello opposto a cui saranno saldati i cavi di alimentazione. Inoltre è stata prevista una via sul retro del Voltage Level Translator per poterlo connettere eventualmente a massa invece di mantenerlo flottante.	34
3.14	Strati in rame del lato superiore (in rosso) e inferiore (in verde) della π MEX. Si possono notare (d, a destra) le piazzole predisposte in corrispondenza delle sei linee di trasmissione tra microSD e Voltage Level Translator pensate per inserire all'occorrenza delle resistenze di terminazione serie al fine di evitare la riflessione dei segnali.	35
3.15	Particolari della testa della fresatrice al momento di cambiare la punta (a) e in azione durante la definizione delle piste di rame (b).	36
3.16	La π MEX al termine delle operazioni di scontornatura (a) e in seguito alla rimozione del rame in eccesso (b). La scheda è stata poi fresata lungo il bordo per rimuoverla dalla lamina.	37
3.17	Vista frontale dello strato superiore (a) ed inferiore (b) della PCB appena terminata la fase di fresatura, pronta per la saldatura dei componenti.	38
3.18	Connettore femmina-maschio da 2 x 12 pin con pitch di 2mm sia in ascissa che in ordinata da inserire sulla π LUP e da saldare sulla π MEX.	39
3.19	Socket MOLEX 5040771891 visto dal lato dello shield esterno (a) e dal lato dei contatti con la microSD (b).	39
3.20	Voltage level translator TXS02612RTWR usato per passare le due diverse tensioni di esercizio tra la π LUP e la microSD, visto dal lato superiore (a) ed inferiore (b) in cui è presente l'exposed pad che ha in questo caso la funzione di dissipatore di calore.	39
3.21	Vista frontale dello strato superiore (a) ed inferiore (b) della PCB dopo aver saldato tutti i componenti, il socket della microSD è stato posizionato sullo strato inferiore per ridurre il numero di sovrapposizioni delle linee di trasmissione.	40
3.22	π MEX completa con i cavi di ground (in nero), di 3.3 V (in verde) e di 1.8 V (in rosso).	40
3.23	π MEX collegata alla scheda madre[32], la connessione avviene tramite l'header da 24 pin J137 mentre le tensioni sono prelevate dai pin JZ10 (in alto a destra, cavo verde) e JZ21 (in basso a sinistra, cavi rosso e nero).	41
3.24	π MEX con in evidenza le connessioni e i componenti su entrambi gli strati della PCB.	43

Elenco delle tabelle

2.1	Comparazione di prestazioni e qualità di CPU, ASIC ed FPGA.	18
3.1	Corrispondenze tra il nome dei pin della microSD e la loro funzione specifica.	23
3.2	Nomi delle linee di trasmissione appartenenti al ZYNQ SoC secondo la dicitura standard PS_MIO.	24
3.3	Assegnazione sulla π LUP delle linee di trasmissione originarie della XILINX ZYBO.	26

Bibliografia

1. Evans, L. & Bryant, P. LHC Machine. *JINST* **3**, S08001 (2008).
2. Aad, G. *et al.* The ATLAS Experiment at the CERN Large Hadron Collider. *JINST* **3**, S08003 (2008).
3. *ATLAS muon spectrometer: Technical Design Report* <https://cds.cern.ch/record/331068> (CERN, Geneva, 1997).
4. Aleksa, M. C. *et al.* *ATLAS Liquid Argon Calorimeter Phase-I Upgrade Technical Design Report* rapp. tecn. CERN-LHCC-2013-017. ATLAS-TDR-022. Final version presented to December 2013 LHCC. (set. 2013). <https://cds.cern.ch/record/1602230>.
5. *ATLAS tile calorimeter: Technical Design Report* <https://cds.cern.ch/record/331062> (CERN, Geneva, 1996).
6. ATLAS inner detector: Technical design report. Vol. 1 (1997).
7. ATLAS inner detector: Technical design report. Vol. 2 (1997).
8. collaboration, T. A. T. *et al.* The ATLAS TRT Barrel Detector. *Journal of Instrumentation* **3**, P02014. <http://stacks.iop.org/1748-0221/3/i=02/a=P02014> (2008).
9. Aad, G., Abbott *et al.* Operation and performance of the ATLAS semiconductor tracker. Operation and performance of the ATLAS semiconductor tracker. *JINST* **9**. Comments: 60 pages plus author list (80 pages total), 33 figures, 10 tables, submitted to JINST. All figures are available at <http://atlas.web.cern.ch/Atlas/GROUPS/PHYSICS/PAPERS/IDET-2013-01/v2>: replaced unreadable labels in Fig. 2, P08009. 80 p. <https://cds.cern.ch/record/1698966> (apr. 2014).

10. Aad, G, Ackers, M *et al.* ATLAS pixel detector electronics and sensors. *Journal of Instrumentation* **3**, P07007 (2008).
11. Richardson, J. The ATLAS pixel front-end readout chips. *Nucl. Instrum. Meth.* **A473**, 157–162 (2001).
12. Peric, I. *et al.* The FEI3 readout chip for the ATLAS pixel detector. *Nucl. Instrum. Meth.* **A565**, 178–187 (2006).
13. Capeans, M *et al.* *ATLAS Insertable B-Layer Technical Design Report* rapp. tecn. CERN-LHCC-2010-013. ATLAS-TDR-19 (set. 2010). <http://cds.cern.ch/record/1291633>.
14. Albert, J *et al.* Prototype ATLAS IBL Modules using the FE-I4A Front-End Readout Chip. *JINST* **7**, P11010. arXiv: 1209.1906 [physics.ins-det] (2012).
15. Darbo, G. Experience on 3D Silicon Sensors for ATLAS IBL. *JINST* **10**, C05001. arXiv: 1411.6937 [physics.ins-det] (2015).
16. Rocca, P. L. & Riggi, F. The upgrade programme of the major experiments at the Large Hadron Collider. *Journal of Physics: Conference Series* **515**, 012012. <http://stacks.iop.org/1742-6596/515/i=1/a=012012> (2014).
17. Gabrielli, A. *et al.* From the Phase-0 DAQ upgrade of entire ATLAS Pixel Detector towards the Phase-2 electronics upgrade. *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*. ISSN: 0168-9002. <http://www.sciencedirect.com/science/article/pii/S0168900218309793> (2018).
18. Smart, B. ATLAS pixel detector design for the HL-LHC. *JINST* **12**, C02011 (2017).
19. Balunas, W. K. *ATLAS Trigger and Data Acquisition Upgrades for High Luminosity LHC* rapp. tecn. ATL-DAQ-PROC-2016-019 (CERN, Geneva, nov. 2016). <https://cds.cern.ch/record/2229176>.

20. ECFA High Luminosity LHC Experiments Workshop: Physics and Technology Developments Summary submitted to ECFA. 96th Plenary ECFA meeting. <https://cds.cern.ch/record/1983664> (gen. 2015).
21. Schmidt, B. The High-Luminosity upgrade of the LHC: Physics and Technology Challenges for the Accelerator and the Experiments. *J. Phys. Conf. Ser.* **706**, 022002 (2016).
22. *Zynq-7000 SoC Data Sheet* rapp. tecn. (XILINX, lug. 2018). https://www.xilinx.com/support/documentation/data_sheets/ds190-Zynq-7000-Overview.pdf.
23. *Kintex-7 FPGAs Data Sheet* rapp. tecn. (XILINX, ago. 2018). https://www.xilinx.com/support/documentation/data_sheets/ds182-Kintex_7_Data_Sheet.pdf.
24. *ZYBO™ FPGA Board Reference Manual* rapp. tecn. (DILIGENT, feb. 2017). https://reference.digilentinc.com/_media/reference/programmable-logic/zybo/zybo_rm.pdf.
25. *ZYBO™ FPGA Board Reference Manual* rapp. tecn. (DILIGENT, lug. 2015).
26. *microSD Standard* rapp. tecn. (SANDISK, mar. 2010). <https://www.alliedelec.com/m/d/04db416b291011446889dbd6129e2644.pdf>.
27. *ZC702 Evaluation Platform HW-Z7-ZC702* rapp. tecn. (XILINX, apr. 2012). https://forums.xilinx.com/xlnx/attachments/xlnx/XLNXBRD/19427/1/zc702_Schematic_xtp185_rev1_0.pdf.
28. Jean-Pierre Charras, F. T. *Manuale di Riferimento KiCad* rapp. tecn. (mag. 2015). <http://docs.kicad-pcb.org/stable/it/kicad.pdf>.
29. *MOLEX 5040771891 Memory Card Socket Data Sheet* rapp. tecn. (MOLEX, set. 2017). https://www.molex.com/webdocs/datasheets/pdf/en-us/5040771891_MEMORY_CARD_SOCKET.pdf.
30. *MOLEX 5040771891 microSD Connector* rapp. tecn. (MOLEX, apr. 2012). <https://datasheet.ciiva.com/6984/5040771891-sd-6984240.pdf>.

31. *TXS02612 SDIO Port Expander With Voltage-Level Translation* rapp. tecn. (TEXAS INSTRUMENTS, dic. 2008). <http://www.ti.com/lit/ds/symlink/txs02612.pdf>.
32. Pellegrini, G. *PixelROD ver. 2.0* rapp. tecn. (nov. 2017).
33. Giangiacomi, N. Readout board upgrade for the Pixel Detectors: reasons, status and results in ATLAS. *PoS EPS-HEP2017*, 790 (2018).
34. Balbi, G. *et al.* “The Read-Out Driver” ROD card for the Insertable B-layer (IBL) detector of the ATLAS experiment: commissioning and upgrade studies for the Pixel Layers 1 and 2. *Journal of Instrumentation* **9**, C01044 (gen. 2014).

Ringraziamenti

Grazie di cuore a tutta la mia Famiglia, e a chi può dire di farne parte, per avermi sempre sostenuto e guidato fino a qui.

Un Grazie sincero agli amici, che da compagni di corso sono diventati compagni di avventura e di vita.

Grazie infine al Prof. Alessandro Gabrielli, a Gabriele, a Nico e a Fabrizio per la loro disponibilità e infinita pazienza, senza le quali non sarebbe stato possibile realizzare questa tesi.