

ALMA MATER STUDIORUM · UNIVERSITÀ DI BOLOGNA

Scuola di Scienze
Dipartimento di Fisica e Astronomia
Corso di Laurea in Fisica

Test hardware di schede ROD per la catena DAQ
dell'esperimento ATLAS Pixel Detector

Relatore:

Dott. Alessandro Gabrielli

Presentata da:

Riccardo Astore

Correlatore:

Dott. Gabriele Balbi

Anno Accademico 2016/2017

Sommario

LHC, l'acceleratore di particelle del CERN di Ginevra, permette studi molto rilevanti nell'ambito della fisica subnucleare. L'importanza che ricopre in questo ambito è enorme ed è per questo che si devono utilizzare tecnologie all'avanguardia nella sua costruzione. È inoltre fondamentale disporre di un sistema di acquisizione dati più moderno ed efficiente possibile, necessario per gestire tutti i vari segnali elettrici derivanti dalla conversione di un evento fisico, al fine di renderne misurabili e quantificabili le grandezze di interesse. In questa tesi vengono eseguiti i test hardware di funzionalità delle schede ROD (Read-Out Driver) destinate al Layer 1 dell'esperimento Pixel Detector di ATLAS, prima che queste vengano spedite nei laboratori del CERN. Le schede hanno il compito di gestire i segnali in arrivo dal Pixel Detector, per poi inviarli ai computer per la successiva elaborazione. Un sistema simile era già implementato e funzionante (SiROD), ma il degrado dei chip unito ai continui aumenti di luminosità di LHC ha reso necessario lo sviluppo di nuove schede che sopportassero una larghezza di banda maggiore, dovuta all'aumento dei dati da gestire. Le schede ROD qui testate sono le stesse implementate in IBL e nel Layer 2 di Pixel Detector.

Indice

Introduzione

1 LHC

- 1.1 ATLAS
- 1.2 Inner Detector
 - 1.2.1 Transition Radiation Tracker
 - 1.2.2 Semi-Conductor Tracker
 - 1.2.3 Pixel Detector
- 1.3 IBL

2 Elettronica del sistema DAQ di IBL

- 2.1 BOC
- 2.2 ROD
 - 2.2.1 Hardware

3 Test

- 3.1 Test preliminari
- 3.2 Programmazione dei componenti della scheda
 - 3.2.1 Lattice PLL
 - 3.2.2 Catena JTAG corta
 - 3.2.3 Catena JTAG lunga
- 3.3 Test specifici
 - 3.3.1 Memoria FLASH
 - 3.3.2 Connessione BOC-ROD
 - 3.3.3 Memorie SSRAM

4 Risultato dei test

Conclusioni

Introduzione

Il lavoro presentato in questa tesi è riferito all'esecuzione di test hardware e software su schede VME, dette ROD (Read-Out Driver), destinate al Layer 1 del Pixel Detector nell'ambito dell'esperimento ATLAS del CERN. Il Layer 1 è il secondo strato più lontano dal beam-pipe.

In seguito all'incremento di luminosità si sono verificati due inconvenienti: l'efficienza dei rivelatori ha iniziato a decadere, motivo per cui è stato aggiunto IBL (Insertable B-Layer), tutt'ora lo strato più interno del Pixel Detector; la velocità del flusso dati è incrementata notevolmente e si è reso necessario migliorare la catena di acquisizione DAQ prima del Layer 2, poi del Layer 1 del Pixel Detector.

Dopo una panoramica generale degli apparati principali dell'esperimento, questa tesi mira a descrivere in dettaglio i test realizzati sulle schede durante l'attività di laboratorio. I test comprendono sia semplici operazioni preliminari di base (come per esempio il controllo visivo dell'orientamento dei condensatori sulla scheda, effettuato confrontando la corretta polarità con un'altra scheda già precedentemente testata e funzionante), sia verifiche hardware e software, che verranno descritte più avanti.

La mia attività di laboratorio è stata notevolmente facilitata dai test effettuati sulle ROD (identiche dal punto di vista dell'hardware con quelle da me testate) che sono entrate a far parte della catena DAQ del Layer 2 di Pixel Detector.

Concludendo si riportano i problemi riscontrati e le soluzioni adottate durante la fase dei test.

Capitolo 1

LHC

LHC (Large Hadron Collider) è il più grande e più potente acceleratore di adroni mai costruito, collocato nel tunnel che ha ospitato il LEP (Large Electron-Positron collider) presente a Ginevra, al confine franco-svizzero e gestito dal Centro Europa per la Ricerca Nucleare (CERN).

Collocato ad una profondità media di circa 175 m, è formato da un anello di 27 km di lunghezza dove due fasci di particelle ad alta energia (massimo 14 TeV) viaggiano quasi alla velocità della luce prima che vengano fatti collidere.

Migliaia di magneti superconduttori di differente tipo e grandezza sono usati per dirigere il fascio lungo l'anello. Tra questi ci sono 1232 dipoli magnetici di lunghezza 15 m, che curvano il fascio, e 392 quadripoli magnetici di lunghezza 5-7 m ciascuno, che invece lo focalizzano lungo il percorso. Vengono raffreddati da elio superfluido che li mantiene ad una temperatura di 1.9 K, arrivando a produrre un campo magnetico massimo di 8.3 T.

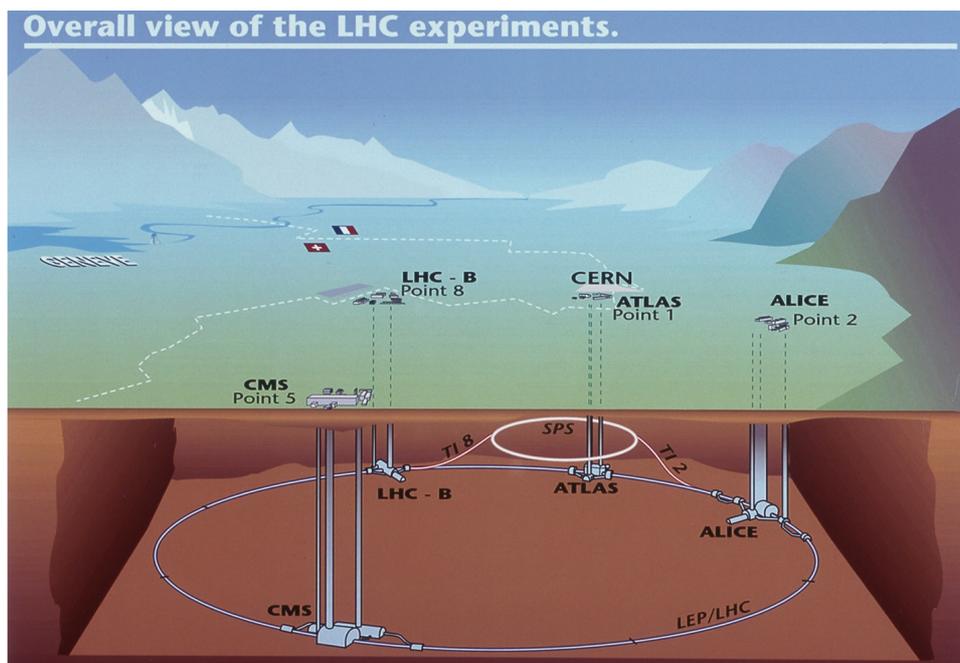


Figura 1.1: Panoramica di LHC e relativi esperimenti

I fasci di particelle non sono immessi direttamente nell'anello principale, ma vengono portati all'energia desiderata tramite altri acceleratori e in diverse fasi: tramite l'acceleratore lineare LINAC le particelle vengono portate ad un'energia di 50 MeV; queste passano poi attraverso tre sincrotroni, che portano il fascio ad un'energia di 140 GeV, alla quale può essere immesso nell'anello principale. I fasci vengono fatti collidere in quattro punti lungo all'acceleratore, corrispondenti alle posizioni dei quattro rivelatori di particelle: ATLAS, CMS, ALICE E LHC-b.

1.1 ATLAS

Lungo l'anello dell'acceleratore si trovano diversi rivelatori di particelle. Uno di questi è ATLAS (A Thoroidal LHC ApparatuS), lungo 46 m con un diametro di 25 m e 7000 t di peso. Progettato per osservare collisioni entro tutto il range energetico di LHC, anch'esso, come i detector ALICE e CMS, è costruito con simmetria cilindrica, come mostrato nella figura sottostante.

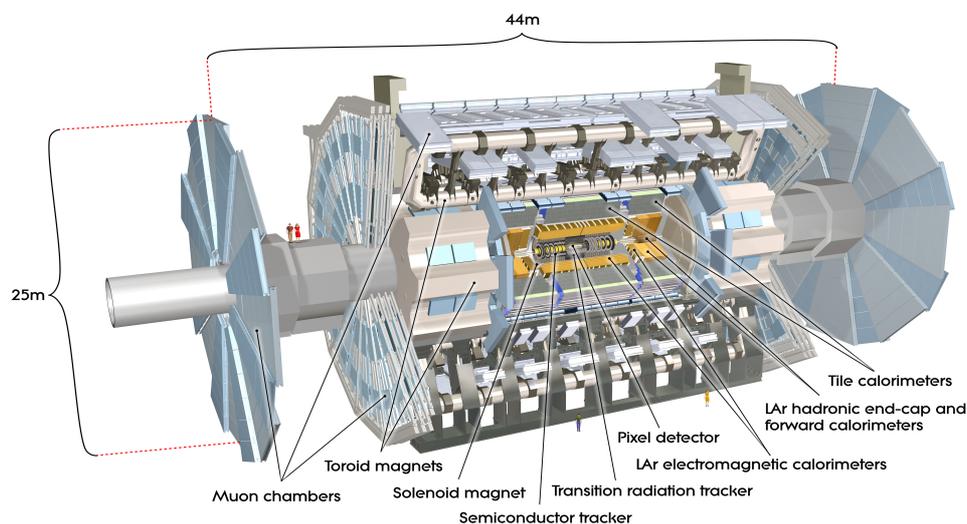


Figura 1.2: Rivelatore ATLAS

Il sistema di magneti di ATLAS curva le particelle intorno ai vari strati del rivelatore, rendendo più facile contenere il percorso delle particelle. È costituito principalmente da due tipi di magneti differenti per geometria: una solenoidale e l'altra toroidale. La prima consiste di un grande solenoide di 5.3 m di lunghezza e 2.4 m di diametro, formato da 9 km di fili superconduttori che garantiscono un campo magnetico di 2 T. La seconda ha invece due diverse componenti: un Barrel Toroid (Figura 1.3) e due End Cap Toroid (Figura 1.4). Entrambi presentano la medesima struttura: 8 bobine a semiconduttore inclinate di 45° l'una rispetto all'altra, operanti alla temperatura di circa 4 K, fanno circolare una corrente di 20 kA producendo un campo magnetico di circa 4 T. Il Barrel

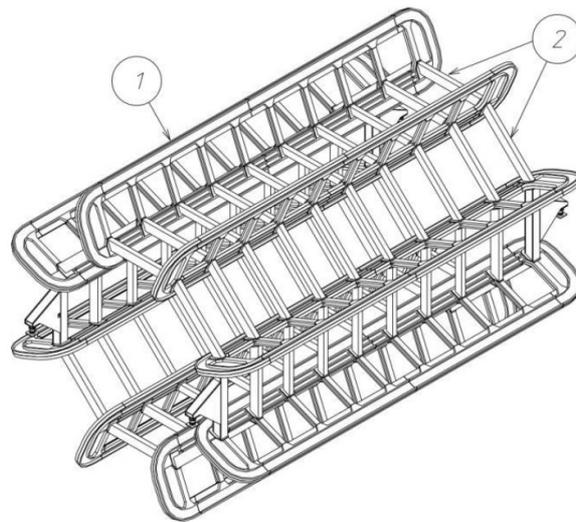


Figura 1.3: Barrel Toroid: vengono indicate le bobine (1) e le strutture di supporto (2)

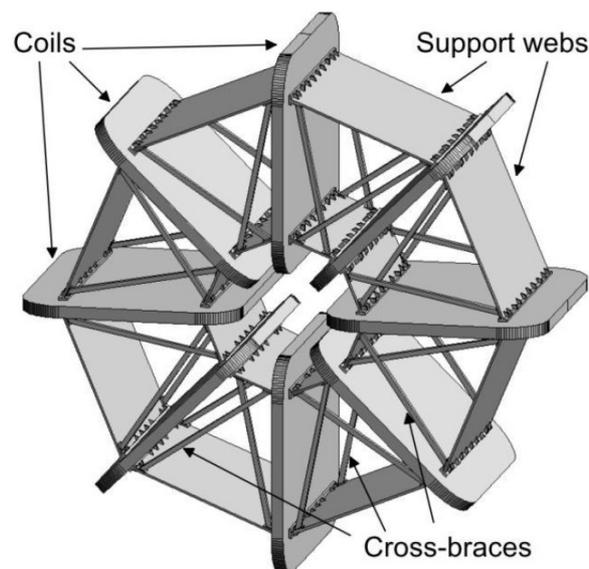


Figura 1.4: End Cap Toroid: bobine e strutture di mantenimento

Toroid si sviluppa intorno alla beampipe per 25.3 m di lunghezza, con un'estensione radiale che va da 9.4 a 20.1 m. Gli End Cap Toroid invece hanno una lunghezza di 5 m ed un'estensione radiale che va da 1.65 a 10.7 m.

Le misure di momento, le ricostruzioni dei vertici e delle tracce delle particelle sono ottenute con una combinazione di pixel a semiconduttore ad alta risoluzione e rivelatori a strip per il tracciamento nella parte più interna del volume, mentre nella parte esterna sono presenti sottili tubi di rivelatori. Questo risulta essere un buon compromesso fra costo dell'apparato e precisione nella misurazione, in quanto un singolo strato di rivelatori a pixel è molto più costoso di uno a tubi sottili.

Un sistema di calorimetri misura l'energia che una particella perde quando passa attraverso il detector. Questi funzionano tramite un assorbitore che trasforma l'energia incidente in un getto di particelle, che sono poi rivelate dagli elementi sensibili del calorimetro stesso.

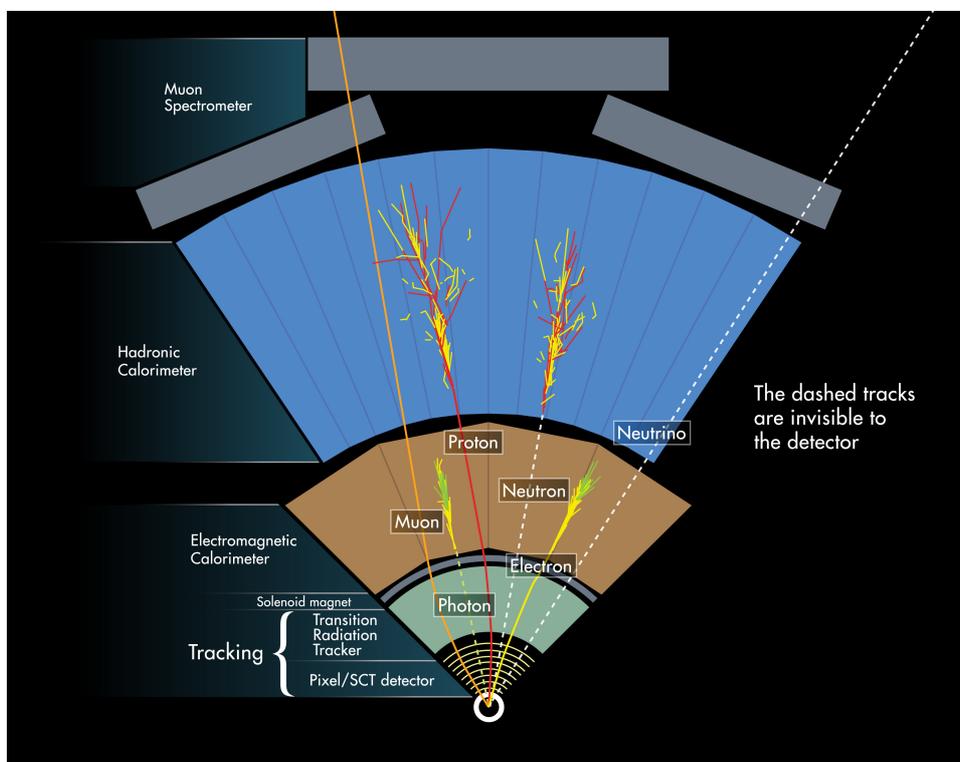


Figura 1.5: I diversi strati del rivelatore

Lo spettrometro di muoni, che rappresenta la parte più esterna del rivelatore e definisce quindi le dimensioni generali di ATLAS, misura con precisione il momento di queste particelle, le uniche che non vengono bloccate dal calorimetro e devono essere ancora rivelate.

1.2 Il rivelatore interno

Il rivelatore interno (Inner Detector, Figura 1.6 e 1.7) è la prima parte di ATLAS che rileva i prodotti di decadimento della collisione, così deve essere compatto, resistente e altamente sensibile. È composto da quattro sistemi di sensori immersi in un campo magnetico parallelo all'asse del fascio. Il rivelatore interno misura la direzione, il momento e la carica delle particelle elettricamente cariche prodotte in ogni collisione protone-protone.

1.2.1 Transition Radiation Tracker

Il primo rivelatore partendo dall'esterno è denominato TRT (Transition Radiation Tracker) ed è uno strato di tubi sottili che costituiscono la parte più esterna del rivelatore interno. Viene utilizzato per rivelare la radiazione di transizione, una forma di radiazione elettromagnetica emessa ogni volta che una particella carica passa attraverso un mezzo non omogeneo, come il confine tra due materiali diversi.

1.2.2 Semi Conductor Tracker

Il secondo detector, denominato SCT (Semi Conductor Tracker) è uno strato costruito con tecnologia simile a quella del Pixel Detector, formato cioè da strisce di rivelatori, ma con tracciatori al silicio meno costosi. La scelta è dovuta al fatto che questi rivelatori coprono un'area 30 volte maggiore di quella del Pixel Detector, data la presenza di 4 strati a simmetria cilindrica e la maggior distanza dalla beam-pipe, unitamente ai 9 End Cap per lato.

1.2.3 Pixel Detector

Il terzo rivelatore è il Pixel Detector, la cui costruzione ha richiesto l'utilizzo delle tecnologie più avanzate in termini di risoluzione e resistenza alla radiazione.

Il detector è diviso in tre strati, chiamati Layer B0, Layer 1 e 2, ognuno dei quali è formato da diverse strutture meccaniche che ospitano i rivelatori, dette stave.

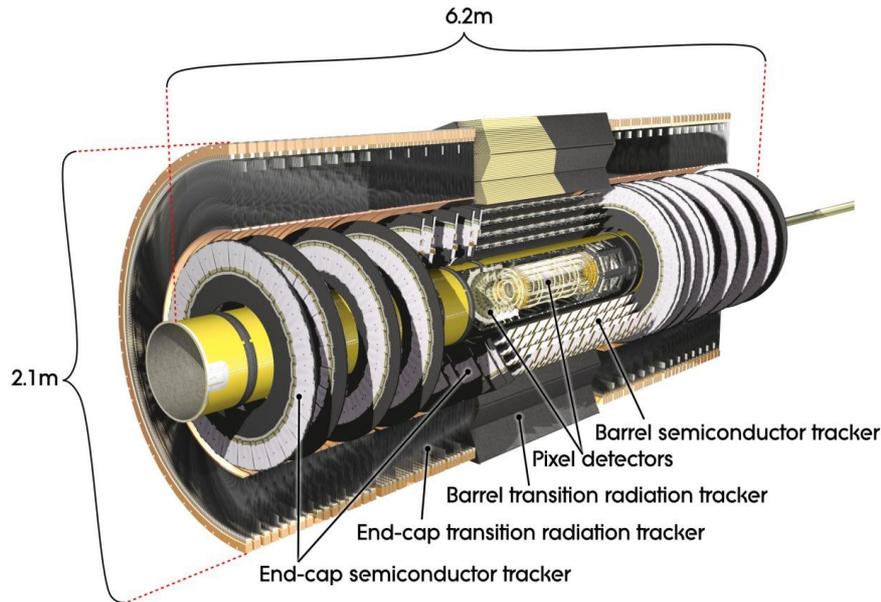


Figura 1.6: Inner Detector

Su ciascuna stave sono presenti 13 moduli. Le componenti di questi moduli (tra cui i chip di front-end FE-I3, responsabili della lettura del segnale di carica del pixel) contribuiscono, al verificarsi di un evento, alla raccolta dei dati e al loro invio alle schede ROD (ReadOut Drivers).

Anche il Pixel Detector ha simmetria cilindrica e possiede 3 End Cap (dischi rivelatori) per lato.

1.2.4 IBL

IBL (Insertable Barrell Layer) è il nuovo quarto strato di rivelatori a pixel che è stato inserito con una nuova beam-pipe all'interno del B-Layer. Le ragioni che hanno portato a questo sviluppo sono le seguenti:

- la grande mortalità dei pixel del layer interno, che andrà aumentando nel corso degli esperimenti a causa dell'esposizione alla radiazione. Essa è causa di una seria perdita di efficacia del sistema, che viene completamente ripristinata da IBL anche in caso di malfunzionamento totale del B-Layer.
- l'insufficienza della banda supportata dal B-Layer per far fronte all'incremento di dati, dovuto all'aumentata luminosità ottenuta con gli sviluppi del rivelatore.

- la precisione nel tracciamento è notevolmente migliorata grazie al fatto che si hanno pixel più vicini al punto di interazione, che forniscono così una sensibilità maggiore.

Questa maggiore vicinanza alla beam-pipe costringe a rispettare alcuni nuovi vincoli che non erano necessari negli altri layer: l'elettronica deve essere molto più resistente alla radiazione e l'area sensibile del chip deve essere maggiore del 70% della superficie totale disponibile. Per raggiungere tale scopo si è reso necessario l'aggiornamento del chip FE-I3 ad una nuova versione (FE-I4), la quale è caratterizzata da un'area sensibile del 90%.

Tuttavia la presenza di un ulteriore rivelatore porta necessariamente ad una maggiore interazione delle particelle con il materiale di cui è costituito e le strutture di supporto. Si è tenuto quindi conto di questo fattore e si è provveduto, nel caso di IBL, cercando di minimizzare lo spessore dei sensori, dell'elettronica e di tutto l'apparato di supporto.

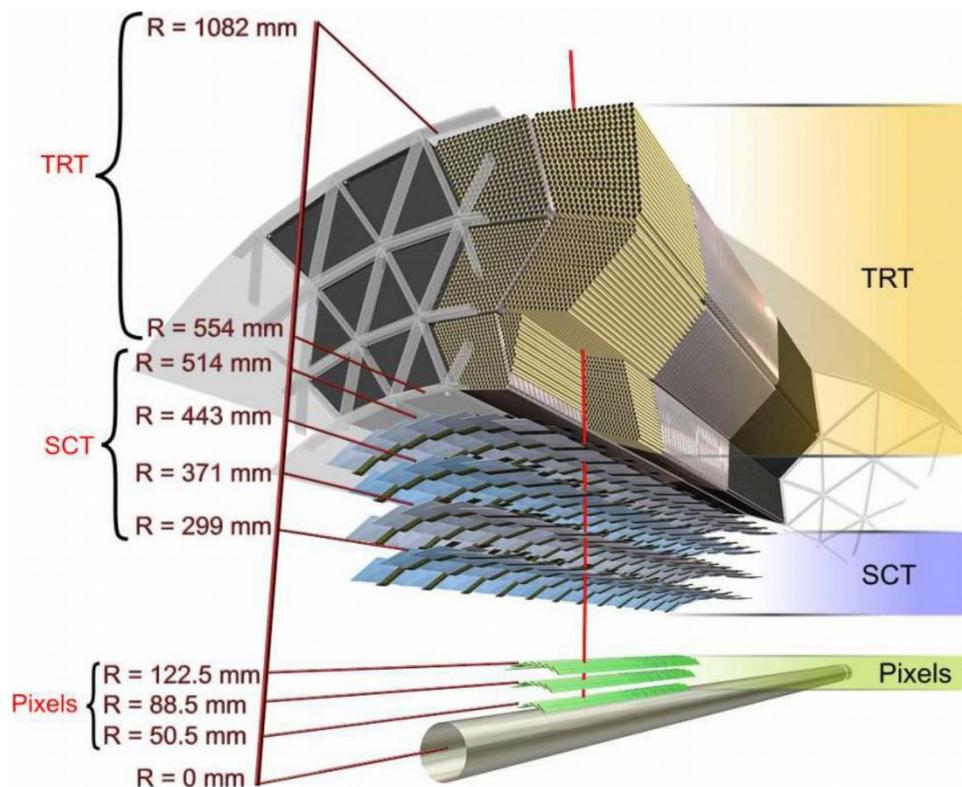


Figura 1.7: Visualizzazione a layer dell'Inner Detector

Capitolo 2

Elettronica del sistema DAQ di Pixel Detector

Il sistema di acquisizione dati di un esperimento come ATLAS meriterebbe un'ampia descrizione che però non è nelle intenzioni di questa tesi. È comunque necessario introdurre il sistema DAQ che ha costituito l'apparato sperimentale preso in analisi durante il lavoro che viene qui descritto. La Figura 2.1 mostra schematicamente il sistema di acquisizione dati utilizzato nel corso delle prove.

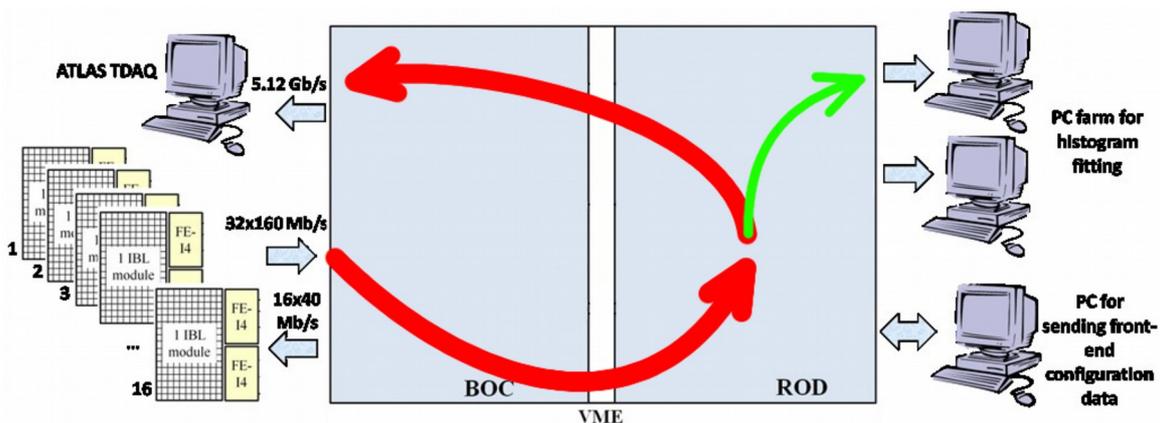


Figura 2.1: Visualizzazione completa del layout del sistema di acquisizione dati. In rosso il normale percorso dei dati, in verde quello relativo agli istogrammi.

La configurazione hardware è implementata sia al CERN che a Bologna, dove mancano però i collegamenti ottici per motivi legati ai costi. In ogni caso la precisione dei test non è inficiata da questa differenza.

Il percorso dei dati lungo la linea di acquisizione è relativamente semplice. Dai 32 chip FE-13 partono 32 linee seriali a 160 Mb/s verso la scheda BOC (Back Of Crate) tramite collegamento ottico; qui il segnale viene deserializzato su un otto bus da 12 bit ciascuno e procede verso le ROD dove ha inizio una prima formattazione dei dati, che vengono poi spediti ai computer. Su questa

scheda i dati possono seguire due strade possibili: una li vede raggiungere nuovamente la BOC, dove sono convertiti e mandati ai computer tramite collegamenti ottici come visto sopra; l'altra prevede che i dati vengano raccolti e inviati direttamente ai computer senza passare per la BOC, al fine di poter realizzare una calibrazione del sistema eventualmente coadiuvata da istogrammi.

La catena DAQ conta sul supporto di altri elementi:

- una scheda con interfaccia VME, denominata TIM (TTC Interface Module), che fa parte della catena che gestisce il timing dell'intero esperimento ATLAS e che occupa uno slot nello stesso crate dove alloggiano le ROD. I principali compiti della TIM sono:
 - propagare il clock a tutto il crate VME, ossia tutte le coppie BOC-ROD;
 - ricevere e propagare i segnali di trigger;
 - inviare le precedenti informazioni anche alla ROD.

L'interfaccia tra la TIM e la ROD è già interamente sviluppata.

- una scheda detta SBC (Single Board Computer), che di fatto è un computer ad interfaccia VME. Ha il compito di controllare tutte le operazioni VME sulla ROD, può programmarne alcune sue componenti e monitorarne la temperatura.

2.1 BOC

Sulla BOC sono presenti tre Spartan6, FPGA (Field Programmable Gate Array) responsabili del controllo della scheda, che processano i dati da e per il detector: una di queste (BCF, BOC Control FPGA) si occupa dell'Ethernet e della comunicazione con gli altri dispositivi; le altre due (BMF, BOC Main FPGA) prelevano il segnale dai collegamenti seriali con i chip FE-I3 e lo spediscono alla ROD su otto bus da 12 bit.

La BOC ha quindi il compito di raccogliere i dati, impacchettarli e mandarli alla ROD. Inoltre distribuisce il clock globale a 40 MHz al rivelatore e alla ROD stessa.

I dati possono seguire anche il percorso inverso, passando sempre attraverso le due BMF che codificano i dati di configurazione provenienti dalla ROD e li spediscono ai Front-End. Tale flusso può anche essere generato dalla BOC stessa per fini di controllo.

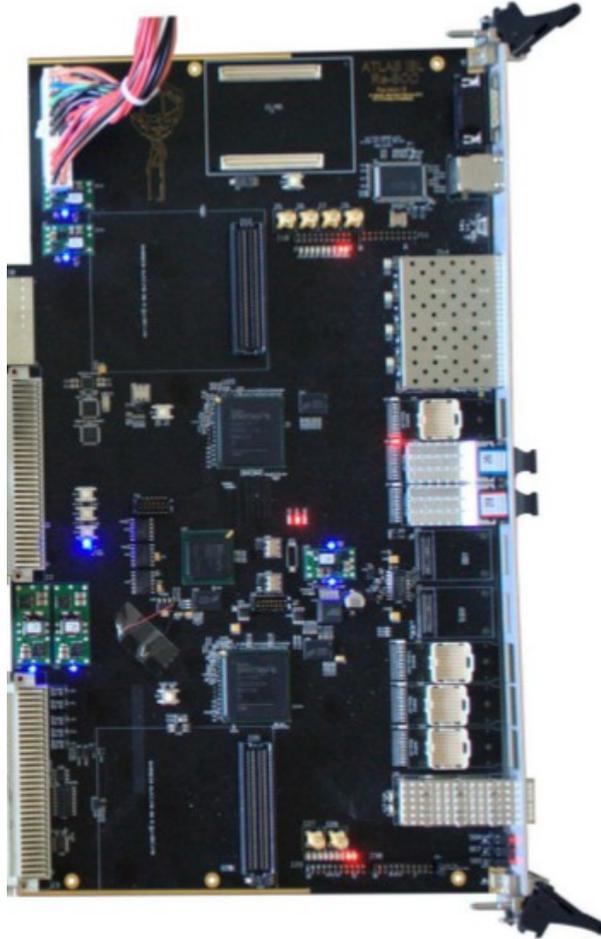


Figura 2.2: La scheda BOC

2.2 ROD

La ROD è la scheda che interfaccia i componenti di acquisizione dati presenti all'interno del rivelatore con la catena DAQ standard di ATLAS. Nello specifico questa scheda ha i seguenti compiti:

- la propagazione dei segnali di trigger ai front end chip;
- l'invio delle configurazioni appropriate ai chip FE-I3 connessi;
- la ricezione dei frammenti di un evento dai 32 FE-I3 e la riduzione in un uno singolo, da rispedire alla BOC.

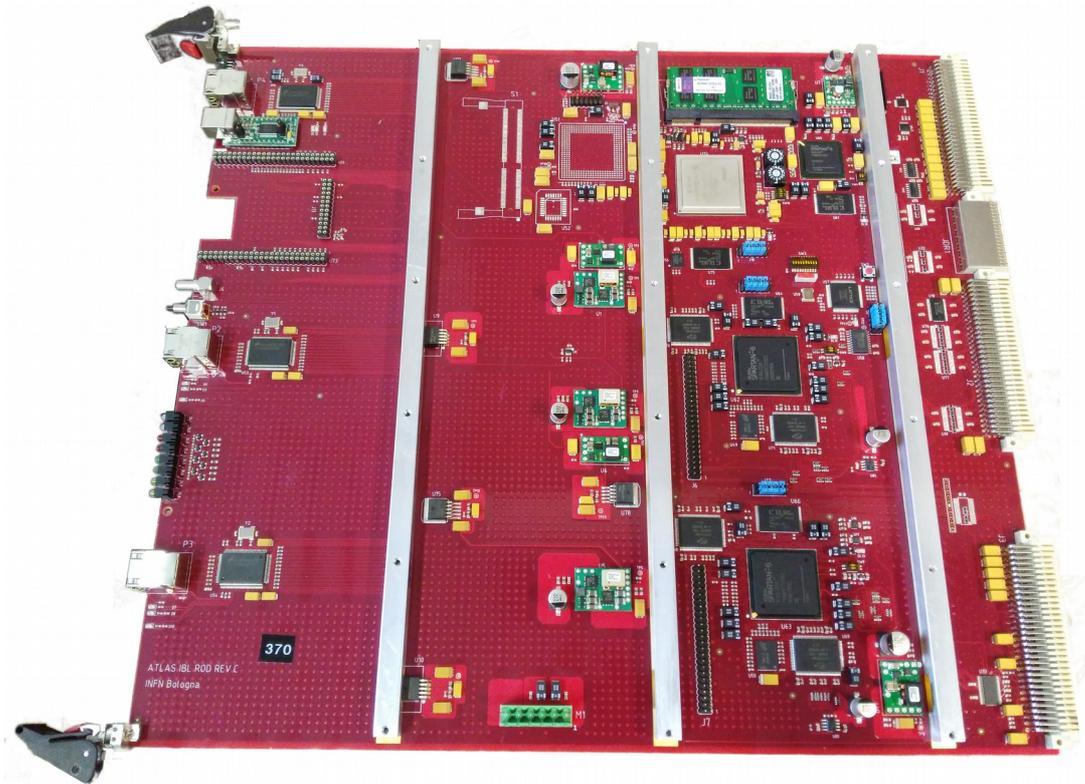


Figura 2.3: La scheda ROD

2.2.1 Hardware

Sulla scheda è presente la seguente componentistica:

- una SDRAM DDR da 32 MB
- una memoria FLASH da 64 Mb
- 3 tipi diversi di FPGA:

- 1 Xilinx Spartan6 XC6SLX45-FGG484: è il nuovo dispositivo PRM (Program Reset Manager), che eredita dalla vecchia PRM il compito di interfaccia con il bus VME, oltre che le operazioni di reset e programmazione della scheda.

- 1 Xilinx Virtex5 XC6VFX70T-FF1136: è la nuova FPGA che funge da controller della ROD e al cui interno è presente un processore PowerPC.

- 2 Xilinx Spartan6 XC6SLX150-FGG900: implementano l'elaborazione dei dati all'interno della ROD. Ad ognuna di esse sono connessi due chip di RAM statica e uno di RAM dinamica DDR2: quella statica è utilizzata per la sua velocità di trasferimento come cache per il passaggio dei dati alla DDR2 che, essendo dinamica, necessita di intervalli di refresh durante i quali la scrittura non è abilitata.

- una SODDIM DDR2 da 2 GB
- memorie PROM che immagazzinano i dati di programmazione delle FPGA
- 3 interfacce Gigabit Ethernet

Sul pannello frontale sono presenti anche:

- 1 porta USB
- 1 connettore JTAG per la programmazione delle FPGA
- 1 pulsante di reset
- 8 LED di stato
- 3 porte Gigabit Ethernet

Alimentazione

La scheda necessita di due diversi valori di tensione (3.3 e 5 V) in alimentazione dato che deve gestire diversi standard per tutti i componenti della scheda e per le varie interfacce (vedi Figura 2.4).

Distribuzione del clock

La scheda presenta un apposito Dip Switch che imposta la sorgente dalla quale deve essere prelevato il segnale di clock. Questo può essere generato internamente alla scheda, quando lavora in

maniera autonoma, oppure provenire dalla BOC. Esiste anche una configurazione nella quale il segnale di clock proviene dalla TIM, permettendo così che i clock all'interno del crate siano tutti in fase.

JTAG

Il JTAG è lo standard per il controllo e la programmazione delle FPGA. Sulla scheda sono presenti due catene: una è quella utilizzata per programmare la PRM e la sua EEPROM (Electrically Erasable Programmable Read-Only Memory), l'altra invece (visibile dopo aver posizionato tutti i jumper sulla scheda) composta da:

- XCF32P (Spartan 6A PROM)
- XCF08P (Spartan 6A PROM)
- XC6SLX150 (Spartan 6A FPGA)
- XCF32P (Spartan 6B PROM)
- XCF08P (Spartan 6B PROM)
- XC6SLX150 (Spartan 6B FPGA)
- XCF33P (Virtex 5 PROM)
- XC5VFX70T (Virtex 5 FPGA)

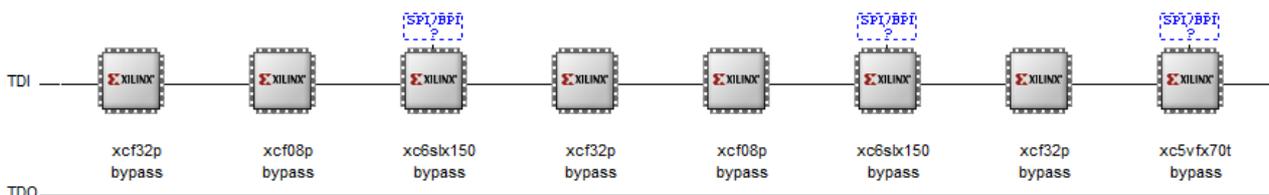


Figura 2.4: La catena JTAG lunga visualizzata dal software Impact

Virtex 5

Questa è l'FPGA Master della scheda ROD e si deve interfacciare con i Front-End chip, i trigger e le informazioni ad essi correlate. Questi compiti possono essere svolti dal PPC o da altri componenti interni alla FPGA. Ciò permette di usare la scheda ROD fuori dal crate, oltre che per testare il percorso dei dati nel caso i trigger giungessero via Ethernet e non dalla TIM.

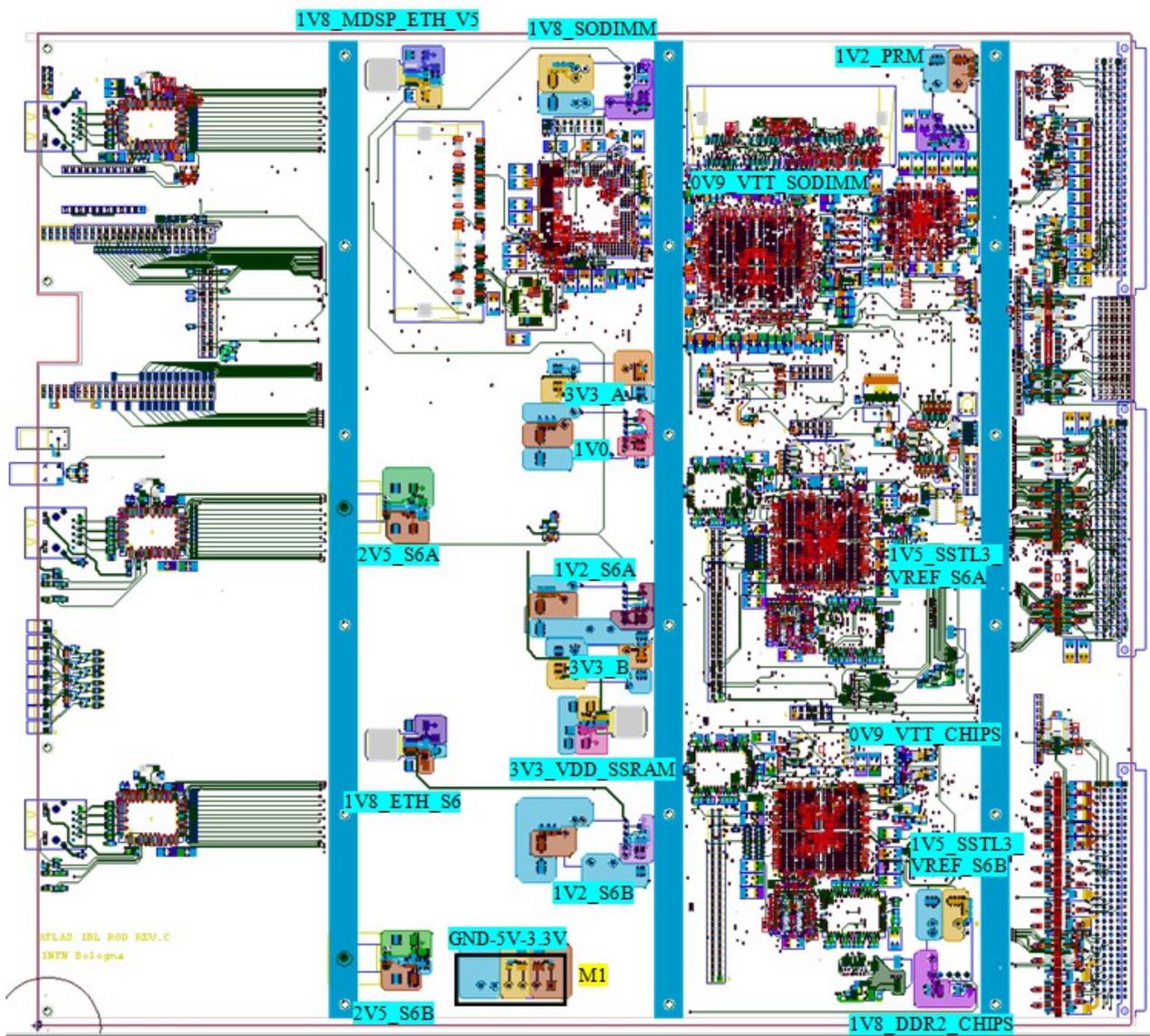


Figura 2.4: Distribuzione dell'alimentazione sulla scheda

Spartan 6

Le Spartan sono FPGA più economiche utilizzate per gestire il passaggio dei dati durante il loro prelievo. Raccolgono inoltre i dati in istogrammi, che vengono poi memorizzati sulle SSRAM e mandati al server.

PRM

L'altra Spartan 6 presente sulla scheda funge da interfaccia VME.

Collegamento BOC-ROD

Sono presenti 96 fili (8 bus da 12 bit) di collegamento tra le schede BOC e le rispettive ROD, i quali gestiscono i dati provenienti dai Front-End chip. L'utilizzo dei 12 bit per ogni bus è il seguente:

- Write Enable: 1 bit attivo alto che attesta la validità dei dati correnti
- Controllo: 1 bit attivo alto che etichetta i dati entranti come parola di controllo
- Indirizzo: 2 bit, rappresentanti il canale che ha generato i dati correnti
- Dati: 8 bit, costituenti parte dell'output dei chip FE-I3.

VME

Versa Module Eurocard è il protocollo standard seguito che determina i bus e le dimensioni delle schede. Ogni bus richiede un controller, ruolo ricoperto dall'SBC. Questo sistema era inizialmente usato per scaricare istogrammi, mentre ora è utilizzato solo per fini di aggiornamento e monitoraggio.

Ethernet

Tranne la PRM, ogni FPGA ha il suo connettore Ethernet corrispondente, accessibile dal pannello frontale della scheda. Inoltre il collegamento Ethernet della Virtex5 può essere usato per accedere a tutti i registri dei processori delle FPGA.

Capitolo 3

Test

In questo capitolo viene spiegata in dettaglio la procedura dei test effettuati sulle schede ROD.

3.1 Test preliminari

Prima di fornire l'alimentazione necessaria al funzionamento della scheda, si procede controllando la corretta polarità di tutti i condensatori presenti, utilizzando un'altra scheda ROD già precedentemente testata e funzionante per verificarne la correttezza. È bene anche far attenzione ad individuare eventuali cortocircuiti dovuti a macchie di stagno sulle piste della scheda.

Dal momento che le schede arrivano in laboratorio subito dopo la loro produzione, è stato necessario procedere al montaggio delle barre di supporto, per una migliore stabilità meccanica della scheda unita a motivi di dissipazione, e di due ganci, necessari per garantire il fissaggio della scheda una volta inserita nel crate. Le schede vengono anche numerate, in modo da avere un riferimento per i test già effettuati, comprensivo del loro esito.

Termocamera

Le schede vengono alimentate con una quantità di corrente limitata (1A), inferiore a quella di utilizzo, e vengono riprese tramite una termocamera, per individuare eventuali punti caldi anomali sulla scheda (vedi Figura 3.1).

Ultimato questo controllo, si procede montando i dissipatori sulle varie FPGA e sulle interfacce Gigabit Ethernet, le componenti più soggette a riscaldamento della scheda.

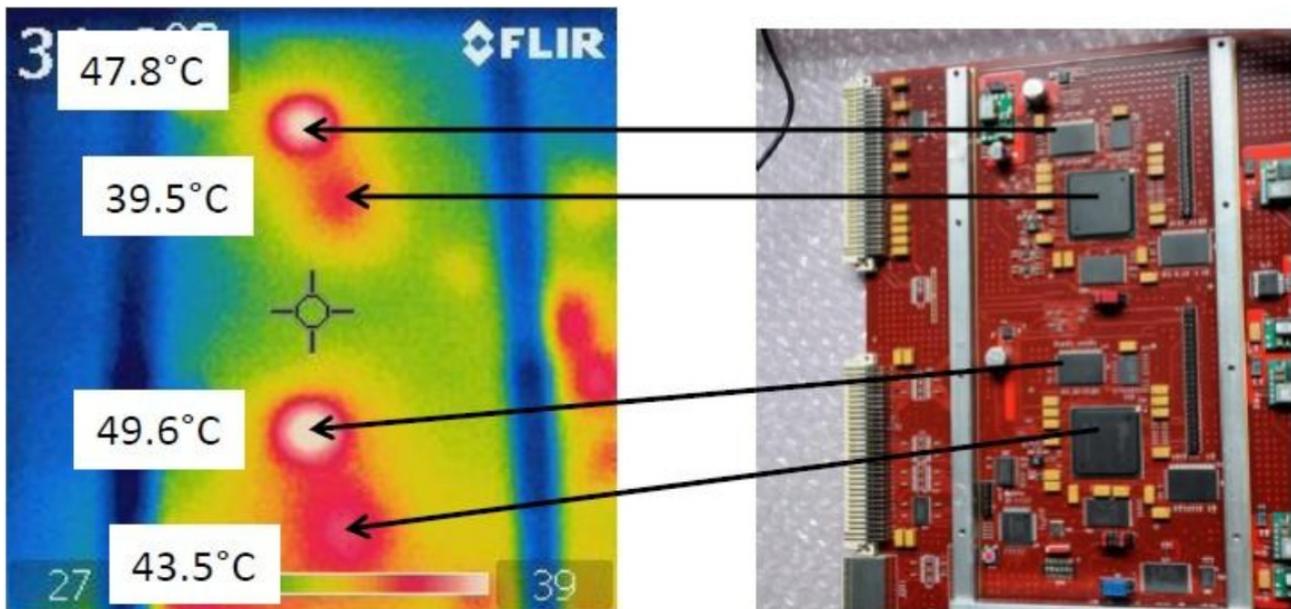


Figura 3.1: Un'immagine della scheda ROD scattata con la termocamera

Test Point

Tramite multimetro digitale, si procede alla misurazione dei valori di tensione di tutti i test point presenti sulla scheda, per confrontarli poi con i valori di riferimento di una scheda perfettamente funzionante.

3.2 Programmazione dei componenti della scheda

Per la verifica del corretto funzionamento dei singoli componenti della scheda si deve procedere prima alla loro programmazione. Questa riguarda il Lattice PLL (Phase Locked Loop), il circuito integrato che gestisce il clock, la PRM e le due slave (le Spartan 6).

3.2.1 Lattice PLL

Il Lattice PLL è responsabile del segnale di clock sulla scheda. Il clock può provenire dalla BOC oppure essere generato internamente. Il secondo caso si ha quando il pin 6 dell'apposito Dip Switch (Switch 3) sia impostato alto. Tramite Lattice Programmer, il programmatore proprio del circuito

integrato, e il software Lattice Diamond, fornito dal produttore, si procede a programmare la PLL in maniera abbastanza automatica. L'avvenuto successo della programmazione è verificato alimentando la scheda, questa volta con 2 A di corrente, e osservando che il segnale prelevato con l'oscilloscopio dal test point relativo al circuito integrato abbia frequenza di 40 MHz.

3.2.2 Catena JTAG corta

Prima di procedere con la programmazione è necessario applicare i jumper sulla scheda come mostrato in Figura 3.3.

Poi è necessario impostare i Dip Switch relativi alle FPGA nel seguente modo:

- PRM (switch 4): ↓
- Virtex 5 (switch 10): ←
- Spartan 6 (switch 8 e 9): →

Solo ora è possibile individuare la catena JTAG dal computer (Figura 3.2).

La programmazione è effettuata tramite programmatore Xilinx servendosi della suite Xilinx ISE (Integrated System Environment), di proprietà Xilinx, che comprende strumenti utili e tutto il software necessario alla programmazione e al debug delle FPGA. Il programmatore Xilinx presenta due connessioni differenti, a seconda di quale catena JTAG si vuole programmare.

Utilizzando il software Impact si possono prendere in analisi i componenti della catena. Nello specifico la catena corta è quella comprensiva della PRM e della sua PROM. La programmazione procede associando alla PROM il file di configurazione già sviluppato. Non è possibile procedere alla programmazione della catena JTAG lunga se prima non si è ultimata quella corta. Questo perché, per funzionare, le altre FPGA hanno bisogno che la PRM sia programmata.

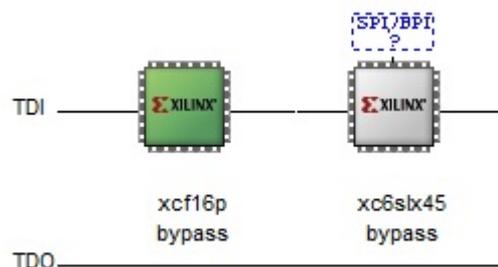


Figura 3.2: Catena JTAG corta visualizzata dal software Impact.

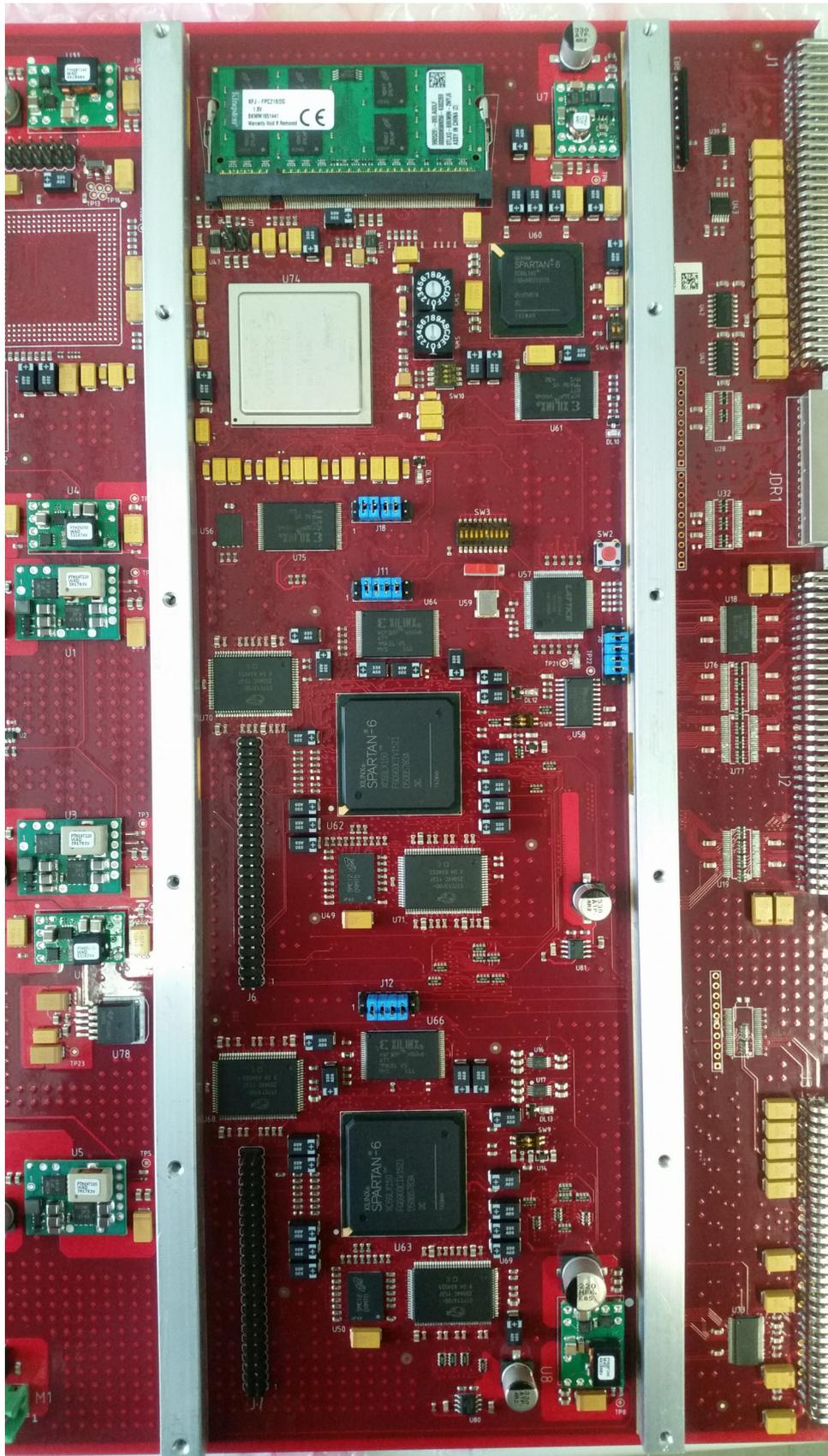


Figura 3.3: Posizionamento dei jumper sulla scheda.

3.2.3 Catena JTAG lunga

La catena lunga, riportata nella Figura 3.4, può essere individuata dopo aver programmato la PRM e spostato il connettore JTAG del programmatore Xilinx nell'altra posizione.

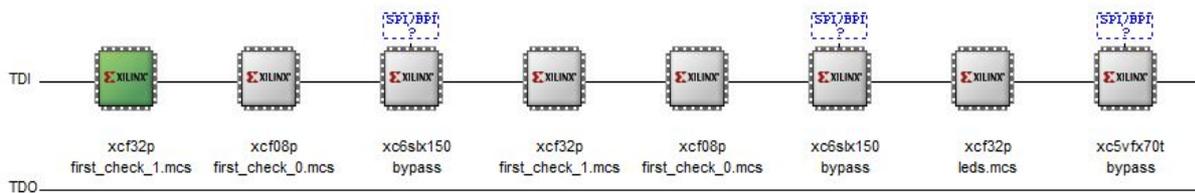


Figura 3.4: Catena JTAG lunga come visualizzata dal software Impact

Questa fase prevede la programmazione delle PROM associate alle FPGA della scheda ROD.

Avviene in maniera del tutto simile a quella della catena corta, associando alle PROM i relativi file di configurazione, già sviluppati e testati. L'avvenuta programmazione indica il corretto funzionamento delle PROM.

Durante la fase dei test si è reso necessario talvolta programmare direttamente le FPGA attraverso file binari. Sia chiaro che i file di configurazione caricati nelle PROM non fanno altro che generare un file binario per la corrispondente FPGA.

3.3 Test specifici

I test che seguono sono stati eseguiti con le schede nel crate. Prima di procedere è necessario aggiungere una memoria RAM da 2 GB DDR2 SODDIM esterna.

Si noti che i test sono stati effettuati con l'ausilio di Chipscope (vedi Figura 3.5), un software in grado di monitorare i segnali interni delle FPGA tramite collegamento JTAG, servendosi del programmatore Xilinx.

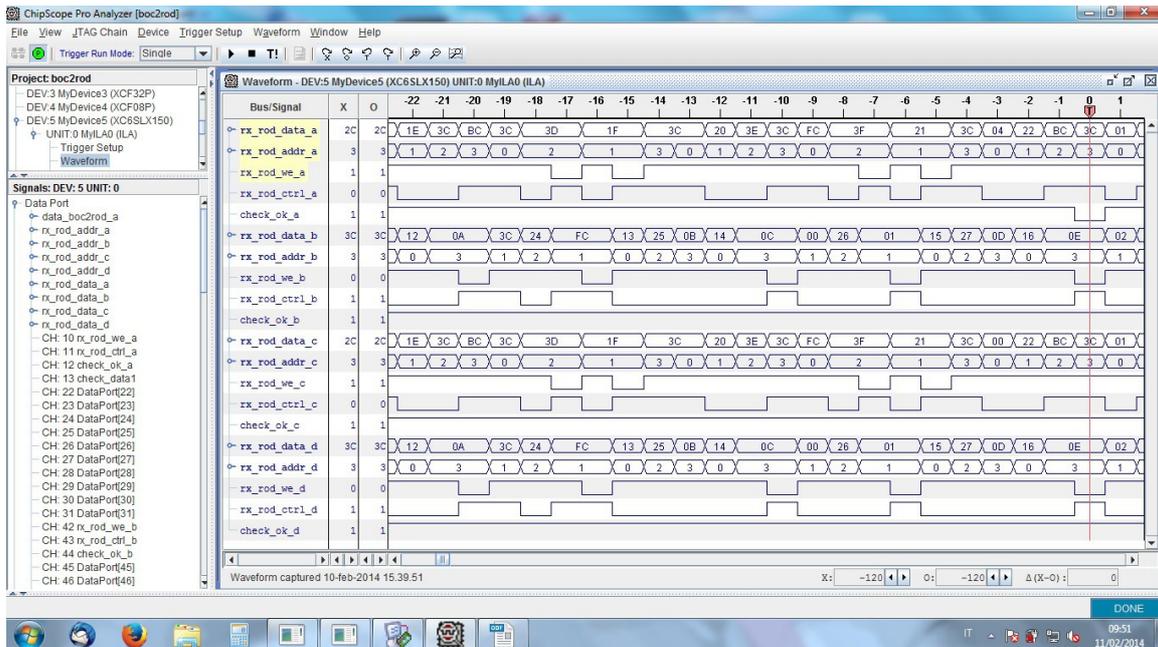


Figura 3.5: Una schermata del software Chipscope.

3.3.1 Memoria FLASH

Sulla scheda è presente una memoria FLASH, connessa alla ROD master, che può essere programmata attraverso interfaccia VME. Questa procedura richiede che il computer utilizzato per la programmazione si interfacci con la scheda VME attraverso l'SBC presente nel crate. La memoria viene programmata via VME per fare in modo che il PPC, accendendosi, carichi i file scritti su di essa. Tale procedura è quindi, di fatto, un test del corretto funzionamento di questa memoria, che non richiede perciò un altro test specifico.

3.3.2 Connessione BOC-ROD

Utilizzando SBC, vengono mandati campioni di dati noti dalla BOC alle FPGA slaves della ROD, che lo confrontano con un pattern caricato precedentemente nelle loro memorie. Questo test ha durata di qualche ora, e deve essere monitorato tramite l'ausilio di Chipscope. La presenza di eventuali errori congelerebbe l'ultimo flusso di dati, rendendo possibile l'osservazione dei valori di interesse. Sebbene questo test possa essere effettuato per 4 possibili angoli di sfasamento tra segnale inviato e ricevuto (0°, 90°, 180°, 270°), tenuto conto della durata del processo viene svolto solo quello con angolo di sfasamento di 180°.

La prova viene svolta utilizzando due differenti campioni di dati: nel primo è utilizzata la parola esadecimale standard 'AA55', nel secondo un semplice contatore il cui conteggio aumenta di un'unità (esadecimale) ogni volta che un errore è riscontrato.

3.3.3 Memorie SSRAM

Il corretto funzionamento delle SSRAM, e conseguentemente anche quello delle connessioni che hanno con le rispettive Spartan 6, viene testato attraverso la scrittura/lettura ciclica di un pattern di dati alla frequenza di 200 MHz. Il test avviene in contemporanea su ogni scheda, per una SSRAM alla volta, quindi una volta finito deve essere ripetuto anche con l'altra. L'assenza di incongruenze attesta il corretto funzionamento delle memorie SSRAM.

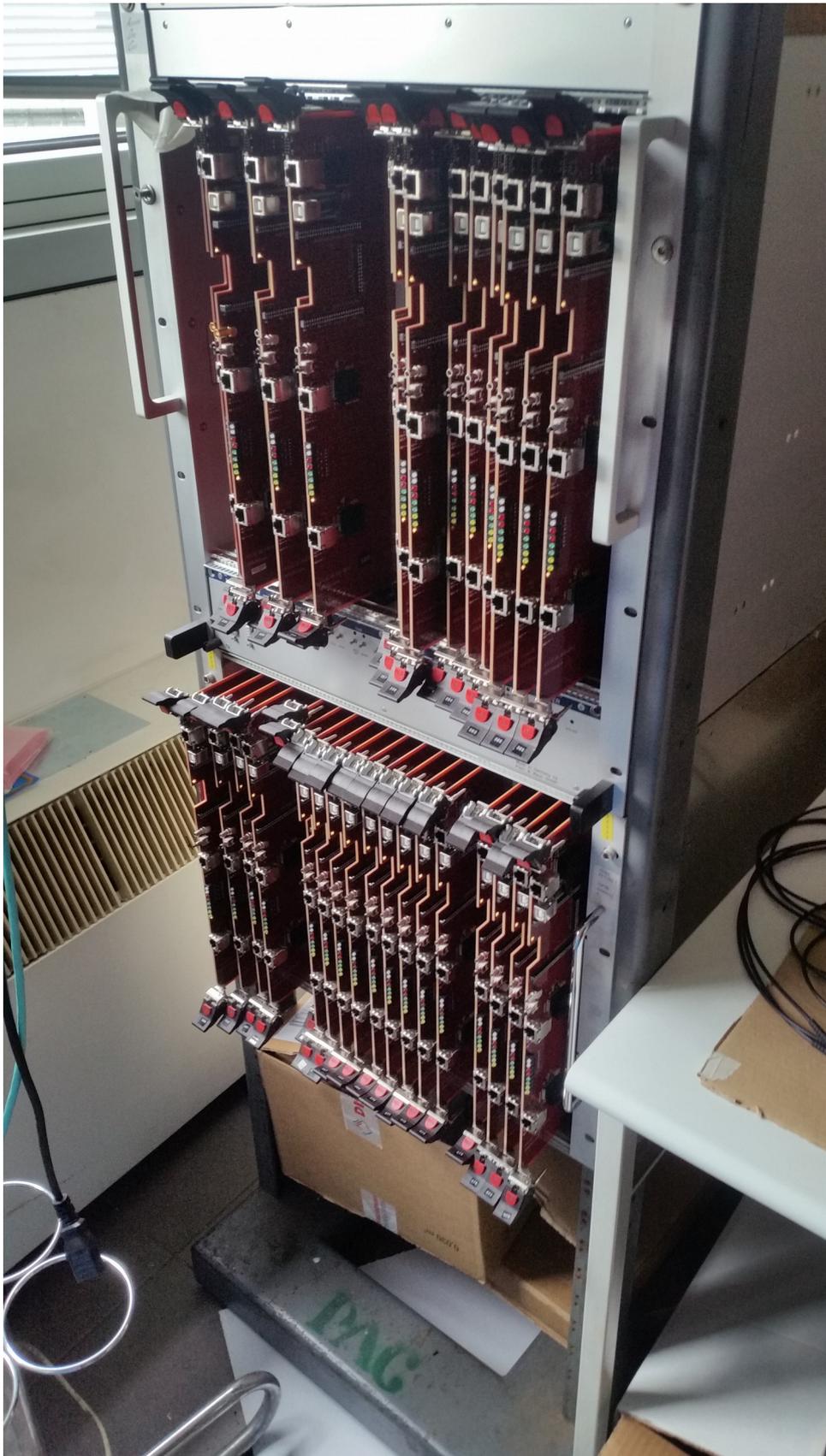


Figura 3.6: Crate offline nel quale venivano riposte le schede in attesa dei test.

Capitolo 4

Risultato dei test

In questo capitolo sono riportati i problemi riscontrati durante i vari test effettuati sulle schede.

Questi dati sono stati organizzati in un logbook per garantirne la rintracciabilità e la condivisione di informazioni tra gli addetti ai lavori anche quando queste saranno in funzione al CERN.

ROD	Condensatori	termo	PLL	JTAG PRM	JTAG	Flash	SSRAM 200MHz	BOC2ROD	
								counter	AA55
347	✓	✓	✓	✓	✓	✓	✓	✓	✓
348	✓	✓	✓	✓	✓	✓	✓	✓	✓
349	✓	✓	✓	✓	✓	✓	✓	✓	✓
350	✓	no							
351	✓	✓	✓			✓	✓	✓	✓
352	✓	✓	✓	✓	✓	✓	✓	✓	✓
353	✓	✓	✓			no			
354	✓	✓	✓			✓	✓	✓	✓
361	✓	✓	✓			✓	✓	✓	✓
362	✓	✓	✓			✓	✓	✓	✓
363	✓	✓	✓			✓	✓	✓	✓
364	✓	✓		✓	✓				
365	✓	✓		✓	✓				
366	✓	✓		✓	✓				
367	✓	✓		✓	✓				
368	✓	✓		✓	✓				
369	✓	✓		✓	✓				
370	✓	✓		✓	✓				
371	✓	✓		✓	✓				
372	✓	✓		✓	✓				
373	✓	✓		✓	✓				
374	✓	✓		✓	no				
375	✓	✓		✓	✓				
376	✓	✓	✓	✓	✓				
377	✓	✓	✓	✓	✓				
378	✓	✓	✓	✓	✓				
379	✓	✓	✓	✓	✓				
380	✓	✓	✓	✓	✓				
381	✓	✓	✓	✓	✓	✓	✓	✓	✓
382	✓	✓	✓			✓	✓	✓	✓
383	✓	✓	✓	✓	✓	✓	✓	✓	✓
384	✓	✓	✓	✓	✓	✓	✓	✓	✓
385	✓	✓	✓	✓	✓	✓	✓	✓	✓
386	✓	✓	✓			✓	✓	✓	✓
387	✓	✓	✓	✓	✓	no	✓	✓	✓
388	✓	✓	✓	✓	✓	✓	no north		

Tabella 4.1: La spunta indica tutti i test da me effettuati.

La maggior parte dei problemi è dovuta a difetti di fabbricazione. Tra questi sorprendentemente non rientrano mai quelli dovuti all'orientamento dei condensatori, il cui effetto alla prima accensione della scheda sarebbe tanto evidente quanto spiacevole, che si sono verificati invece in precedenti batch di ROD.

Relativamente comuni risultano invece i difetti di saldatura dei componenti della scheda. Quando questi hanno riguardato le memorie FLASH (schede 350, 353 e 387) si è proceduto alla loro riparazione direttamente in laboratorio, dissaldando completamente il circuito integrato e risaldandolo di nuovo in maniera corretta. Da notare che le due schede hanno manifestato il problema in due step diversi della fase dei test:

- nel caso della scheda 350, durante i test preliminari (e quindi con corrente limitata), questa assorbiva totalmente la corrente fornita in uscita dall'alimentatore. L'ispezione con la termocamera ha poi rivelato un non riscaldamento anomalo delle due Virtex 5 su di essa, la cui causa poteva risiedere in un cortocircuito, come poi è stato verificato, dovuto ad un baffo di stagno che faceva da ponte su due pin della north slave.
- nel caso delle schede 353 e 387, invece, il malfunzionamento è stato appurato solo dopo la fallita programmazione della memoria FLASH, dovuto questa volta alla saldatura "difettosa" di un solo pin, e non ha causato nessun problema evidente nella fase preliminare.

Difetti di saldatura alle FPGA invece sono difficilmente trattabili, vista la delicatezza del componente e la precisione degli strumenti da utilizzare, e in questo caso si è dovuto inevitabilmente procedere contattando la ditta produttrice. Rientra in questo caso la scheda 374, la cui problematica, dovuta ad un pin non saldato sulla north slave, è stata riscontrata durante la programmazione delle PROM nella catena JTAG lunga.

Conclusioni

Il lavoro descritto in questa tesi si inserisce all'interno del progetto Pixel Detector, nell'ambito del Layer 1. Il mio contributo è stato quello di effettuare dei test di validazione delle schede ROD, che andranno a far parte del sistema di acquisizione dati di questo esperimento.

I test sono stati eseguiti a Bologna nel laboratorio di progettazione elettronica dell'INFN e del Dipartimento di Fisica e Astronomia. Questi solo sono una piccola parte di tutte le verifiche effettuate sulle ROD prima che siano spedite al CERN. Di particolare aiuto sono stati per me i manuali redatti in anni precedenti, relativi ai test effettuati sulle ROD destinate al Layer 2, sempre di Pixel Detector. Nel corso dell'attività di laboratorio ho scritto, come di consueto, un logbook, necessario a tener nota di tutti i test e le problematiche relative ad ogni scheda.

Questo progetto è molto importante per l'Istituto Nazionale di Fisica Nucleare, in quanto rappresenta l'unico coinvolgimento di un gruppo di ricerca della sezione INFN di Bologna in un esperimento del CERN che riguarda il Pixel Detector.

Bibliografia

[1]<http://www.cern.ch>

[2]G.Balbi, M.Bindi, S.P.Chen, D.Falchieri, T.Flick, A.Gabrielli, S.Hauck, S.C.Hsu, A.Kugel, L.Lama, P.Morettini, R.Travaglini, M.Wensing. “The read-out driver (rod) card for the atlas experiment: commissioning for the ibl detector and upgrade studies for the pixel layers 1 and 2. Journal Of Instrumentation”. 2014.

[3]Gabriele Balbi, Davide Falchieri, Alessandro Gabrielli, Luca Lama, Riccardo TrAvaglino, Samuele Zannoli. “IBL ROD board revC reference manual”. Novembre 2012.