

ALMA MATER STUDIORUM – UNIVERSITÀ DI BOLOGNA
CAMPUS DI CESENA
SCUOLA DI INGEGNERIA E ARCHITETTURA

CORSO DI LAUREA IN INGEGNERIA ELETTRONICA INFORMATICA E
TELECOMUNICAZIONI

TITOLO DELL' ELABORATO

PROGETTO DI UN SISTEMA DI COLLAUDO PER UN TAG RFID UWB INTEGRATO

Elaborato in
Elettronica dei sistemi digitali

Relatore:

Prof. Aldo Romani

Presentata da:

Alessandro Gentile

correlatore:

Matteo Pizzotti

II sessione

Anno accademico 2014/2015

Indice

INTRODUZIONE.....	5
CAPITOLO 1- I SISTEMI UWB.....	6
CAPITOLO 2- IL PROGETTO GRETA.....	6
CAPITOLO 3- LE FASI DI UN PROGETTO PCB.....	9
3.1. Progettazione di un circuito stampato	11
3.2. Realizzazione di un PCB	12
CAPITOLO 4- INTEGRAZIONE DEL CHIP SULLA SCHEDA.....	17
4.1. Classificazione e funzionamento dei pin di input/output.....	17
4.1.1. L'idea del progetto e lo schema funzionale.....	19
4.2. Elenco dei segnali e dei corrispondenti circuiti realizzati	20
4.2.1. Segnali interfacciati con circuiteria dedicata.....	20
4.2.1.1 Segnali analogici/digitali	20
4.2.1.2 Segnali di power	36
4.2.1.3. Segnali RF	38
4.2.2. Segnali di controllo digitali che configurano il funzionamento del chip.....	40
CAPITOLO 5 - LE FASI DI PROGETTO.....	44
5.1. diagramma di flusso.....	44
5.2. La creazione del footprint.....	44
5.2.1. Elenco dei footprints realizzati	46
5.3. La creazione dei componenti di libreria	51
5.4. La creazione degli schemi circuitali(schematics).....	54
CAPITOLO 6- IL LAYOUT: PLACE AND ROUTE.....	56
6.1 BOM (Bill of Material).....	65
CONCLUSIONE.....	66
Appendice.....	66

INTRODUZIONE

L'argomento di studio è incentrato sul progetto di un PCB in grado di testare il corretto funzionamento del chip GRETA, un integrato dedicato, che implementa un nodo intelligente basato su harvesting RF.

A livello generale l'obiettivo dello studio svolto, è stato quello di progettare una scheda di testing che fosse in grado non solo di verificare il funzionamento normale del dispositivo, ma anche di testarne le singole parti, attraverso opportuni segnali di debug. Tutto ciò al fine di eseguire un testing completo attraverso la strumentazione di misura disponibile in laboratorio.

Per realizzare questo obiettivo, è risultato di fondamentale importanza per prima cosa caratterizzare il pin-out del chip, cercando di comprendere a livello generale lo scopo e la natura analogica o digitale di ogni segnale. In seguito si è cercato di elaborare un' appropriata struttura circuitale che permettesse di volta in volta di escludere, di forzare o semplicemente misurare i segnali considerati. Tutto ciò che è stato trattato, ai fini della progettazione, riguarda il comportamento dei segnali di input/output del chip, senza addentrarsi nel dettaglio del suo funzionamento interno.

Il primo passo è stato studiare il principio generale di funzionamento del chip GRETA, un sistema di comunicazione per RFID, che sfrutta la metodologia Green Tagging, per la trasmissione di sequenze RF.

Successivamente si è passati alla progettazione della scheda mediante il tool Altium Designer.

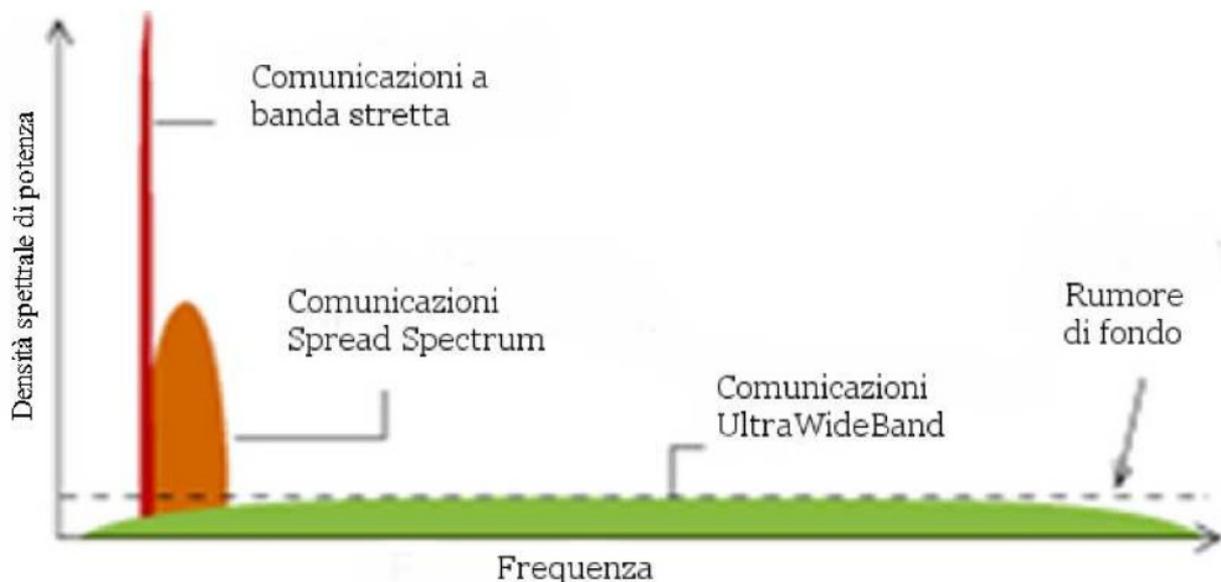


Figura 1- densità spettrale di potenza di un segnale UWB[1]

CAPITOLO 1- I SISTEMI UWB

I sistemi di identificazione RFID proposti nel progetto GRETA, impiegano tecniche di tagging su sistemi UWB per la trasmissione e ricezione del segnale, allo scopo di migliorare le operazioni di monitoraggio e localizzazione.

La FCC(Federal Communications Commission) degli Stati Uniti d'America definisce un segnale UWB quando la sua banda è maggiore di 500 Mhz.

Nei sistemi UWB, la trasmissione del segnale avviene mediante l'utilizzo di impulsi di energia, di brevissima durata temporale, che vengono trasmessi a radiofrequenza. La durata di questi segnali impulsivi, che si aggira attorno al nano/pico-secondo, essendo estremamente ridotta, permette una disponibilità di banda molto più ampia. La potenza del segnale si distribuisce quindi su un range di frequenze molto elevato e di conseguenza la densità spettrale di potenza, in valore assoluto, cala la propria ampiezza. Questa caratteristica rende le comunicazioni difficilmente intercettabili perché il segnale ha un'intensità paragonabile al rumore di fondo, inoltre non interferisce con eventuali applicazioni già esistenti. A causa della breve durata dell'impulso, siamo in presenza di segnali poco sensibili alle interferenze, ad esempio dovute a fenomeni di riflessione dell'onda. Si sviluppa in questo modo l'interessante possibilità di far coesistere segnali di questo tipo con altri segnali preesistenti, senza subirne l'influenza.

Gli impulsi che si utilizzano per questo tipo di trasmissione possono essere di diversa natura, gaussiano, di Rayleigh, di Scholtz, così come le tecniche di modulazione, di fase (PSK), di ampiezza (PAM) e di posizione (PPM).

CAPITOLO 2- IL PROGETTO GRETA

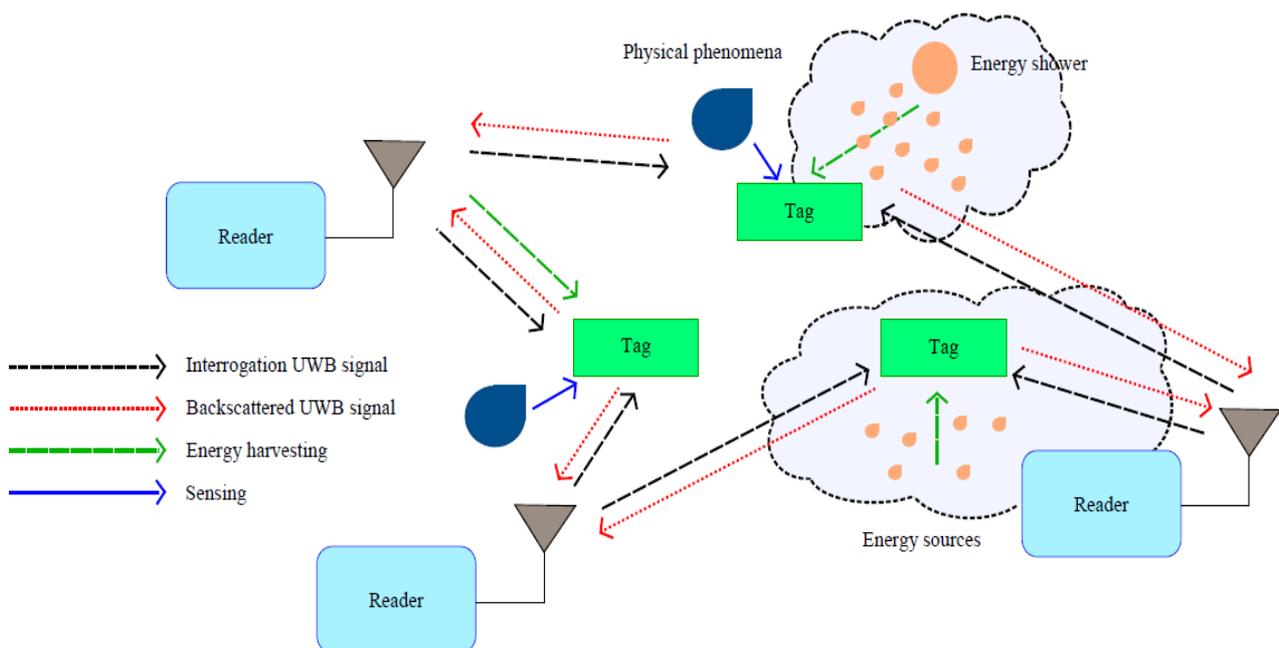


Figura 2.1- The GRETA Architecture[3]

Il progetto GRETA (GREEN TAGs and sensors with ultra-wide-band identification and localization capabilities) su cui si basa il funzionamento del chip integrato, è fondato sullo sviluppo di soluzioni e tecnologie innovative che si applicano ad un sistema distribuito per l'identificazione, la localizzazione e il monitoraggio in spazi interni ed esterni.

Il Progetto prende spunto da un sistema di tagging RFID, introducendo una tecnologia ibrida UHF/UWB per realizzare l'identificazione ed il monitoraggio. Questo approccio permette di monitorare a basso costo, un elevato numero di punti nello spazio e trova applicazioni in vastissimi campi, come la medicina, la sicurezza e la video-sorveglianza. Per questo motivo si ha la necessità di poter rilevare i tags con estrema precisione anche in condizioni proibitive, esempio in spazi relativamente piccoli, la presenza di eventuali ostacoli e oggetti di intralcio che si sovrappongono tra il tag ed il sistema che esegue la lettura (reader). Inoltre, in questo ambito diventa strategica la tecnologia dell'Energy Harvesting, che prevede la presenza di nodi che interagiscono tra di loro, in grado di autoalimentarsi, caratterizzati da un basso consumo di potenza. Per questi motivi si introduce un metodo di rilevamento che lavora su una modulazione con larghezza di banda UWB, che utilizza un metodo di comunicazione tra reader e tag, con backscattering (retro-diffusione). Il modulatore in questione permette di semplificare la circuiteria ottenendo una rilevazione molto precisa ed offrendo una modulazione a basso consumo di potenza. La modulazione si attua variando l'impedenza di carico (load) dell'antenna, che si trova sul dispositivo che contiene il tag, provocando volutamente condizioni di disadattamento e la presenza di onda riflessa al carico. Questa variazione del carico si attua attraverso uno switch che commuta alla frequenza UWB opportunamente progettato a questo scopo. Alternativamente i terminali dell'antenna vengono messi in stato di alta impedenza (circuito aperto) o corto circuito, provocando lo sfasamento necessario tra le 2 forme d'onda (diretta e riflessa). La riflessione totale si ottiene con le 2 onde sfasate di 180° .

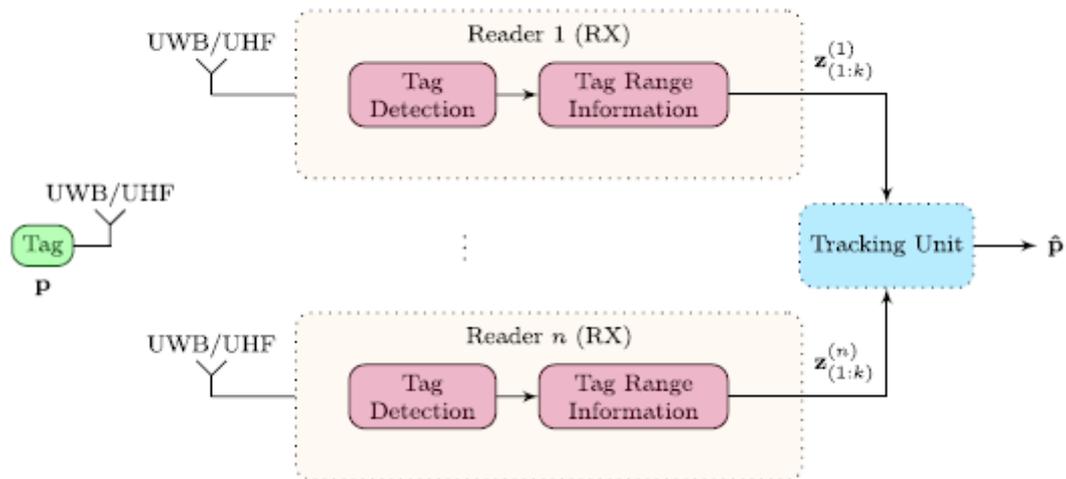


Figura 2.2- Sistema di identificazione e tagging[3]

Il sistema di comunicazione che viene implementato, si basa sullo schema di Figura 2.2.

Il tag viene prima identificato dal reader e successivamente viene estratto il range. Ogni dispositivo manda in uscita una serie di misurazioni(k), eseguite per diversi intervalli temporali, che verranno elaborate successivamente da un'unità che si occupa di tracciare il posizionamento ed eseguire la localizzazione.

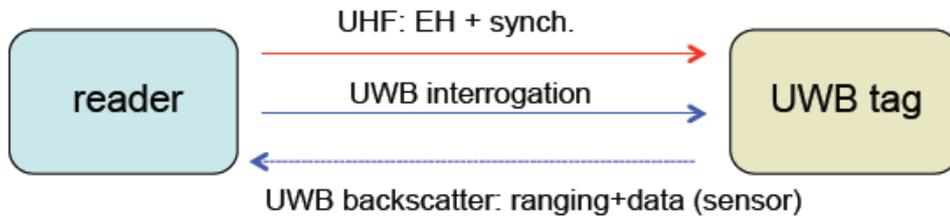
Il progetto GRETA ha contribuito ai seguenti aspetti:

- Miglioramento della comunicazione, della capacità di estensione(ranging) e della rilevazione del tag, cioè il segnale ricevuto dopo l'operazione di backscattering(retro-diffusione), che risulta essere di debole entità. A questo scopo, vengono utilizzati pacchetti con una serie di impulsi per bit, per migliorare il rapporto segnale rumore(SNR).
- Multi-tags management: possibilità di gestire il multitagging e rilevare la presenza di più “tag” simultaneamente, evitando i problemi di collisione.
- Miglioramento degli aspetti energetici. Nonostante il backscattering, che utilizza un sistema UWB, sia una tecnica a basso consumo energetico, occorre fornire alimentazione ai circuiti del “tag” che eseguono la modulazione. Potrebbe essere necessario fornire energia alla logica di controllo, allo switch UWB e ai sensori. A questo scopo vengono introdotte tecniche di Energy Harvesting.

Nel progetto vengono implementate due possibili architetture per il tag:

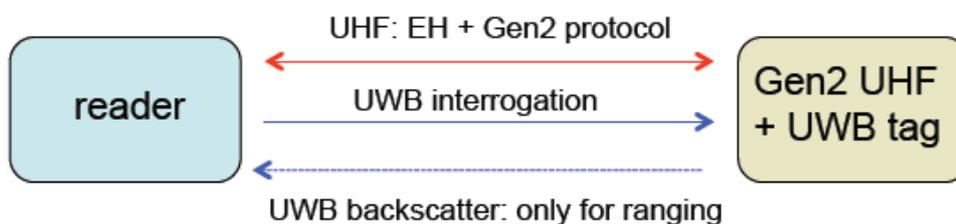
- Stand alone

In questa modalità, viene eseguita l'autenticazione e la trasmissione del “dato”, attraverso il canale UWB, mentre il canale UHF si occupa di gestire l'alimentazione con l'energy harvesting e il sincronismo.



- Gen.2

In questa modalità di funzionamento si utilizza lo standard Gen.2 per il tag attraverso canale UHF, che realizza la comunicazione del “dato”, mentre il canale UWB è adottato esclusivamente per migliorare le capacità di localizzazione(ranging).



CAPITOLO 3- LE FASI DI UN PROGETTO PCB

Un circuito stampato o PCB (Printed Circuit Board) consiste in un supporto isolante su cui vengono realizzate sottili strisce di rame (piste) che connettono tra di loro i componenti elettronici saldati sullo stesso supporto. Il montaggio dei componenti avviene secondo due tecniche: THT (Through Hole Technology) e SMT (Surface Mount Technology). La prima tecnica è la più antica e consiste nel montaggio dei componenti mediante saldatura dei loro terminali (detti reofori) su un'area di rame detta piazzola, mediante il passaggio dei terminali attraverso dei fori (hole) praticati sul supporto isolante. La seconda tecnica, a montaggio superficiale (SMT), è stata sviluppata successivamente e vengono utilizzati particolari componenti detti SMD (Surface Mount Device) di dimensioni ridotte e con terminali aderenti al contenitore (package) del componente. In questo caso il componente viene collocato in modo aderente alla piastra e saldato sullo stesso lato.

Una scheda PCB:

- Fornisce un supporto meccanico stabile e resistente per tutti i componenti elettronici presenti in un dato circuito.
- realizza le interconnessioni elettriche tra i diversi componenti attraverso piste di materiale conduttivo.
- provvede eventualmente alla dissipazione di potenza che si viene a creare nel circuito.

- fornisce la connessione con tutto ciò che può essere collegato esternamente.

La tipica unità di misura adottata per la progettazione di circuiti stampati è il pollice (inch in inglese, simbolo “in” o doppio apice ”).

Lo spessore dei componenti e la distanza rispetto le piste di interconnessione si misurano con il “MIL”.

1MIL equivale a 0.001 In(pollici).

Tipici valori per lo spessore dei conduttori (fanno riferimento alle “once”)sono:

17.5 μm (0.5oz), 35 μm (1oz), 70 μm (2oz), 105 μm (3oz).

Le dimensioni massime delle schede si aggirano sui 20"x16".

Un PCB semplice è caratterizzato sostanzialmente da un core centrale di materiale isolante con costante dielettrica ϵ_r , racchiuso da 2 strati di metallizzazione in rame, come mostrato in Figura 3.1.

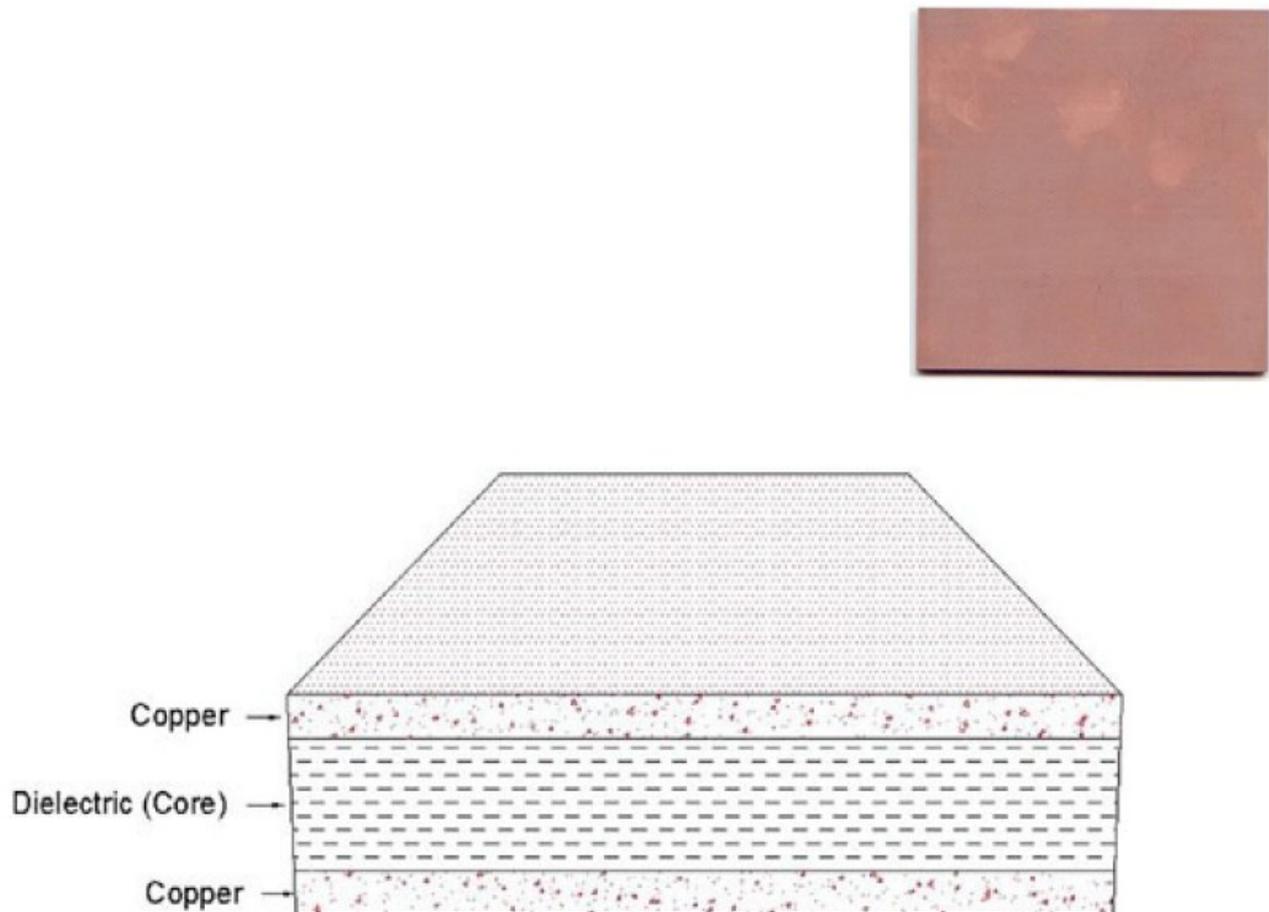


Figura 3.1- Struttura generica di un pcb[20]

3.1. Progettazione di un circuito stampato

La costruzione di un PCB parte dalla realizzazione di uno schema elettrico in cui sono rappresentati tutti i componenti e le interconnessioni tra loro.

Dopo la realizzazione dello schema elettrico si passa al progetto vero e proprio del PCB che viene indicato col termine layout. In questa fase viene scelta la posizione dei componenti nel circuito stampato e vengono realizzati i collegamenti tra essi mediante le piste. Questa fase è semplificata dall'uso di opportuni CAD di design.

I pcb più complessi, che richiedono l'utilizzo di svariati componenti e piani di alimentazione separati, solitamente possono essere costituiti da un numero pari di layers, anche più di due, alternando strati di core e materiali impregnati sovrapposti. Le linee in rame, presenti su piani sovrapposti, vengono contattate eventualmente attraverso dei fori(vie). Queste strutture si adattano bene per questioni di dimensioni e permettono di realizzare l'isolamento in maniera più efficace, separando i power planes(piani che contengono alimentazioni diverse), in modo che siano indipendenti, per evitare correnti di leakage e fenomeni parassiti.

Si è compreso che per la creazione del layout, un buon inizio è quello di definire:

- la dimensione iniziale della scheda(successivamente adattabile ai costi e alle proprie esigenze);
- la scelta del materiale conduttivo(Cu);
- lo spessore delle linee in rame(thickness);
- la larghezza delle linee(Width);
- l'altezza del substrato(core);
- la scelta del materiale isolante(costante dielettrica relativa del materiale);

Il programma di cad permette di eseguire il processo di “place and route” di tutti i componenti, creando l'insieme delle interconnessioni attraverso le piste in rame, e i fori che si utilizzano per inserire i terminali di contatto dei componenti o eventuali nodi di collegamento per le piste sottostanti. Ovviamente per realizzare il layout è necessario possedere tutte le informazioni riguardo il tipo di package dei componenti. Nei datasheet solitamente viene riportato il footprint, con la visione del top(visione dall'alto) e del bottom(visione del retro), con le relative distanze dei contatti, e le misure espresse in mm e inch(pollici). Queste informazioni essenziali permettono il corretto piazzamento sulla scheda dei componenti e la realizzazione del bonding successivamente. E' opportuno scegliere la migliore disposizione dei componenti e dei percorsi delle piste, al fine di minimizzare il numero di incroci. Questa fase viene detta di “sbroglio”. L'obiettivo è quello di ottenere il giusto connubio tra posizione dei componenti, percorsi delle piste e minimizzazione dell'area utilizzata.

Lo scopo finale, una volta realizzato e finito il layout tramite il programma di cad, è quello di esportare un “Gerber File” che contiene tutti i dati di progetto stabiliti, come

le mutue distanze, i layers che comprendono i segnali di interesse ed eventuali file aggiuntivi, che contengono informazioni utili, necessarie all'azienda che si occupa di intraprendere in seguito il processo di fabbricazione vero e proprio.

3.2. Realizzazione di un PCB

Riportiamo per completezza una breve sequenza illustrativa delle fasi successive di produzione:

- Creazione dei fori sui layers in base ai vincoli del “Cad design” realizzato.

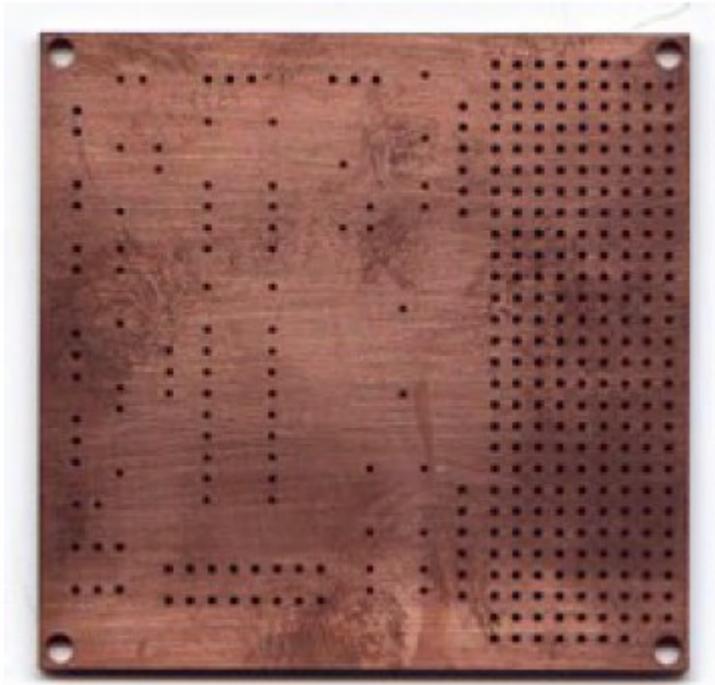


Figura 3.3- metallizzazione coi fori[20]

- Fase di patterning: viene applicato sopra il layer un film sottile foto sensibile ai raggi UV, che contiene la maschera con tutte le interconnessioni e i fori, stabiliti dal disegno di CAD , in modo che il rame indesiderato venga eliminato e si creino i collegamenti.

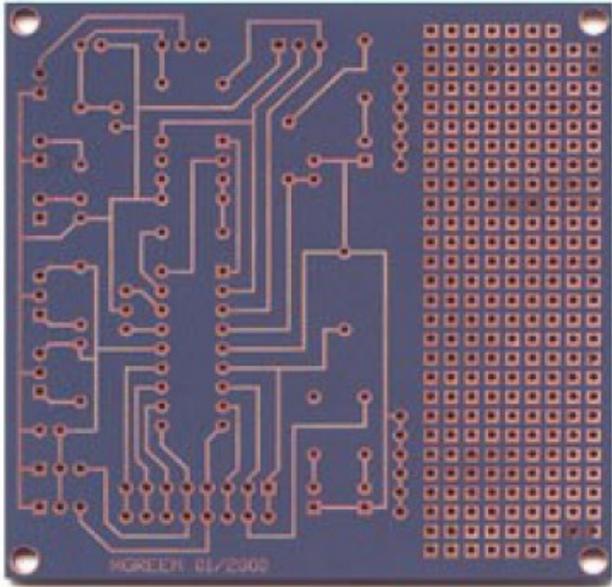


Figura 3.4 collegamenti e patterning[20]

- Placcatura dei fori: viene rimosso il film una volta asciutto e il rame che rimane esposto viene inciso via. Con lo stagno si marcano le interconnessioni, per evitare che vengano eliminate.

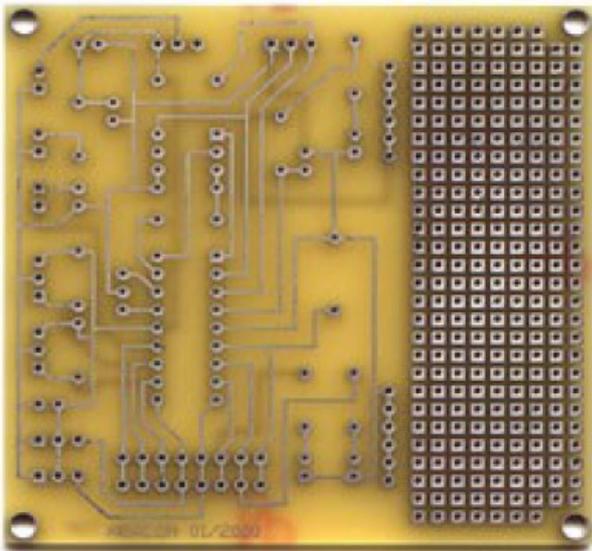


Figura 3.5- placcatura dei fori[20]

- Laminazione: vengono sovrapposti i vari strati e sottoposti ad adeguate condizioni di pressione e temperatura per circa 2 ore.

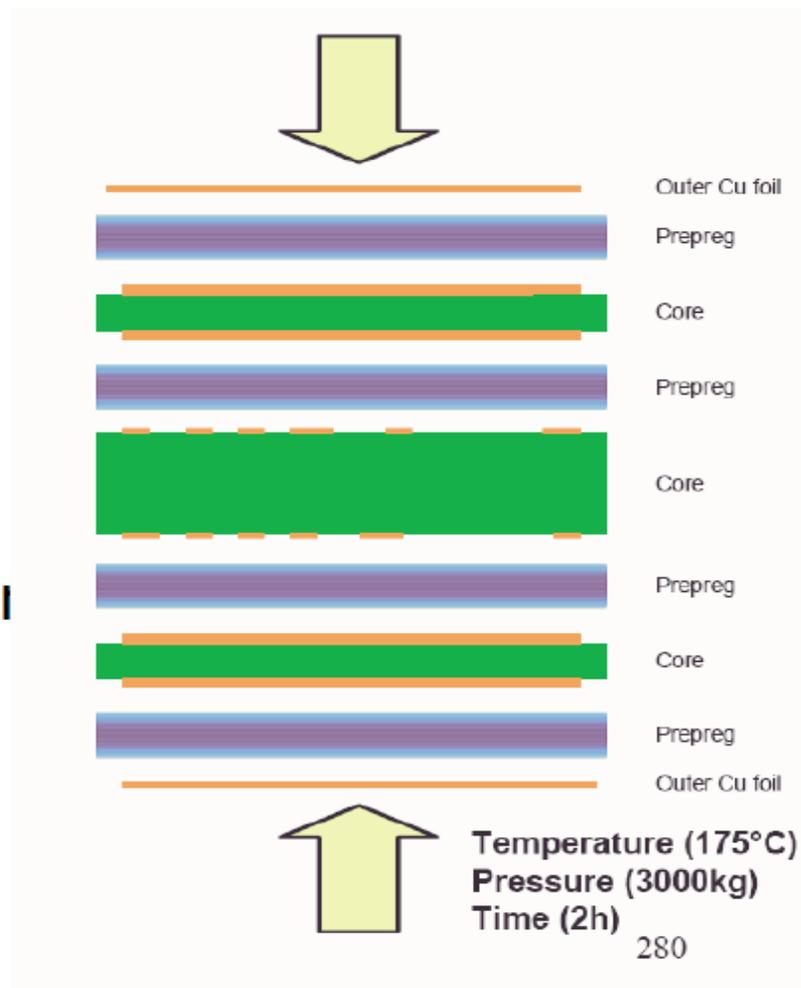


Figura 3.6- rappresentazione schematica dei layer sovrapposti[20]

- Applicazione del solder mask, ovvero uno strato isolante protettivo che si applica alle tracce in rame di un circuito stampato, per evitare l'ossidazione e prevenire i contatti indesiderati tra linee adiacenti, che si creano in fase di saldatura.

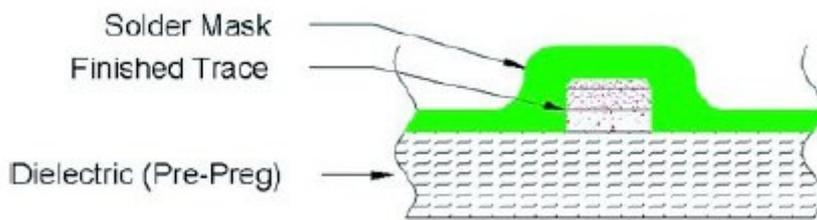
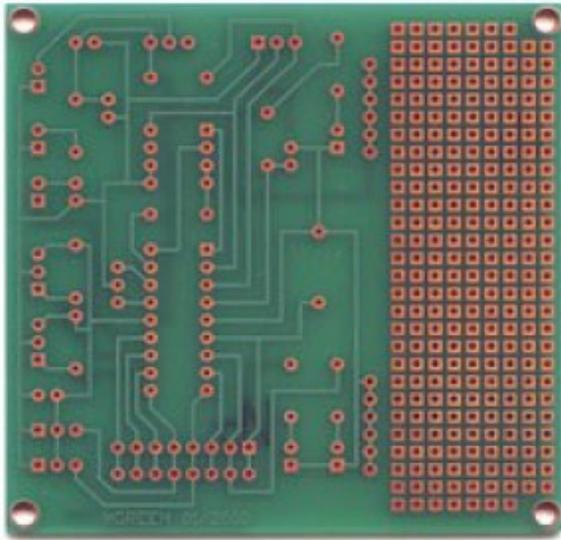


Figura 3.7- Applicazione del solder mask[20]

- Viene incisa la nomenclatura ed eventuali simboli definiti nel disegno di cad, attraverso un processo di “printing”.

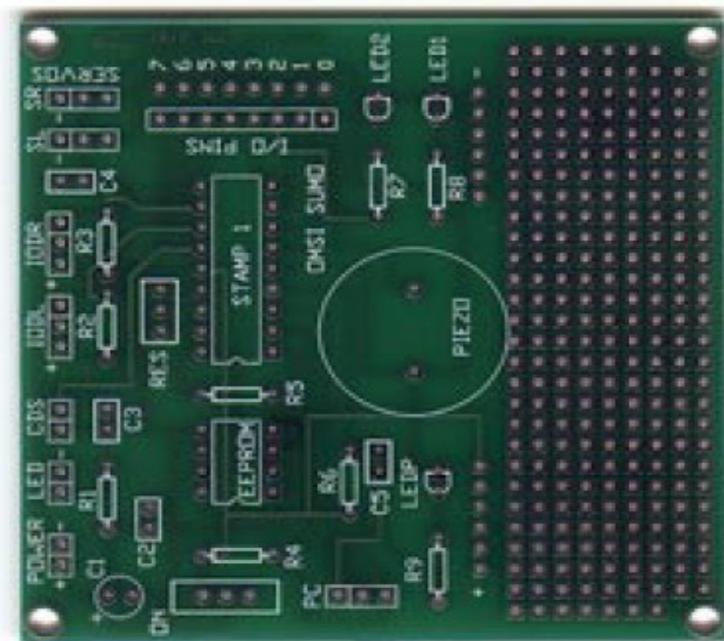


Figura 3.8- Printing[20]

- Vengono create le vie attraverso un processo elettrochimico finale per

permettere di depositare il rame all'interno dei fori e nei contatti.

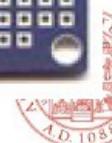
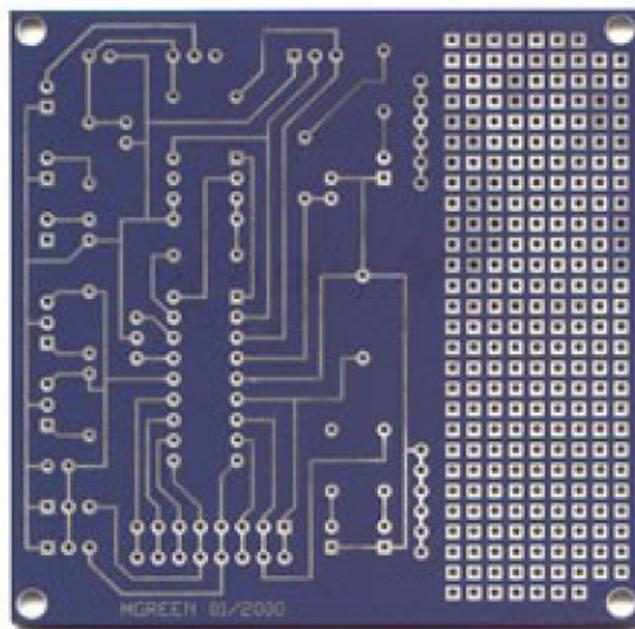
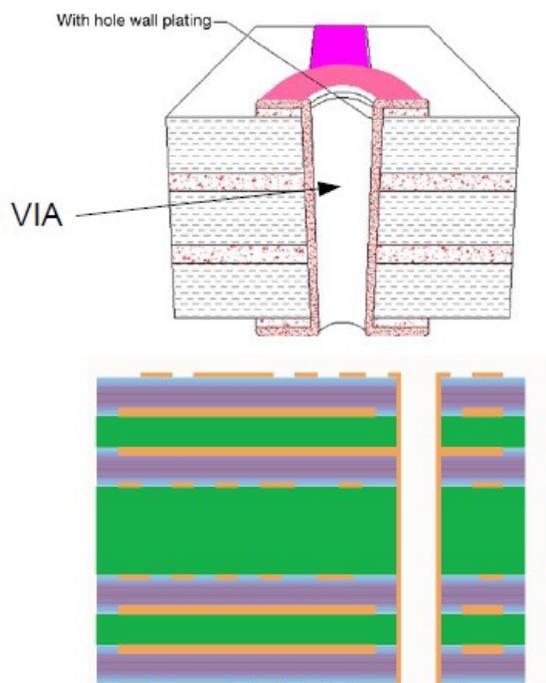


Figura 3.9- Il circuito stampato alla fine del processo[20]

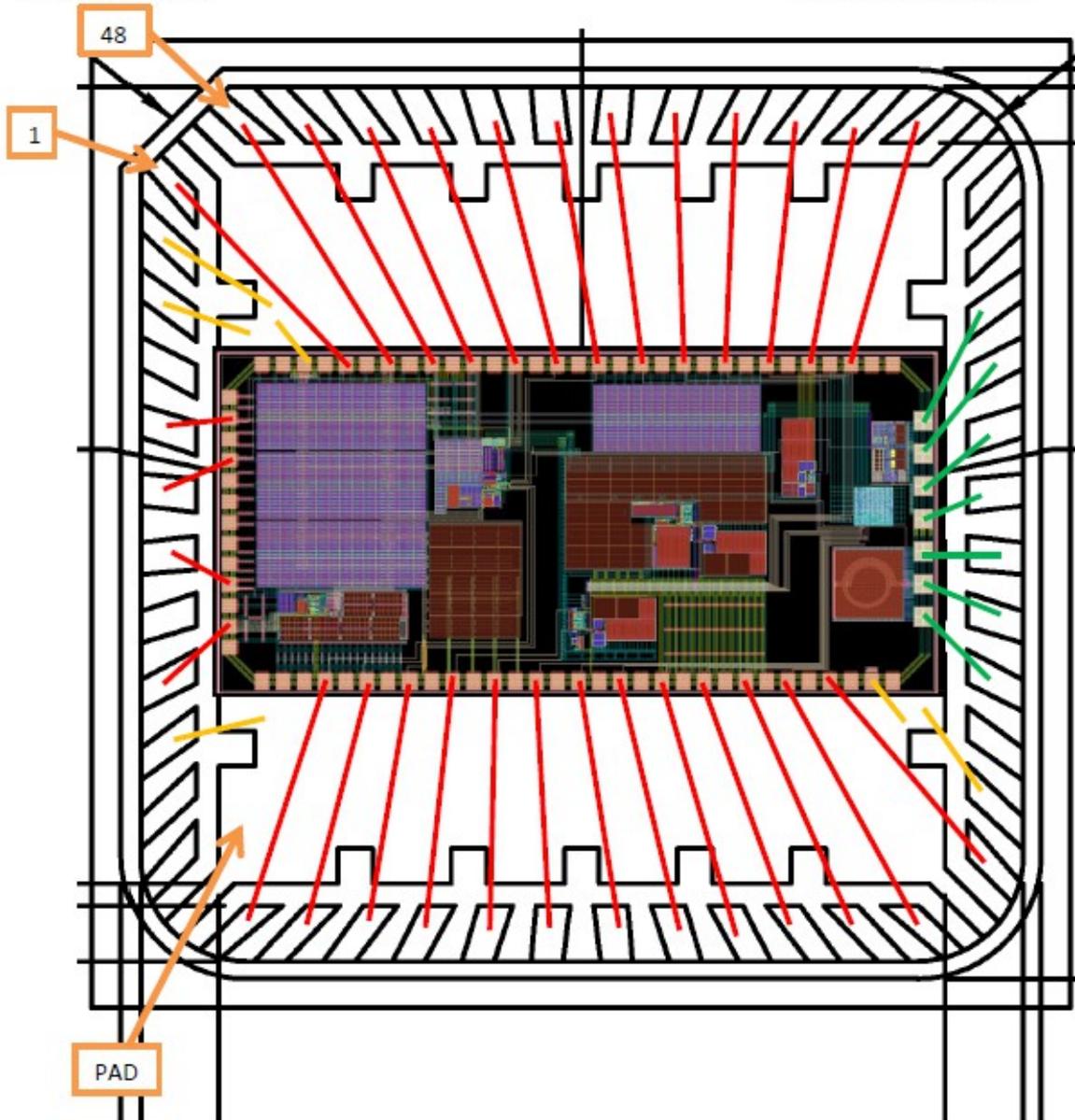
CAPITOLO 4- INTEGRAZIONE DEL CHIP SULLA SCHEDA

4.1. Classificazione e funzionamento dei pin di input/output.

BONDING DIAGRAM - A15900

Package QFN48 7x7

Status: OK 22/07/2015



PACKAGE TOP VIEW

Figura 4.1 – bonding diagram: con rappresentazione del die pad e package QFN48(datasheet)

Il primo approccio al progetto è stato quello di separare i pin che afferiscono a diversi blocchi del sistema, che comprende una parte digitale(rossa), per l'elaborazione del segnale, una parte analogica, per l'acquisizione del segnale RF e per la generazione dell'alimentazione(gialla) ed infine una parte RF per la trasmissione(verde). Di

seguito in tabella 4.2 lo schema completo del pin-out suddiviso in diversi sotto-blocchi.

Package pin	Die pad	Name	Type
5	2	RESEText	IN
6	4	RESETconf	IN
7	10	DYNNENconf	IN
9	12	VRECT	PWR
13	16	STARTconf	IN
14	18	START_EXT	IN
15	20	START_MUXout	OUT
16	22	REF_pin	IN/OUT
17	24	SENSE_pin	IN/OUT
18	26	clk_debug	OUT
19	28	conf<2>	IN
20	30	conf<1>	IN
21	32	conf<0>	IN
22	34	RFID_mode	IN
23	36	start	IN
24	38	bs_control_debug	OUT
25	40	debug_en	IN
frame	42	GND	PWR
28	44	GND_RF	PWR
29	45	RF_switch	OUT
30	46	GND_RF	PWR
31	47	RF_rect	PWR
32	48	GND_RF	PWR
33	49	RF_in	RF-IN
34	50	GND_RF	PWR
37	53	MISO	OUT
38	55	SCK	IN
39	57	CS	IN
40	59	sense_set	IN
41	61	EXT_CLK	IN
42	63	SEL_CLK	IN
43	65	VONconf	IN
44	67	Vtrig_LOW	IN
45	69	AVDD	PWR
46	71	DVDD	PWR
47	73	VREG	PWR
48	75	VSTORE	PWR
1	77	VOKod	OUT
frame	79	GND	PWR
2	//	GND/pad frame	
3	//	GND/pad frame	
10	//	GND/pad frame	
26	//	GND/pad frame	

Tabella 4.2- elenco numerato dei pin e dei segnali di riferimento(datasheet)

4.1.1. L'idea del progetto e lo schema funzionale

L'obiettivo che ci si è preposti è la progettazione di una scheda di testing su cui andare a posizionare il chip integrato, assieme a tutta la circuiteria necessaria a riprodurre le varie condizioni di utilizzo del sistema al fine di testarne il funzionamento e le prestazioni.

Lo scopo è quello di realizzare un unico sistema perfettamente controllabile dall'utente, che attraverso i componenti messi a disposizione dalla scheda di testing, permetta di ricevere, inviare o escludere i segnali che afferiscono ai pin di Input/output del chip integrato.

In figura 4.3 viene rappresentata l'idea di base del progetto, insieme ai principali blocchi introdotti.

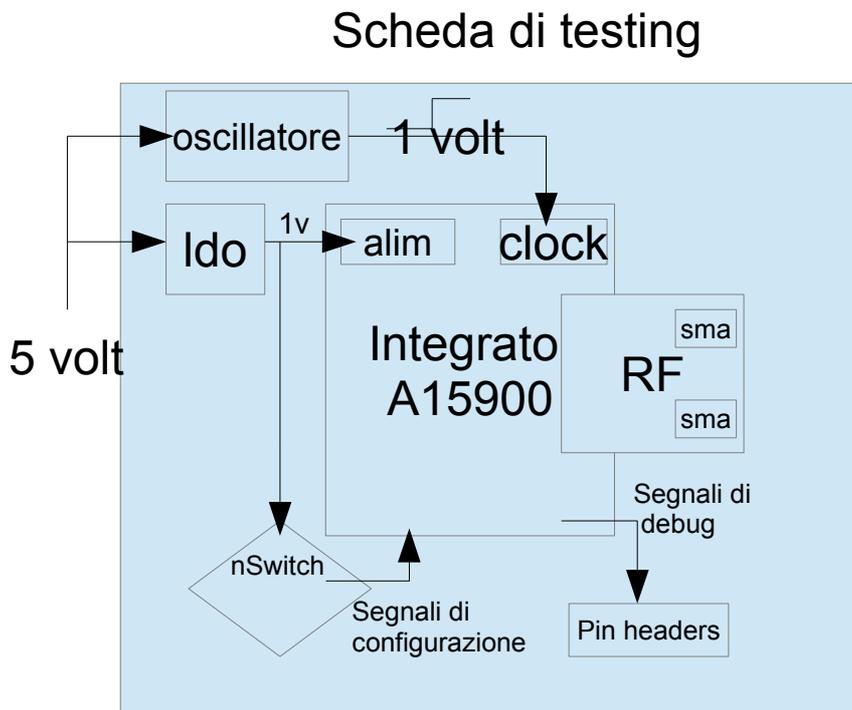


Figura 4.3- Scheda di testing: il sistema generale con i sotto-blocchi.

E' stata introdotta la possibilità di pilotare/testare separatamente le sottoparti interne al chip, con lo scopo di isolare eventuali malfunzionamenti. A tal fine si è proceduto ad introdurre le seguenti funzioni:

1. Alimentazione esterna al chip.
2. Segnale di clock esterno per la rete digitale.
3. Interfaccia verso l'esterno per la parte RF del chip.
4. Il posizionamento di opportuni switch per impostare i segnali di configurazione.
5. Il posizionamento di opportuni connettori per testare i segnali di debug.

6. Inserimento di un adattatore IC, per facilitare l'interfacciamento e il bonding del chip integrato.

4.2. Elenco dei segnali e dei corrispondenti circuiti realizzati

La scheda realizzata prevede un' alimentazione a 5volt in ingresso, che viene regolata attraverso un regolatore DC lineare LDO (Low Drop Out) tra 1 volt e 1.6 volt, per fornire il corretto voltaggio al chip.

Si è previsto che l'alimentazione a 5 volt venga fornita da un trasformatore esterno, connesso attraverso un jack per pcb.

In figura 4.4 si riporta il modello di connettore utilizzato.



Figura 4.4: Presa di alimentazione 2,5mm 5A RAPC712BK[21]

4.2.1. Segnali interfacciati con circuiteria dedicata

4.2.1.1 Segnali analogici/digitali

pin1: VOKod= segnale attivo alto, indica che l'alimentazione interna è stata generata correttamente dalla parte analogica del sistema.

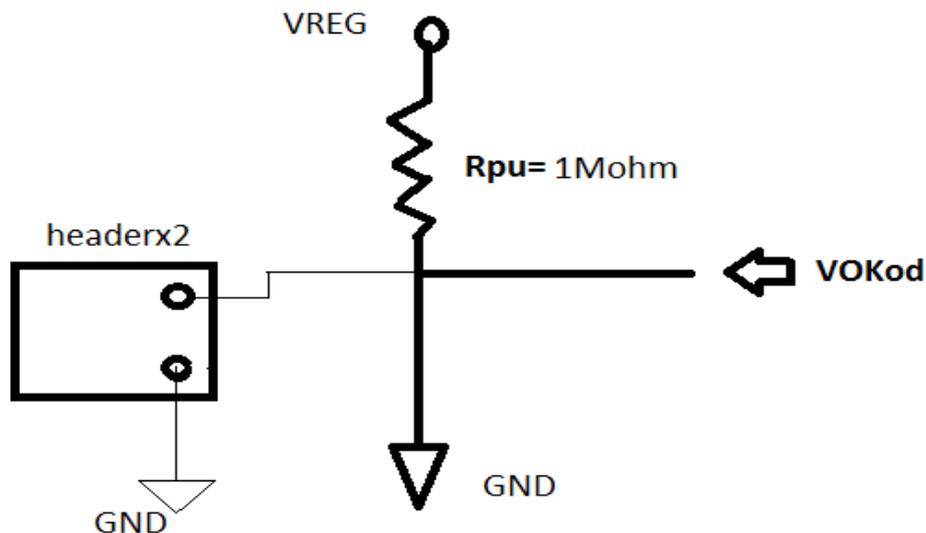


Figura 4.5- schema circuitale che afferisce al nodo VOKod

Su questo nodo quindi le uniche operazioni eseguite riguardano:

- l'introduzione di una pull-up da 1M Ω , tra segnale VOKod e VREG.
- collegamento di un pin headerX2(connettore), tramite una strip con 2 terminali, che preleva il segnale VOKod e la massa (GND).

pin5: RESEText= segnale di input digitale attraverso il quale è possibile testare il segnale di “reset”, normalmente generato internamente.

Questo segnale si attiva attraverso un impulso di durata finita. L'impulso dovrà essere generato attraverso un pulsante senza memoria che permette di attivare la logica interna. Il problema quindi è quello di evitare i rimbalzi che si vengono a creare nel brevissimo intervallo temporale in cui il pulsante chiude l'interruttore. Si introduce per questo motivo un filtro RC, anti-bounce.

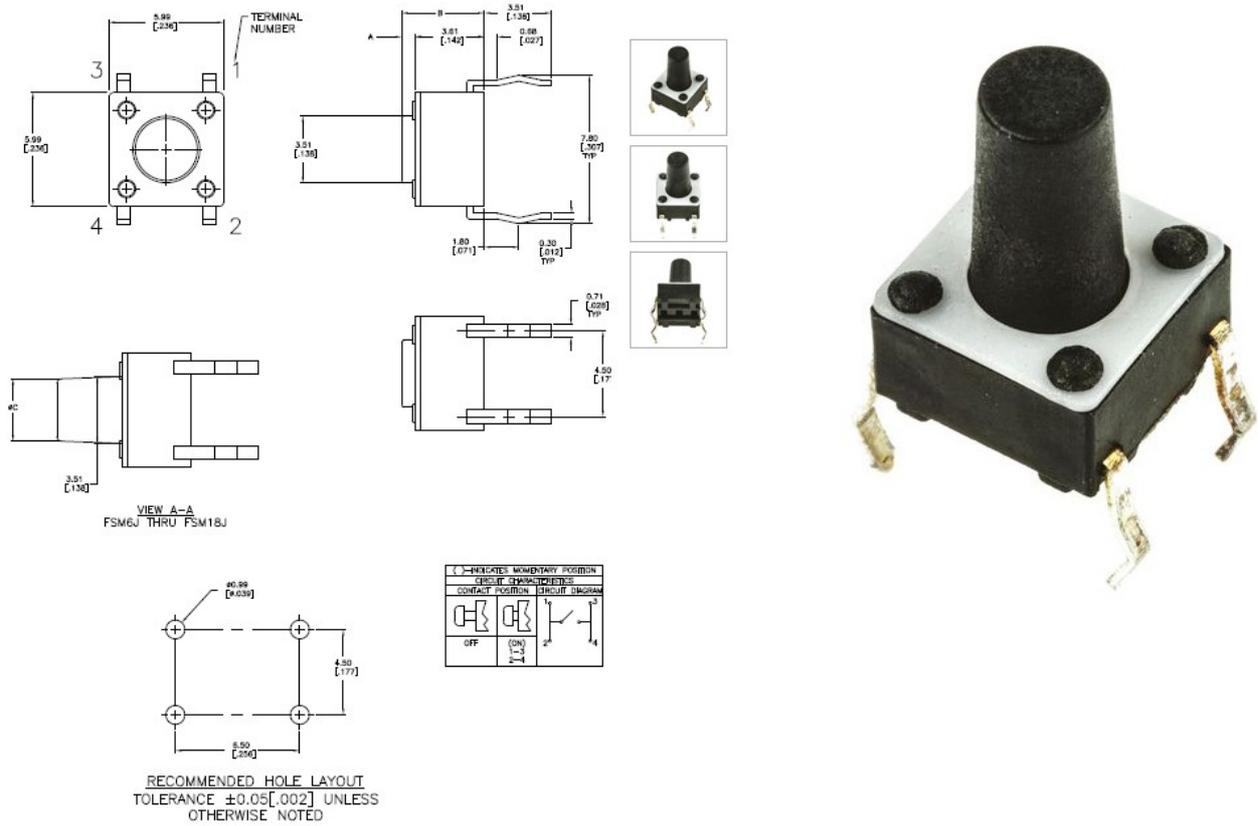


Figura 4.6: bottone FSM4JH, SPST-NA(datasheet)

Si è deciso di utilizzare un interruttore tattile “through hole”, con configurazione SPST-NA(single-point, single-thrue) e attuatore a pulsante. Nella figura 4.5 oltre al footprint con la visione del top, vengono mostrate le configurazioni dei terminali e i collegamenti che si creano al momento della pressione.

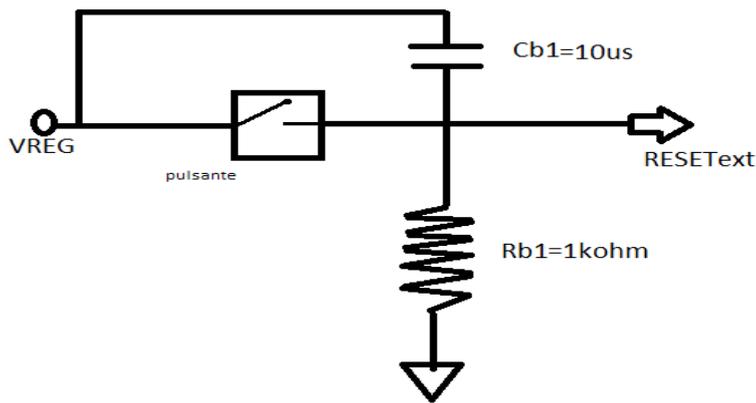


Figura 4.7- circuito di anti-bounce per il segnale RESEText

La semplice chiusura del contatto elettromeccanico genera frequentemente, al posto di un impulso preciso e continuo, un treno di impulsi (spike) più stretti e ripidi, dovuti sia agli effetti di rimbalzo della lamina di contatto del componente elettromeccanico, che ad una degradazione delle capacità conduttive dei contatti stessi.

Il filtro RC anti-rimbalzo viene quindi introdotto poichè siamo in presenza di un ingresso che risulta essere elettricamente rumoroso, al fine di produrre in uscita un unico impulso stabile, assimilabile ad un gradino. Il filtro è stato progettato accuratamente per attenuare le componenti spurie generate dalla non idealità dell'interruttore. Queste componenti sono costituite da impulsi piuttosto brevi e con fronti ripidi che potrebbero essere rilevate erroneamente come pressioni multiple del pulsante. La porzione di spettro da eliminare è concentrata quindi nelle alte frequenze. Il comportamento atteso viene illustrato in figura 4.7.1.

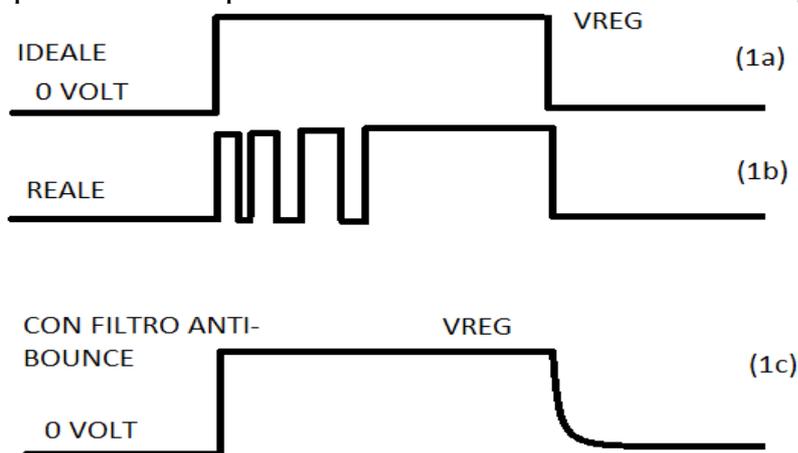


Figura 4.7.1- andamento del segnale di uscita alla pressione del pulsante: caso ideale(1a), reale(1b) e con filtro(1c).

Inoltre la tensione Vreg, seppur regolata, idealmente costante(DC), presenta sempre una piccolissima componente additiva di piccolo segnale, che possiamo considerare un disturbo per il nostro sistema e che potrebbe diventare dannosa nei transistori di

salita e discesa del segnale.

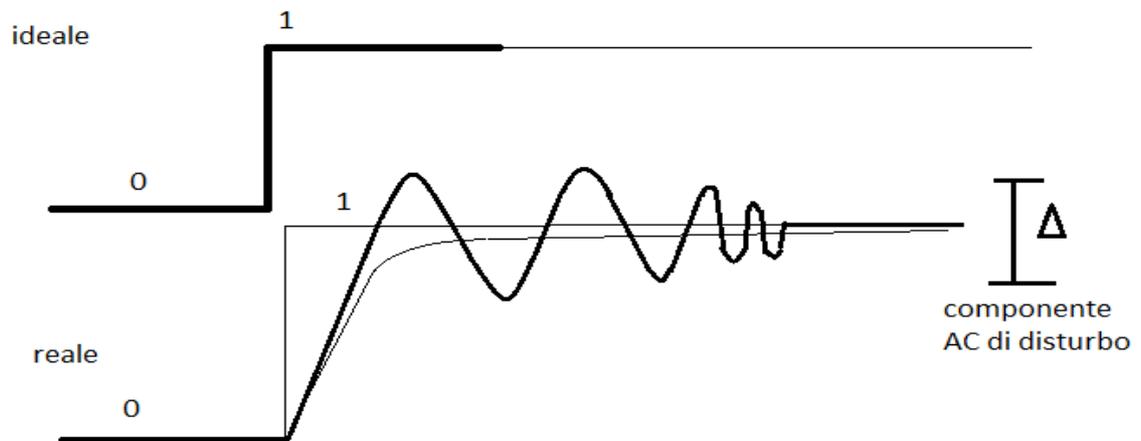


Figura 4.8- comportamento dei segnali alla pressione del pulsante, raffigurazione del comportamento ideale e del comportamento reale.

$$V_{reg} = V_{REG} + \Delta V_{reg} \quad ;$$

Per questo motivo è stato introdotto un condensatore di disaccoppiamento, assimilabile ad un aperto in condizioni DC e dalle caratteristiche filtranti per le componenti di disturbo.

Come ulteriore verifica è stata eseguita una simulazione Spice, in riferimento al circuito di figura 4.7.

1. scrittura della net-list, istanziando tutti i componenti presenti nel circuito.

La sintassi dei componenti istanziati è la seguente:

- Resistori: Rxxx n1 n2 <value>.
- Condensatori: Cxxx n1 n2 <capacitance> .
- Generatore di tensione a forma d'onda quadra(Vok): Vxxx n+ n- PULSE(V1 V2 Tdelay Trise Tfall Ton Tperiod Ncycles).
- Generatore di tensione costante(VREG): Vxxx n+ n- <voltage> .

2. definizione del modello dell'interruttore SW_RESEText controllato in tensione.

Il modello utilizzato, prevede l'uso di uno switch controllato da un generatore di tensione ad onda quadra(Vok), che pilota l'apertura dell'interruttore. Il comportamento ideale del pulsante SW_RESEText, si ottiene impostando opportunamente l'ampiezza della forma d'onda e la durata(Ton, Toff), che pilota l'apertura/chiusura dei contatti.

La sintassi dei comandi è la seguente:

- Sxxx n1 n2 nc+ nc- <model> [on,off].

// comando per istanziare l'interruttore Sxxx, dove i nodi nc+, nc- sono connessi al generatore Vok, che controlla l'impedenza tra i nodi n1, n2. Per interruttore chiuso l'impedenza tra i nodi n1,n2 è la resistenza Ron di valore irrisorio, assimilabile ad un

corto circuito.

Nel caso di interruttore aperto l'impedenza è la resistenza R_{off} , assimilabile ad un aperto. Il campo <model> definisce il modello di interruttore utilizzato per il componente istanziato. Il modello definisce l'insieme dei parametri matematici e fisici che vengono considerati nella simulazione, determinando il grado di approssimazione e il livello di finezza con cui si definisce un componente rispetto il suo comportamento reale.

La sintassi del modello viene definita col comando .model ed è la seguente:

- .model MySwitch SW(Ron=.1 Roff=1Meg Vt=0 Vh=-.5 Lser=10n Vser=.6)
vengono definiti tutti i parametri di interesse, come:
 - Ron=resistenza serie dell'interruttore chiuso.
 - Roff=resistenza serie dell'interruttore aperto.
 - Vt= soglia per il generatore V_{ok} che pilota l'interruttore(definisce il livello di tensione oltre il quale vi è l'apertura/chiusura dell'interruttore).
 - Altri parametri di relativa importanza, riguardo l'isteresi e i parassiti serie.
3. Comando di simulazione, memorizzazione dei risultati ottenuti e rappresentazione grafica delle forme d'onda attraverso interfaccia GUI di LTSpice.

Attraverso l'esecuzione dei comandi :

- “.tran” per specificare un tipo di simulazione che tiene conto degli effetti transitori. In questo modo, definiti dall'utente gli intervalli temporali su cui effettuare la simulazione, sarà possibile studiarne l'andamento nel tempo. La sintassi del comando è la seguente: .tran <Tstop>.
- Tstop= finestra temporale di osservazione del fenomeno transitorio.
- .PROBE.= comando per tenere traccia de risultati ottenuti su un file di testo.

Net-List:

simulazione_filtro

S1 RESEText vreg+ impulso 0 SW_RESEText

.model SW_RESEText SW(Ron=.1 Roff=1Meg Vt=0.5 Vh=-.5 Lser=10n Vser=.6)

Vreg vreg+ 0 1.6

Vok impulso 0 PULSE(0 1 0 0 0 100m 0.5)

Rb1 0 RESEText 1k

Cb1 RESEText vreg+ 10u

.tran 2

.probe

.end

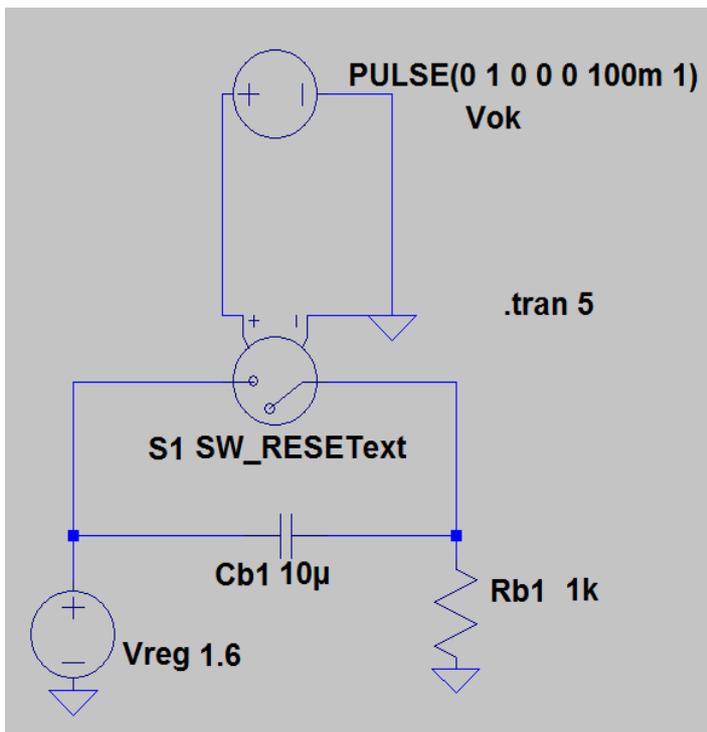


Figura 4.7.1- circuito spice con i nodi di riferimento, corrispondenti alla net-list creata.

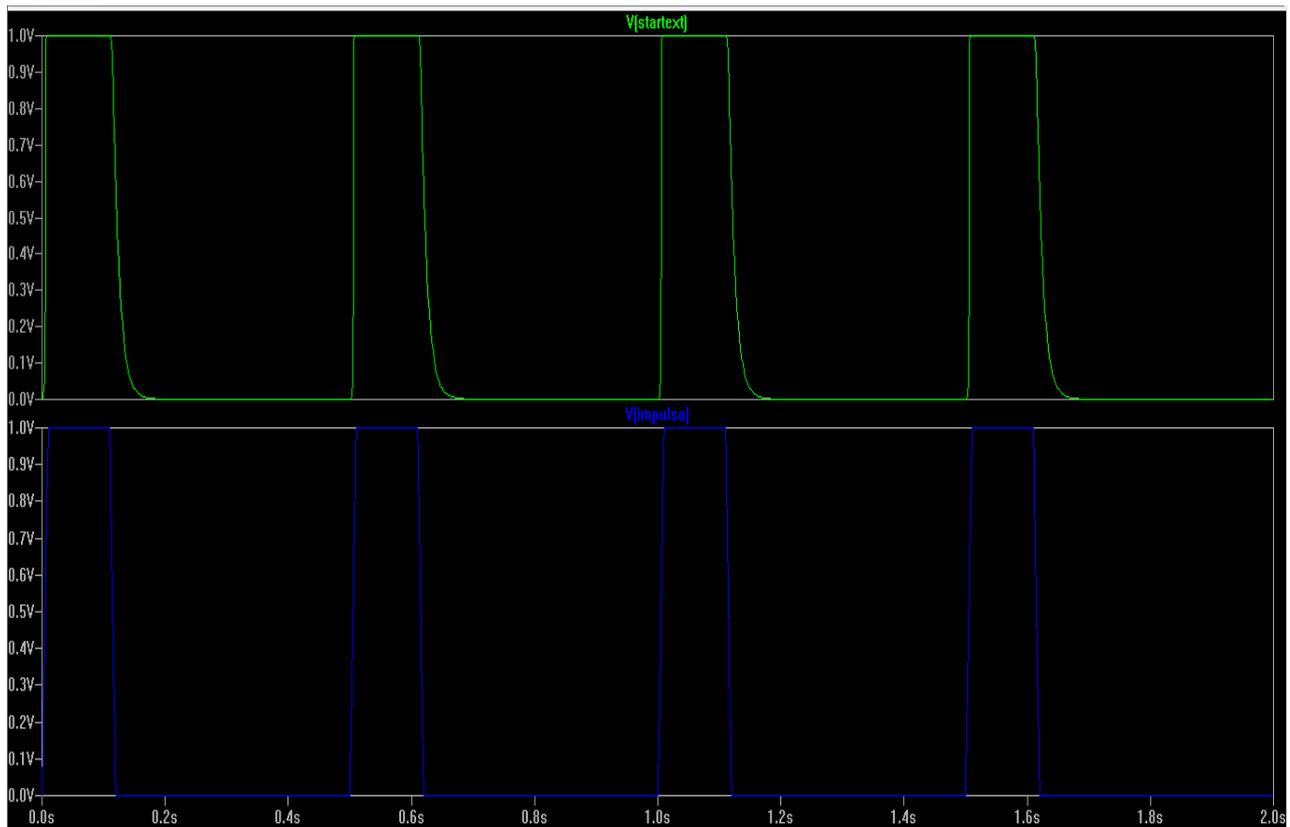


Figura 4.7.2- grafico post simulazione, con l'andamento del segnale RESEText(colorato in verde), alla pressione del pulsante(Vok colorato in blu).

Per valori di VREG che tendono a 1.6volt, si è verificato che:

1. Il segnale di uscita RESEText rimane a 0 volt, quando non si ha la pressione del pulsante, cioè quando la tensione di pilotaggio dell'interruttore Vok <

$V_t(\text{soglia})=0.5$ volt. Durante questo intervallo temporale la tensione di alimentazione regolata, V_{REG} , viene disaccoppiata dal nodo di uscita, attraverso il condensatore di by-pass C_{b1} , che blocca le tensioni DC.

2. Il segnale di uscita $RESET_{\text{Text}}$ si porta istantaneamente ad 1 volt, quando si ha la pressione del pulsante, cioè quando la tensione di pilotaggio dell'interruttore $V_{ok} > V_t(\text{soglia})= 0.5$ volt. Durante questo intervallo temporale di breve durata, il condensatore C_{b1} viene cortocircuitato dalla chiusura dell'interruttore e di conseguenza la tensione V_{REG} viene riportata al nodo d uscita. Al rilascio dell'interruttore si ha un processo di scarica RC, tramite il condensatore C_{b1} e l'uscita si riporta a 0 volt con andamento esponenziale.

pin14: $START_{\text{Text}}$ = ingresso digitale corrispondente al segnale di start, da inviare esternamente.

Sono state ripetute le stesse analisi condotte per il segnale $RESET_{\text{Text}}$ e il circuito risulta analogo. Si introduce il filtro anti-bounce, con i seguenti componenti:

- $R_{b2}= 1k\Omega$
- $C_{b2}= 10\mu F$

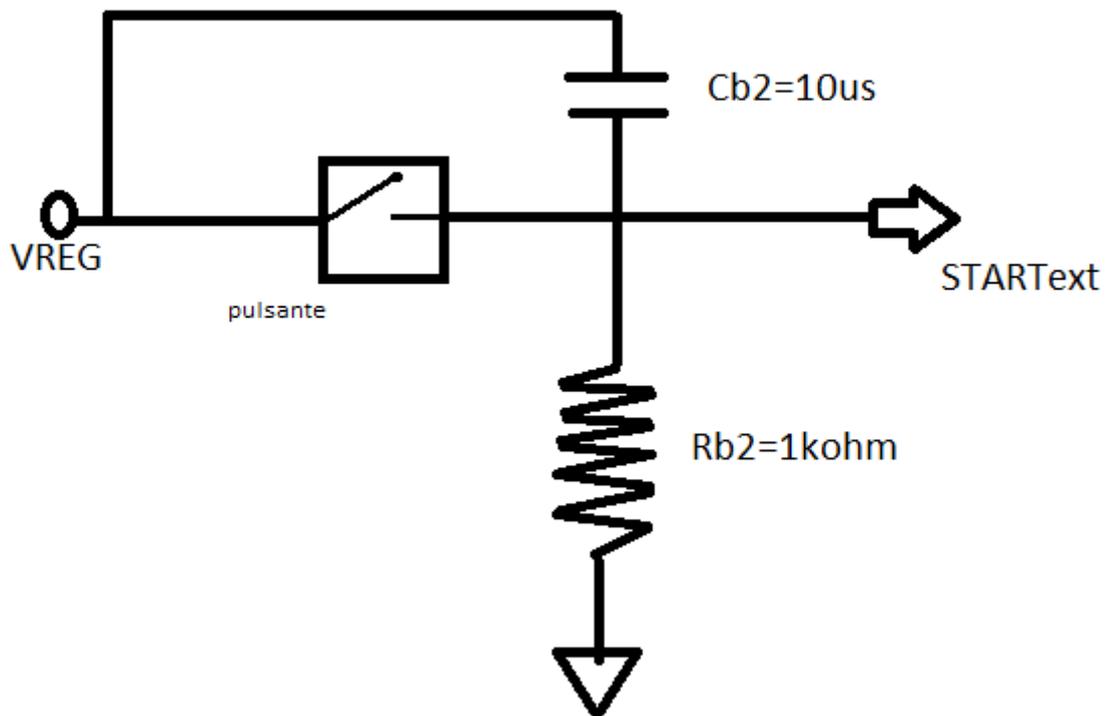


Figura 4.8- schema circuitale per anti-bounce del segnale $START_{\text{Text}}$

pin15: $START_{\text{mux_out}}$ = E' un segnale di output, che si genera internamente non

appena comincia l'acquisizione del “dato” digitale.

pin23: START= E' un segnale di input, che abilita la trasmissione del “dato” digitale.

I segnali “STARTmux_out” e “START” sono strettamente correlati, poiché per il funzionamento del sistema è necessario che il segnale di START venga generato dopo un intervallo temporale controllabile dal segnale di STARTmux_out, per questo si inserisce una rete RC capace di ritardare di 200 μs il segnale di START.

$$\tau = (R_{st1} + R_{st2}) C_{start}$$

- $R_{st1} = 240\Omega$.
- $R_{st2} = 1k\Omega$.
- $C_{start} = 100nF$.

La situazione è la seguente:

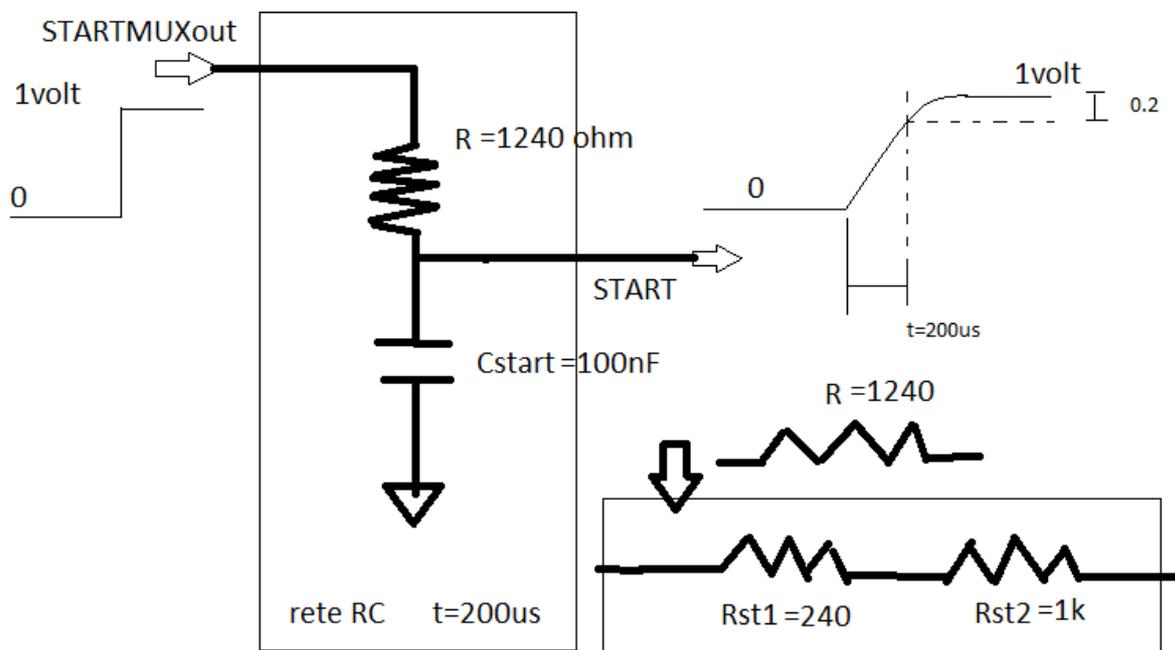


Figura 4.9- schema circuitale della rete RC ritardatrice, per segnale di START

- Sequenza dei calcoli eseguiti per il transitorio di carica RC

le condizioni iniziali prevedono:

- C_{start} inizialmente scarica, $V_c(t=0)=0$;
- tempo di salita $t=200\mu s$
- si assume valore logico alto raggiunto sui 0.8volt, come noto dalle specifiche tecnologiche.

$$V_{STARTMUXout} = V_0 = 1\text{volt} \quad ;$$

$$V_{START} = V_c(t) \quad ;$$

$$V_0 = V_c(t) + Ri_c = V_c(t) + \frac{RC * dV_c(t)}{dt} \rightarrow \text{LKV}$$

$$\int_0^t dt = RC * \int_0^{V_{cf}} \left(\frac{dV_c}{V_0 - V_c} \right) ;$$

$$t = -RC * [\ln(V_0 - V_c)]_0^{V_{cf}} ;$$

$$t = RC * \ln\left(\frac{V_0}{V_0 - V_{cf}}\right) ;$$

$$V_0 = 1 \text{ volt} ;$$

$$V_{cf} = 0.8 \text{ volt} ;$$

$$t = 200 \mu\text{s} ;$$

$$\tau_{min} = RC_{min} = \frac{200 \mu}{\ln \frac{1}{1-0.8}} = 0.000124267 \text{ s} ;$$

Da questo risultato derivano i valori di resistenza e capacità scelti.

pin16: REFpin= Riferimento di tensione del sensore di temperatura esterno, su cui viene connessa un'opportuna capacità.

- A questo scopo è stato scelto un condensatore Cref = 1pF .

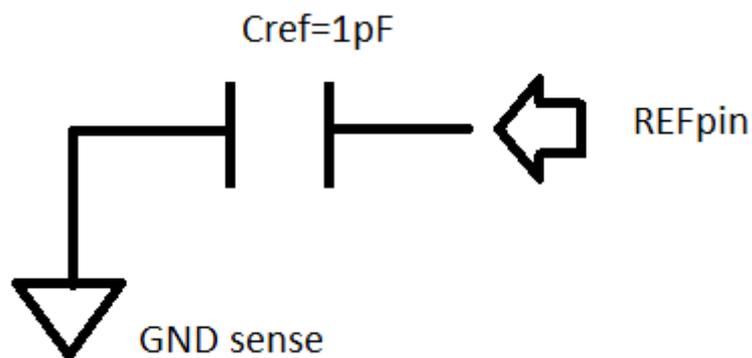
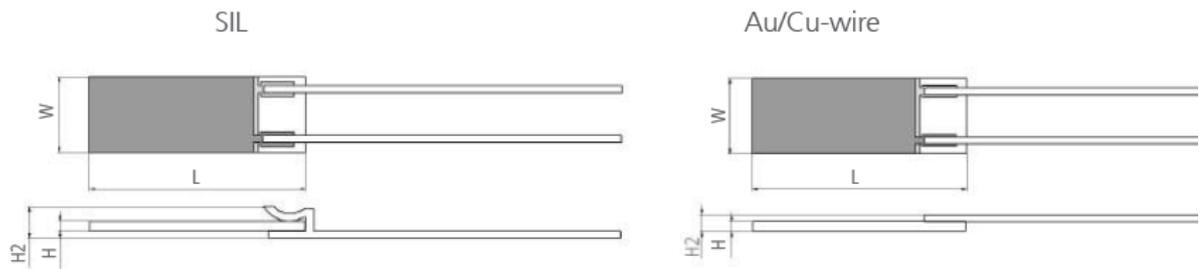


Figura 4.10- circuito che afferisce al nodo REFpin, del segnale di riferimento del sensore.

pin17: SENSEpin= Ingresso del segnale analogico proveniente dal sensore di temperatura passivo, che si trova esternamente.

- Per il sensore esterno è stato scelto il modello MK33-W rappresentato in figura 4.11.



1) For actual size, see dimensions

Technical Data

Dimensions (L x W x H / H2 in mm):	SIL	10.8 x 3.81 x 0.4 / 1.2
	Au/Cu-wire	10.8 x 3.81 x 0.4 / 0.8

Figura 4.11- sensore MK33-W(datasheet)

Il sensore è dotato di 2 connettori, uno che trasporta l'informazione analogica proveniente dalla sonda e uno per il riferimento di massa. SENSEpin è di natura bidirezionale, ma in questo caso essendo un sensore passivo si occupa solo di prelevare il segnale analogico proveniente dalla sonda esterna(sensore MK33-W). Come vedremo dettagliatamente in seguito, la massa di questo elemento è stata separata dalla massa digitale, per diminuire il rumore indotto dagli altri dispositivi.

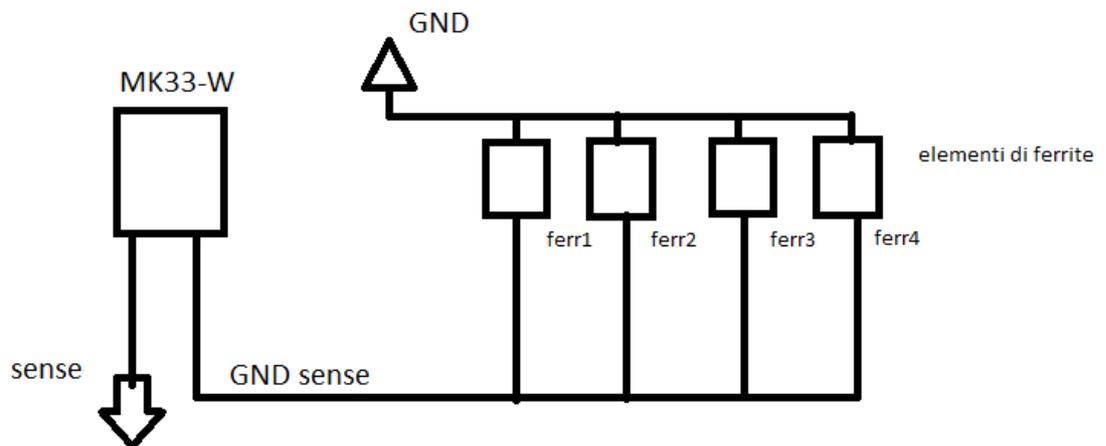


Figura 4.12- schema circuitale per i segnali SENSEpin e per i componenti che collegano le massa del sensore(GND sense) alla massa analogica/digitale(GND).

pin18: clk_debug= uscita per effettuare il debug del segnale di clock.

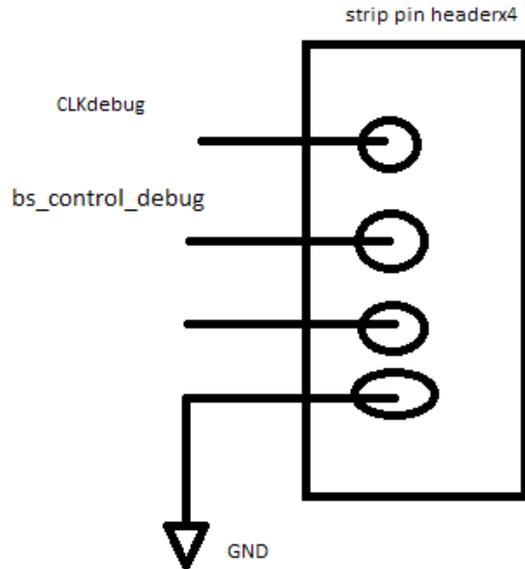


Figura 4.13- circuito che rappresenta il connettore di debug per i segnali clk_debug e bs_control_debug.

Questo segnale di output serve per monitorare lo stato del segnale di clock della parte digitale. E' un segnale di testing che è stato collegato direttamente su un pin headerx4, per poi essere misurato tramite strumentazione di laboratorio adeguata. Si utilizza quindi una strip di connettori opportuna, tenendo conto che per semplificare il testing si è aggiunto un connettore per il riferimento di massa.

pin24: bs_control_debug= segnale di debug che deve essere monitorato per testare il back-scattering dello switch RF. La sua uscita viene connessa al pin headerX4 descritto in precedenza.

Segnali appartenenti all'interfaccia SPI esterna:

- pin37: Miso(master In /Slave Out) =segnale di dato.
- pin38: sck= segnale di clock impartito dal master.
- pin39: cs= segnale di chip-select, per abilitare gli "slave".

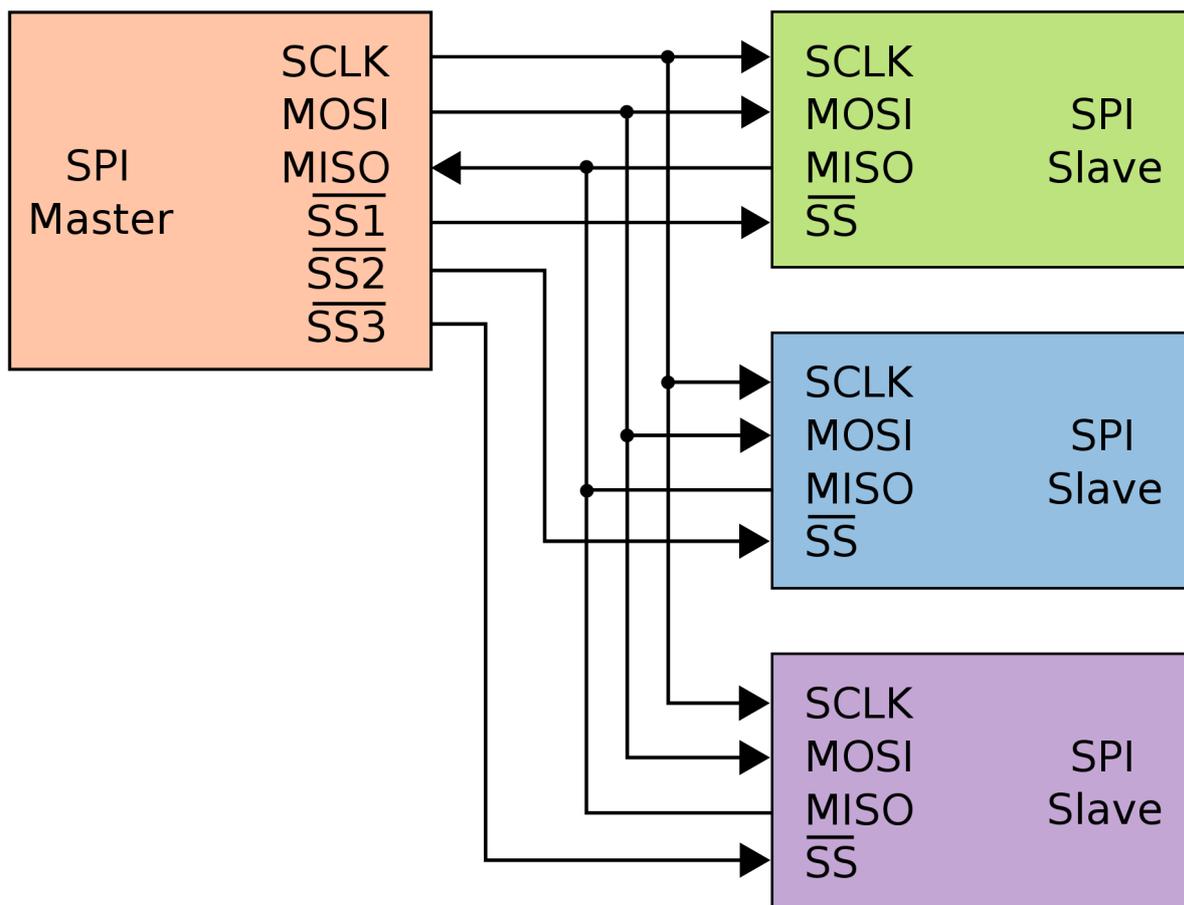
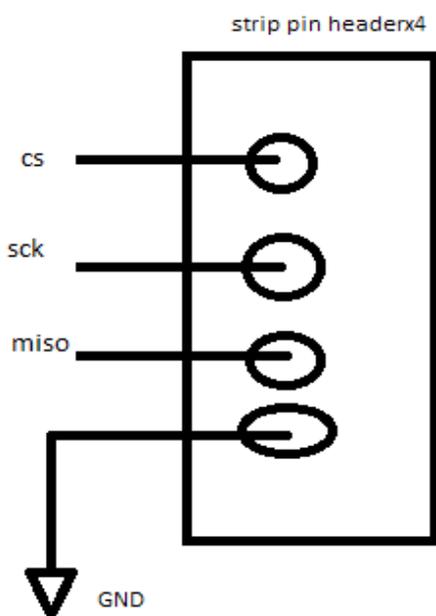


Figura 4.14- architettura di funzionamento del protocollo SPI.

I segnali dell'interfaccia SPI, sono stati connessi esternamente attraverso una strip di

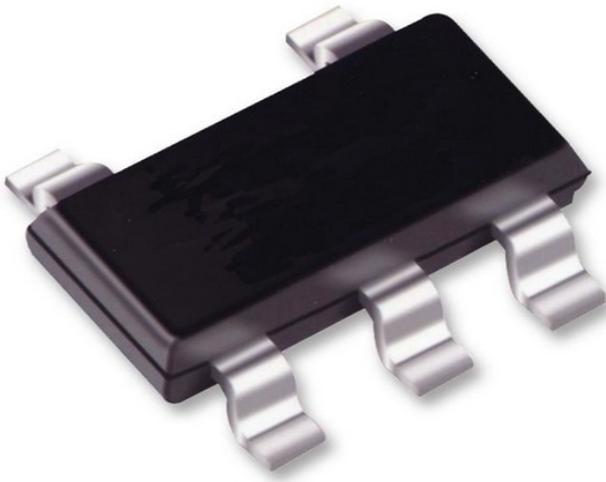


connettori(headerX4).

Figura 4.15- schema che rappresenta il connettore per i segnali dell' SPI.

pin41: EXT_CLK= input del segnale di clock esterno a frequenza prestabilita di 1MHz/100kHz che se abilitato, viene utilizzato come clock di sistema.

In figura 4.16 viene rappresentato il modello utilizzato.



4.16- oscillatore LTC6900CS5, generatore del segnale di clock esterno EXT_CLK .

Questo componente è in grado di generare diverse frequenze in uscita. Poiché il sistema lavora alla frequenza di 1MHz, sono state introdotte opportune modifiche come si evince dalla figura 4.19. Viene alimentato a 5 volt, tramite l'alimentazione esterna.

In figura 4.17 viene indicato il funzionamento in funzione dello stato dei pin di configurazione.

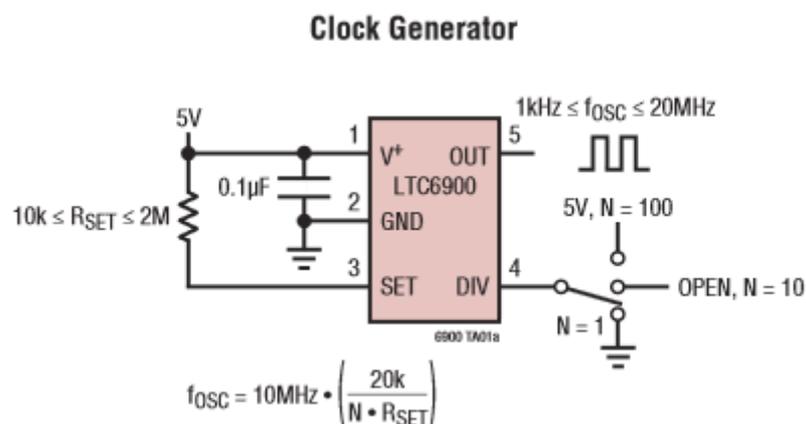


Figura 4.17- rappresentazione delle configurazioni possibili sulla base delle

connessioni elettriche ai pin(datasheet LTC6900)

Prevede la possibilità di modificare la frequenza di uscita, variando la configurazione dei pin ed eventualmente la resistenza di set(Rset).

$$f_{OSC} = 10\text{MHz} \cdot \left(\frac{20\text{k}}{N \cdot R_{SET}} \right), N = \begin{cases} 100, & \text{DIV Pin} = V^+ \\ 10, & \text{DIV Pin} = \text{Open} \\ 1, & \text{DIV Pin} = \text{GND} \end{cases}$$

Figura 4.18- espressione numerica per il calcolo della frequenza di funzionamento(datasheet LTC6900)

Per ottenere la frequenza desiderata è stata utilizzata la seguente configurazione:

- Tensione di alimentazione a 5 volt in ingresso, selezionabile tramite uno switch.
- Rset=20k Ω .
- N=10. Ovvero pin DIV mantenuto open e collegato ad un pin headerX1, con la possibilità di forzarne un valore diverso.
- condensatore Cck=0.1 μF =100nF
- Un mosfet Mod a canale N in configurazione open-drain, per adattare a 1 volt il range di tensione della forma d'onda in uscita.

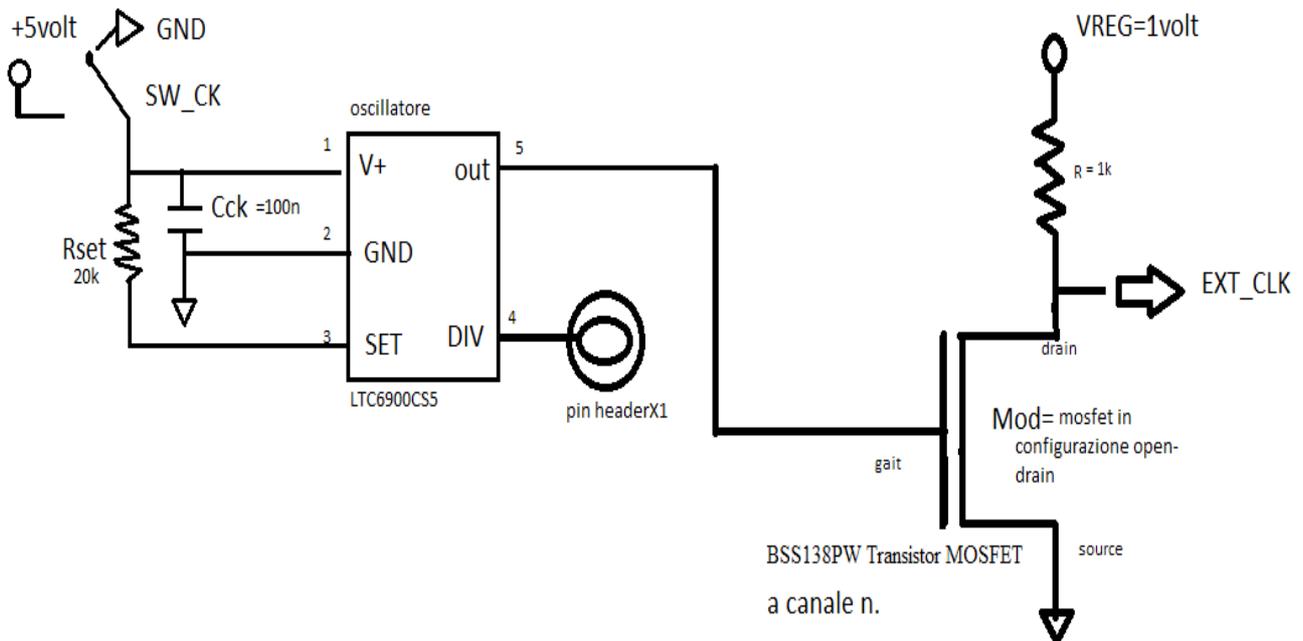


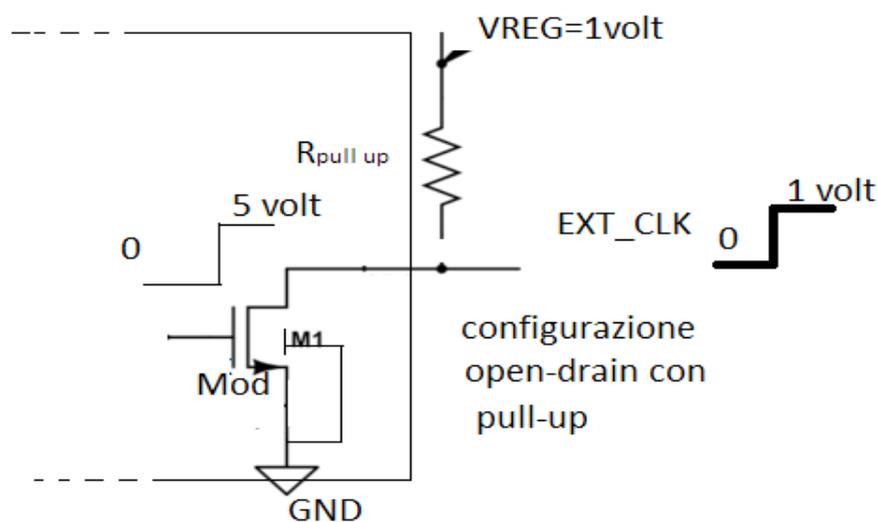
Figura 4.19- schema circuitale, per la generazione del segnale di clock esterno.

Il mosfet Mod BSS138PW di figura 4.19, è stato scelto opportunamente e presenta le seguenti specifiche:

1. $V_{gs(th)} = 1.2\text{ volt}$, tensione di soglia tipica tra gate e source in condizioni $V_{ds} = V_{gs}$;
 $I_d = 250\ \mu\text{A}$;
2. $R_{ds(on)} = 1\ \text{ohm}$, resistenza tra drain e source quando il mosfet è nello stato "on":
 $V_{gs} = 5\ \text{volt}$;
 $I_d = 50\ \text{mA}$;

Inoltre ipotizzo $R_{ds(off)} = 1\ \text{Mohm}$, $V_{REG} = V_{cc} = 1\ \text{volt}$.

Figura 4.19.1: Mosfet in configurazione open-drain.



Il mosfet a canale N, viene pilotato al gate dal segnale di clock proveniente dal nodo di "out" dell'oscillatore. Si tratta di un'onda quadra che varia da 0 volt a 5 volt (tensione di alimentazione). Utilizzato in questa configurazione, il mosfet alterna due fasi ben distinte:

- Stato "on": $V_{gs} = 5\ \text{volt} > 1.2\ \text{volt}$.

In questa fase il Mosfet è acceso e l'uscita si porta al valore logico basso.

$$V_{out} = EXT_{CLK} = \frac{V_{REG} * R_{ds(on)}}{R_{ds(on)} + R_{pu}} = \frac{V_{REG}}{1 + 1k} \approx 0\ \text{volt} \quad ;$$

E' stata scelta una resistenza di pull-up sufficientemente grande per mantenere l'uscita al valore logico basso.

- Stato "off": $V_{gs} = 0\ \text{volt} < 1.2\ \text{volt}$.

In questa fase il Mosfet è spento e l'uscita è il risultato di un partitore resistivo tra: R_{pu} e $R_{ds(off)}$.

$$V_{out} = EXT_{CLK} = \frac{V_{REG} * R_{ds(off)}}{R_{ds(off)} + R_{pu}} = \frac{V_{REG}}{1 + \frac{1k}{R_{ds(off)}}} \approx 1 \text{ volt} ;$$

In questo caso, poiché la resistenza da 1kohm non è paragonabile alla $R_{ds(off)}=1\text{Mohm}$, l'uscita si mantiene al valore logico alto.

4.2.1.2 Segnali di power

pin9: VRECT= segnale che rappresenta la tensione all'uscita del rettificatore.

E' stato inserito:

- un headerX2, per misurare la tensione al nodo.
- un pin headerX1, collegato alla linea RF_RECT, per testare il segnale RF dall'antenna del rettificatore.
- Un condensatore $C_{rect}=100\text{pF}$.

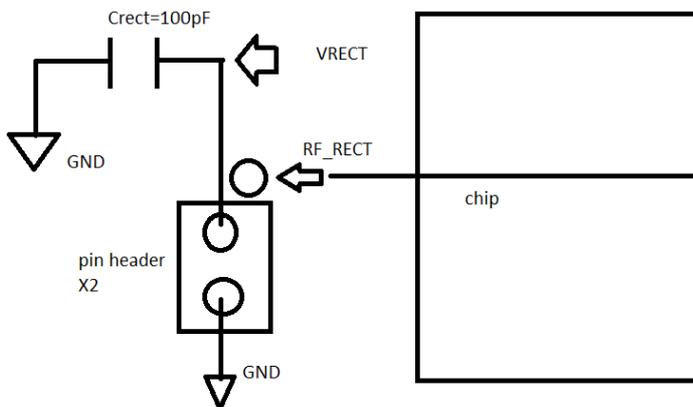


Figura 4.20- circuito di debug per i segnali RF_RECT e VRECT.

pin48: Vstore= pin su cui si effettua lo storage attraverso una capacità esterna. E' la parte su cui si accumula e si recupera l'energia, per poi riutilizzarla nell'ottica dell'Energy Harvesting.

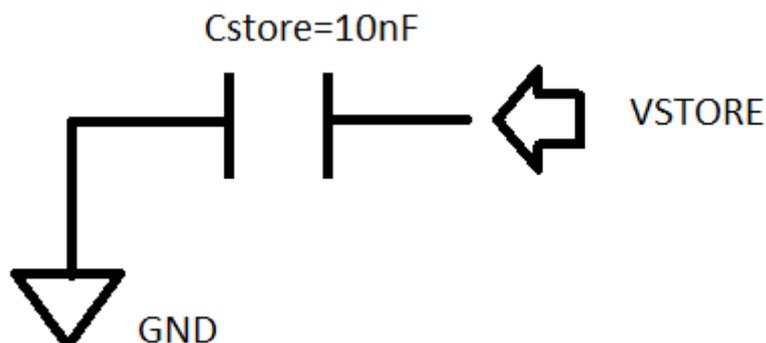


Figura 4.21- circuito per il segnale VSTORE.

- Si connette una capacità $C_{store}=10nF$.

pin45: AVDD= alimentazione analogica, utilizzata per testare l'alimentazione interna oppure per forzarla esternamente attraverso un alimentatore.

pin46: DVDD= alimentazione digitale, utilizzata per testare l'alimentazione interna oppure per forzarla esternamente attraverso un alimentatore.

pin47: VREG= Alimentazione regolata generata dall'harvesting, da dove si diramano i segnali AVDD e DVDD, anche questa si aggira su 1volt-1.6volt.

Per avere la possibilità di forzare la tensione di alimentazione del chip, è stato introdotto il convertitore DC/DC raffigurato nell'immagine sottostante.



Figura 4.22- convertitore DC/DC LDO ADP1708ARDZ-R7(datasheet)

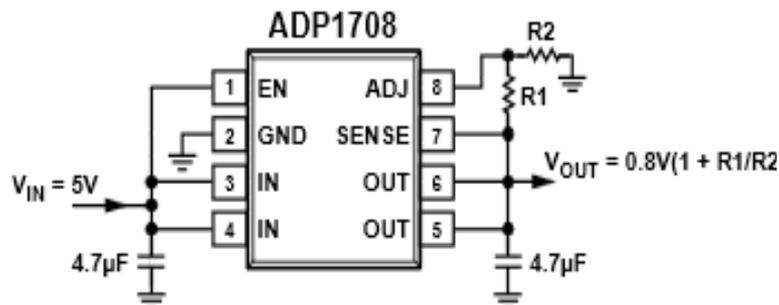


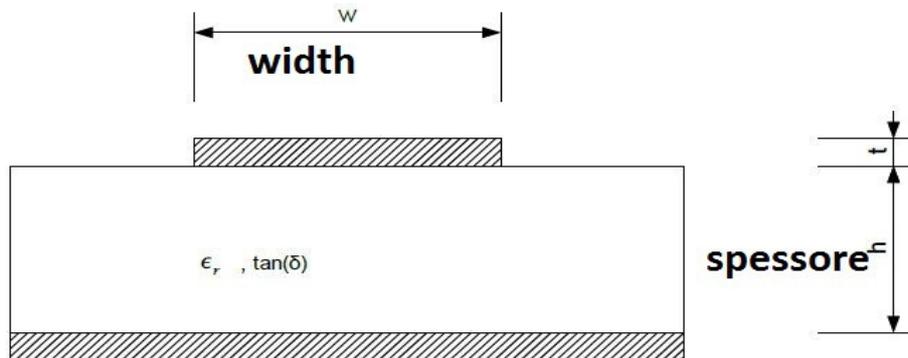
Figura 4.23- configurazione dei pin di input/output, per tensione regolata(datasheet ADP1708)

Sono state previste 2 tensioni di alimentazione all'uscita del convertitore, la prima ad 1 volt, la seconda a 1.6 volt.

Lo schema generale realizzato è quello di figura 4.24.

Questo segnale RF, è stato portato in uscita attraverso una microstriscia, la cui sezione trasversale è stata opportunamente progettata per realizzare una linea adattata a 50 ohm. Nella parte terminale della linea è stato inserito un connettore sma, per connettere l'antenna adatta.

Figura 4.25 - rappresentazione della sezione trasversale di una generica microstriscia.



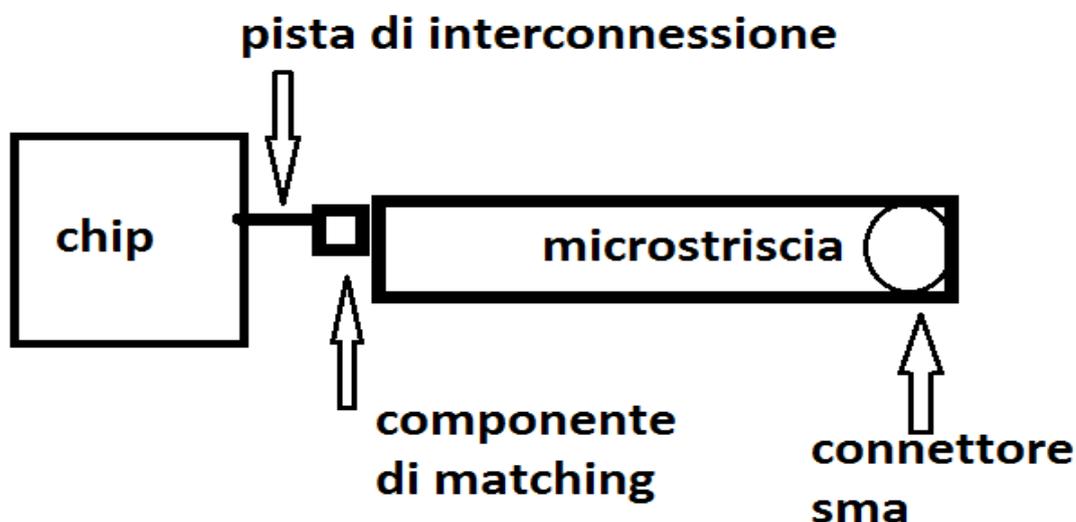
pin30: GND_RF= pin che deve essere collegato alla massa della sezione RF, separata dalla massa analogica/digitale.

pin31: RF_rect= ingresso al chip che fornisce il segnale captato dall'antenna che esegue il "matching", che internamente viene rettificato e impiegato per l'alimentazione dell'harvesting.

pin32: GND_RF= pin che deve essere collegato alla massa della sezione RF, separata dalla massa analogica/digitale.

pin33: RF_in= pin di ingresso della sezione RF, ricevente il segnale dello switch che commuta a frequenza UHF, che fornisce il sincronismo e la parte di harvesting.

Anche questo segnale RF è stato portato in uscita attraverso una microstriscia, la cui sezione trasversale è stata opportunamente progettata per realizzare una linea adattata a 50 ohm con connettore sma finale. Inoltre è stata inserita una zona vuota nella sezione di discontinuità, dove avviene il contatto tra la pista che si collega al pin del chip e la microstriscia, per prevedere la possibilità di inserire un induttore(o un



condensatore) di "matching" per l'adattamento.

Figura 4.26- circuito per interfacciamento segnale RF_IN.

In figura 4.26 la sezione all'uscita del chip con larghezza 0.254mm e la sezione a larghezza 1.5mm della microstriscia, che va a contattare il connettore sma.

pin34: GND_RF=pin che deve essere collegato alla massa della sezione RF, separata dalla massa analogica/digitale.

4.2.2. Segnali di controllo digitali che configurano il funzionamento del chip.

Questi segnali vengono forzati attraverso diversi switch statici commutabili in 2 posizioni, dalla tensione di alimentazione('1' cioè valore logico alto) a GND('0' cioè valore logico basso).

Al valore logico alto corrisponde la tensione di alimentazione regolata VREG, mentre al valore logico basso corrisponde la GND.

E' stato utilizzato un interruttore scorrevole SPDT(single point double throw), la cui configurazione cambia secondo lo schema di figura 4.27.

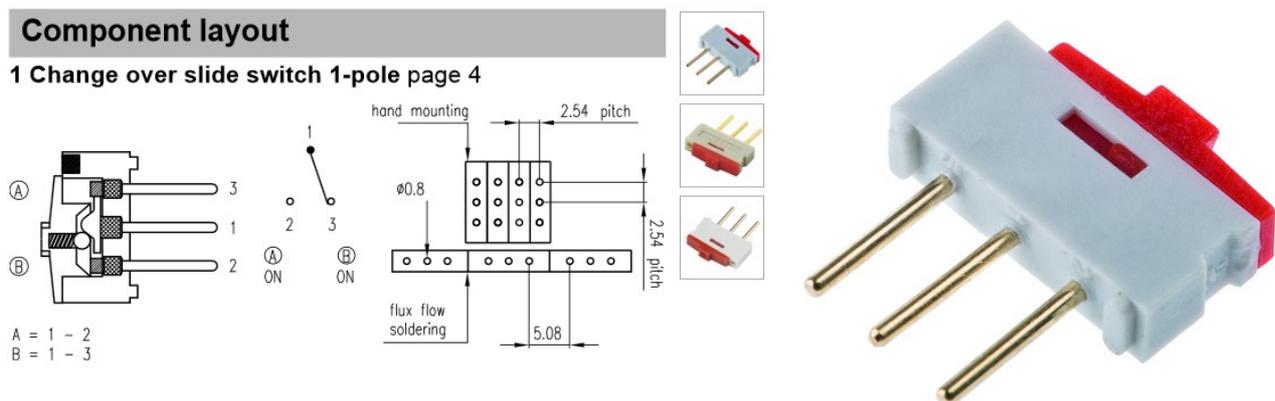


Figura 4.27- Interruttore spdt SIP 09.03201.02 con configurazione dello stato dei pin. (datasheet)

pin6: RESETconf= segnale attivo alto che abilita l'utilizzo del segnale di RESEText.

pin13: STARTconf= segnale attivo alto che abilita l'utilizzo del segnale di STARText.

pin19: segnale conf2.

pin20: segnale conf1.

pin21: segnale conf0.

conf[2..0] è una sequenza di 3 bit=[conf2 conf1 conf0]. In base alla sua configurazione, viene impostato uno degli 8(2^3) possibili codici di backscattering.

pin22: RFID_mode= segnale attivo alto che abilita l'interfaccia RFID.

pin25: debug_en= segnale attivo alto che abilita i segnali di debug(clk_debug, bs_control_debug).

pin40: sense_sel= segnale attivo alto che abilita il segnale proveniente dal sensore esterno.

pin42: Sel_clk= segnale attivo alto che abilita il segnale del clock esterno.

pin43: VONconf= segnale attivo alto che abilita l'utilizzo delle alimentazioni esterne.

pin44: VtrigLow= segnale attivo alto, che permette di effettuare uno spostamento di soglia da 1.69 a 1.53 volt, per la parte analogica.

Per questi segnali, lo schema circuitale è dunque molto semplice ed immediato. Si utilizza come tensione di alimentazione la tensione regolata VREG.

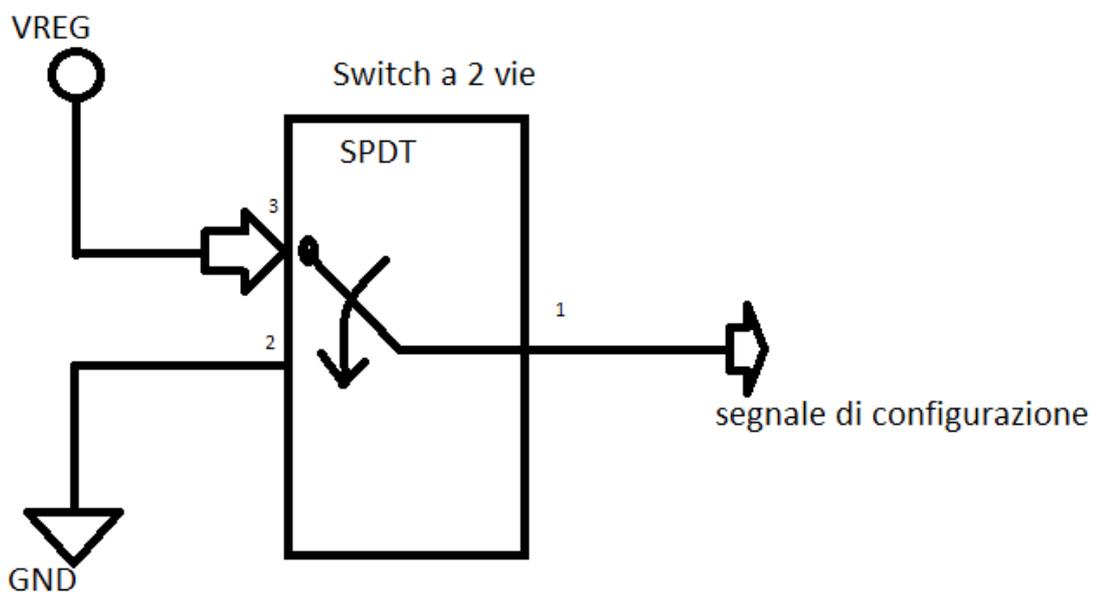


Figura 4.28- Generico circuito per la generazione dei segnali di configurazione.

pin7: DYNENconf= segnale attivo alto che abilita la riduzione di stadi della dinamica.

Per questo segnale viene utilizzata l'alimentazione VRECT.

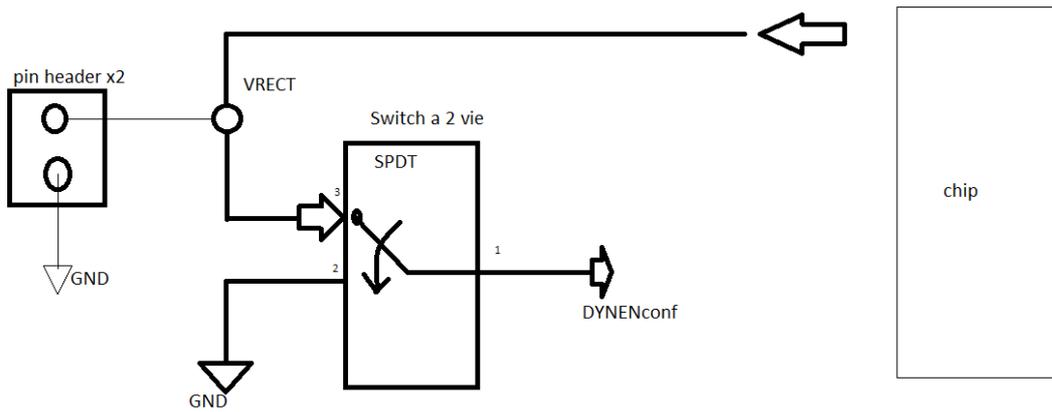


Figura 4.29- circuito per il testing del segnale VRECT e per la configurazione del segnale DYNENconf.

Tutti e tre i segnali delle alimentazioni sono stati interfacciati secondo lo schema in figura 4.30, prevedendo la possibilità di forzare l'alimentazione dall'esterno o di poterla misurare se generata internamente, attraverso un pin headerX4.

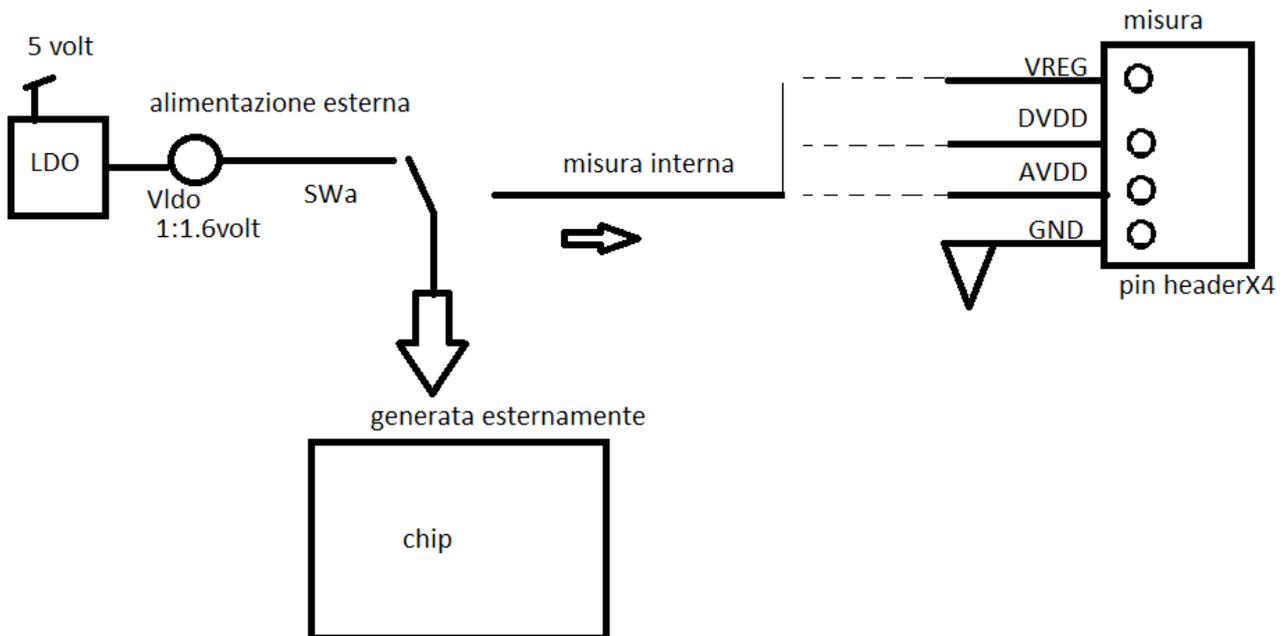


Figura 4.30- schema circuitale per il testing delle tensioni di alimentazione AVDD, DVDD e VREG.

Al fine di consentire l'utilizzo di un adattatore per integrati QFN, in alternativa al montaggio diretto su scheda, è stato previsto un layout specifico per i segnali che afferiscono al chip. In figura 4.31 uno schema della soluzione prevista.

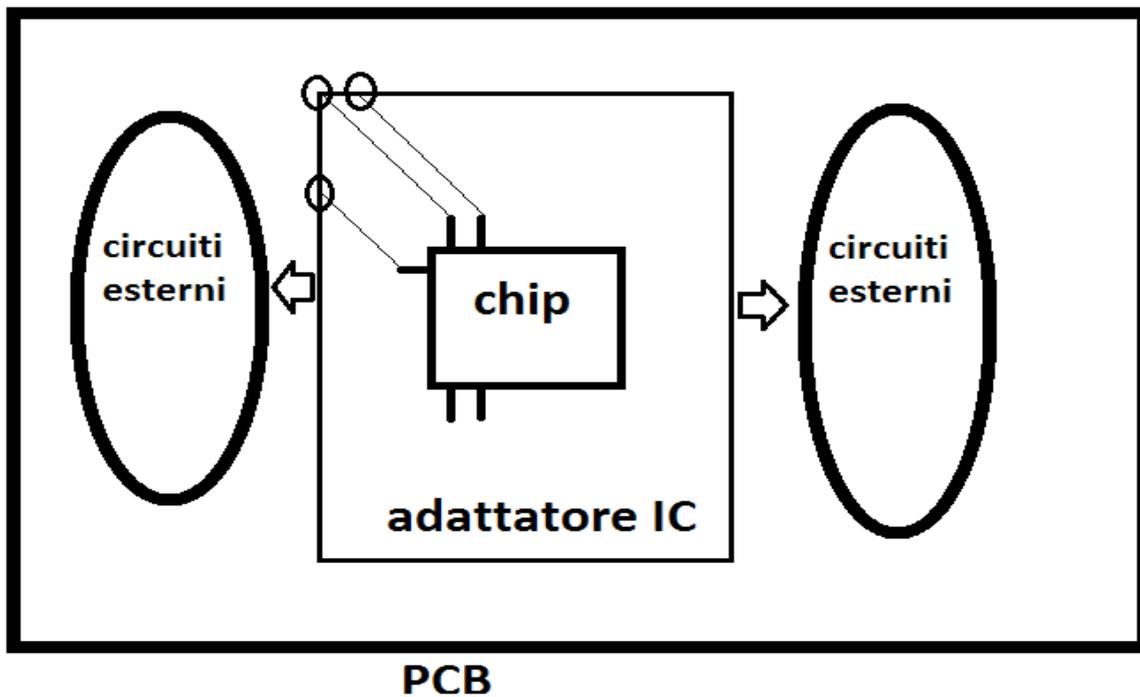
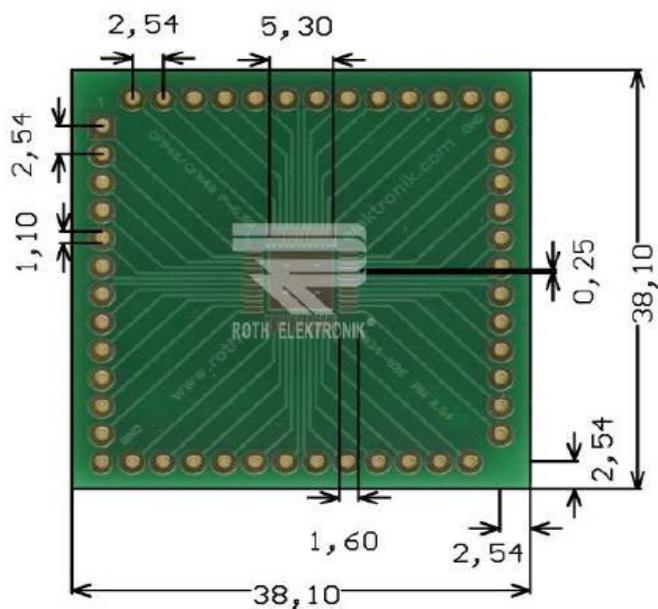


Figura 4.31- schema generico della scheda PCB con il posizionamento del chip



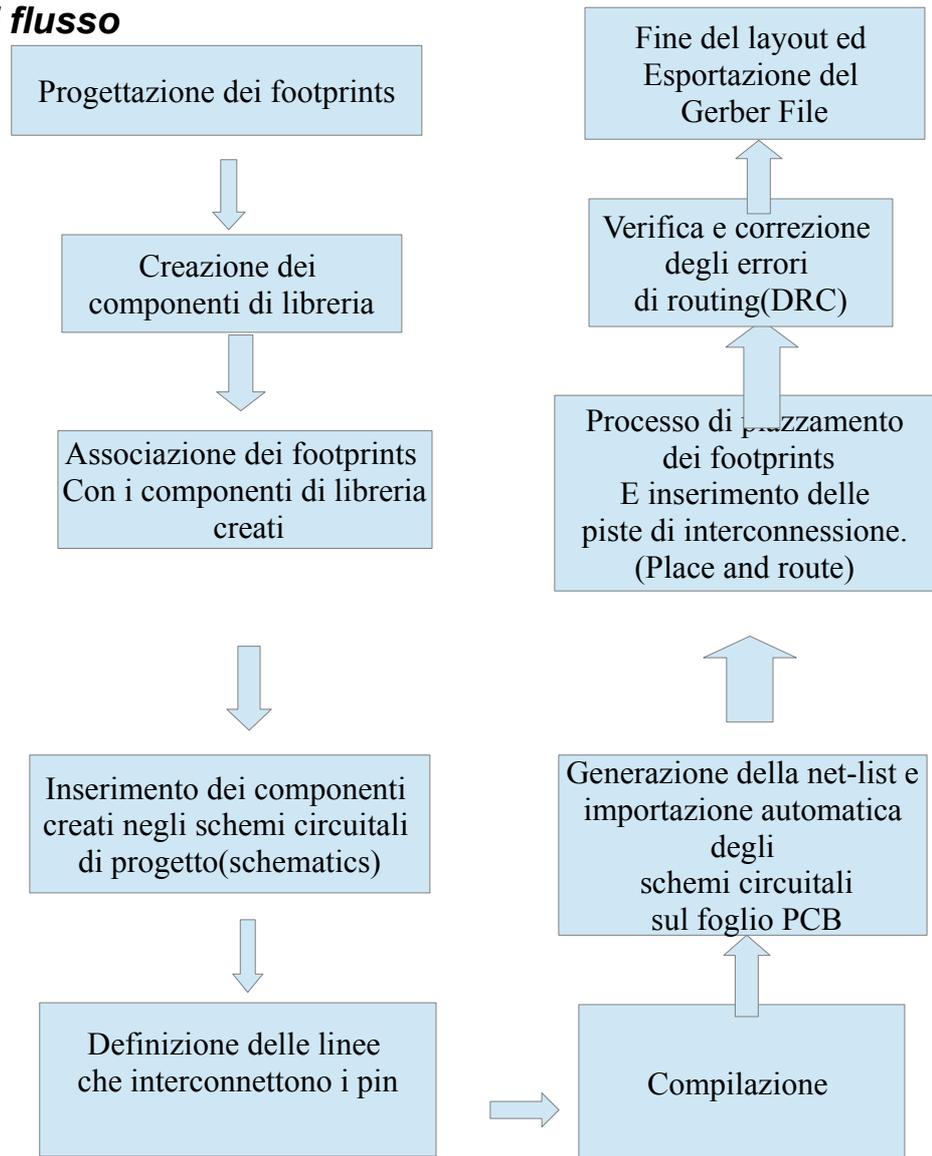
integrato all'interno dell'adattatore IC, con le modalità di interconnessione previste.

Il modello di adattatore utilizzato a questo scopo è riportato in figura 4.32.

Figura 4.32- adattatore RE934-02E, Roth Elektronik(datasheet)

CAPITOLO 5 - LE FASI DI PROGETTO

5.1. diagramma di flusso



5.2. La creazione del footprint

Una volta definiti i circuiti che afferiscono ai pin di Input/Output del chip e le relative specifiche di progetto, è stata eseguita una scelta scrupolosa dei modelli dei componenti più appropriati.

Attraverso i “data sheet”, è stato possibile ricavare le dimensioni del package, con le distanze, che definiscono i contatti esterni e la forma meccanica.

Il package è il contenitore che racchiude il “die” del chip integrato, dal quale fuoriescono i pin o i terminali di collegamento. Un componente, dal punto di vista meccanico, può avere varie caratteristiche, tra le quali una parte elettrica che viene saldata al circuito stampato, composta da piazzole (pin) di varia forma e dimensione.

Per ogni componente quindi è stato progettato il layout geometrico, che rappresenta la modalità di contatto con il PCB sottostante e viene indicato con il termine

“footprint”, perché rappresenta l'impronta di un componente, che viene delineata a partire dal disegno meccanico dei packages standard dei componenti elettronici. Nei datasheet spesso viene fornita una descrizione della visione superiore(top) e della visione inferiore(bottom). Il footprint, oltre a definire il profilo geometrico dei pin per le interconnessioni elettriche, realizza la serigrafia del perimetro del componente e le indicazioni testuali che lo identificano. I componenti “through-holes”, vengono contattati attraverso dei fori in corrispondenza dei contatti, mentre nelle tecnologie SMD i contatti sono dei pad e si espandono solo superficialmente, senza attraversare il layer. Inoltre ai fini del progetto è anche importante tenere conto dell'espansione del solder mask, che potrebbe oscurare i contatti, andando a definire la dimensione in modo opportuno.

Prima di iniziare a costruire un footprint è stata selezionata l'unità di misura prevista in mm oppure in Inch. Inoltre è stata impostata la risoluzione del reticolato(snap grid), nel foglio di lavoro, per raffinare e facilitare il posizionamento dei pad. Nello spazio sottostante il foglio di lavoro sono presenti, con diversi colori, i layer che compongono il PCB dove vengono posizionati i footprints, con la possibilità di poterli selezionare o escluderli vicendevolmente.

Per tutti i footprint realizzati, è stato necessario impostare le seguenti proprietà:

- coordinate spaziali dei pad;
- dimensioni del foro(hole);
- forma geometrica;
- nomenclatura del pad (Designator);
- scelta del layer;
- espansione del solder mask;
- dimensione del body e dello sviluppo in 3d;

Si veda la figura 5.1 per le proprietà appena elencate.

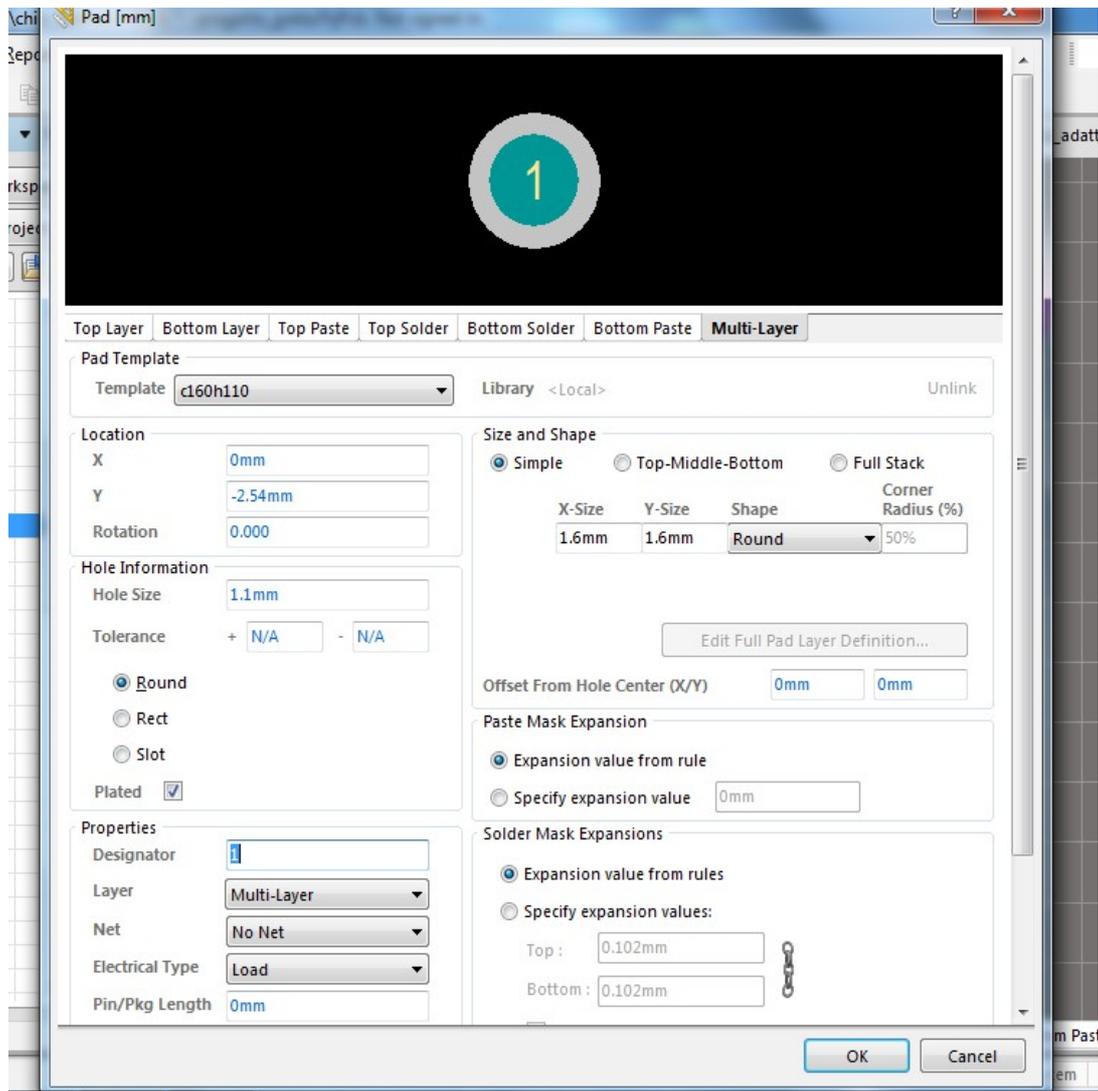


Figura 5.1- Finestra di Altium Designer, con le proprietà del pad.

Attraverso i comandi messi a disposizione dal programma, è possibile semplificare la creazione dei footprint, andando ad eseguire una procedura guidata, che permette di velocizzare il progetto per i footprint con un elevato numero di pad.

5.2.1. Elenco dei footprint realizzati

- libreria pcb Chip GRETA

Il package di questo chip è il modello QFN48.

avendo a disposizione il data-sheet, si è utilizzata la procedura guidata per la creazione del footprint, inserendo le opportune caratteristiche geometriche, come si evince dalla figura 5.2.

Inoltre si è utilizzata la procedura di numerazione automatica e sono state modificate in seguito le nomenclature (designators) dei pad, per realizzare il giusto “matching”, con il componente di libreria creato successivamente.

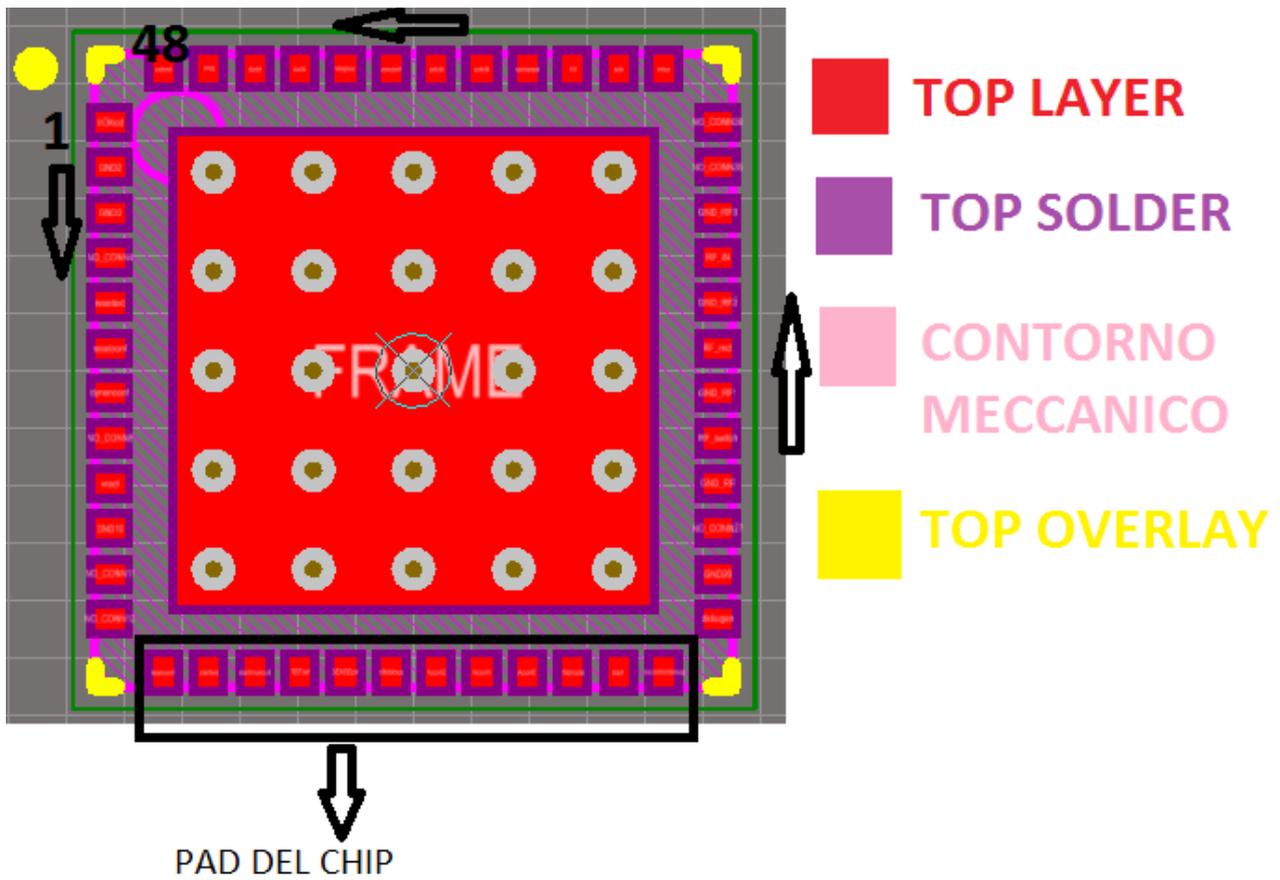


Figura 5.2- chip GRETA, footprint QFN48.

- libreria pcb chip_adattor RE934-02E

E' stata utilizzata nuovamente la procedura guidata, giungendo al risultato di figura 5.3.

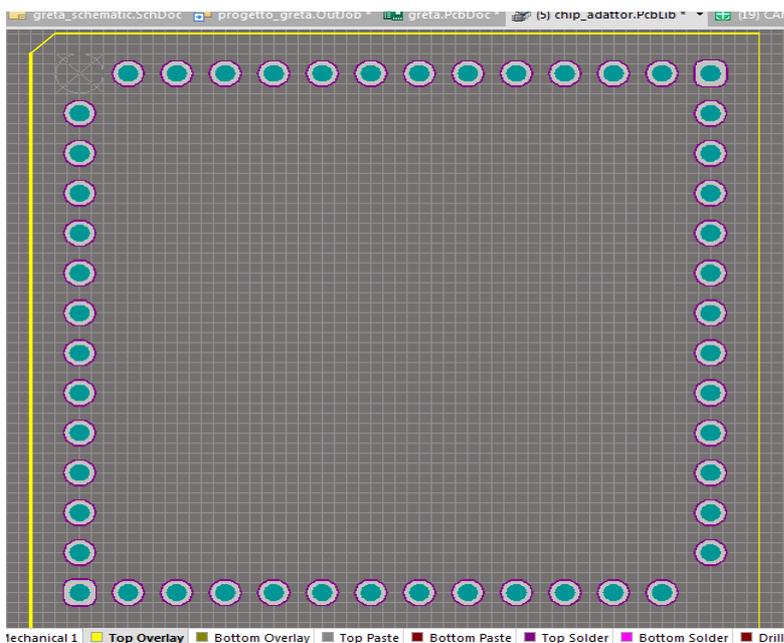


Figura 5.3: footprint chip_adattor RE934-02E

- Libreria Connettore Jack per PCB

Si tratta di un componente through-hole, per cui sono stati inseriti tre fori(holes), per alimentazione($V_{cc}=5$ volt) e massa(GND), come rappresentato il figura 5.4.

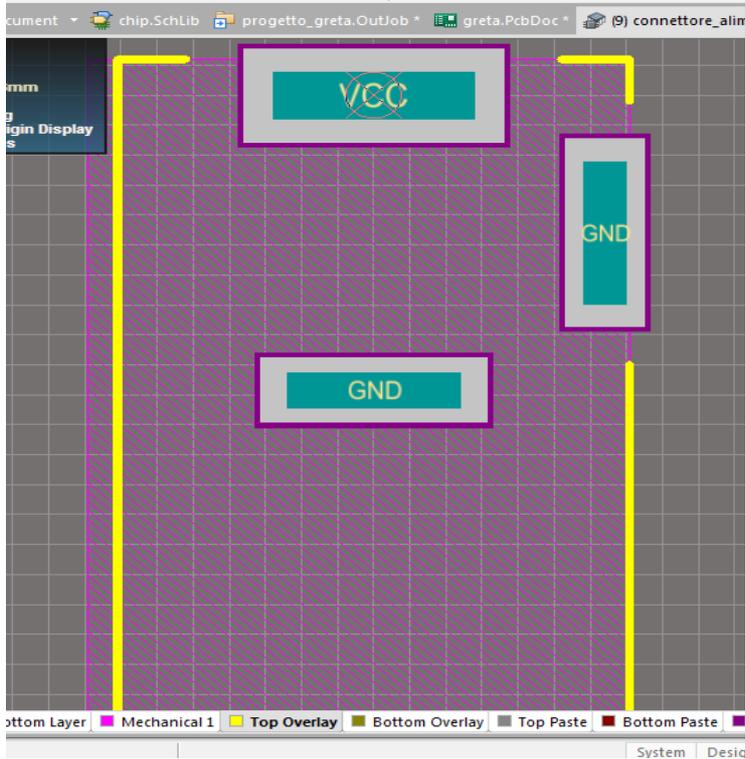


Figura 5.4: footprint presa di alimentazione RAPC712BK.

- libreria pcb oscillatore LTC6900CS5.

Utilizzo della procedura guidata, che permette di selezionare il package di tipologia TSOT23.

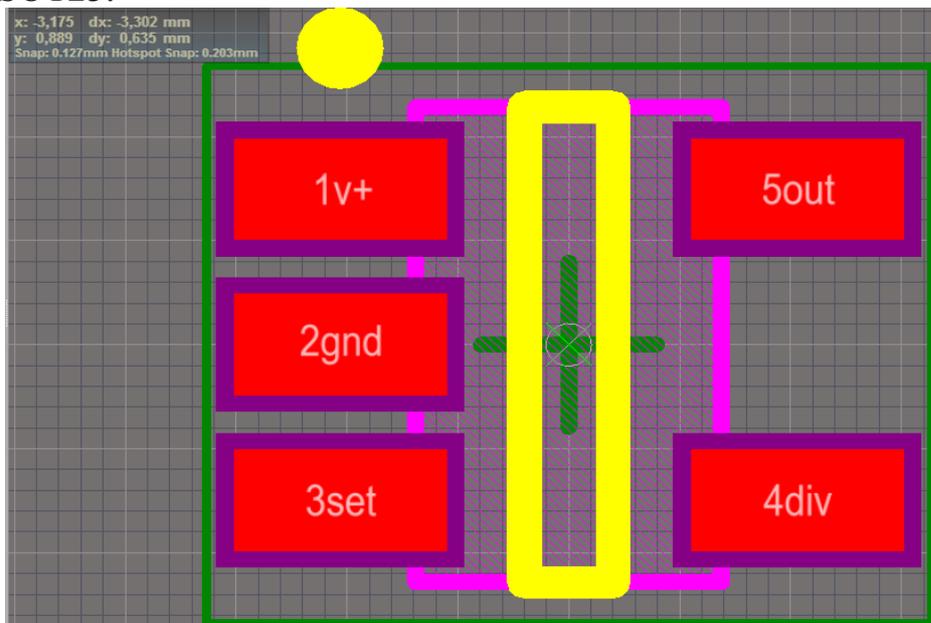


Figura 5.5- oscillatore LTC6900CS5.

- Libreria pcb ldo ADP1708ARDZ-R7

Analoghe considerazioni eseguite per le procedure precedenti.

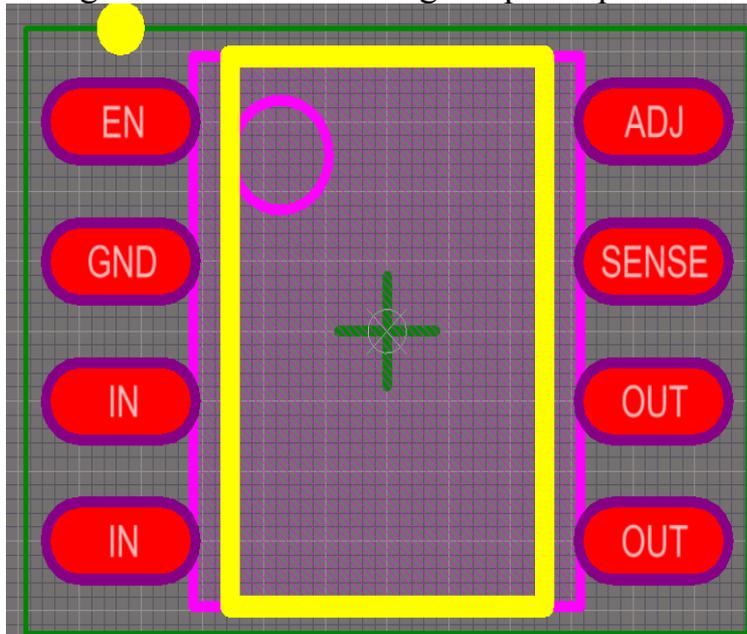


Figura 5.6- footprint ldo ADP1708ARDZ-R7

- libreria pcb resistori e condensatori

Per i componenti passivi(resistori, condensatori), sono stati scelti componenti di tecnologia SMD.

Il package di riferimento per questi componenti è lo standard 1206, che presenta le dimensioni di 3,1 x 1,55 x 0,55 mm. E' stato realizzato il footprint tenendo conto di un arrotondamento per eccesso delle misure, per garantire uno spazio sufficiente ai contatti, quando verranno posizionati i componenti. Il condensatore da 1pF è l'unico ad avere package diverso rispetto gli altri componenti passivi. Per questo componente è stato adottato lo standard 0805, con dimensioni 2 x 1.25 x 0.78mm.

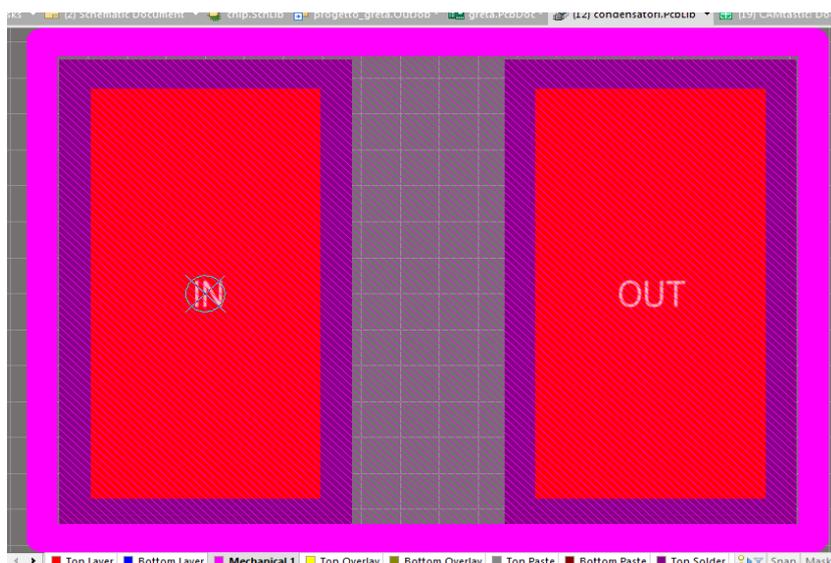


Figura 5.7- footprint condensatore ceramico multistrato Kemet 1pF

- libreria pcb microstriscia RF_IN

Il footprint è stato creato componendo una linea in rame con gli strumenti geometrici messi a disposizione dal programma, che permettono di definire aree e poligoni di varie forme, al fine di ottenere l'adattamento.



Figura 5.8- footprint RF_IN.

- libreria pcb microstriscia RF_SWITCH



Figura 5.9- footprint RF_SWITCH

- libreria pcb microstriscia RF_RECT

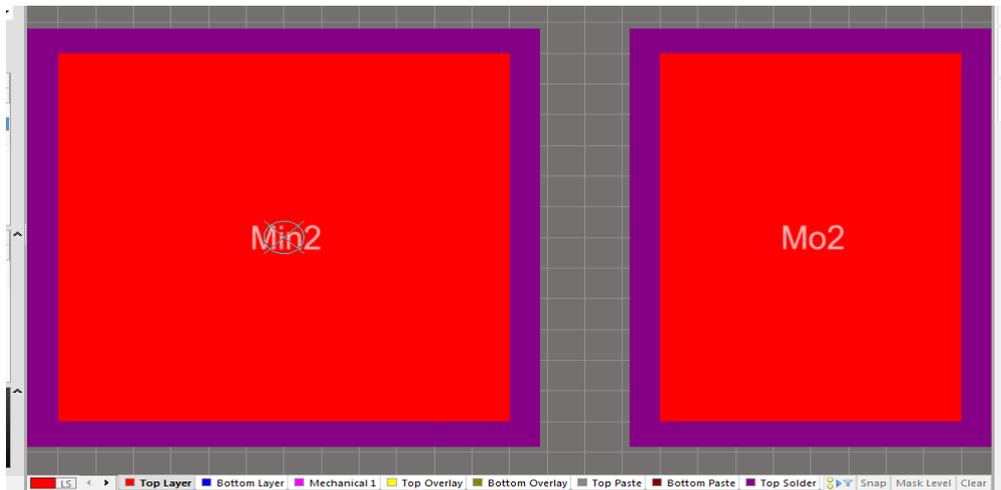


Figura 5.10- footprint RF_RECT

- Libreria pcb connettori pin headerX2 e pin headerX4

per costruire i footprint dei connettori che prelevano i segnali di debug, sono state inserite delle “holes”(buche) distanziate di 2.54mm.

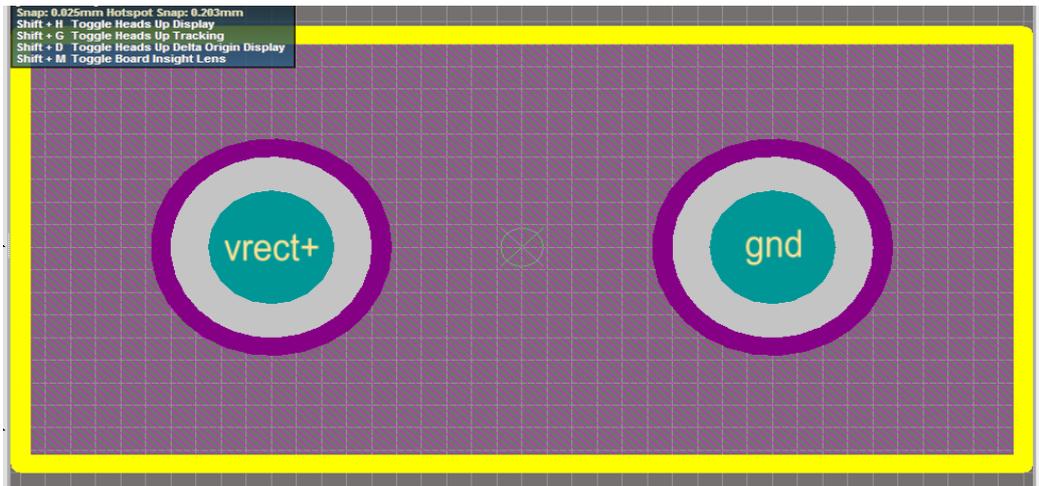
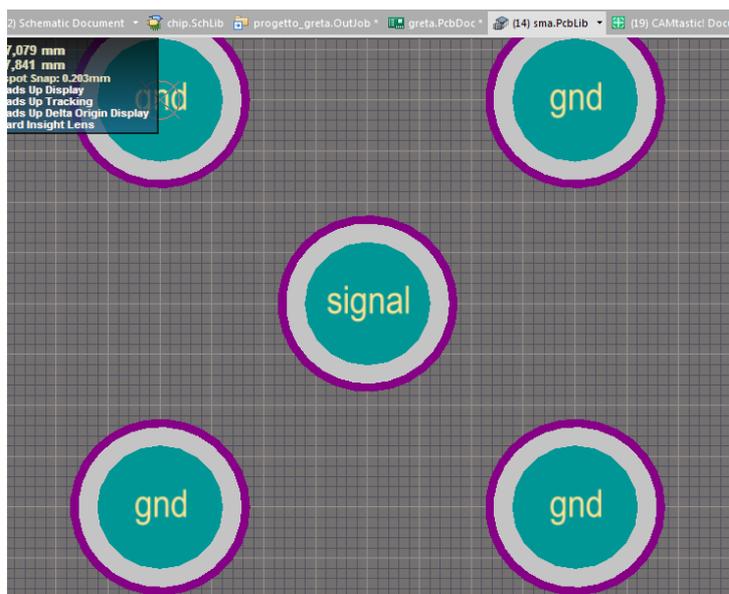


Figura 5.11- footprint pin headerX2

- Libreria pcb connettori sma

La distanza tra le “holes”rispetto quella centrale che trasmette il segnale è di 2.54mm. La distanza tra quelle ai vertici è di 5.08. La dimensione del foro è 1.54mm, pressoché coincidente con la larghezza(Width) della microstriscia.

Figura 5.12- footprint connettore sma.



5.3. La creazione dei componenti di libreria

Dopo aver realizzato i footprints, è stato necessario creare le librerie altium, definendo la forma simbolica dei componenti e il pin-out attraverso il quale vengono interconnessi. Per la creazione dei componenti solitamente si disegna un rettangolo attraverso i comandi del tool Altium e si aggiungono i pin.

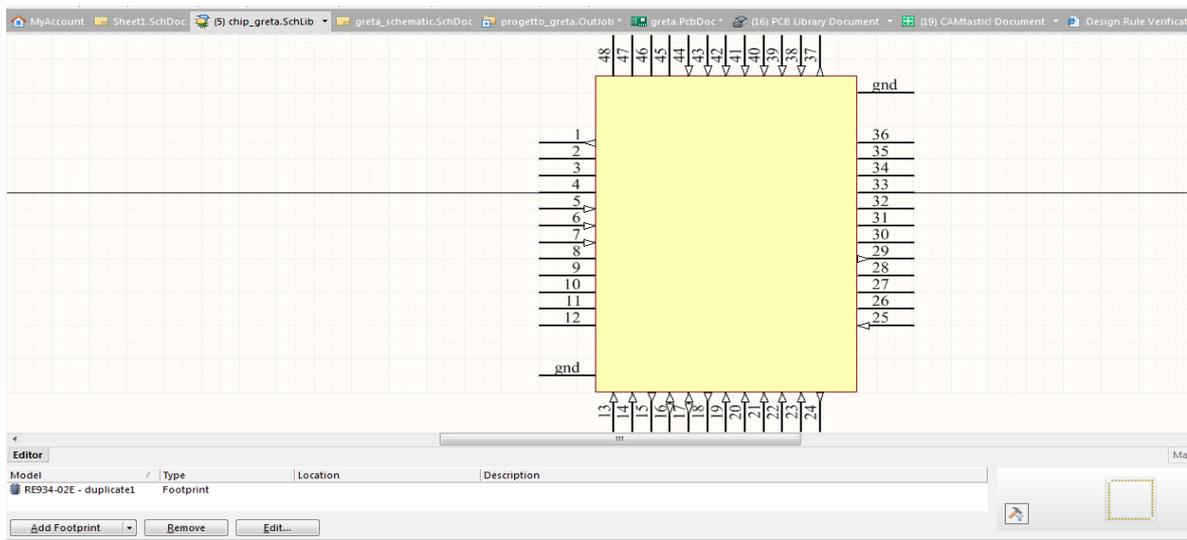
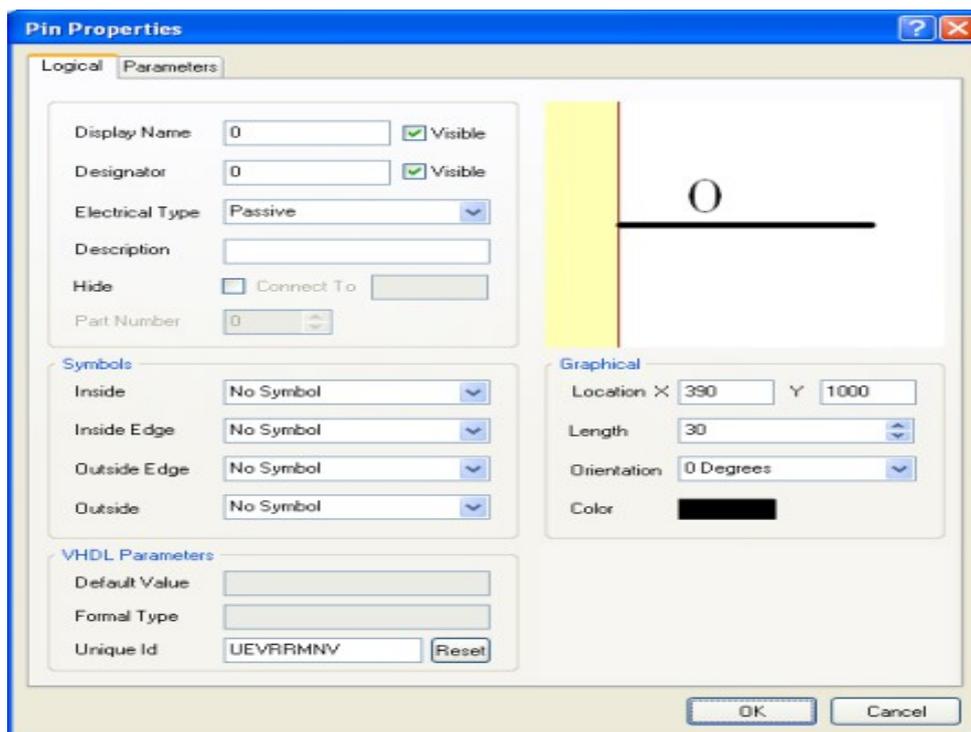


Figura 5.13- Rappresentazione rettangolo del componente di libreria completo, con i pin di input/output e la numerazione.

Accedendo alle proprietà del pin, vengono successivamente definite tutte le caratteristiche elettriche, l'orientamento e la nomenclatura(Designator).



Come rappresentato in figura 5.14.

Figura 5.14- finestra altium delle proprietà del pin.

Altium associa in automatico per ogni pin il codice identificativo unico, espresso nel campo Designator per evitare ambiguità ed errori in fase di compilazione.

Successivamente è stato necessario associare per ogni componente di libreria il proprio modello di riferimento, ovvero il footprint creato in precedenza, che risiede in una libreria a parte. Le associazioni avvengono tramite i nomi identificativi

(designators), per la nomenclatura dei pin, e la corretta mappatura con i corrispettivi “pad” nel footprint.

Come si nota dalla schermata Altium di figura 5.15, per ogni componente di libreria creato è stato possibile modificare le sue proprietà, ovvero:

- numero di pin, nomenclatura e tipologia elettrica (passive, power, HiZ ecc...) .
- modello di riferimento con relativo footprint.
- descrizione del modello reale del costruttore, con i dati tecnici e il datasheet, selezionabile con un tool di ricerca tra i principali fornitori di componenti elettronici (Farnell, RScomponents, Digi Key, Mouser ecc...).

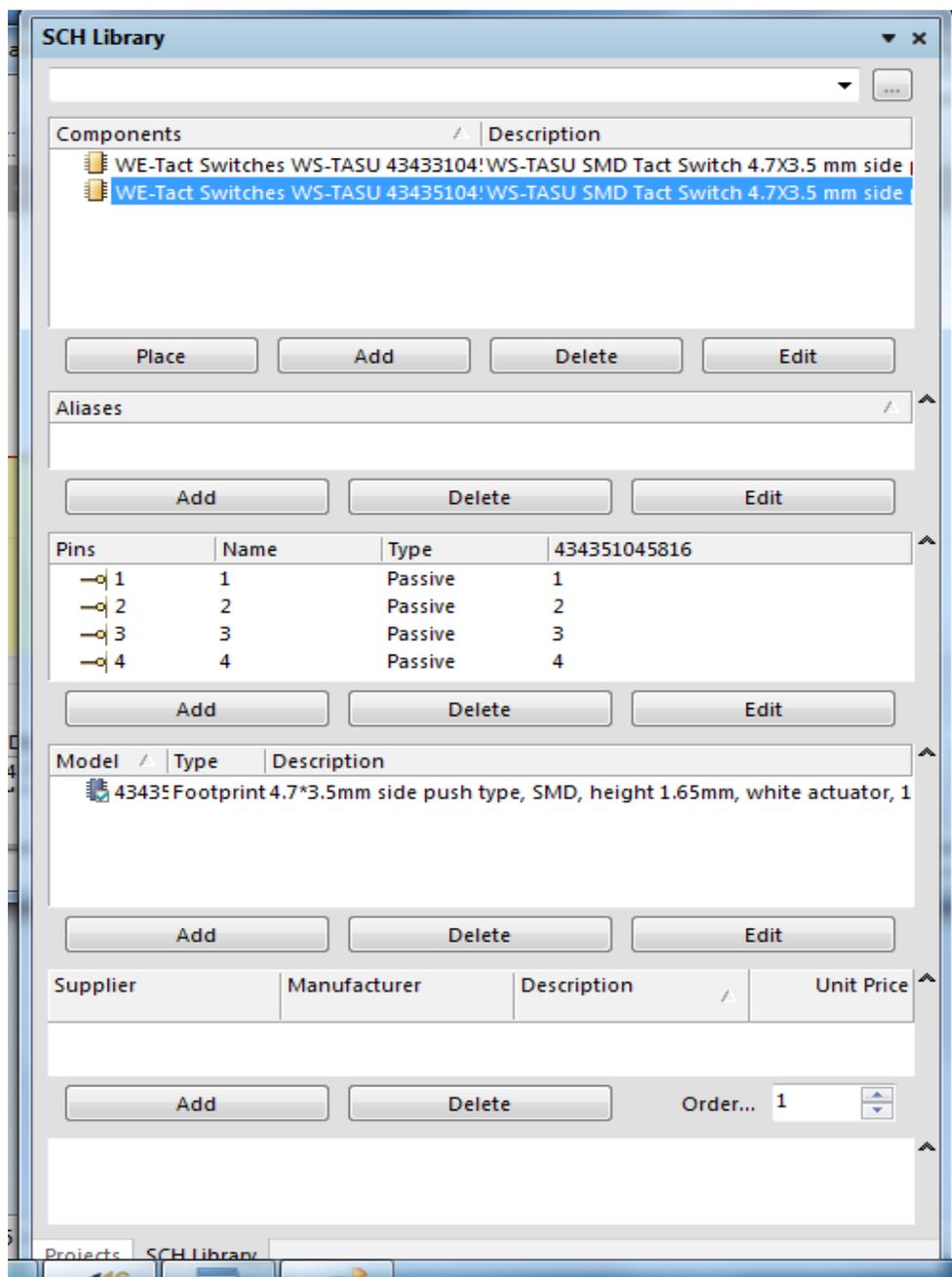


Figura 5.15- finestra altium con l'elenco dei componenti di una generica libreria.

5.4. La creazione degli schemi circuitali(schematics).

Il programma mette a disposizione un editor grafico, usato per disegnare sullo schermo il circuito da simulare. Consente di posizionare i componenti, collegarli assieme per formare il circuito e inoltre di specificare il tipo di analisi da eseguire.

Nello schema elettrico(Schematic) di ogni circuito, sono stati piazzati i componenti di libreria creati e tramite gli strumenti messi a disposizione dal programma sono stati disegnati manualmente i collegamenti elettrici(wire), per ciascun pin.

Selezionando il componente appena inserito è possibile accedere dal foglio dello schema circuitale alle sue proprietà, come si evince dalla figura 5.16.

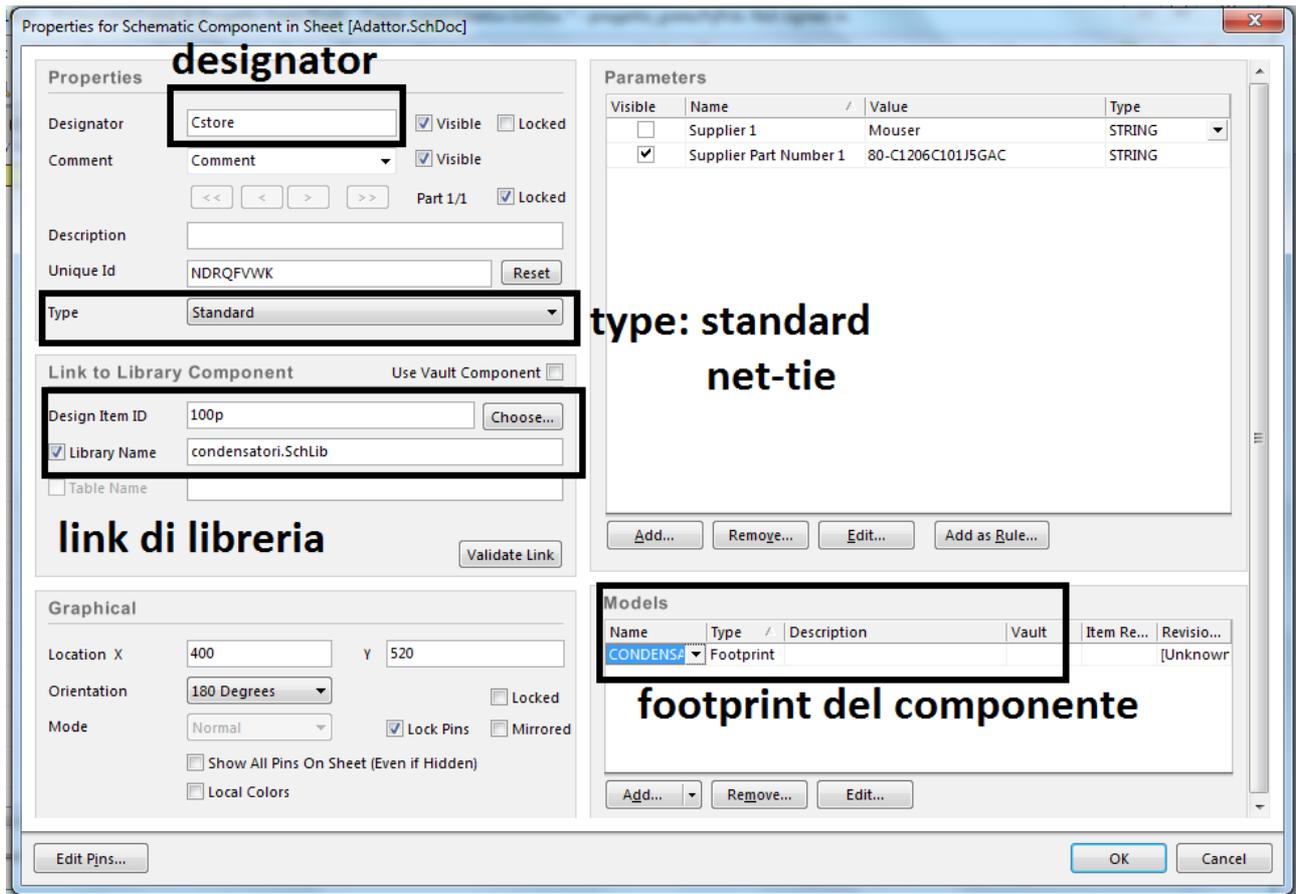


Figura 5.16- finestra Altium con le proprietà del componente e le parti modificabili dall'utente.

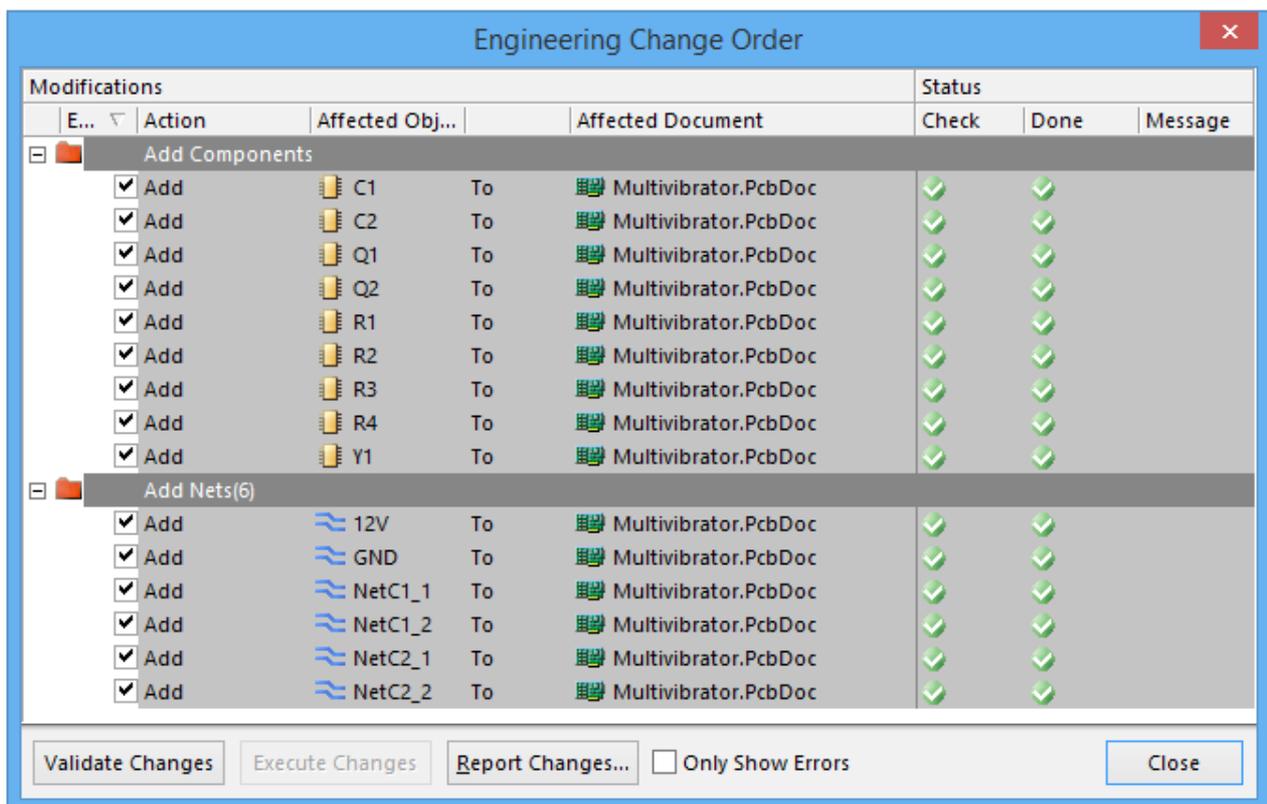
A seconda del componente creato, è stato impostato diversamente il campo “type”, che contiene il tipo “standard” o “net-tie”. Quest'ultima tipologia, fornita dal programma Altium, permette ai pad del componente creato, di essere interconnessi con altre “net”(linee), concedendo i corto-circuiti. Per la totalità dei componenti si è fatto riferimento alla tipologia standard. Per le linee RF, cioè le microstrisce, caratterizzate da metallizzazioni opportunamente costruite, è stato necessario impostare la tipologia net-tie, al fine di poter collegare tra di loro linee adiacenti, evitando errori di design.

Per interconnettere gli schemi, ai pin dei componenti sono state inserite delle porte di input/output, che sono lo strumento attraverso il quale si realizza la correlazione logica.

Terminati i circuiti e definite le porte logiche di interazione, al momento della compilazione viene generata una netlist che riepiloga tutte le interconnessioni.

Gli errori di compilazione sono stati risolti attraverso un attento processo di debug, che ha coinvolto ogni singolo componente, controllando le proprietà dei pin e verificando la corretta associazione con il corrispettivo componente di libreria. Come si evince dalla figura 5.16 è stato possibile monitorare il “path” che contiene il link con il footprint, per evitare anomalie.

Altium designer consente di trasferire automaticamente gli schemi circuitali nel foglio di lavoro del PCB, generando una lista di associazioni per tutte le net definite nello schema e tutti i componenti. Si veda la figura 5.17.



An ECO is created for each change that needs to be made to the PCB so that it matches the schematic.

Figura 5.17: generazione dell'engineering Change Order(ECO).

Per ogni componente viene assegnato il corrispettivo footprint di libreria. Inoltre si generano attraverso un processo automatico le connessioni su ogni pad, che vengono raffigurate con delle linee di collegamento virtuali.

Per gli schemi circuitali realizzati si faccia riferimento *all'appendice* di fine capitolo.

CAPITOLO 6- IL LAYOUT: PLACE AND ROUTE

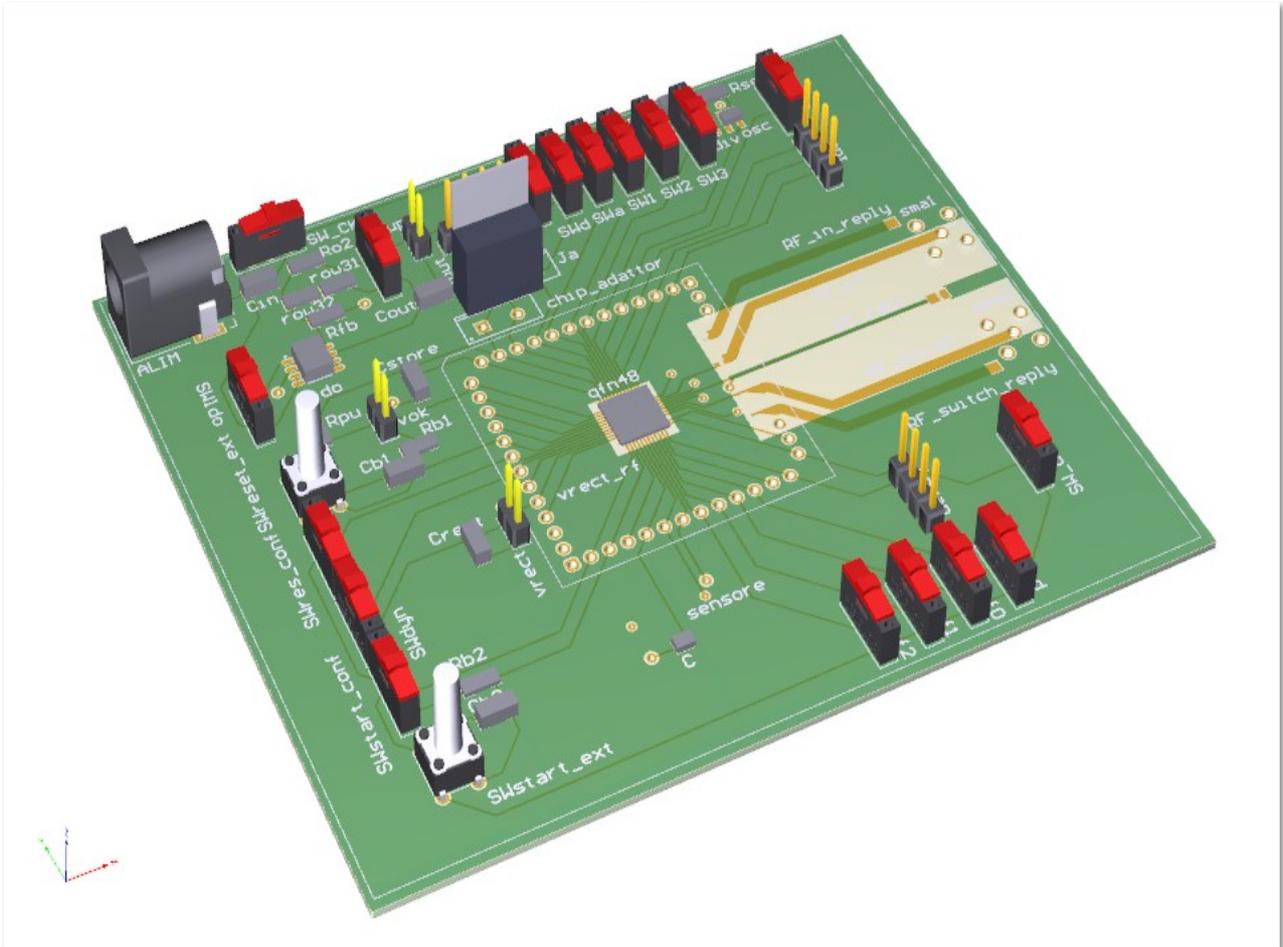


Figura 6.1- Visione in 3d del pcb(Altium Designer)

La scheda ottenuta presenta le seguenti specifiche:

- Dimensione 115x100 mm.
- Top layer in colore rosso, dedicato alle piste dei segnali di spessore 0.254 mm, che collegano i pin dell'integrato al resto dei componenti, come raffigurato nella figura 6.2.

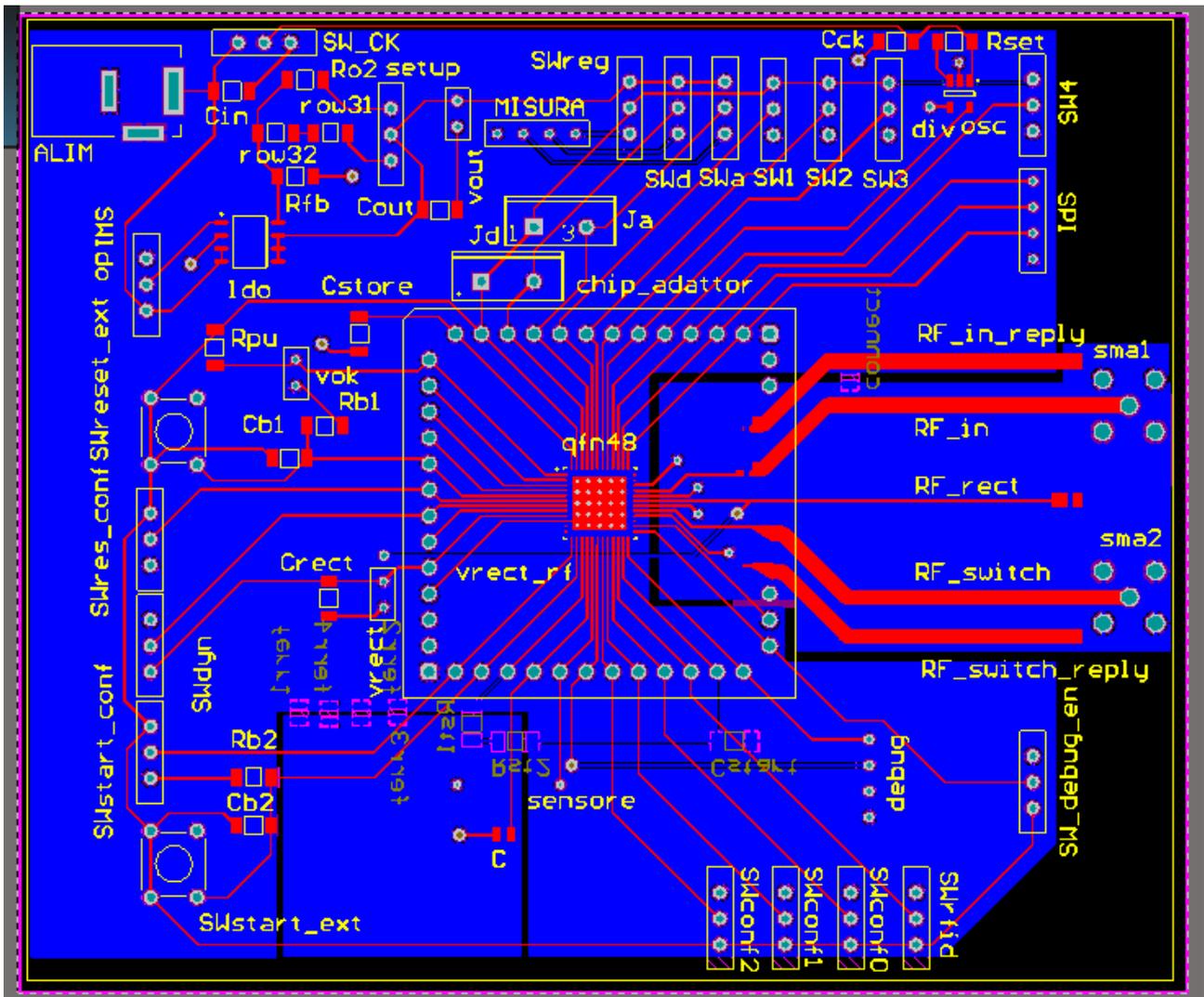


Figura 6.2- schermata Altium di progetto PCB, che raffigura la scheda completa, dopo il processo di routing, con le interconnessioni in diversi colori a seconda del layer di riferimento.

Quasi la totalità dei componenti sono stati piazzati sul top layer, per consentire la creazione di un piano di massa sul bottom layer. Per resistori e condensatori si è utilizzato lo stesso footprint, che si basa sul package 1206 con dimensioni 3,1 x 1,55 x 0,55 mm, a parte per il condensatore $C_{ref}=1pF$, dove si è utilizzato il package 0805. Nella costruzione del layout si è tenuto conto comunque di un margine aggiuntivo, per la costruzione dei footprint e del package QFN48 del chip. Gli unici componenti ad essere stati posizionati nel bottom layer, sono quelli appartenenti alla rete RC, ovvero il condensatore $C_{start}=100nF$ e i 2 resistori $R_{st1}=1k\ \Omega$ e $R_{st2}=240\ \Omega$.

Le stesse considerazioni valgono per le linee di interconnessione, cioè quasi la totalità delle linee che contattano i pin del chip, sono realizzate nel top layer. Per evitare sovrapposizioni si è preferito lasciare le seguenti linee nel bottom layer:

1. segnale bs_control_debug.

2. E' stata aggiunta una hole(foro) accanto al connettore del segnale VRECT, allo scopo di misurare il segnale RF_rect del segnale rettificato. La pista di interconnessione è stata realizzata nel bottom layer, per evitare problemi di routing e il segnale di riferimento è stato denominato VRECT_RF.
3. come rappresentato in figura 6.3, l'interconnessione dei segnali di alimentazione VREG, AVDD e DVDD verso il componente MISURA(pin headerX4), attraverso gli switch, Swreg, SWa e SWd, è stata costruita nel bottom layer per evitare problemi di routing e la sovrapposizione dei segnali.
4. Bottom layer in colore blu, dedicato ai piani di massa.

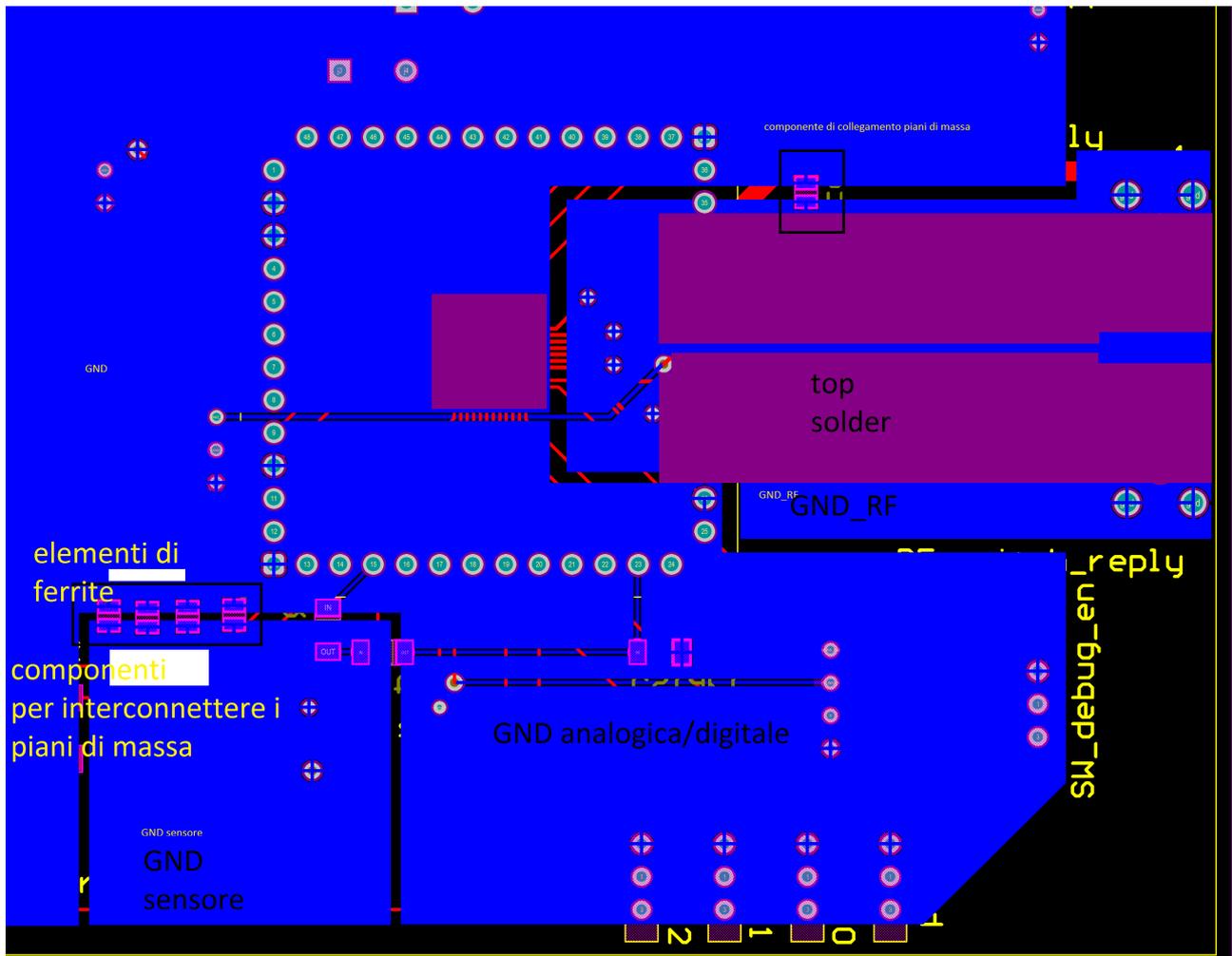


Figura 6.3- visione altium di bottom layer e top solder.

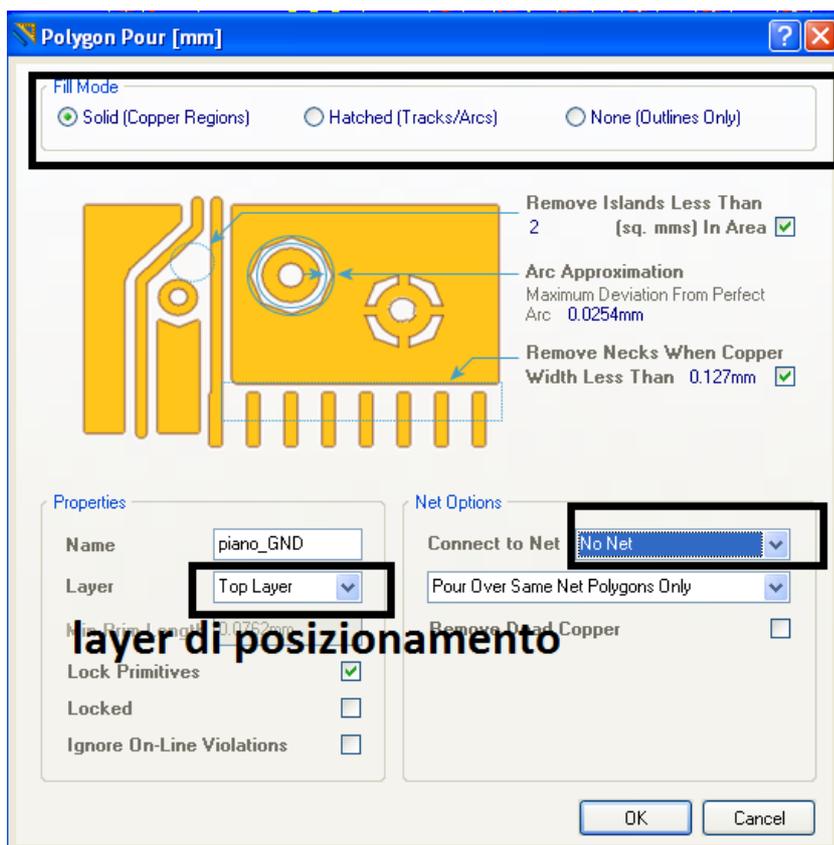
Sono stati costruiti in maniera separata, il piano di massa(GND) per i segnali analogici/digitali, il piano di massa GND_RF per tutti i segnali RF ed il piano che contiene la massa del sensore esterno, come rappresentato in figura 6.3.

Per predisporre un eventuale collegamento alla massa GND analogica/digitale, sono stati introdotti nel layout dei componenti di collegamento che possono essere semplici resistenze da 0 ohm oppure ferriti, basandosi sul footprint del condensatore

da 1 pF(package 0805), con dimensioni 2 x 1.25 x 0.78mm.

Per la stesura dei piani di massa è stata impiegata una procedura guidata che permette di definire i tre piani di massa. Si definisce:

- la forma del poligono e le sue dimensioni geometriche;
- il layer per il posizionamento.
- La net su cui andare a collegare il poligono per i piani di GND, GND_RF e GND sensore.



modalità di ricoprimento

definisce la net(o insieme di segnali), su cui si collega il piano

layer di posizionamento

Figura 6.4- Finestra di apertura del tool di altium che permette di costruire poligoni di riempimento.

- Le linee RF sono state dimensionate per avere l'adattamento a 50 ohm e sono state costruite delle repliche delle linee RF_switch e RF_in per consentire la misurazione dell'impedenza effettiva. Si utilizzano dei semplici connettori sma per interfacciarle esternamente.
- L'adattamento a 50 ohm è stato realizzato attraverso il tool “Layer Stack Manager” di Altium, che ci ha permesso di dimensionare la larghezza della linea(trace width), conoscendo tutte le altre caratteristiche elettriche del pcb.

E' stata utilizzata la formula di default messa a disposizione dal tool, che permette di dimensionare la larghezza della linea a partire dall'impedenza caratteristica Z_0 , conoscendo tutte le altre specifiche:

$$W = \frac{(5.98 * t)}{\frac{Z0}{60} \sqrt{0.8 * \left(e^{\sqrt{Er * (1 - e^{-\frac{-1.55 * (0.00002 + t)}{t}})}} - H \right)}} \approx 1.5 \text{mm} ;$$

Dove:

Er = 4.8 costante dielettrica relativa materiale FR4;

H(Trace Height) = spessore della linea;

t(Trace To Plane Distance) = altezza del substrato, materiale isolante FR4;

Z0 = 50 ohm = impedenza caratteristica della linea;

W(Trace Width) = larghezza della linea;

La verifica diretta è stata eseguita attraverso una seconda formula che attua il procedimento inverso, ovvero la determinazione dell'impedenza caratteristica Z0, a partire dalla conoscenza della larghezza della linea e di tutte le altre specifiche.

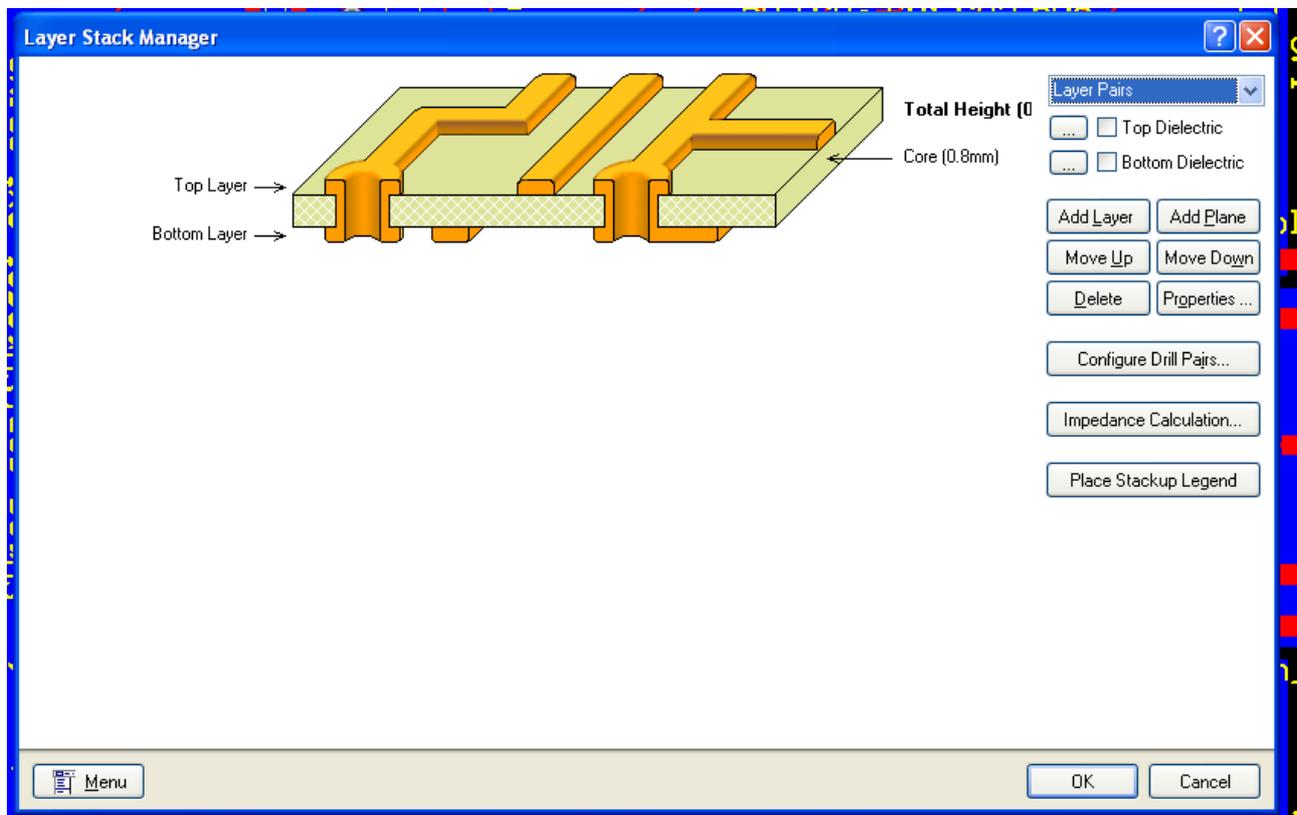


figura 6.5- finestra del layer stack manager, con raffigurata la sovrapposizione degli strati e le relative grandezze geometriche.

Le caratteristiche degli strati del layout rappresentati in figura 6.5:

- substrato di materiale isolante costruito con FR4, costante dielettrica relativa $\epsilon_r=4.8$
- spessore della linea= trace height = 0.0356mm, circa 35 μ m.
- spessore del materiale isolante(t)= trace to plane distance = 0.8mm
- larghezza della linea(W)= trace Width= 1.5mm
- Il top solder rappresentato in colore viola in figura 6.3, rappresenta le zone che vengono private della pellicola isolante(maschera che viene applicata come protezione). E' stato opportunamente assemblato, attraverso la costruzione di un nuovo poligono, attorno le linee RF e nel perimetro che circonda il chip, per lasciare scoperte le zone di interesse.

Terminata la fase di routing, è stata avviato il DRC(Design Rule Check), lo strumento di verifica automatica degli errori di routing, per accertare che siano rispettati i vincoli di design impostati inizialmente. Inoltre attraverso il comando “Component Link” specifico del programma è stata realizzata la corretta corrispondenza tra i “designators” dell'editor(schematic) degli schemi circuitali e i corrispettivi codici identificativi presenti nel layout. Infine attraverso il comando “Show differences” è stata possibile un' ulteriore verifica che ha permesso di ottenere:

- La corretta associazione dei componenti con i corrispettivi footprints.
- La corretta associazione dei collegamenti(wire) circuitali che afferiscono a pin di input/output con le “net” importate nel layout.

Terminata questa fase è stato esportato il “Gerber File” ed è stato spedito all'azienda che ha intrapreso la fase di produzione del circuito stampato.

In figura 6.7 la rappresentazione della scheda con top over-layer, privata dei “signal-layers”.

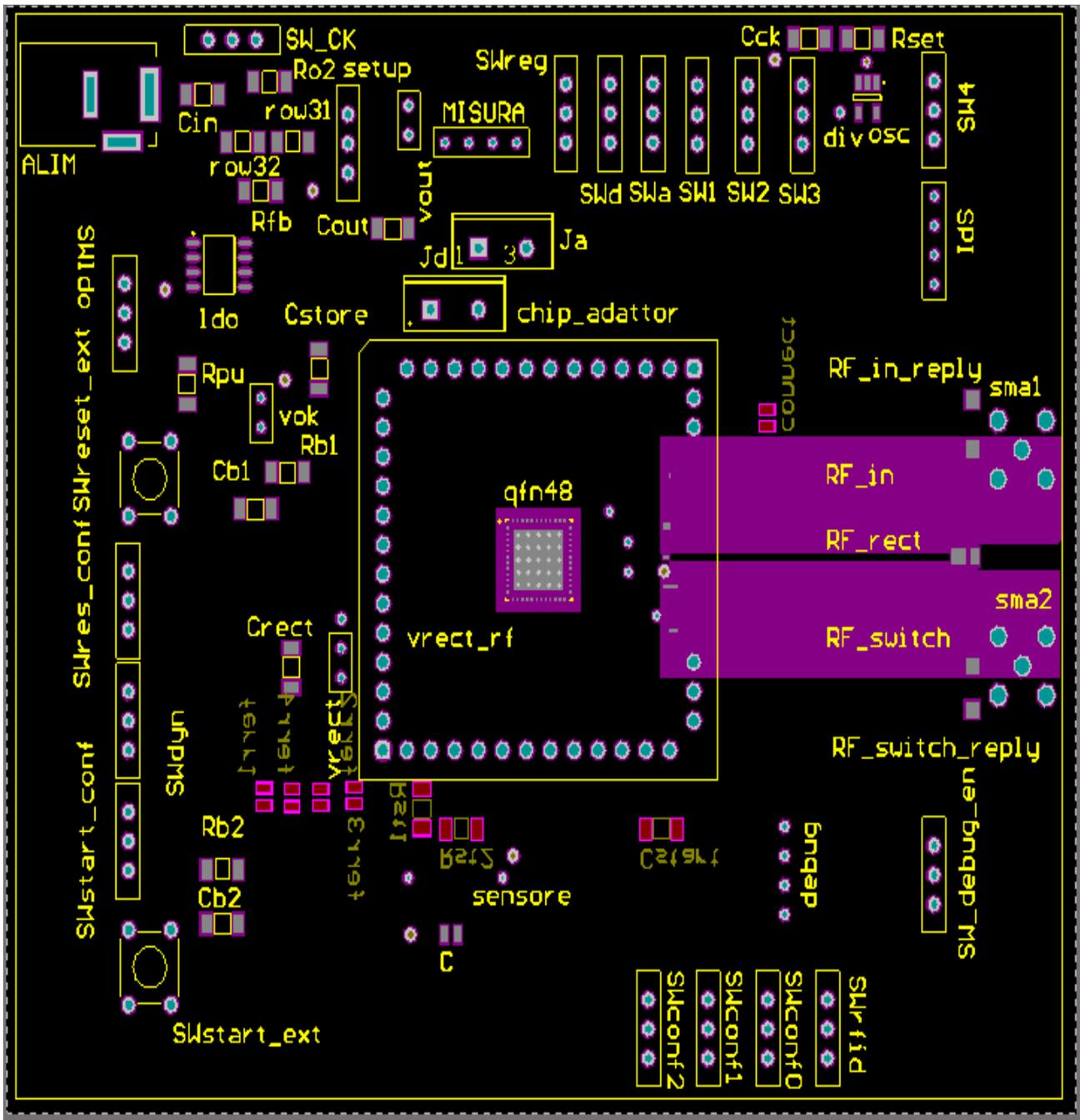


Figura 6.7- finestra pcb di Altium designer, con rappresentate le linee della serigrafia e i footprints dei componenti.

Scheda di testing

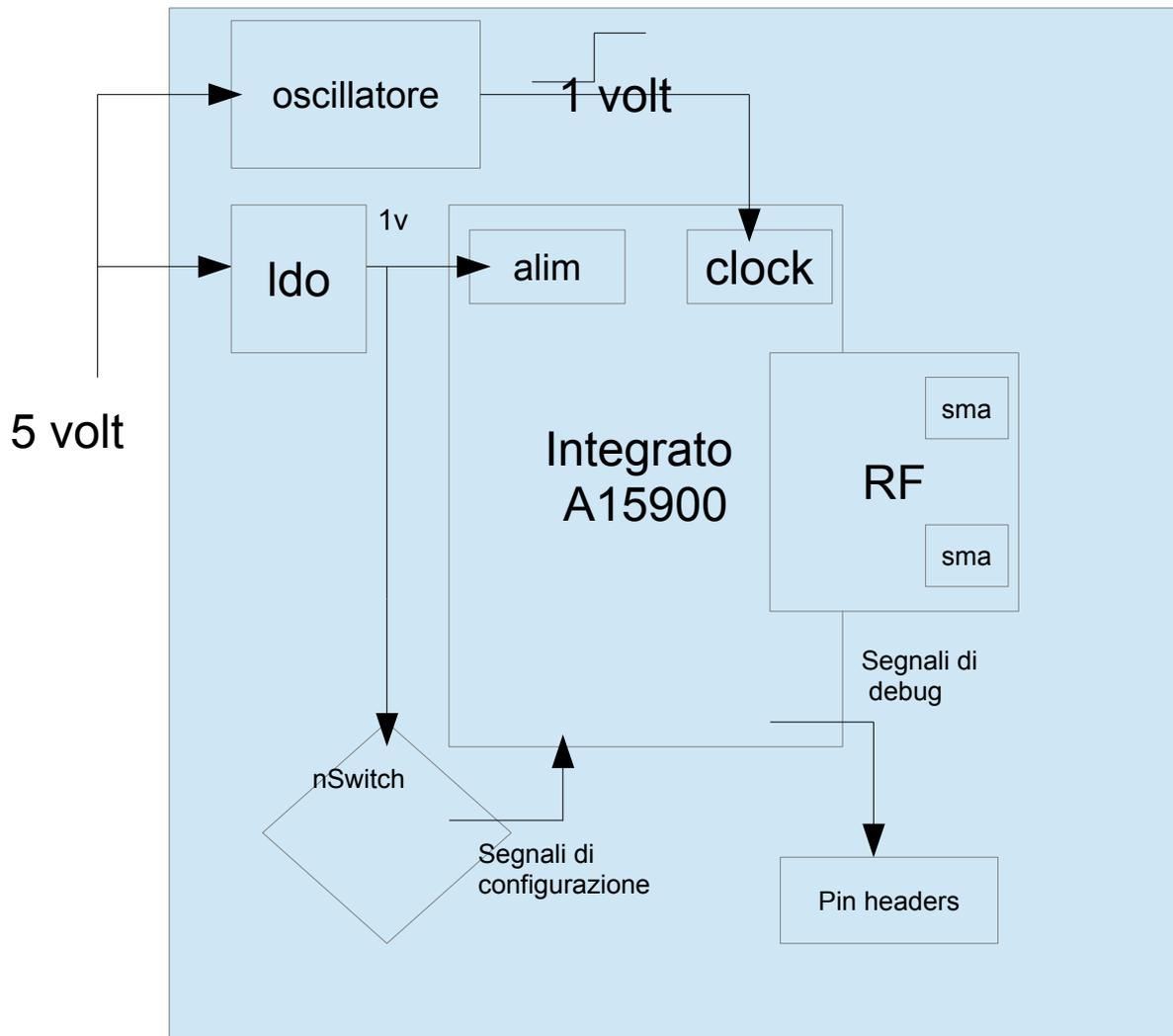


Figura 6.8- Lo schema di principio della scheda di testing, con i relativi sotto-blocchi.

CONCLUSIONE

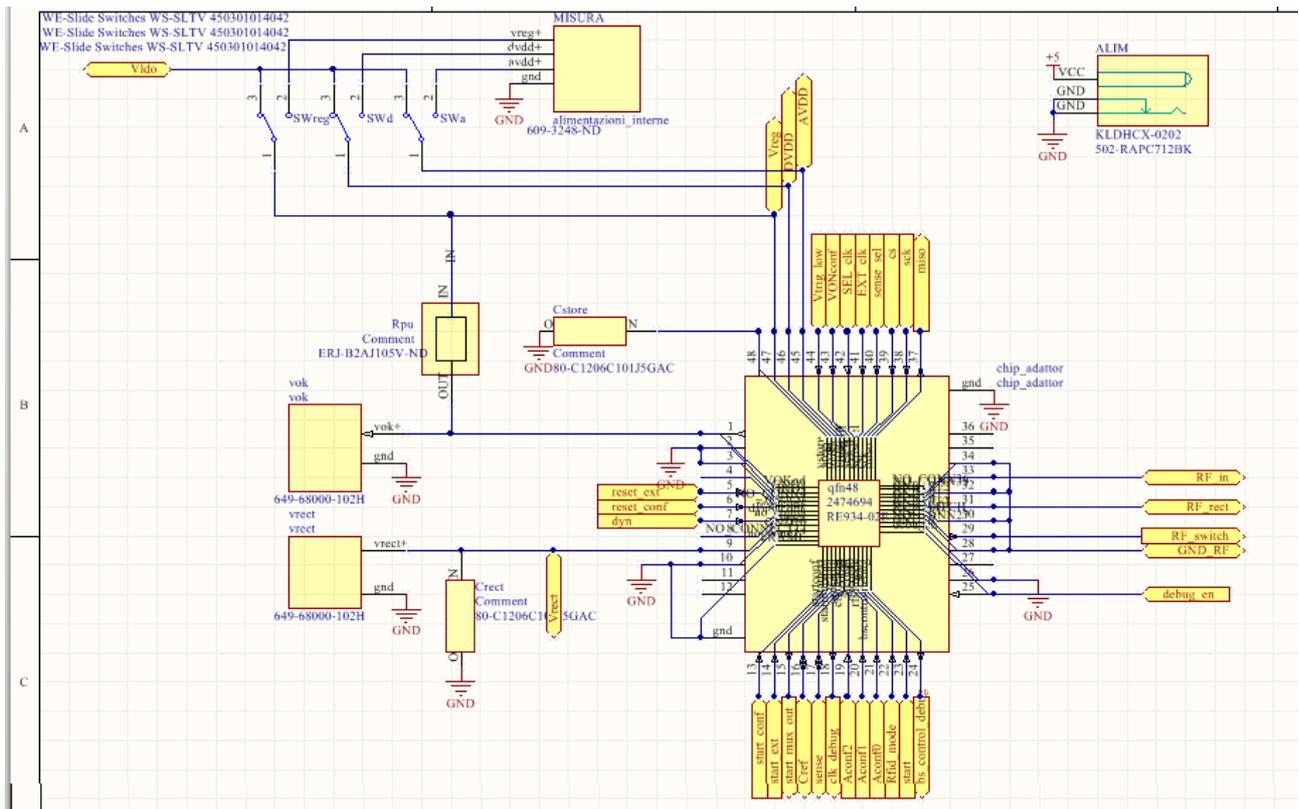
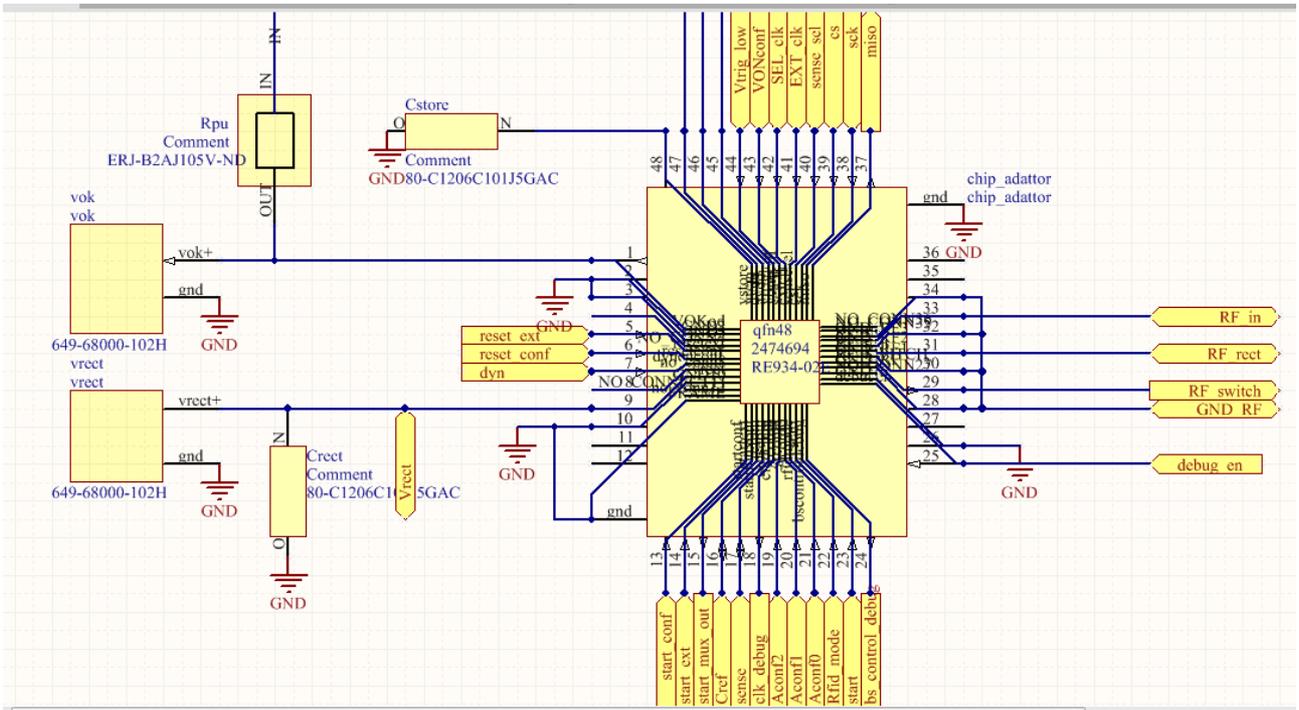
Il progetto della scheda di testing è stato condotto attraverso un metodo di studio scrupoloso, caratterizzato da una serie di fasi distinte. L'approccio iniziale, seppur di natura prettamente teorico è risultato di fondamentale importanza per il compimento del lavoro, poiché oltre alla trattazione delle tematiche che riguardavano la comunicazione nei sistemi UWB e i metodi di riconoscimento delle sequenze, è stato condotto uno studio intenso del programma di cad Altium Designer, approfondendo in maniera dettagliata tutte le sue funzionalità. Successivamente, una volta apprese le nozioni fondamentali di progettazione dei PCB si è cercato di applicarle concretamente al fine di portare a compimento il progetto. La realizzazione delle singole sottoparti è stata frutto di un processo parallelo di ricerca dei componenti elettronici più appropriati e una serie di verifiche ripetute e di accertamenti successivi. Il progetto è stato svolto attraverso un lavoro multidisciplinare che ha coinvolto sia gli aspetti di elettronica digitale che l'ambito delle telecomunicazioni. Il progetto, oltre a fornire una buona esperienza nel settore, è risultato utile per migliorare particolari abilità e capacità nell'ambito della progettazione CAD, maturate con la realizzazione del processo di sbroglio circuitale dei componenti, per la creazione del layout, il risparmio di area e il processo di ottimizzazione delle interconnessioni (processo di routing). Le principali difficoltà incontrate sono state la realizzazione delle microstrisce, la fase di verifica degli errori di design (attraverso DRC) e il processo di importazione dei footprints. Nonostante ciò si è riusciti a completare il progetto e a implementare una scheda di testing completa per tutti i pin che compongono il chip integrato, dove il passo successivo prevede la saldatura dei componenti ordinati sul layout realizzato. In prospettiva futura sarebbe utile proporre un design alternativo della sezione RF, tenendo conto dei piani di massa e verificare il corretto funzionamento della scheda, avviando il processo di testing.

Appendice

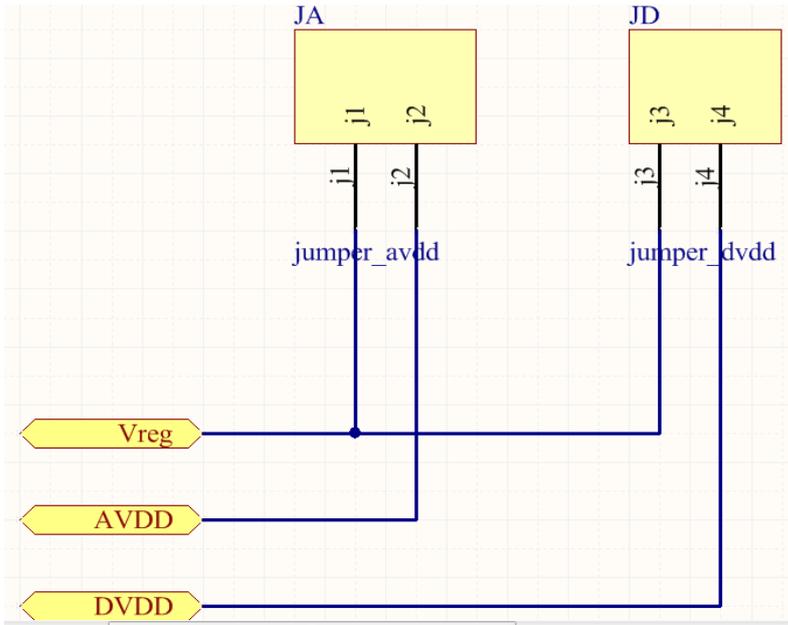
Per un confronto diretto con quanto esposto nel capitolo , si riportano per completezza tutti gli schemi realizzati con il tool Altium Designer.

Nella figura sottostante è raffigurato lo schema principale, con le connessioni logiche realizzate attraverso le porte di ingresso uscita. Gli schematici successivi sviluppano i propri circuiti in maniera indipendente, ma attraverso le porte si collegano con questo schematico.

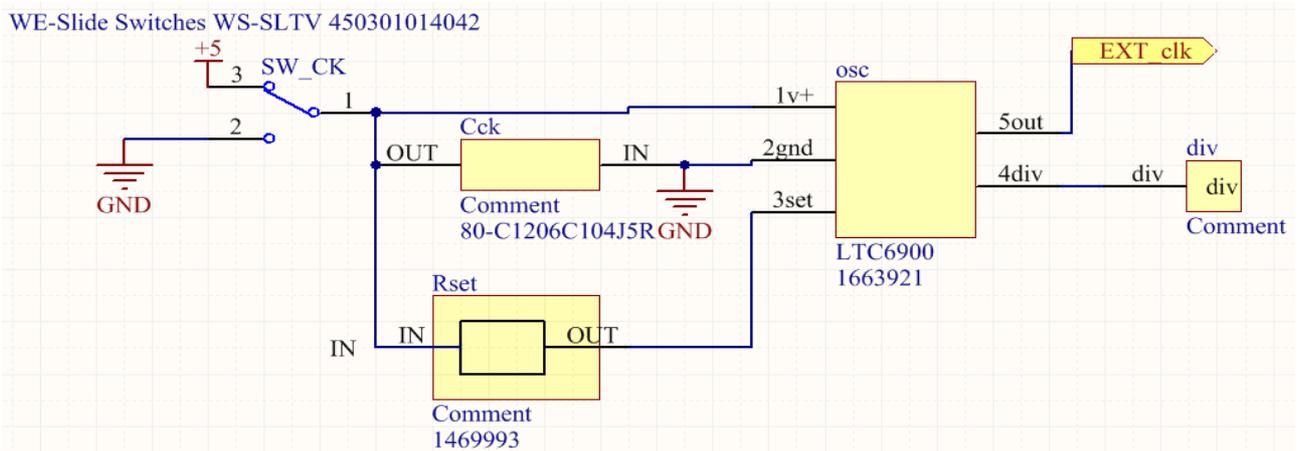
- Schema per componente QFN48(chip integrato).
- Schema per adattatore IC.



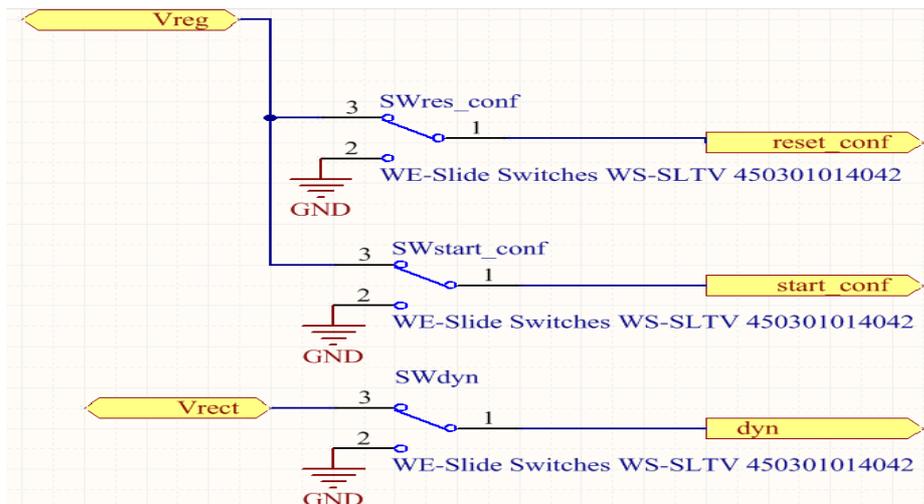
- Schemi dei segnali di debug per alimentazioni: connettori pin header per segnali AVDD, DVDD, VREG.

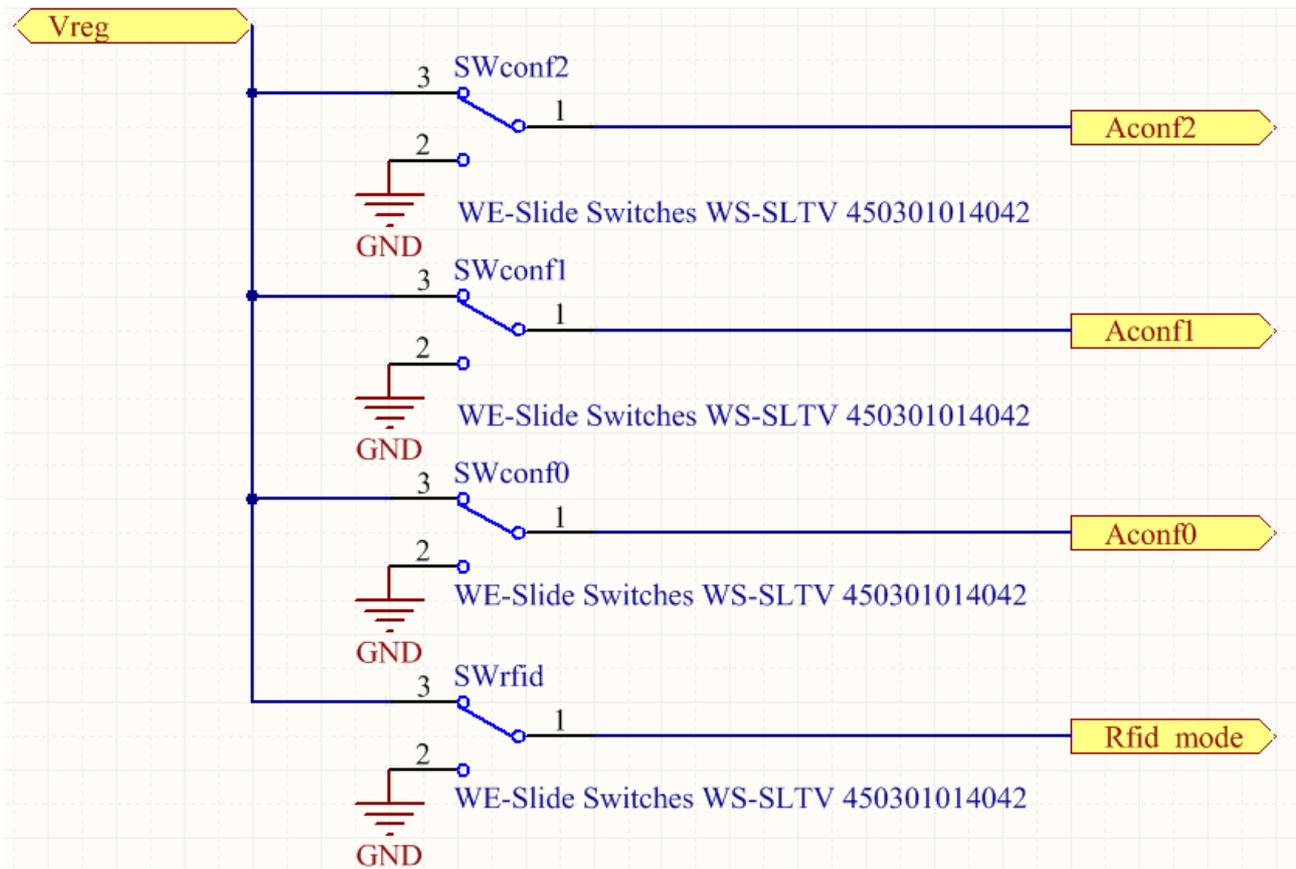


- Schema circuito oscillatore.

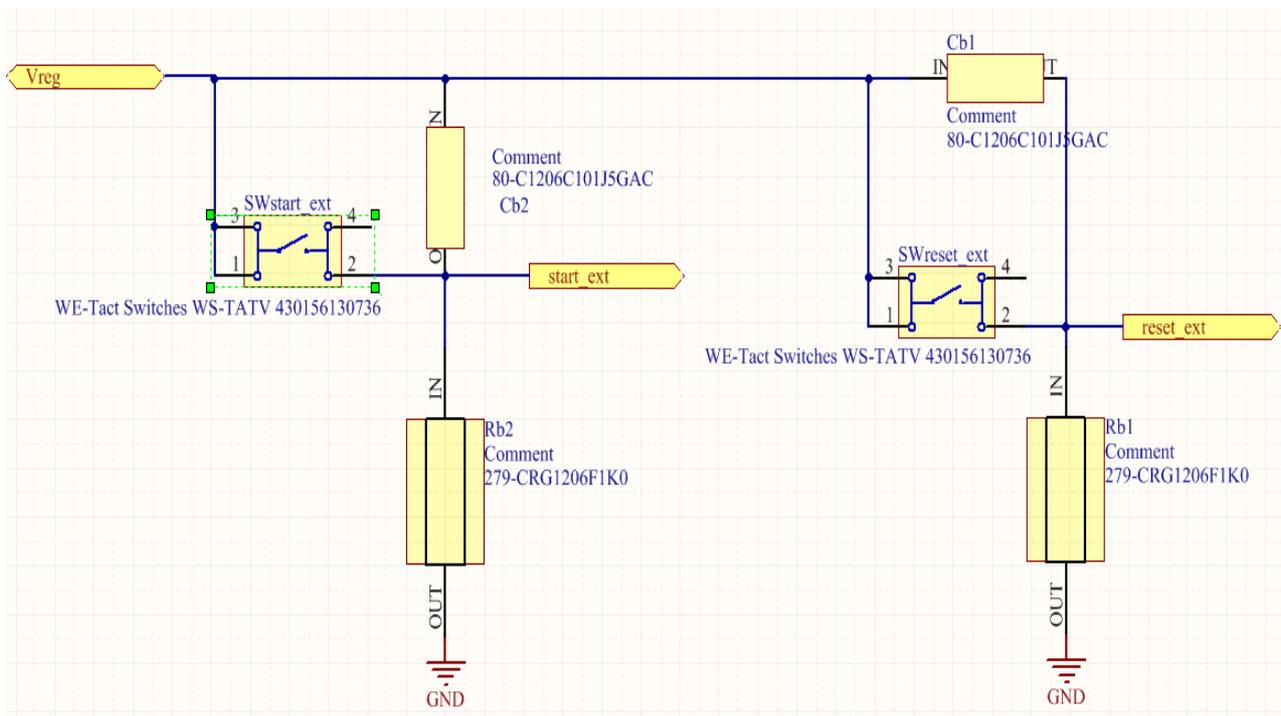


- schemi segnali di configurazione.

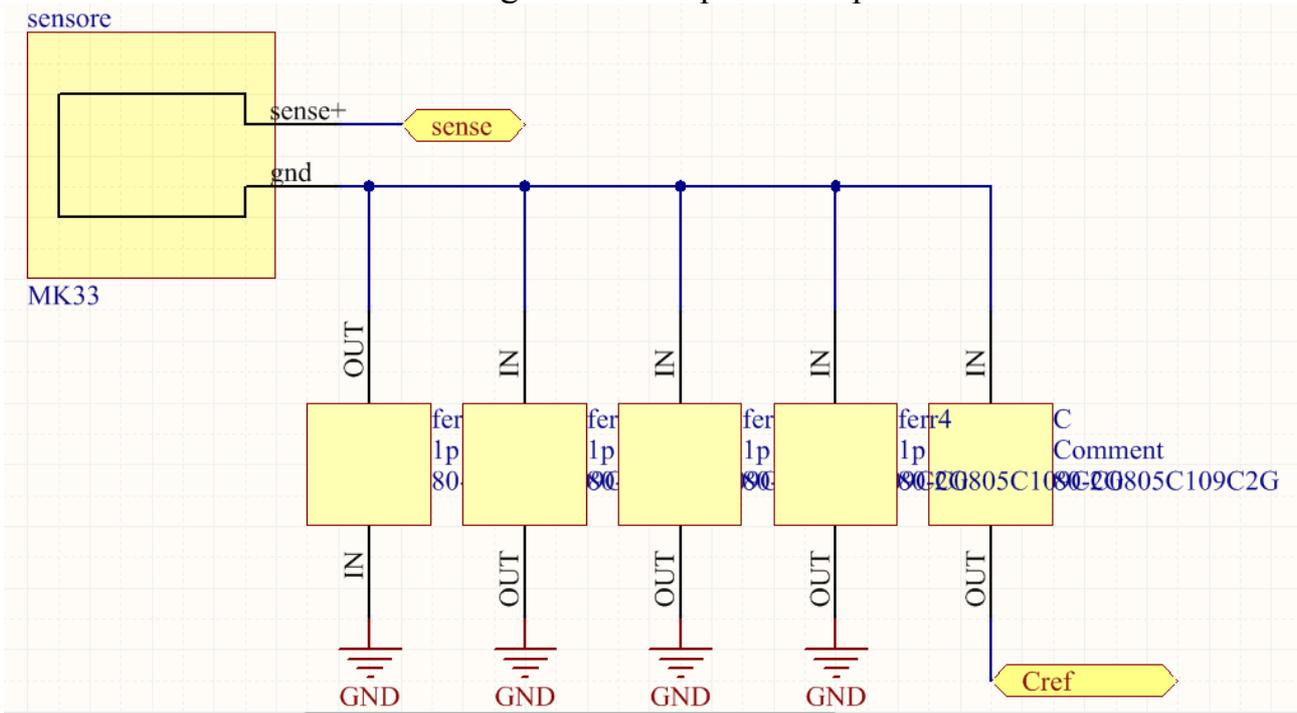




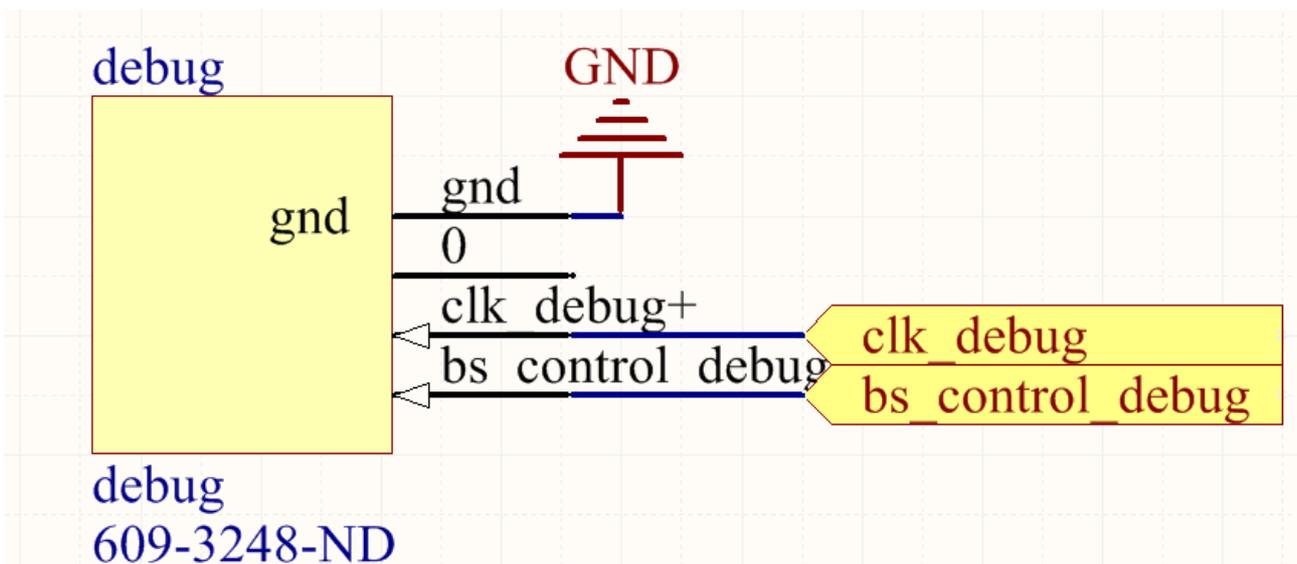
- Schema segnali RESEText, STARTText.



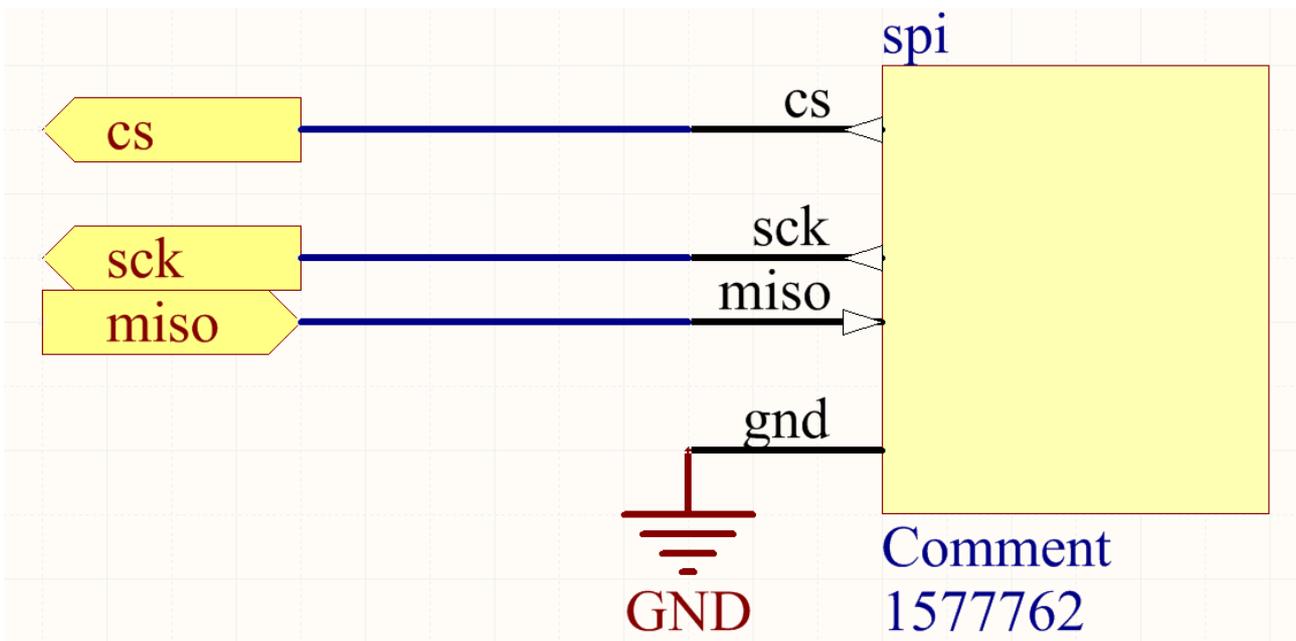
- Schema del sensore con segnali SENSEpin e REFpin.



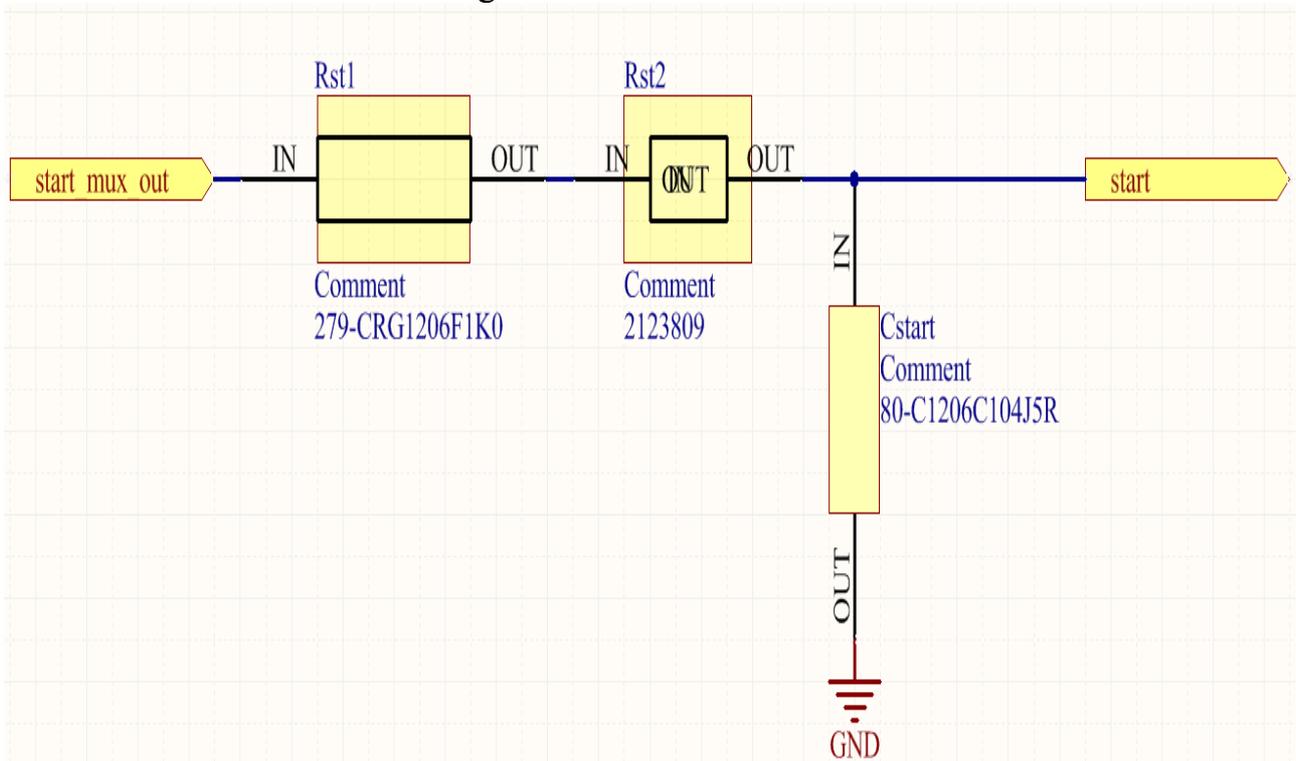
- Schema segnali di debug: bs_control_debug, clk_debug.



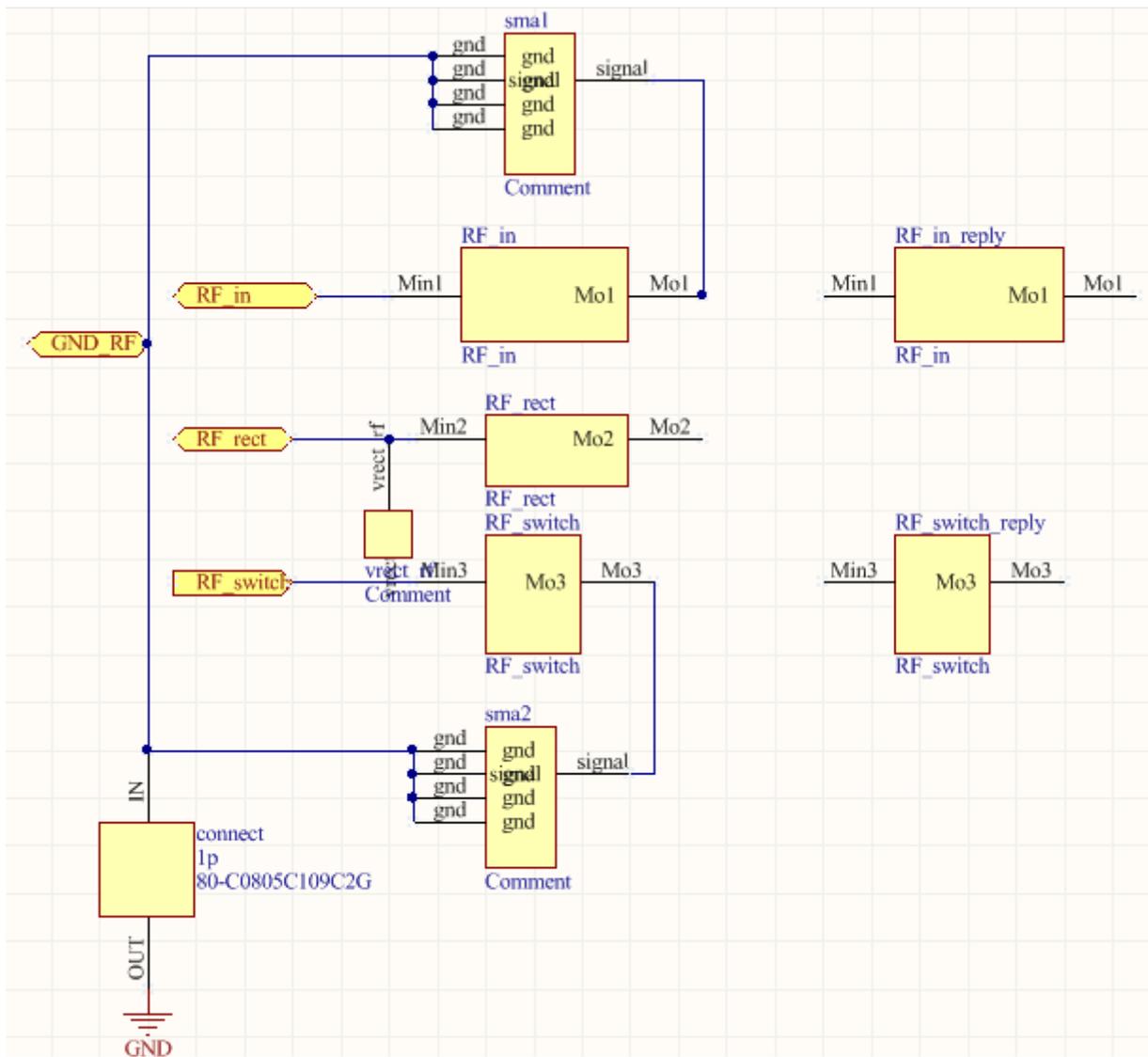
- Schema segnali SPI: MISO, SCK e CS.



- Schema della rete RC: segnali STARTMUXout e START.



- Schema della parte RF: segnali GND_RF, RF_IN, RF_SWITCH, RF-RECT.



BIBLIOGRAFIA

[1] <http://www.filcam.altervista.org/lavoro/primocap.pdf>

[2] https://it.wikipedia.org/wiki/Ultra_wideband

[3] The GRETA Architecture for Energy Efficient Radio Identification and Localization, Nicol`o Decarli, Anna Guerra, Francesco Guidi, Marco Chiani, Davide Dardari, Alessandra Costanzo, Marco Fantuzzi, Diego Masotti, Stefania Bartoletti, Jinous Shafiei Dehkordi, Andrea Conti, Aldo Romani, Marco Tartagni, Roberto Alesii, Piergiuseppe Di Marco, Fortunato Santucci, Luca Roselli, Marco Virili, Pietro Savazzik, Maurizio Bozzik

[4] https://it.wikipedia.org/wiki/Circuito_stampato

[5] GREEn TAGs and Sensors with Ultrawideband Identification and Localization Capabilities (GRETA) Meeting Ferrara, 27/5/2014

[6] [https://it.wikipedia.org/wiki/Pollice_\(unit%C3%A0_di_misura\)](https://it.wikipedia.org/wiki/Pollice_(unit%C3%A0_di_misura))

[7]

<http://techdocs.altium.com/display/ADOH/Creating+Library+Components+Tutorial>

[8] Getting Started with PCB Design altera altium tutorial

[9] AT11309: Advanced RF Layout with Altium

[10] http://www.atmel.com/Images/Atmel-42478-Advanced-RF-Layout-with-Altium_ApplicationNote_AT11309.pdf

[11] https://it.wikipedia.org/wiki/Circuito_stampato

[12] [https://it.wikipedia.org/wiki/Package_\(elettronica\)](https://it.wikipedia.org/wiki/Package_(elettronica))

[13] <http://www.elettrotecnica.unina.it/files/demagistris/didattica/TdC/SPICE.pdf>

[14] <http://www.elettrotecnica.unina.it/files/petrarca/upload/Lezione%20PSpice%206%202009.pdf>

[15] <http://www.uniroma2.it/didattica/microel/deposito/spice.pdf>

- [16] Fondamenti di circuiti digitali integrati CMOS, David Esseni
- [17] Lezioni di comunicazioni elettriche, Leonardo Calandrino, Marco Chiani
- [18] http://www1.unipa.it/costantino.giaconia/pdf_%20repository/Tutorial_Circuiti_Stampati.pdf
- [19] https://it.wikipedia.org/wiki/Circuito_anti-rimbalzo.
- [20] A Summary on Printed Circuit Boards (PCB) Technology, Dispense a cura di: Aldo Romani, ARCES-LYRAS University of Bologna.
- [21] <http://it.rs-online.com/web/p/prese-per-alimentazione-in-cc/7051547/searchTerm=Presadialimentazione+2%2C5mm+5A+RAPC712BK>