

ALMA MATER STUDIORUM · UNIVERSITÀ DI BOLOGNA

CAMPUS DI CESENA

SCUOLA DI INGEGNERIA E ARCHITETTURA

CORSO DI LAUREA MAGISTRALE IN

INGEGNERIA ELETTRONICA E TELECOMUNICAZIONI PER LO SVILUPPO SOSTENIBILE

**ANALISI E REALIZZAZIONE
DI UN CONVERTITORE MULTILIVELLO
AD ALTA EFFICIENZA
PER APPLICAZIONI FOTOVOLTAICHE**

TESI IN

SISTEMI DI CONVERSIONE DELL'ENERGIA ELETTRICA LM

RELATORE

DOTT. ING.

MICHELE MENGONI

CORRELATORE

DOTT. ING.

GABRIELE RIZZOLI

PRESENTATA DA

CLAUDIA PATELLA

SESSIONE I · APPELLO II

ANNO ACCADEMICO 2014/2015

*Some advice: keep the flame of curiosity and wonderment alive,
even when studying for boring exams.*

*That is the well from which
we scientists draw our nourishment and energy.*

Michio Kaku

Keywords

Grid-Connected

Multilivello

Level-Shifted Carriers SPWM

T-Type

Efficienza

Sommario

| | |
|--|----|
| Introduzione | 1 |
| Capitolo 1 | 2 |
| 1. INTRODUZIONE AL SISTEMA FOTOVOLTAICO GRID-CONNECTED ED AGLI INVERTER MULTILIVELLO | 2 |
| 1.1. ELEMENTI DI SISTEMA FOTOVOLTAICO GRID-CONNECTED | 2 |
| 1.2. PRINCIPALI PARAMETRI E FIGURE DI MERITO | 5 |
| 1.2.1. Perdite di Conduzione e di Switching | 5 |
| 1.2.2. <i>Reverse Recovery</i> | 8 |
| 1.2.3. Efficienza | 9 |
| 1.2.4. Il Tempo Morto | 11 |
| 1.2.5. <i>Total Harmonic Distortion</i> | 13 |
| 1.2.6. <i>Common Mode Voltage</i> | 14 |
| 1.3. INVERTER | 15 |
| 1.3.1. Ramo di Inverter | 15 |
| 1.3.2. Inverter Monofase | 16 |
| 1.3.3. Inverter Trifase | 20 |
| 1.4. INVERTER MULTILIVELLO | 21 |
| 1.4.1. Configurazione <i>Single Leg</i> | 21 |
| 1.4.2. Configurazione Trifase | 23 |
| 1.4.3. Tipologie di Inverter Multilivello | 25 |
| 1.4.4. Controllo e Commutazione degli Stati di Inverter | 40 |
| Capitolo 2 | 53 |
| 2. NPC T-TYPE INVERTER | 53 |
| 2.1. SINGLE LEG | 53 |

| | | |
|------------|--|-----|
| 2.2. | TRIFASE | 60 |
| 2.3. | CONFRONTI TRA TIPOLOGIE | 61 |
| 2.3.1. | 2L vs 3L | 61 |
| 2.3.2. | <i>3L NPC T-Type Inverter vs 3L Diode-Clamped Inverter</i> | 62 |
| 2.4. | ALCUNE CONSIDERAZIONI | 65 |
| Capitolo 3 | | 67 |
| 3. | SIMULAZIONE DELL'NPC T-TYPE INVERTER | 67 |
| 3.1. | AMBIENTE DI SIMULAZIONE | 67 |
| 3.2. | DESCRIZIONE DELLE LIBRERIE PLECS | 68 |
| 3.3. | CONTROLLO RISONANTE | 70 |
| 3.4. | SIMULAZIONE SINGLE LEG | 76 |
| 3.4.1. | Alimentazione a Tensione Costante e Corrente Sinusoidale | 77 |
| 3.4.2. | Alimentazione a Tensione Costante e Gradini di Corrente | 100 |
| 3.4.3. | Riduzione delle Armoniche in Corrente | 103 |
| 3.5. | SIMULAZIONE TRIFASE | 106 |
| 3.5.1. | Alimentazione a Tensione Costante e Corrente Sinusoidale | 108 |
| 3.5.2. | Alimentazione a Tensione Costante e Gradini di Corrente | 122 |
| Capitolo 4 | | 129 |
| 4. | REALIZZAZIONE DELL'NPC T-TYPE INVERTER | 129 |
| 4.1. | IGBT | 129 |
| 4.2. | POWER MOSFET | 132 |
| 4.3. | AMBIENTE DI PROGETTAZIONE | 144 |
| 4.4. | SCELTE PROGETTUALI | 149 |
| 4.4.1. | Lato Segnale | 149 |
| 4.4.2. | Lato Potenza | 152 |
| 4.4.3. | Sensing e Progetto Finale | 154 |

| | |
|---|-----|
| 4.5. ASSEMBLEGGIO DELLA SCHEDA | 156 |
| Capitolo 5 | 159 |
| 5. TEST EFFETTUATI SULLA SCHEDA | 159 |
| 5.1. COLLAUDO DELLA SCHEDA | 159 |
| 5.1.1. Configurazione <i>NPC T-Type Inverter</i> | 160 |
| 5.1.2. Configurazione Ramo di Inverter | 168 |
| 5.2. RISULTATI PRESTAZIONALI | 171 |
| 5.2.1. Configurazione <i>NPC T-Type Inverter</i> a 15 [kHz] | 172 |
| 5.2.2. Configurazione <i>NPC T-Type Inverter</i> a 25 [kHz] | 176 |
| 5.2.3. Configurazione <i>NPC T-Type Inverter</i> a 35 [kHz] | 180 |
| 5.2.4. Configurazione Ramo di Inverter a 15 [kHz] | 184 |
| 5.2.5. Configurazione Ramo di Inverter a 25 [kHz] | 188 |
| 5.2.6. Configurazione Ramo di Inverter a 35 [kHz] | 191 |
| Conclusioni | 195 |
| Appendice A | 197 |
| Appendice B | 202 |
| Appendice C | 207 |
| Indice delle Figure | 208 |
| Indice delle Tabelle | 214 |
| Bibliografia | 215 |
| Ringraziamenti | 217 |

Introduzione

Nei primi vent'anni, la ricerca in ambito fotovoltaico si è focalizzata sull'evoluzione di quelle tecnologie associate alla semplice cella ed al sistema intero, per offrire miglioramenti con particolare riguardo al fronte dell'efficienza.

Negli ultimi decenni, lo studio sull'energia rinnovabile ha ampliato i propri confini, sino a quella branca denominata elettronica di potenza, che ne permette la conversione e lo sfruttamento da parte dell'utente.

L'elaborato si propone quindi di apportare un contributo verso tale direzione, teorico piuttosto che pratico, esaminando dapprima il mondo che effettivamente circonda l'impianto fotovoltaico *grid-connected* e successivamente ponderando e pianificando le scelte che conseguono dall'analisi letteraria.

Particolare attenzione sarà rivolta al concetto di multilivello relativo agli inverter e agli aspetti che ne comportano il largo utilizzo nell'elettronica di potenza. Si stima che i primi brevetti risalgano a circa trent'anni orsono e uno di questi, tracciabile, riguarderebbe la configurazione a cascata di full-bridge, alimentati separatamente in DC, per ottenere a valle una scala di tensioni AC. Per mezzo di manipolazioni, nascerà in seguito il *diode-clamped*, attuale predecessore del *Neutral Point Clamped T-Type Inverter*.

Si introdurranno pertanto le principali caratteristiche che contraddistinguono il convertitore, peculiare riguardo per la configurazione *single leg* nonché trifase. Ardua sarà la scelta sulla tecnica di controllo dell'inverter, sia per quanto concerne la fase simulativa che quella realizzativa, in quanto il dispositivo è indubbiamente considerato innovativo nel proprio campo di appartenenza.

Convalidando la letteratura per mezzo di opportune simulazioni, si potrà procedere alla progettazione e quindi all'assemblaggio della scheda che effettivamente include l'inverter. Il lavoro implicherà numerose prove, effettuate in svariate condizioni di funzionamento, al fine di sostenere le conclusioni teoriche.

Capitolo 1

1. INTRODUZIONE AL SISTEMA FOTOVOLTAICO GRID-CONNECTED ED AGLI INVERTER MULTILIVELLO

1.1. ELEMENTI DI SISTEMA FOTOVOLTAICO GRID- CONNECTED

La ricerca in campo fotovoltaico promette tutt'ora un ampio scenario, che continua rivelarsi in evoluzione. Non solo per quanto riguarda le tecnologie e i materiali impiegati nella realizzazione delle celle, ma anche gli aspetti relativi all'elettronica di potenza e ai convertitori offrono vaste disponibilità di sviluppo.

La stringa fotovoltaica è costituita da più pannelli, normalmente collegati in serie per garantire con maggiore facilità la tensione desiderata; ogni pannello a sua volta è formato da moduli fotovoltaici, i quali vengono creati dal collegamento in serie o parallelo dell'elemento principale, ossia la cella.

Solitamente, prima di essere messi in commercio, su ogni dispositivo a conversione fotovoltaica (PV) vengono eseguiti controlli in condizioni di prova standard STC (*Standard Test Conditions*), riguardanti la temperatura di giunzione della cella e l'irraggiamento sul piano del dispositivo.

Si passa quindi all'assemblaggio della stringa di [Figura 1.1], che prevede l'introduzione di diodi di blocco e di *by-pass*. La prima tipologia impedisce perdite di potenza o addirittura l'attraversamento da parte di una corrente inversa sulla stringa, che ne potrebbe provocare il danneggiamento irrimediabile; i diodi *by-passanti* posti ai morsetti di ogni pannello riducono, o al più evitano, il problema di *mismatching*, dovuto alle differenti caratteristiche

I-V di ogni elemento, causate dalle diverse condizioni di irraggiamento in cui possono trovarsi.

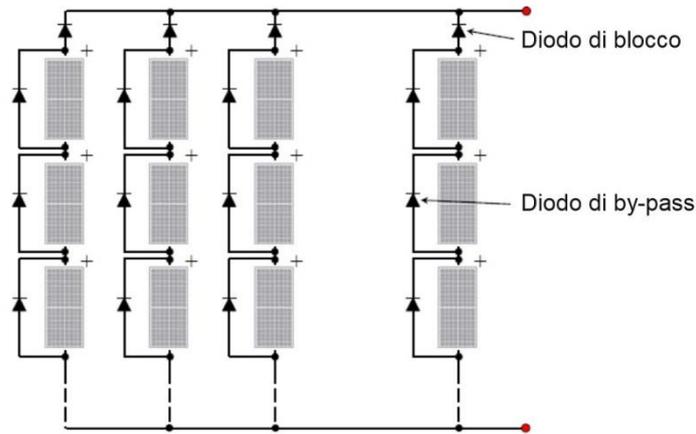


Figura 1.1: Introduzione di diodi di blocco per ogni stringa, e diodi di *by-pass* per ogni pannello.

Sui diodi è presente una caduta di tensione. Per tale motivo vengono utilizzati componenti caratterizzati da una tensione di soglia piccola, come quella associata ai diodi *Schottky*, tipicamente nell'ordine dei 0.4 [V], la cui tensione nominale di tenuta inversa è però inferiore ai 1500 [V]. L'impiego di un tipo di diodo rispetto ad un altro, è sempre analizzato in base alle STC.

Un impianto fotovoltaico *grid-connected* può essere rappresentato come segue:

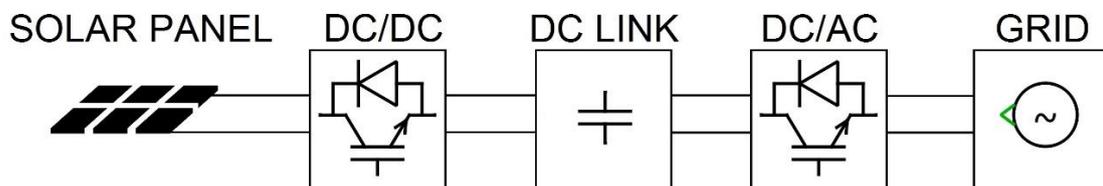


Figura 1.2: Generico sistema PV *grid-connected*.

La parte del sistema collegata alla rete del distributore è quindi in grado di fornire energia elettrica grazie alla conversione della tensione continua, generata ai capi del modulo fotovoltaico, in alternata a valle dell'inverter, connesso alla rete. Il convertitore DC/AC ha

anche la funzione di protezione dei carichi e della rete elettrica, grazie all'introduzione di induttanze che permettono il disaccoppiamento tra tensione impulsiva dell'inverter stesso, e quella costante della rete.

La quantità di energia generata dalle stringhe dipende in modo sostanziale da numerosi aspetti: prima di tutto la dimensione dell'impianto fotovoltaico, nell'elaborato viene considerata di taglia media, ad esempio per piccole imprese; in secondo luogo, la tecnologia nella costruzione dei pannelli, la locazione geografica, la temperatura alla quale vengono esposti, l'inclinazione rispetto al piano orizzontale (o angolo di tilt) e al meridiano corrispondente (angolo di orientazione o azimut).

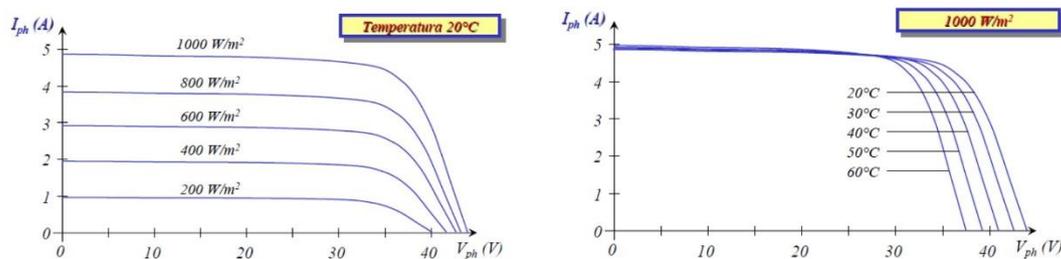


Figura 1.3: Caratteristica I-V al variare dell'irraggiamento [W/m²] e della temperatura in °C.

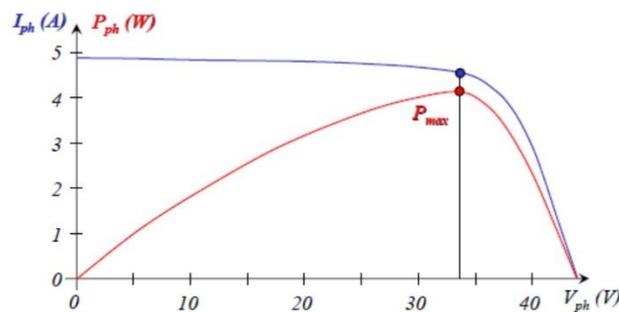


Figura 1.4: Ricerca della massima potenza generata sulla caratteristica I-V.

Vengono perciò adottati particolari algoritmi che ricercano e massimizzano il punto di massima potenza generata (MPPT – *Maximum Power Point Tracking*) dall'impianto fotovoltaico, come quello di [Figura 1.4]. In seguito viene analizzato il valore di tensione ai capi del pannello che, in generale, non è sufficiente a raggiungere l'inverter connesso alla rete di distribuzione.

Per questo motivo si impiega un convertitore DC/DC che permette di adeguare il livello di tensione all'applicazione in oggetto, in base alle condizioni di esposizione del pannello. Si confronta il valore attuale di tensione con quello di riferimento sul bus DC, per garantire potenza attiva e reattiva adatte ad essere immesse in rete, dal convertitore DC/AC.

Un ulteriore aspetto dell'impianto fotovoltaico *grid-connected* di [Figura 1.2] è il sistema di isolamento galvanico: di fatto, non è presente il comune trasformatore che permette di separare galvanicamente il lato PV dalla rete. L'assenza di questo componente, dovrebbe quindi facilitare il passaggio di correnti di perdita, come avviene nella maggior parte degli inverter in commercio, andando a degradare l'efficienza di tutto il sistema. Ciò merita una precisazione, poiché l'impiego dell'*NPC T-Type* utilizzato come inverter per impianti fotovoltaici rappresenta una soluzione "*transformerless*": sono tuttavia presenti le correnti di *leakage*, di lieve entità, che in alcuni casi risulta trascurabile. In definitiva, nonostante non sia impiegato il trasformatore, è quindi possibile salvaguardare l'impianto da eventuali correnti non desiderate, andando a risparmiare anche in termini monetari.

1.2. PRINCIPALI PARAMETRI E FIGURE DI MERITO

1.2.1. Perdite di Conduzione e di Switching

La perdita di conduzione si verifica quando un componente, per sua natura non ideale, è attraversato da una corrente che ne provoca l'aumento della temperatura, causata dalla resistenza intrinseca.

Nel caso del diodo, le perdite di conduzione dipendono fortemente dalla caduta di tensione diretta, solitamente più elevata rispetto a quella dell'interruttore (ad esempio IGBT). A fronte di ciò, i diodi hanno perdite superiori, che devono essere prese in considerazione in fase di progetto, poiché vanno ad alimentare le perdite totali, diminuendo così l'efficienza del dispositivo.

Le perdite di conduzione sono proporzionali al prodotto della corrente di impiego per la tensione di alimentazione, e discendono anche dalla tecnologia utilizzata per i componenti elettronici. Diversamente dalle perdite di switching, non dipendono dalla frequenza di commutazione e in buona approssimazione dalle tecniche di modulazione impiegate.

Il convertitore analizzato dimostra in letteratura di raggiungere, rispetto ad altre soluzioni, ottimi valori di rendimento di conversione con basse perdite di conduzione e di commutazione.

Queste ultime vengono a verificarsi quando un componente, il cui controllo si basa su un segnale inviato al gate, passa non istantaneamente da uno stato di accensione (o spegnimento) a quello opposto. Durante l'intervallo di transizione, sia la corrente che la tensione ai capi del componente sono sostanzialmente non nulle, portando quindi ad aumentare le perdite di potenza. Per i diodi, si parla di *reverse recovery* [Paragrafo 1.2.2] qualora vengano ad essere in conduzione dopo un intervallo di interdizione.

In generale, utilizzando nella maggior parte degli inverter gli interruttori e relativi diodi in antiparallelo, per calcolare le perdite di conduzione e switching, è lecito considerare questa rappresentazione circuitale:

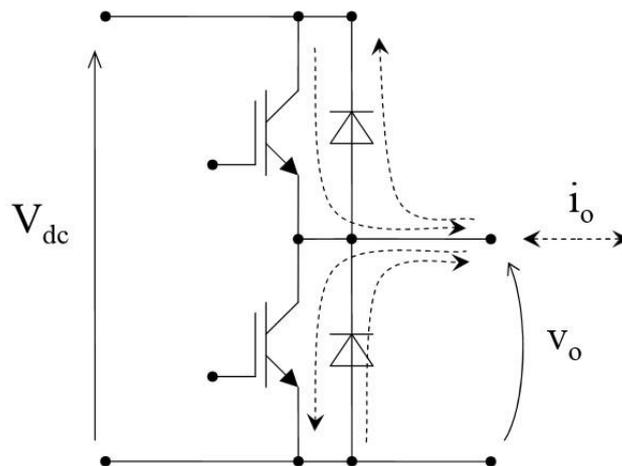


Figura 1.5: Rappresentazione circuitale ramo di inverter.

In tale maniera, per generare una tensione di uscita, almeno un interruttore o un diodo deve essere in conduzione. Semplificando, in prima approssimazione si suppongono le stesse cadute di tensione Δv ai capi dei componenti e si calcola la potenza mediamente dissipata, ad esempio dallo switch, in un ciclo di lavoro T_C :

$$\bar{P}_d(T_C) = \bar{P}_{cond}(T_C) + \bar{P}_{sw}(T_C) \quad (\text{Eq. 1.1})$$

$$\bar{P}_{cond}(T_C) = \frac{t_{cond}}{T_C} \cdot \Delta v \cdot I_o = \delta \cdot \Delta v \cdot I_o \quad (\text{Eq. 1.2})$$

$$\bar{P}_{sw}(T_C) = f_c \cdot k \cdot V_o \cdot I_o \cdot 2T_{comm} \quad (\text{Eq. 1.3})$$

dove:

$\bar{P}_{cond}(T_C)$: perdite di conduzione,

$\bar{P}_{sw}(T_C)$: perdite di switching,

t_{cond} : tempo nel quale l'interruttore permane in conduzione,

I_o : corrente di uscita dal ramo,

V_o : tensione di uscita del ramo,

δ : duty cycle,

f_c : frequenza di commutazione,

T_{comm} : tempo di commutazione dato dalla somma del tempo di accensione e spegnimento ($t_{on} + t_{off}$).

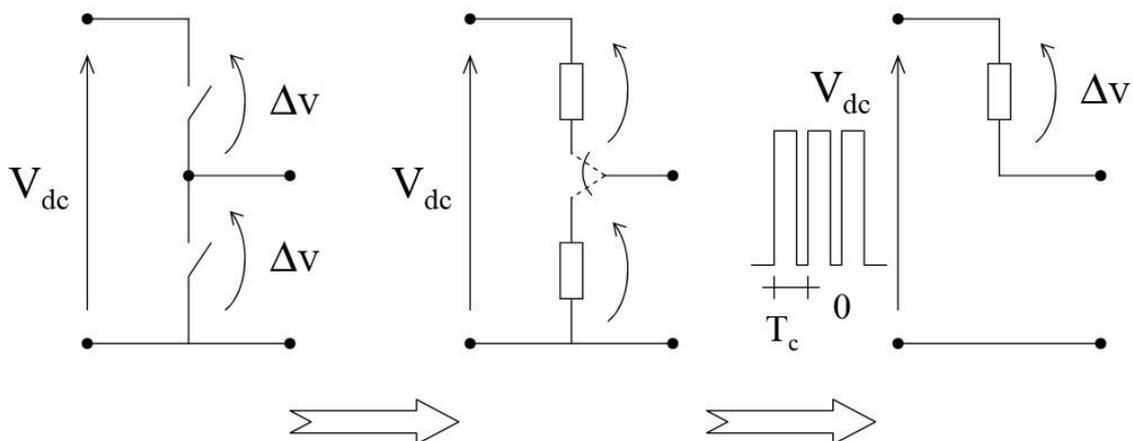


Figura 1.6: Rappresentazione della caduta di tensione tra alimentazione e carico.

La [Figura 1.6] sopra rappresenta la caduta di tensione permanente che vi è tra alimentazione e carico, dal momento che è sempre presente un componente in conduzione.

Le perdite di conduzione sono calcolate in modo indipendente dal *duty cycle*, integrando in un tempo arbitrario T:

$$\bar{P}_{cond}(T) = \frac{1}{T} \int_0^T \Delta v \cdot i_o dt = \Delta v \cdot |\bar{i}_o|(T) \quad (\text{Eq. 1.4})$$

nel caso in cui la differenza di potenziale ai capi del componente sia costante;

$$\bar{P}_{cond}(T) = \frac{1}{T} \int_0^T \Delta v \cdot i_o dt = R_{on} \bar{i}_o^2(T) \quad (\text{Eq. 1.5})$$

nel caso in cui valga la suddetta approssimazione $\Delta v = R_{on} i_o$.

Per le perdite di commutazione di un solo interruttore per ciclo, vale che:

$$\bar{P}_{sw}(T_C) = \frac{1}{T} \int_0^T f_c k V_{dc} 2 T_{comm} |i_o| dt = f_c k V_{dc} 2 T_{comm} |\bar{i}_o|(T) \quad (\text{Eq. 1.6})$$

Per il calcolo delle perdite nel circuito *NPC T-Type*, si faccia riferimento al successivo capitolo, mentre per quelle considerate in simulazione tramite appositi tools, si veda il [Paragrafo 3.2].

1.2.2. Reverse Recovery

I diodi sono spesso soggetti a commutazioni brusche e rapide che non avvengono realmente in tempi nulli, causando la generazione di correnti negative e sommandosi alle perdite per dissipazione associate al circuito di cui fanno parte. Questi flussi sono maggiormente percepiti quando la commutazione avviene ad alta frequenza: il transitorio del diodo non essendo nullo, non riesce ad arrestarsi istantaneamente. La condizione di recupero inverso,

o *reverse recovery*, si verifica quando il diodo semiconduttore commuta dallo stato di conduzione a quello di interdizione; in questa fase la corrente diretta del diodo è azzerata, ad esempio per l'applicazione di una tensione inversa, ma in realtà esso continua a condurre in verso opposto a causa dell'immagazzinamento di portatori minoritari nella giunzione *p-n* e nella massa del semiconduttore. La corrente di *reverse recovery* non è costante, ed assume un valore di picco I_{rr} per poi diminuire fino ad estinguersi; la sua entità è direttamente proporzionale alla quantità della corrente diretta. Le cariche minoritarie impiegano del tempo per potersi ricombinare, detto *reverse recovery time*, ed è misurato dall'istante in cui la corrente diretta viene annullata all'istante in cui si raggiunge il 25% del picco della corrente di recupero inverso (o il 10% della corrente diretta, la stima dipende dal fabbricante del diodo). Tale intervallo temporale è calcolato come somma del tempo che intercorre tra lo 0 della corrente diretta e il raggiungimento del picco dell'inversa ed il tempo che impiega per riportare la corrente inversa al 25% della I_{rr} . Il *reverse recovery time* è definito in base al tempo di vita delle cariche.

La commutazione dello stato del diodo può essere causata da quella effettuata dall'interruttore statico (IGBT o MOSFET) al quale è collegato in antiparallelo. Essendo un fenomeno che incide e quindi riduce l'efficienza, [Paragrafo 1.2.3], ed in generale le prestazioni del convertitore, il *reverse recovery* dei diodi è preso in considerazione allo stesso modo delle perdite di commutazione sugli interruttori statici.

1.2.3. Efficienza

L'efficienza rappresenta per i convertitori una delle principali figure di merito adimensionale a cui riferirsi in fase di progettazione. Nell'elaborato, è una cifra per mezzo della quale si è potuto scegliere la tipologia di inverter che risultasse maggiormente conforme all'applicazione fotovoltaica.

Generalizzando al ramo di inverter, l'efficienza può essere espressa nel seguente modo:

$$\eta = \frac{P_o}{P_I} = \frac{P_o}{P_d + P_o} \quad (\text{Eq. 1.7})$$

dove P_O rappresenta la potenza media in uscita, ossia quella al carico, P_I è la potenza media di ingresso all'inverter, mentre la P_d è la potenza dissipata che dipende dalla corrente di carico e quindi dalla potenza apparente S .

$$P_O = S \cos\varphi_O \quad (\text{Eq. 1.8})$$

$$P_d \cong K_d \cdot S \quad (\text{Eq. 1.9})$$

Con opportune sostituzioni, l'efficienza può essere approssimata come segue.

$$\eta = \frac{S \cos\varphi_O}{K_d S + S \cos\varphi_O} = \frac{\cos\varphi_O}{K_d + \cos\varphi_O} \quad (\text{Eq. 1.10})$$

L'efficienza quindi diminuisce man mano che, per carichi lineari, il fattore di potenza $\cos\varphi$ del carico si riduce. Per fattore di potenza si intende il rapporto tra la potenza che alimenta un carico elettrico e la relativa potenza apparente. In definitiva, indica lo sfasamento che vi è tra la potenza attiva e quella apparente; perciò quando S coincide con la potenza attiva, φ diviene nullo ed il coseno raggiunge valore unitario; in conseguenza di ciò, la potenza reattiva è nulla [Figura 1.7].

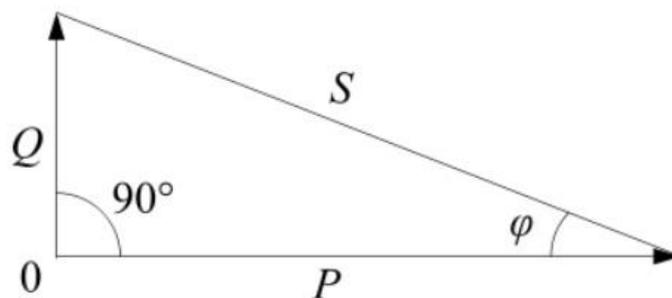


Figura 1.7: Relazione angolare tra la potenza attiva (P), apparente (S) e reattiva (Q).

Negli impianti elettrici la potenza reattiva è spesso indesiderata, poiché causa maggiori perdite sulle linee, pertanto si tende a ridurne il contributo tramite tecniche di rifasamento.

Ad esempio, in presenza di carichi induttivi è possibile aggiungere condensatori in parallelo, in questo modo lo sfasamento diminuisce. Impiegando un inverter in configurazione *front-end*, quindi connesso alla rete, l'iniezione di corrente reattiva determina un aumento delle perdite di conduzione e di commutazione abbassando il rendimento del convertitore.

La tipologia di inverter multilivello scelta per l'applicazione in impianti fotovoltaici ha reso possibile il raggiungimento di ottimi valori di efficienza, dapprima riscontrati in letteratura e successivamente tramite simulazioni.

1.2.4. Il Tempo Morto

Riferendosi alla [Figura 1.10] onde semplificare la trattazione, il tempo morto è quell'intervallo di tempo in cui entrambi gli interruttori si trovano in interdizione, quando li si cerca di commutare da uno stato all'altro.

Se si tentasse di commutare contemporaneamente gli interruttori, con buona probabilità si otterrebbe l'accensione di entrambi, e conseguente corto-circuitazione dell'ingresso. A tal proposito è consigliabile, se non necessario, accertarsi dell'avvenuto spegnimento dello switch in conduzione, prima di accendere il complementare. Si ritarda quindi la commutazione, provocando però l'insorgere di distorsioni armoniche sulla tensione di uscita; non a caso il tempo morto è una delle maggiori cause di non linearità negli inverter e tutt'ora vengono effettuati studi approfonditi sulle possibili tecniche di compensazione.

Il tempo morto viene introdotto a causa dell'aleatorietà dei tempi di commutazione degli interruttori: durante questo intervallo temporale, il valore della tensione di polo è indeterminato e dipende dal verso della corrente che attraversa il circuito, perciò può essere maggiore o minore rispetto al valore che ci si aspetta. Se si conosce il verso della corrente, si può tuttavia cercare di compensare l'aumento/diminuzione della tensione di polo.

Valori tipici del tempo morto, per quanto riguarda gli IGBT, sono nell'ordine di pochi microsecondi.

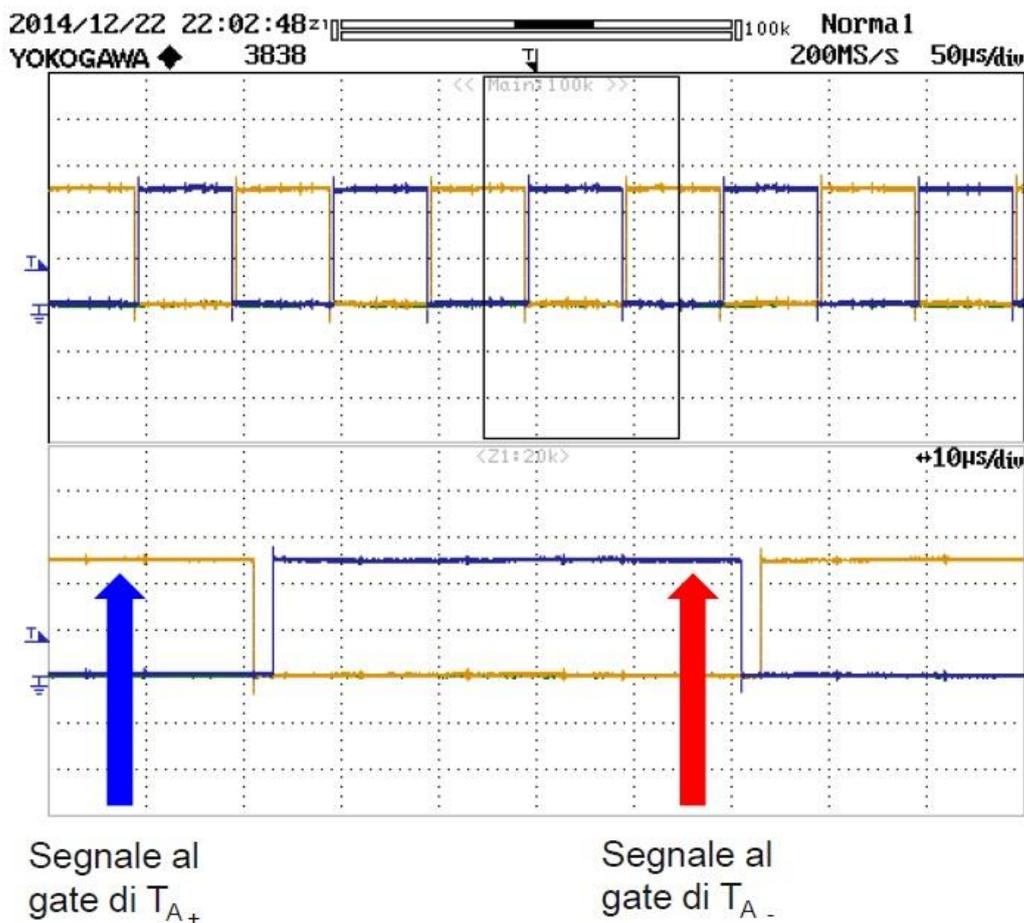


Figura 1.8: Tempo morto come "disturbo" inevitabile, tra la commutazione alta - bassa dell'interruttore T_{A+} e bassa - alta del T_{A-} .

Come da [Figura 1.9], si nota la differenza sostanziale tra una commutazione ideale, in cui lo stato degli interruttori muta istantaneamente, e quella reale durante la quale è inevitabile l'introduzione del tempo morto.

In particolare, a seconda del verso della corrente, si ha un guadagno o una perdita di area. Nel momento in cui qualsiasi interruttore transita da OFF a ON, se ne ritarda l'accensione, mentre l'operazione complementare, ossia da acceso a spento, è ritenuta circa istantanea.

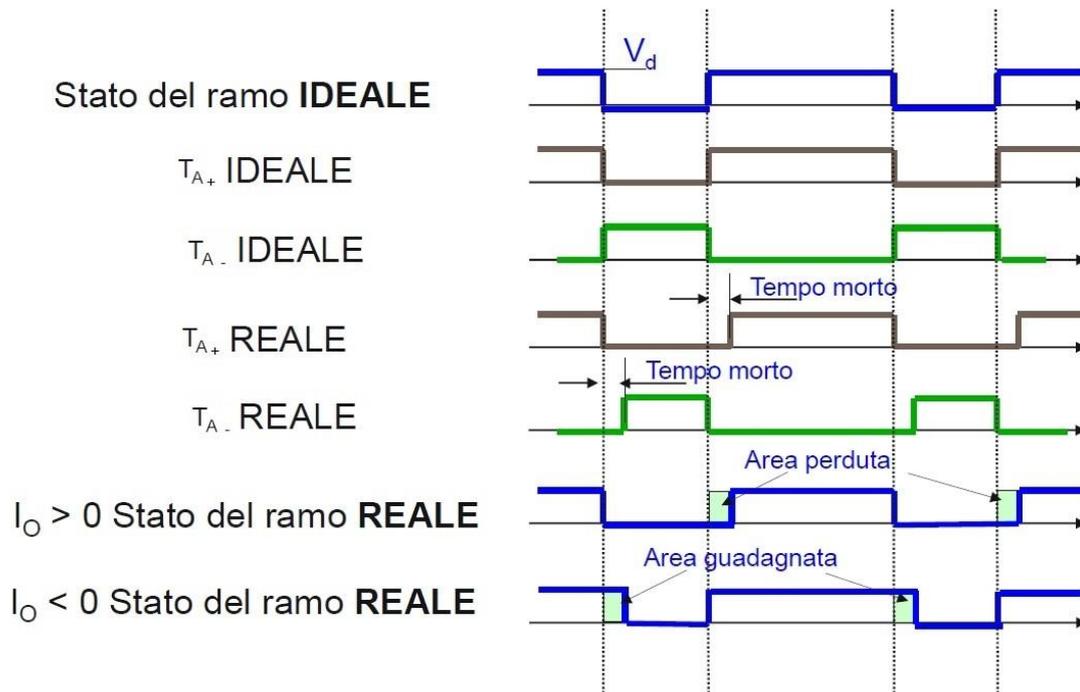


Figura 1.9: Rappresentazione della transizione da uno stato all'altro degli interruttori; differenza tra la commutazione ideale e reale.

1.2.5. Total Harmonic Distortion

Il *Total Harmonic Distortion* o THD definisce l'entità di distorsione della forma d'onda di una tensione o corrente, ad esempio sinusoidale, causata dalla presenza di armoniche differenti da quella fondamentale e che incidono quindi sul contenuto armonico totale:

$$THD = \frac{\sqrt{\sum_{k=2}^{\infty} A_{keff}^2}}{A_{1eff}} \quad (\text{Eq. 1.11})$$

dove A_{keff} è il valore efficace della k-esima armonica e A_{1eff} è il valore efficace dell'armonica fondamentale.

Per THD nullo significa quindi che l'onda è priva di distorsioni dovute alle armoniche di ordine maggiore o uguale a due, che quindi non contribuiscono alla generazione della stessa; valori di THD maggiori di zero forniscono all'utilizzatore una corrente non perfettamente sinusoidale, che può influenzare, nel caso del suddetto elaborato, la tensione

in uscita dall'inverter, andando a compromettere le tensioni agli altri utilizzatori collegati alla rete.

Nel corso delle simulazioni descritte nei prossimi capitoli, si è ritenuto utile analizzare la presenza di armoniche differenti dalla fondamentale nella corrente in uscita all'inverter multilivello, sia per quanto riguarda il caso *single leg* che il trifase, usufruendo di particolari strumenti. Vengono quindi descritte visivamente le differenti componenti frequenziali nelle due configurazioni.

1.2.6. *Common Mode Voltage*

La tensione di modo comune, *Common Mode Voltage* CMV, è ritenuta una delle fonti di interferenza elettromagnetica, potenzialmente pericolosa per gli impianti elettrici. È responsabile della generazione di correnti di modo comune che scorrono nel terreno, causate dalla capacità parassita che si instaura tra i pannelli fotovoltaici e la terra; questi due elementi fungono quindi da armature di un condensatore.

La CMV è prevalentemente presente negli impianti privi di trasformatore, ovvero senza separazione galvanica, la cui vicinanza ad essi diviene perciò rischiosa per l'uomo e l'ambiente, dal momento che l'intervento dei comuni sistemi di sicurezza impiantistica possono non essere immediati. Dal punto di vista della rete, la CMV genera una distorsione della corrente che viene immessa.

Per tali motivazioni è necessario ridurre la tensione di modo comune, e quindi l'insorgere di correnti parassite, tramite disaccoppiamento o sul lato DC o su quello AC.

Per quanto riguarda il *DC-decoupling*, viene aggiunto al normale sistema uno o più switch (o diodi), il cui compito è quello scollegare la parte fotovoltaica dalla rete, in caso di voltaggio nullo. L'arresto viene fatto attraverso determinate fasi, per non creare una brusca interruzione di corrente. In normale funzionamento, gli interruttori permettono la fruizione della corrente da una parte all'altra dell'impianto, andando però ad incrementare le cadute di tensione ai capi dei componenti.

Il disaccoppiamento nel lato AC avviene invece attraverso un circuito di *by-pass* che si attiva in caso di voltaggio nullo e generazione di corrente di modo comune. La soluzione risulta migliore rispetto al *DC-decoupling* in quanto sono presenti meno perdite dovute alla caduta di tensione, non alterando pertanto l'efficienza dell'impianto.

1.3. INVERTER

Per poter apprendere il concetto di multilivello, è necessaria dapprima una breve introduzione degli inverter tradizionali a due livelli, in diverse configurazioni.

Gli inverter rappresentano una delle più rilevanti tipologie di dispositivi per l'elettronica di potenza, soprattutto per le molteplici applicazioni che offrono.

Si tratta di convertitori statici alimentati in continua che restituiscono grandezze alternate, tendenzialmente sinusoidali. Gli inverter si classificano in due principali categorie: i CSI (*Current Source Inverter*) e VSI (*Voltage Source Inverter*).

La prima tipologia definisce inverter alimentati da una sorgente di corrente continua, che imprimono al carico una corrente alternata di tipo sinusoidale; sono applicazioni prevalentemente di nicchia, circuiti in grado di sopportare elevate potenze. La seconda tipologia riguarda invece gli inverter di più largo impiego rispetto ai CSI, al cui ingresso vi è una tensione continua, mentre la grandezza in uscita è una tensione alternata di tipo sinusoidale, della quale è possibile controllare ampiezza, forma e frequenza.

Di seguito verranno presi in considerazione quegli inverter comandati in tensione, facendo riferimento in un primo momento al singolo ramo di inverter, al caso monofase ed infine all'inverter trifase. Se non espressamente definito, si considerano condizioni ideali di funzionamento, quindi assenza di perdite e alcuna caduta di tensione sui diodi.

1.3.1. Ramo di Inverter

Il ramo di inverter riproposto in [Figura 1.10] è costituito da due switch e due diodi in antiparallelo. Avendo a disposizione due interruttori, le possibili configurazioni in cui si può trovare il circuito sono $2^2 = 4$. Nel reale funzionamento viene inviato un opportuno segnale modulante, solitamente sinusoidale che, confrontato con la portante triangolare, permette di accendere uno switch alla volta, ottenendo quindi due soli stati: se T_{A+} è ON e T_{B+} è OFF, si ha in uscita lo stesso valore di tensione dell'ingresso, altrimenti per la configurazione inversa la $V_{AO} = 0$. Lo stato in cui entrambi gli interruttori sono accesi non è ammesso, in quanto questo porterebbe a cortocircuitare l'alimentazione, determinando un assorbimento anomalo di corrente da parte del dispositivo e il suo danneggiamento

irreversibile (gli interruttori in oggetto sono solitamente IGBT o MOSFET, dimensionati per corrente di carico e non di cortocircuito).

Infine il tempo in cui gli switch si trovano entrambi nello stato OFF è definito tempo morto, e risulta essere una delle figure di merito che caratterizza la velocità di commutazione dell'inverter, incidendo quindi sulle prestazioni. Per l'approfondimento sulle tecniche di modulazione nonché sulle prestazioni dei dispositivi, si rimanda il chiarimento ai capitoli successivi.

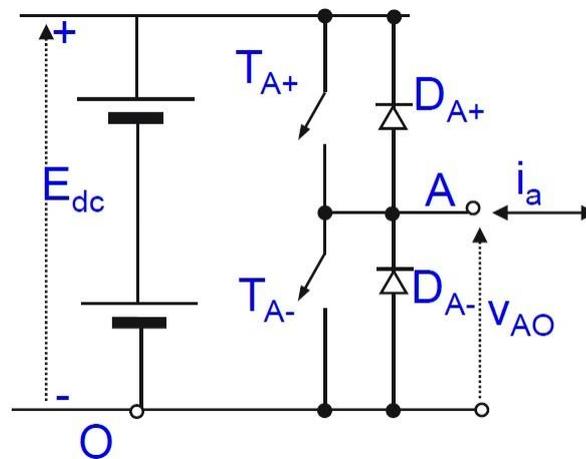


Figura 1.10: Ramo di Inverter

1.3.2. Inverter Monofase

Collegando in parallelo due rami di inverter si ottiene il circuito monofase. Tale configurazione prevede il doppio del numero degli interruttori rispetto alla precedente, quindi quattro volte il numero di configurazioni in cui si può trovare l'inverter, ma non tutte sono attuabili. Solo quattro di esse, di seguito specificate, espongono il funzionamento del circuito, in base anche al verso di scorrimento della corrente.

Si definiscono le funzioni s_1 e s_2 che descrivono lo stato del ramo 1 e del ramo 2 in [Tabella 1.1]:

| $S_1 S_2$ | T_A | T_B | T_C | T_D |
|-----------|-------|-------|-------|-------|
| 10 | on | off | off | on |
| 01 | off | on | on | off |
| 11 | on | off | on | off |
| 00 | off | on | off | on |

Tabella 1.1: Descrizione dei possibili stati inverter monofase.

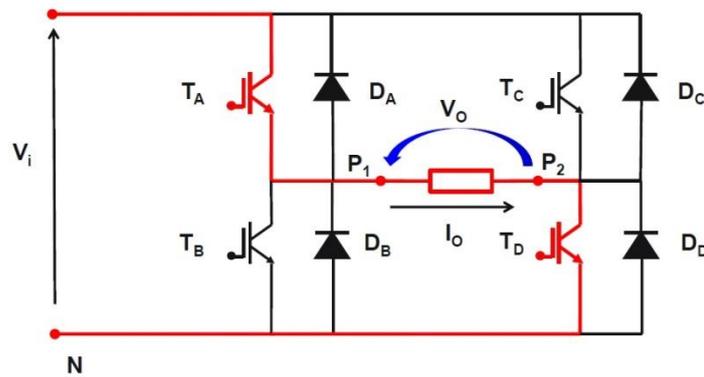


Figura 1.11: Inverter monofase nello stato $s_1s_2 = 10$, $I_o > 0$, $V_o = V_i$.

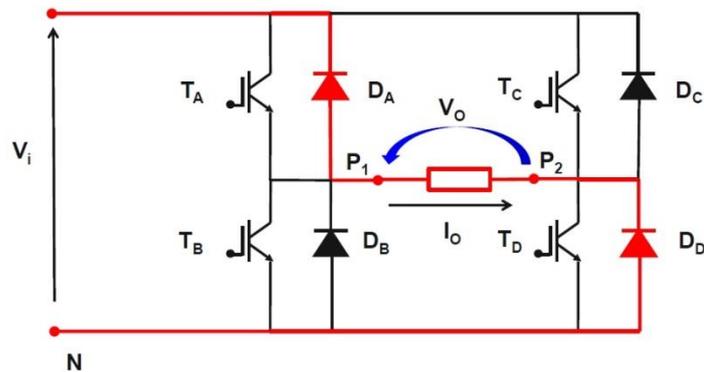


Figura 1.12: Inverter monofase nello stato $s_1s_2 = 10$, $I_o < 0$, $V_o = V_i$.

Come si può notare dalle [Figura 1.11] [Figura 1.12], la tensione in uscita ha un valore indipendente dal segno della corrente I_o ; nelle figure seguenti si continuano ad enfatizzare, evidenziando il percorso di rosso, quali componenti vengono attraversati dalla corrente ed il valore della V_o .

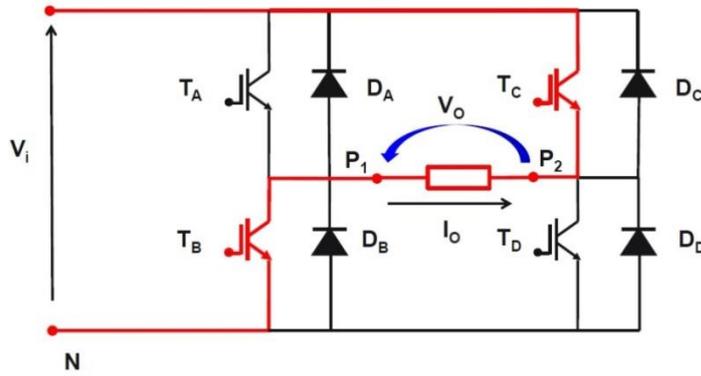


Figura 1.13: Inverter monofase nello stato $s_1s_2 = 01$, $I_o > 0$, $V_o = -V_i$.

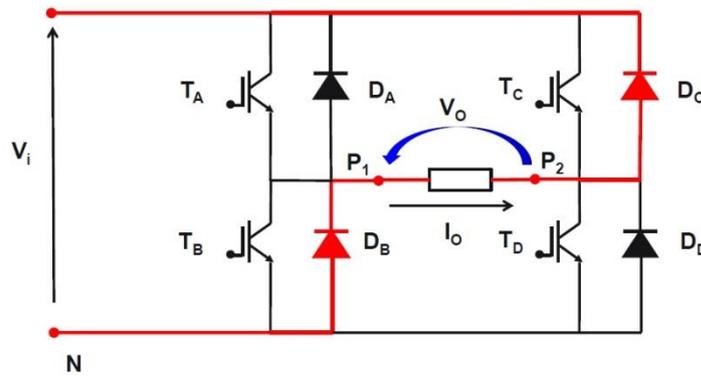


Figura 1.14: Inverter monofase nello stato $s_1s_2 = 01$, $I_o < 0$, $V_o = -V_i$.

Nelle prossime figure vengono presentati gli ultimi due stati possibili in cui si può trovare il dispositivo: i relativi percorsi interessano solamente la parte superiore o solo quella inferiore dell'inverter monofase, perciò restituiscono in uscita una tensione nulla.

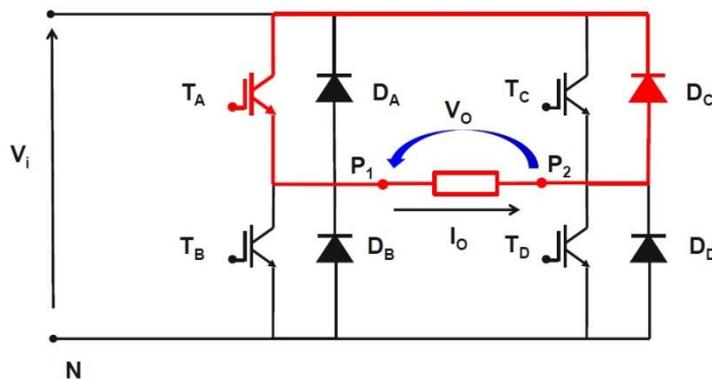


Figura 1.15: Inverter monofase nello stato $s_1s_2 = 11$, $I_o > 0$, $V_o = 0$.

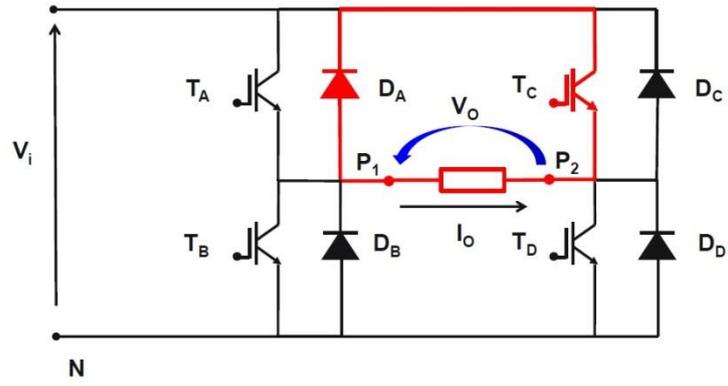


Figura 1.16: Inverter monofase nello stato $s_1s_2 = 11$, $I_o < 0$, $V_o = 0$.

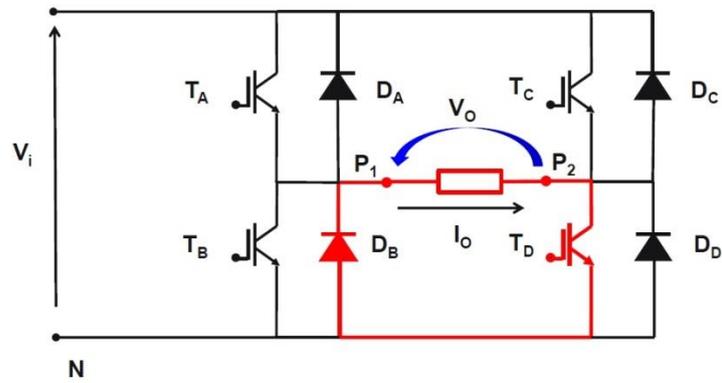


Figura 1.17: Inverter monofase nello stato $s_1s_2 = 00$, $I_o > 0$, $V_o = 0$.

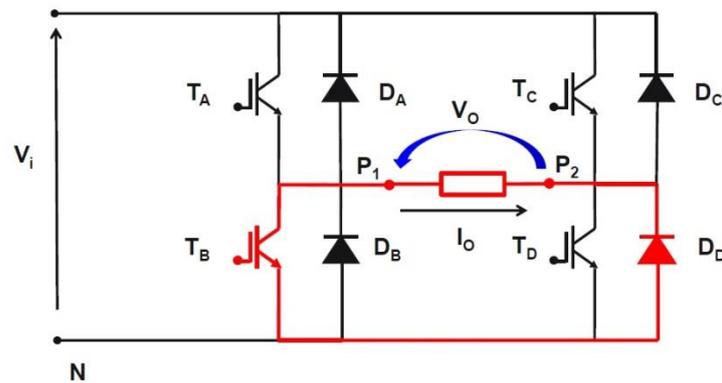


Figura 1.18: Inverter monofase nello stato $s_1s_2 = 00$, $I_o < 0$, $V_o = 0$.

1.3.3. Inverter Trifase

L'ultima configurazione dell'inverter, secondo particolari accorgimenti, può consentire di ottenere in uscita tre tensioni perfettamente sinusoidali, sfasate tra loro di 120° elettrici.

Ogni ramo del dispositivo, composto da due switch e due diodi in antiparallelo, costituisce una fase: i morsetti dell'uscita sono collegati ai punti intermedi di ogni ramo. Analogamente ai precedenti, anche in questo caso si evita di cortocircuitare l'ingresso imponendo che per ogni fase vi sia al più un solo interruttore chiuso; per tale motivo, in caso di commutazione, nella progettazione si deve tenere presente il tempo morto che consiste nell'apertura di entrambi gli switch per ogni ramo.

Il ramo su cui sono poste le capacità a tensione V_{dc} viene definito bus DC.

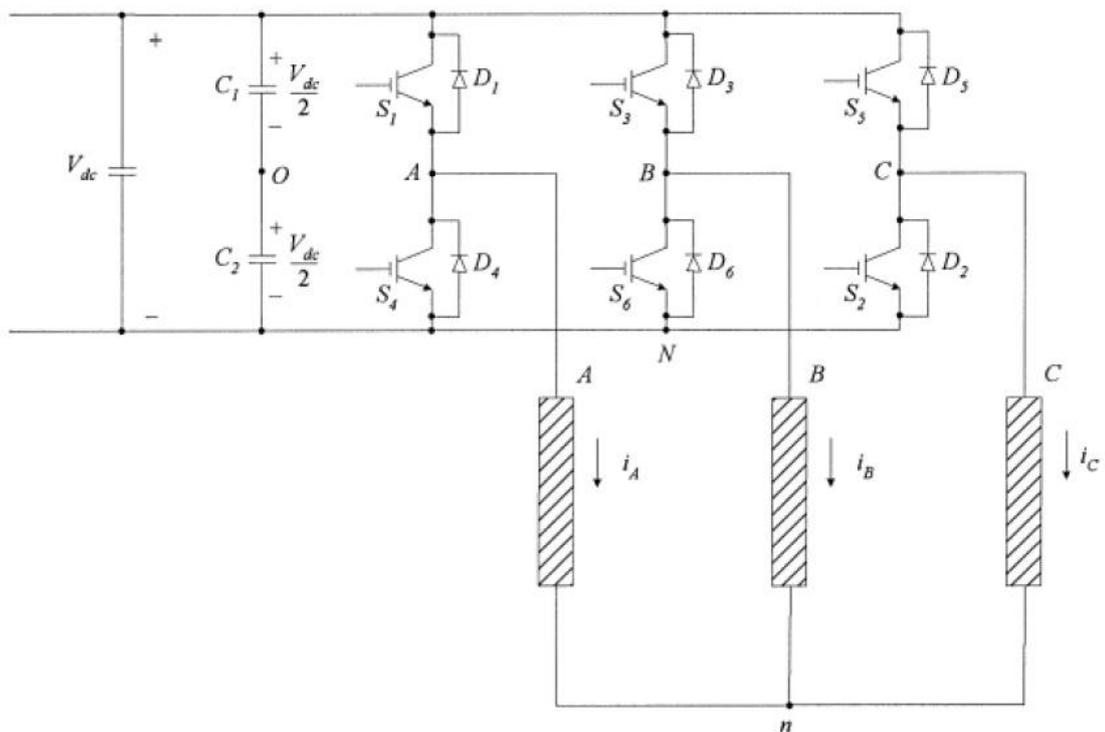


Figura 1.19: Inverter trifase.

Per agevolare la trattazione, vengono considerate le capacità cariche, la tensione in ingresso costante al variare del carico, e switch ideali ossia privi di cadute di tensioni e di ritardi di commutazione; non viene valutato il tempo morto.

Tenendo presente tali semplificazioni, di seguito sono identificati i possibili stati in cui si può trovare l'inverter trifase, e le relative tensioni ai morsetti.

| Stato | S ₁ | S ₂ | S ₃ | S ₄ | S ₅ | S ₆ | V _{AB} | V _{BC} | V _{CA} |
|----------|----------------|----------------|----------------|----------------|----------------|----------------|------------------|------------------|------------------|
| 1 | on | on | off | off | off | on | V _{dc} | 0 | -V _{dc} |
| 2 | on | on | on | off | off | off | 0 | V _{dc} | -V _{dc} |
| 3 | off | on | on | on | off | off | -V _{dc} | V _{dc} | 0 |
| 4 | off | off | on | on | on | off | -V _{dc} | 0 | V _{dc} |
| 5 | off | off | off | on | on | on | 0 | -V _{dc} | V _{dc} |
| 6 | on | off | off | off | on | on | V _{dc} | -V _{dc} | 0 |
| 7 | on | off | on | off | on | off | 0 | 0 | 0 |
| 8 | off | on | off | on | off | on | 0 | 0 | 0 |

Tabella 1.2: Descrizione dei possibili stati inverter trifase e tensione ai morsetti.

Dalla tabella di cui sopra, si può notare che dalle configurazioni permesse, all'uscita possono essere presenti solo tre valori discreti di tensione, ossia V_{dc}, 0 o -V_{dc}.

1.4. INVERTER MULTILIVELLO

1.4.1. Configurazione *Single Leg*

In questi ultimi anni, l'industria dell'elettronica di potenza ha richiesto dispositivi atti a sostenere maggiori sforzi e sollecitazioni. Risulta però difficoltoso collegare un singolo interruttore a semiconduttori direttamente alla rete di media potenza.

È perciò emersa una nuova famiglia di inverter, in grado di sopportare quei livelli di tensione prima non ipotizzabili. La progettazione della struttura multilivello è stata permessa anche grazie all'evoluzione delle recenti tecnologie di interruttori elettronici di potenza.

I convertitori multilivello nascono pertanto anche dall'esigenza di ottenere migliori prestazioni e maggiore efficienza, risolvendo altresì i limiti tecnici dell'inverter a due

livelli. Tali risultati sono conseguibili andando a definire in uscita più livelli di tensione rispetto ai circuiti tradizionali: se in ingresso all'inverter multilivello si applica una tensione in continua, in uscita ad esso viene generata una tensione con forma d'onda a gradini.

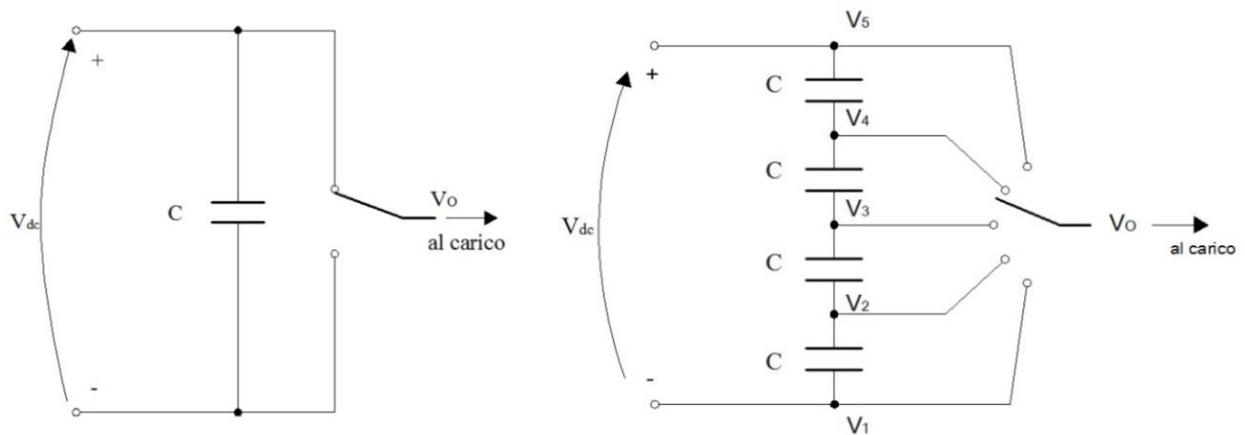


Figura 1.20: A sinistra: esempio di convertitore a 2 livelli; a destra: esempio di generico convertitore multilivello (5 livelli).

Viene quindi suddivisa la tensione totale, posta in ingresso al convertitore, in un numero di parti di egual valore. In tale maniera i gradienti di tensione dV/dt di ogni commutazione vengono ridotti all'aumentare del numero di livelli ottenuti, favorendo un basso contenuto armonico della forma d'onda, approssimabile ad una tensione sinusoidale.

Inoltre, per le applicazioni che richiedono media/alta potenza, il multilivello risulta vantaggioso dal punto di vista dello stress al quale sollecita i componenti del convertitore. Ognuno viene difatti sottoposto ad una frazione della tensione di alimentazione, e non al valore totale. In questo modo è facilmente ottenibile un circuito che riesca a resistere alle alte tensioni di alimentazione, aumentando però il numero di componenti proporzionalmente al numero di livelli raggiunti.

In [Figura 1.20] i capi dei condensatori di uno stesso circuito si trovano alla medesima tensione, pari a:

$$V_C = \frac{V_{dc}}{(m - 1)} \quad (\text{Eq. 1.12})$$

dove m rappresenta il numero di livelli, e quindi $(m - 1)$ condensatori sul bus DC.

A parità di V_{dc} , sarà possibile utilizzare capacità più piccole nell'inverter a 5 livelli (destra) rispetto a quello a 2 livelli (sinistra).

I convertitori multilivello trovano largo impiego nel campo della media/alta potenza, ad esempio applicazioni eoliche, poiché sfruttano il frazionamento della tensione di alimentazione, fino ad un massimo di circa 30 livelli, dopodiché la circuiteria di drive che regola gli switch può divenire troppo complessa rispetto ai benefici ottenibili.

Nell'elaborato gli inverter multilivello presi in esame sono impiegati per applicazioni di medio/bassa potenza, dove il numero di livelli raggiungibili per la commercializzazione è al più 5.

In particolare, si utilizza un *NPC T-Type Inverter* a 3 livelli, il quale può essere collegato a monte con un impianto fotovoltaico di media produzione energetica. Si genera quindi una corrente tendente ad una sinusoide, da immettere nella rete elettrica, sfruttando una frequenza di commutazione inferiore a quella di un inverter a due livelli. Ciò va a ridurre notevolmente le perdite di switching rispetto a quelle del dispositivo tradizionale.

Altre motivazioni dell'utilizzo del *T-Type* sono esplicate nei capitoli a venire, tramite l'ausilio di simulazioni.

1.4.2. Configurazione Trifase

I convertitori multilivello si prestano molto all'utilizzo trifase; tuttavia sono presenti alcune complicazioni derivanti dalla maggiore complessità della configurazione.

Nei sistemi trifase si vanno a delineare il numero m_{LL} di livelli delle tensioni concatenate, ossia quelle tensioni che vi sono tra i morsetti di uscita V_{ab} , V_{bc} e V_{ca} :

$$m_{LL} = 2m - 1 \quad (\text{Eq. 1.13})$$

ed il numero m_E di livelli che frazionano le tensioni di fase:

$$m_E = 2m_{LL} - 1 \quad (\text{Eq. 1.14})$$

Per cui, se ad esempio l'inverter realizzato fosse a $m = 3$ livelli, numero adeguato per poter raggiungere buoni risultati in termini di qualità ed efficienza dal dispositivo e al contempo non introdurre troppa complessità nella gestione dello stesso, si otterrebbe:

$$m_{LL} = 2m - 1 = 2 \cdot 3 - 1 = 5 \text{ livelli di tensione concatenate e}$$

$$m_E = 2m_{LL} - 1 = 2 \cdot 5 - 1 = 9 \text{ livelli di tensioni di fase.}$$

Di seguito sono rappresentate le forme d'onda, e quindi i diversi valori di tensione, di due generiche configurazioni trifase, la prima tradizionale e la seconda a tre livelli.

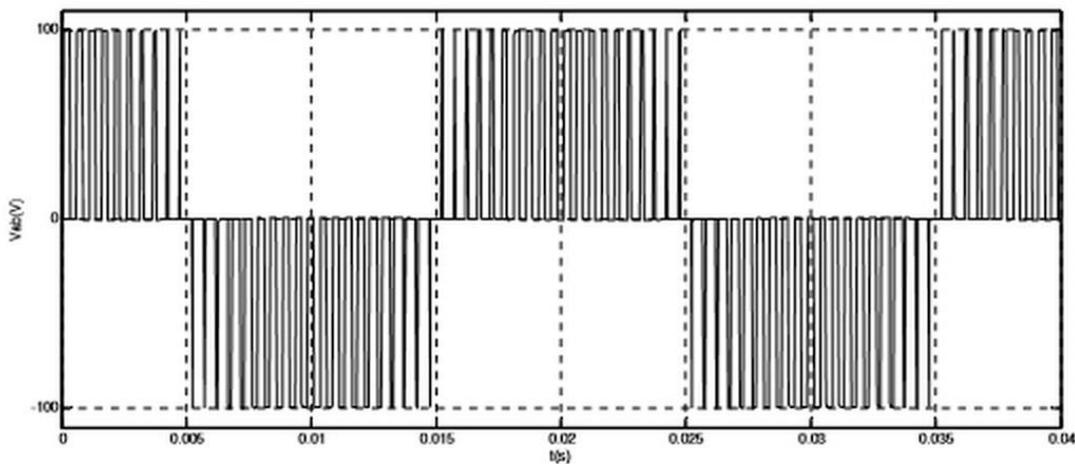


Figura 1.21: Rappresentazione di una generica forma d'onda delle tensioni concatenate di un inverter trifase tradizionale.

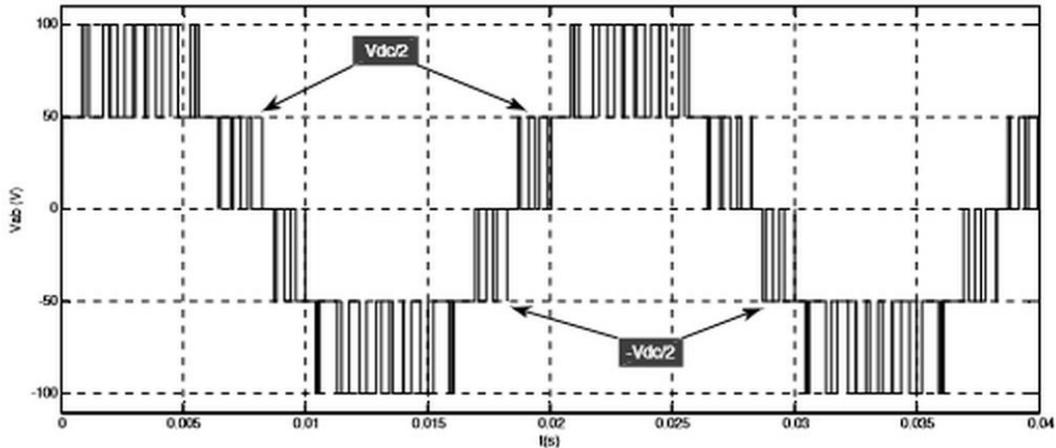


Figura 1.22: Rappresentazione di una generica forma d'onda delle tensioni concatenate di un inverter trifase a tre livelli.

Si può notare come in [Figura 1.22] la tensione concatenata sia prossima ad una sinusoide: aumentando ulteriormente il numero di livelli, l'onda tenderà sempre più alla forma desiderata.

È però consigliabile prestare attenzione alla carica e scarica di quei condensatori che definiscono i livelli e alla tipologia di modulazione utilizzata per governare gli interruttori. Queste particolari caratteristiche determinano, insieme al grado di multilivello, la forma d'onda in uscita.

1.4.3. Tipologie di Inverter Multilivello

Esistono in commercio svariate tipologie di inverter multilivello, quelli che trovano maggiore impiego nel campo dell'elettronica di potenza sono:

- *Capacitor – Clamped Inverter (o Flying – Capacitor);*
- *Diode – Clamped Inverter (o Neutral-Point-Clamped);*
- *Cascaded H-Bridge Inverter.*

1.4.3.1. *Capacitor – Clamped Inverter*

Viene chiamato anche *flying capacitor* poiché presenta capacità flottanti che, se caricate con un'opportuna tensione, offrono gradini di differenti valori di tensione in uscita.

A seconda del numero di interruttori e, di conseguenza anche di quante capacità vengono introdotte tra uno switch e il suo corrispettivo della parte bassa del ramo, si ottiene una certa quantità di livelli. In figura viene illustrato il *flying capacitor* a tre livelli.

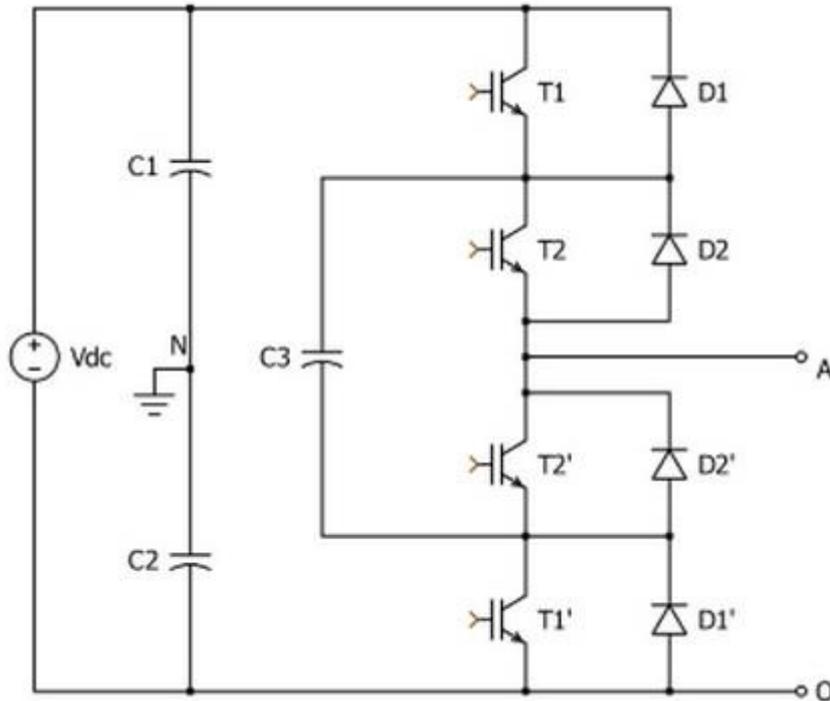


Figura 1.23: Configurazione *Flying Capacitor Inverter* a 3 livelli.

L'inverter fornisce tre livelli di tensione, stimate tra il nodo A e il nodo N: $V_{dc}/2$, 0 e $-V_{dc}/2$. Il primo valore di tensione si ottiene accendendo T1 e T2, mentre la tensione nulla in uscita è determinata dall'accensione di T1 e T2' oppure T2 e T1'; infine $-V_{dc}/2$ si presenta con la chiusura di entrambi gli switch della parte inferiore del ramo.

La capacità C3 può essere caricata quando T1 e T2' sono accesi e scaricata quando essi si spengono e si accendono T2 e T1'; dal momento che entrambi gli stati comportano una tensione di uscita nulla, possono essere sfruttati per bilanciare la tensione sul condensatore stesso, migliorando quindi il controllo sulla potenza attiva.

Nella [Figura 1.24] viene invece descritto il circuito dell'inverter *Capacitor Clamped* a 5 livelli di tensione per V_{AN} , i cui corrispondenti stati di accensione e spegnimento degli interruttori sono meglio elencati nella [Tabella 1.3].

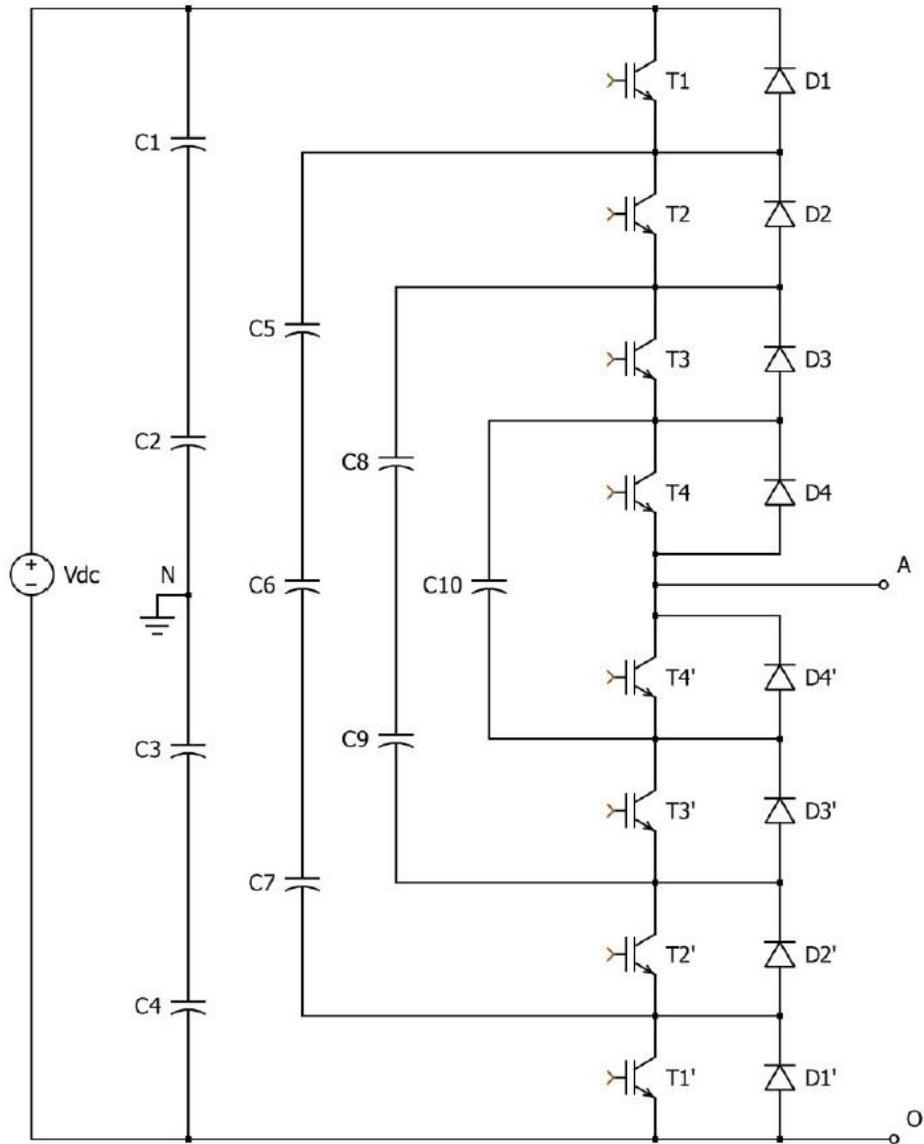


Figura 1.24: Configurazione *Flying Capacitor Inverter* 5 livelli.

| T1 | T2 | T3 | T4 | T4' | T3' | T2' | T1' | V_{AN} | V_{AO} |
|----|----|----|----|-----|-----|-----|-----|-------------|-------------|
| 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | $V_{dc}/2$ | V_{dc} |
| 1 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | $V_{dc}/4$ | $V_{dc}3/4$ |
| 1 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | $V_{dc}/4$ | $V_{dc}3/4$ |
| 1 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | $V_{dc}/4$ | $V_{dc}3/4$ |
| 0 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | $V_{dc}/4$ | $V_{dc}3/4$ |
| 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | $V_{dc}/2$ |
| 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | $V_{dc}/2$ |
| 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | $V_{dc}/2$ |
| 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | $V_{dc}/2$ |
| 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | $V_{dc}/2$ |
| 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | $V_{dc}/2$ |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | $-V_{dc}/4$ | $V_{dc}3/4$ |
| 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | $-V_{dc}/4$ | $V_{dc}3/4$ |
| 0 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | $-V_{dc}/4$ | $V_{dc}3/4$ |
| 0 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | $-V_{dc}/4$ | $V_{dc}3/4$ |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | $-V_{dc}/2$ | 0 |

Tabella 1.3: Descrizione dei possibili stati degli interruttori del *Flying Capacitor Inverter* a 5 livelli.

Ovviamente, aumentando il numero di livelli, cresce il numero di stati che portano ad una stesso valore di tensione di uscita, dato da una proprietà di ridondanza insita del circuito.

I principali vantaggi dell'inverter con capacità ausiliarie risiedono nella sua semplicità di progettazione, nella generazione di una tensione sinusoidale V_{AN} ed nell'ottimo controllo della carica/scarica dei condensatori. Quest'ultimo punto è però valido fintanto che il numero di componenti non cresce troppo (di solito per $m > 9$), in quanto andare a caricare molte capacità simultaneamente richiederebbe un circuito di drive complesso. Inoltre, aumentare il numero di livelli di tensione, significa sia avere un'onda tendente alla sinusoidale cercata, ma anche accrescere il volume del dispositivo, richiedendo un più alto costo di produzione.

In specifico, la quantità totale di capacità che viene ad essere utilizzata in questa tipologia di circuito è più alto rispetto alle altre sotto citate, rappresentando perciò un limite tecnologico ove è necessario raggiungere un gran numero di livelli di tensione.

Ottenere m livelli di tensione significa richiedere al progettista $[(m - 1) \cdot (m - 2)]/2$ capacità di *clamping* per fase, oltre ovviamente alle $(m - 1)$ capacità del bus DC.

Ciò significa che, soprattutto nel sistema trifase, non è consigliabile l'utilizzo del *flying capacitor* se si vogliono raggiungere numerosi livelli di tensione, a causa delle molteplici capacità. La seguente tabella riassume la totalità dei componenti richiesti nel trifase se si adotta il *Capacitor Clamped* come inverter multilivello.

| Componente | Numero componenti (m livelli) |
|--------------------------|--------------------------------------|
| Capacità bus DC | $(m - 1)$ |
| Capacità clamping | $\frac{3 \cdot [(m - 1)(m - 2)]}{2}$ |
| Interruttore | $3 \cdot [(m - 1) \cdot 2]$ |

Tabella 1.4: Riepilogo componenti inverter *Flying Capacitor* trifase.

1.4.3.2. Diode - Clamped Inverter

Il *Diode-Clamped* si differenzia dagli altri modelli di inverter multilivello per la presenza del ramo di *clamp*, ove sono connessi due diodi D5 e D6, che permette di generare in uscita la tensione presente ai capi di una delle capacità appartenente al bus DC. Viene anche chiamato semplicemente *Neutral Point Clamped* (NPC) per la presenza del neutro tra i condensatori.

Di fatto, ciascun diodo di clamp è collegato da un lato tra le capacità, e dall'altro tra gli interruttori, il cui punto esatto è definito a seconda dei livelli totali di tensione in uscita, seguendo una regola precisa. La [Figura 1.25] fa riferimento al caso di tre livelli.

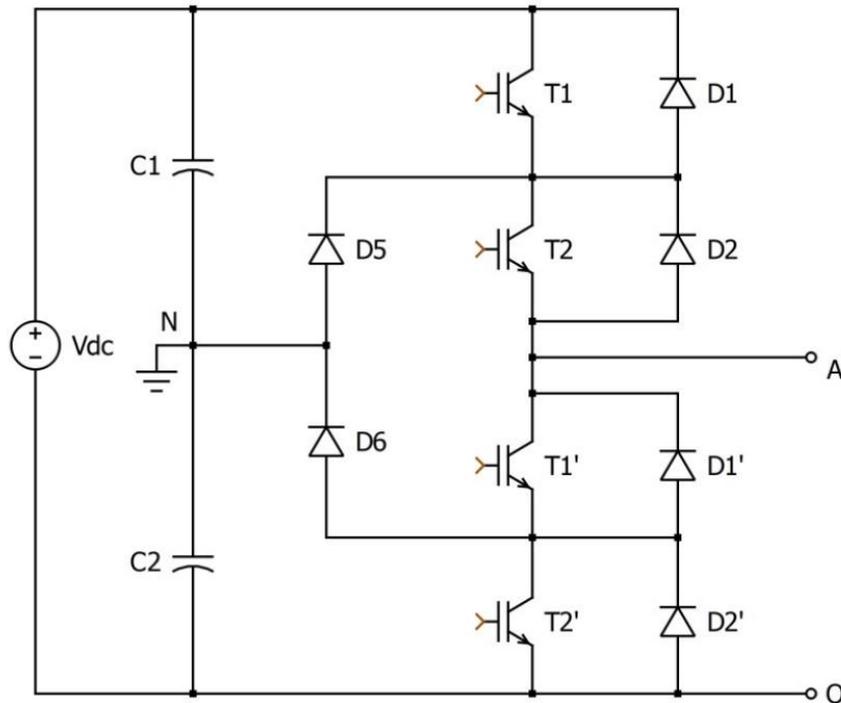


Figura 1.25: Diode - Clamped Inverter a tre livelli.

Come si può notare, con l'introduzione dei diodi di clamp D5 e D6, è necessario aggiungere due switch al singolo ramo di inverter, con i relativi diodi in antiparallelo.

Il funzionamento è semplice: in uscita, tra il nodo 'A' e 'N', si trovano tre livelli di tensione corrispondenti a $V_{dc}/2$, 0 e $-V_{dc}/2$; i diodi D5 e D6 devono pertanto sostenere la metà della tensione in ingresso all'inverter, come accade nel dispositivo *Flying Capacitor*.

La tensione V_{AN} è ottenuta in base alla particolare sequenza di accensione e spegnimento degli interruttori, riassunta nella seguente [Tabella 1.5].

| T1 | T2 | T1' | T2' | V_{AN} | V_{AO} |
|----|----|-----|-----|-------------|------------|
| 1 | 1 | 0 | 0 | $V_{dc}/2$ | V_{dc} |
| 0 | 1 | 1 | 0 | 0 | $V_{dc}/2$ |
| 0 | 0 | 1 | 1 | $-V_{dc}/2$ | 0 |

Tabella 1.5: Descrizione dei possibili stati degli interruttori del Diode - Clamped Inverter.

Dapprima si nota che la tensione tra i morsetti 'A' e 'O' è sempre positiva.

All'opposto, la tensione di uscita alternata V_{AN} , la cui ampiezza è pari alla metà di quella continua in ingresso, viene raggiunta quando entrambi gli switch della metà superiore dell'inverter (tensione positiva) oppure quelli della parte inferiore (tensione negativa) sono accesi. Non si devono però trascurare in assenza di idealità, le cadute di tensione provocate dal passaggio della corrente su ben due interruttori, che può generare quindi importanti perdite di conduzione. La tensione V_{AN} nulla si realizza con la chiusura degli interruttori mediani T2 e T1'.

Coerentemente a quanto già detto, la configurazione tale per cui tutti gli switch sono chiusi è vietata, per evitare la corto-circuitazione dell'ingresso, dal momento che si tende a dimensionare il componente in base alla tensione che deve fornire in uscita, corrispondente alla metà di quella in ingresso. Allo stesso modo, non è ammesso il valore di V_{AO} indefinito, risultante dall'apertura di tutti gli interruttori.

Si delineano ora quali componenti vengono attraversati dalla corrente, sulla base della tensione che si vuole ottenere in uscita. Il circuito considerato è quello di [Figura 1.25].

Se la coppia (T1T2) è nello stato ON, quindi V_{AN} è pari alla metà della tensione DC, e la corrente è positiva, la corrente scorre su di essi; al contrario per valori negativi di corrente, essa fruisce sui relativi diodi in antiparallelo.

Analogamente, se la coppia (T1'T2') è accesa e la corrente è positiva, la circolazione di essa avviene sui diodi (D1'D2'), mentre se la corrente scorre nel verso opposto sono interessati gli interruttori della parte inferiore del ramo dell'inverter.

Infine, quando la tensione in uscita è nulla, la corrente attraversa sempre e solo un diodo del ramo di clamp e uno dei due interruttori mediani, a seconda che questa sia positiva (coppia D5T2) o negativa (coppia D6T1').

Concludendo lo studio del *Diode-Clamped Inverter* a tre livelli, la tecnica di modulazione scelta per stabilire lo stato degli interruttori deve rispettare la regola secondo cui se T1 è acceso, il relativo negato è spento; medesima considerazione è fatta per T2 e T2'. Il circuito di drive in questo caso risulta essere semplice.

Nella configurazione a 5 livelli di V_{AN} la situazione, come illustrato da [Figura 1.26], appare invece più complessa. Innanzitutto vengono considerati diodi la cui dimensione

risulta uguale per tutti e corrispondente alla tensione di blocco $V_{dc}/4$, perciò il numero di questi aumenta in modo considerevole rispetto alla configurazione precedente. La quantità di componenti passivi può essere ridotta utilizzando diodi con tensione di blocco pari a $V_{dc}/2$, giovando sul volume totale del dispositivo, a discapito però di un possibile aumento di costo.

Si nota come la corrente debba circolare sul doppio di componenti rispetto al tre livelli, accrescendo le perdite di conduzione.

La V_{AN} in questo caso può assumere valori pari a $\pm V_{dc}/2$, 0 e $\pm V_{dc}/4$.

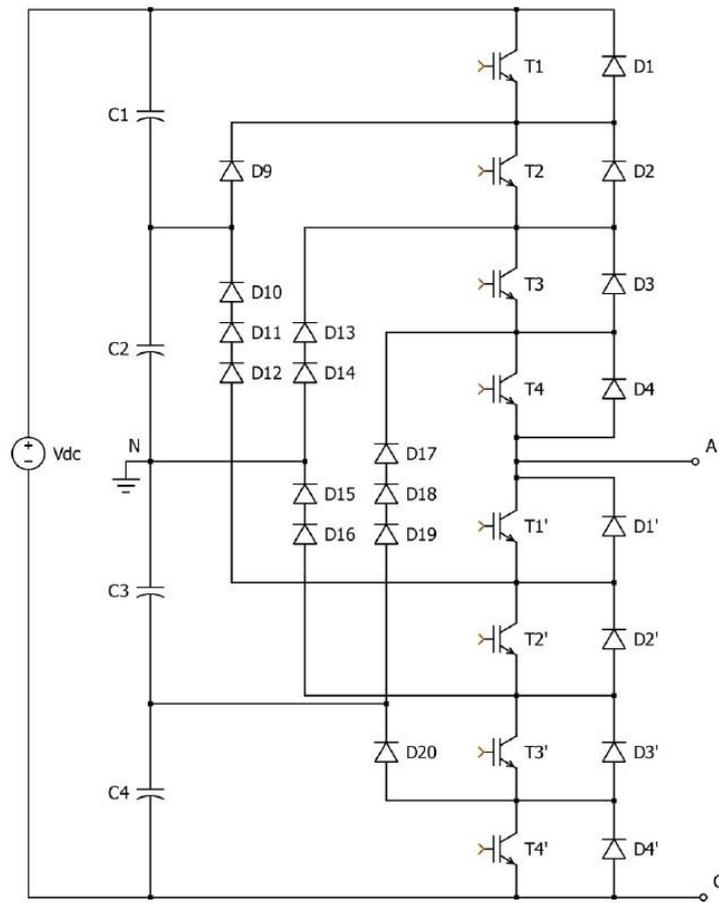


Figura 1.26: Diode - Clamped Inverter a cinque livelli.

La circolazione della corrente coinvolge in modo differente e non simmetrico gli interruttori; ad esempio, lo switch T1 è acceso per tensione di uscita pari a $V_{dc}/2$, mentre T2 rimane in nello stato conduttivo anche per V_{AN} pari a $V_{dc}/4$.

Generalizzando, gli interruttori subiscono la circolazione della corrente in tempi maggiori tanto più questi si trovano vicino al morsetto di uscita 'A'.

La corrente media che scorre sugli interruttori risulta perciò differente per ogni componente: è necessario valutarlo in fase di progettazione dal momento che, di conseguenza, anche lo switching e le sollecitazioni alle quali ogni interruttore si sottopone è differente.

Ogni switch attivo chiede di bloccare una tensione pari a:

$$V_{sw} = \frac{V_{dc}}{(m - 1)} \quad (\text{Eq. 1.15})$$

perciò all'aumentare del numero di livelli di tensione in uscita, si riduce il dimensionamento degli interruttori.

Completando, il *Diode-Clamped Inverter* trifase di [Figura 1.27] è progettato collegando il punto medio del ramo di clamp di ogni singola fase al neutro.

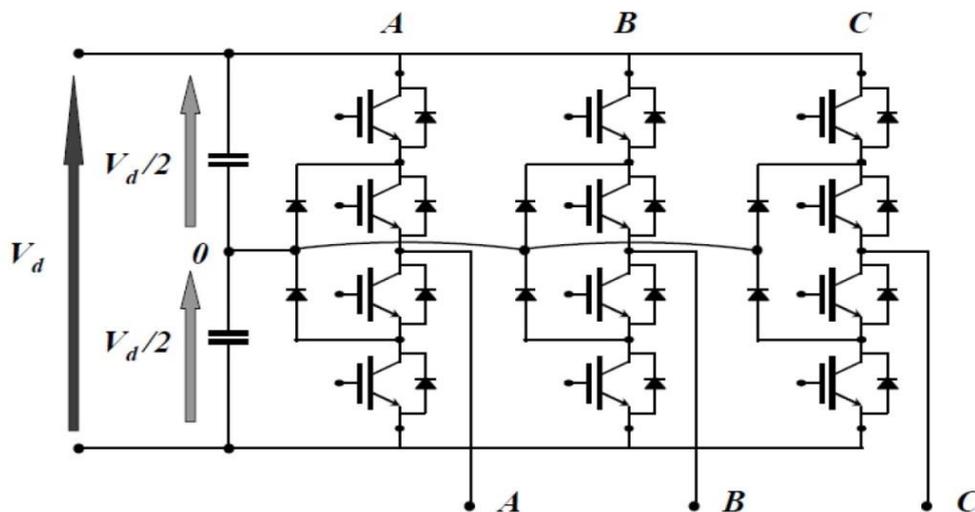


Figura 1.27: Diode - Clamped Inverter trifase.

In conseguenza di ciò, si può notare che il numero di componenti che creano la configurazione trifase dell'inverter è dato da:

| Componente | Numero componenti (m livelli) |
|-----------------|-------------------------------|
| Capacità bus DC | $(m - 1)$ |
| Diodi clamping | $3 \cdot (m - 1)(m - 2)$ |
| Interruttore | $3 \cdot [(m - 1) \cdot 2]$ |

Tabella 1.6: Riepilogo componenti *Diode - Clamped Inverter* trifase.

dove m rappresenta sempre il numero di livelli di tensione in uscita. Viene considerato lo stesso dimensionamento per ogni diodo perciò, come accennato precedentemente, il numero di diodi nel sistema trifase viene a diminuire se si scelgono componenti che si differenziano in base alla propria tensione di blocco.

I principali vantaggi di cui gode il *Diode-Clamped Inverter* sono il discreto contenuto armonico che porta ad una tensione di uscita tendente alla sinusoide desiderata, e il ridotto gradiente dV/dt descritto dalla (Eq. 1.15), in accordo con un valore di m relativamente alto. Si ha quindi un risparmio in termini sia monetari, fornito dalla ridotta dimensione dei componenti, che energetici, grazie alle basse perdite di switching.

In contrapposizione, vi sono numerosi svantaggi. Innanzitutto, il dispositivo non è flessibile: se fossero necessari ulteriori livelli di tensione in uscita, sarebbe essenziale riprogettare tutto l'inverter. È sconsigliato impiegarlo per applicazioni che necessitano di tensioni di ingresso e potenze alte, poiché richiederebbero un numero di livelli tali per cui è difficile la gestione della struttura che risulta molto più complessa. Dalla [Tabella 1.6] si denota l'aumento quadratico del numero di diodi per ramo di clamp per fase, in relazione ad m . Risulta laborioso garantire una ripartizione equilibrata della V_{dc} tra le capacità del bus DC, in concomitanza all'incremento del numero di livelli. Analogamente, arduo è il controllo sull'ampiezza delle oscillazioni della tensione, dipendente dalla corrente circolante nella struttura, che può produrre tensioni di *overdrive* e alla conseguente rottura dei componenti.

1.4.3.3. Cascaded H-Bridge Inverter

Il ramo di *Cascaded H-bridge Inverter* si presenta come un normale inverter monofase, che a fronte di un'alimentazione costante, può offrire in uscita tre differenti valori: V_{dc} , 0 o $-V_{dc}$.

La sua semplice configurazione lo rende particolarmente adatto a creare dispositivi che necessitano di alto numero di livelli di tensione, andando a collegare in cascata la giusta quantità di ponti H; in specifico, se si necessitano 3 livelli di tensione, è necessario un unico *H-bridge*, per raggiungere 5 livelli di tensione si collegano 2 ponti, per 7 livelli ne occorrono 3 e così via.

Come per i sopra citati inverter multilivello, all'aumentare dei livelli si garantisce una tensione sempre più tendente ad una sinusoide.

Di seguito, il ramo di un *Cascaded H-bridge* a 3 livelli e la relativa tabella delle possibili configurazioni degli interruttori.

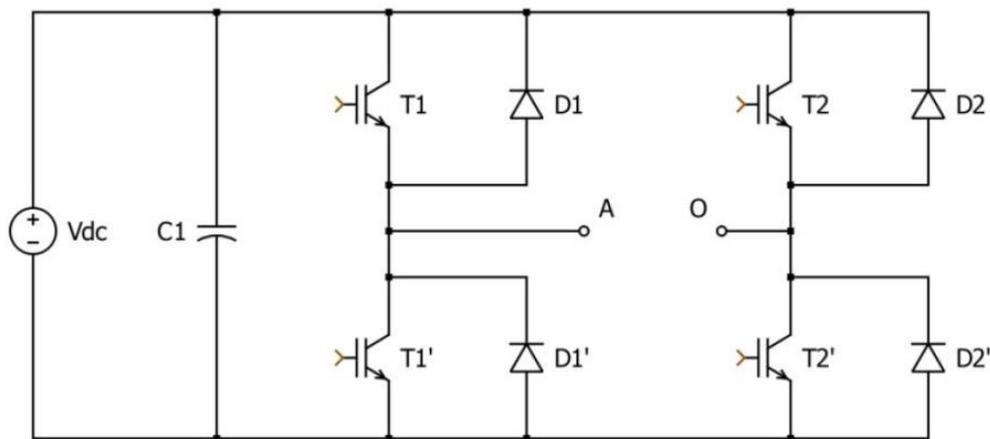


Figura 1.28: Ramo H-bridge a tre livelli.

| T1 | T2 | T1' | T2' | V_{AO} |
|----|----|-----|-----|-----------|
| 1 | 0 | 0 | 1 | V_{dc} |
| 1 | 1 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 1 | 0 | $-V_{dc}$ |

Tabella 1.7: Descrizione delle possibili configurazioni degli interruttori H-bridge Inverter.

Si possono collegare in cascata due inverter monofase, con tensioni DC di alimentazione isolate galvanicamente, per ottenere 5 livelli di tensione in uscita, come esplicito in [Figura 1.29].

In generale il valore finale di tensione in uscita può essere calcolato mediante una semplice sommatoria delle singole tensioni in ingresso ad ogni *i-esimo* ponte inserito:

$$V_{AO} = \sum_{i=1}^k V_i \quad (\text{Eq. 1.16})$$

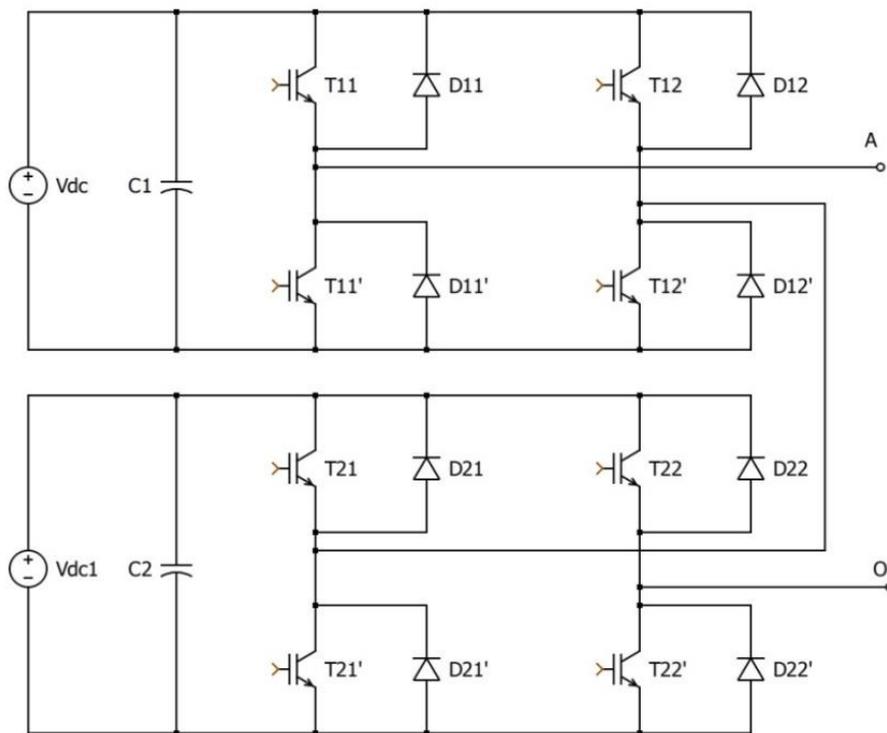


Figura 1.29: Configurazione H-Bridge Inverter a 5 livelli.

Per quanto riguarda la configurazione trifase, è essenziale collegare a stella oppure a triangolo i tre morsetti contrassegnati dalla lettera 'O'. Anche in tale caso le tensioni di alimentazione sono distinte per ogni ponte inserito.

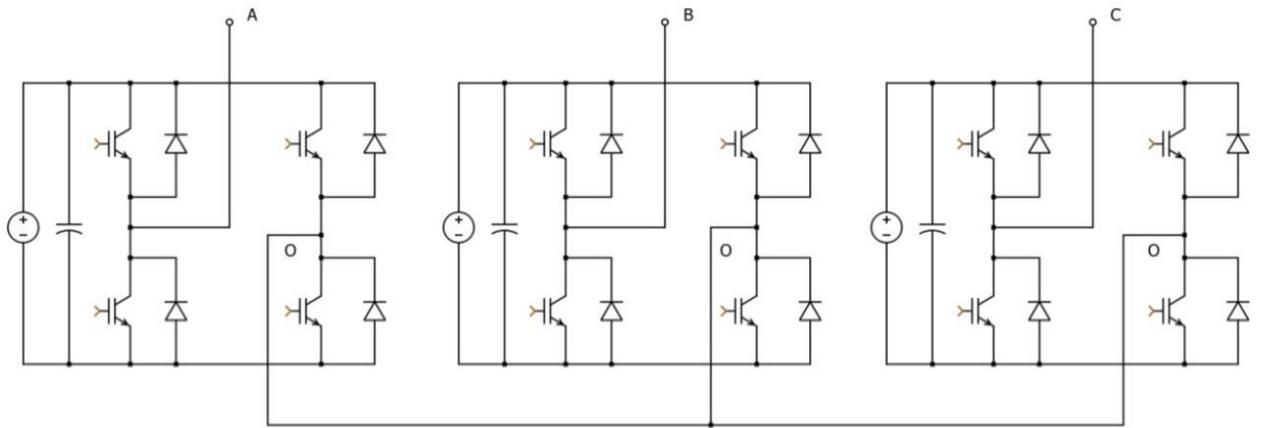


Figura 1.30: Configurazione trifase *H-Bridge Inverter*.

Studiando le varie configurazioni, si nota come il numero di componenti che servono per ottenere m livelli di tensione in uscita nell'*H-Bridge* sia inferiore rispetto agli altri inverter multilivello.

In particolare, per ogni ponte H sono presenti 4 switch e relativi diodi in antiparallelo ed un'unica capacità per il bus DC. Vi è da tenere conto tuttavia anche il numero di alimentazioni indipendenti, che coincide banalmente con il numero di condensatori.

In generale, per ottenere m livelli occorrono:

- $k = \frac{(m-1)}{2}$ capacità,
- $k = \frac{(m-1)}{2}$ alimentazioni indipendenti,
- $k \cdot 4$ interruttori.

Dati quindi m livelli, nel sistema trifase sono necessari:

| Componente | Numero componenti (m livelli) |
|------------------------|-------------------------------|
| Capacità bus DC | $3 \cdot \frac{(m-1)}{2}$ |
| Alimentazione | $3 \cdot \frac{(m-1)}{2}$ |
| Interruttore | $3 \cdot [(m-1) \cdot 2]$ |

Tabella 1.8: Riepilogo componenti inverter *H-Bridge* trifase.

Il principale vantaggio dell'inverter multilivello a ponte H è la possibilità di assemblaggio *modulare*: si inserisce ogni volta un *H-bridge* per aggiungere in uscita 2 livelli di tensione. In secondo luogo come output si generano onde simili ad una sinusoide, minimizzando la distorsione armonica mediante un semplice controllo. Infine non si utilizzano capacità ausiliarie o diodi di *clamp*, perciò il numero di componenti totali per fase è ridotto.

Vi è però una caratteristica importante, già citata, da dover tenere conto nella scelta della tipologia multilivello: nell'*H-bridge* è necessario alimentare ogni singolo blocco monofase con una tensione DC isolata galvanicamente ed indipendente dalle altre. Per la maggior parte delle applicazioni può risultare scomodo, tranne nel caso del sistema fotovoltaico, dal momento che le sorgenti di tensioni in continua sono per loro natura già separate. Altro svantaggio è la progettazione della circuiteria di drive: un numero troppo alto di interruttori si riflette in una crescente complessità di pilotaggio degli stessi. Infine la tensione di modo comune presenta armoniche che disturbano il normale funzionamento del ponte, generando oltretutto correnti parassite ed emissione EMI (*Electromagnetic Interference*).

In conclusione, per poter scegliere la tipologia di inverter multilivello da adottare, è necessario dapprima prendere in considerazione i dati che la letteratura ci fornisce a riguardo. Dopodiché si escludono i dispositivi non idonei al collegamento con il sistema in

oggetto e si effettuano quindi calcoli e simulazioni per trovare l'inverter che offre prestazioni migliori.

Nel presente elaborato, si è analizzato quanto descritto tenendo conto del collegamento dell'inverter al sistema fotovoltaico; in specifico si è considerato quale inverter disponeva di:

- minor numero di componenti, in particolare interruttori, capacità e diodi;
- minor numero di sorgenti indipendenti;
- come conseguenza dei primi due punti, ridotto volume occupato dall'inverter;
- bassa complessità della circuiteria di drive per comandare gli interruttori;
- adeguata efficienza, la cui entità dipende anche dalle perdite di conduzione e di switching.

Per le motivazioni sopra citate si è optato per una tipologia di inverter che tuttora viene sfruttata in ambito eolico e fotovoltaico di media potenza, per le sue caratteristiche distintive: *NPC T-Type Inverter*. Basato sul ramo di inverter, vengono ad inserirsi due interruttori di *clamp* sul punto mediano del ramo stesso [Figura 1.31].

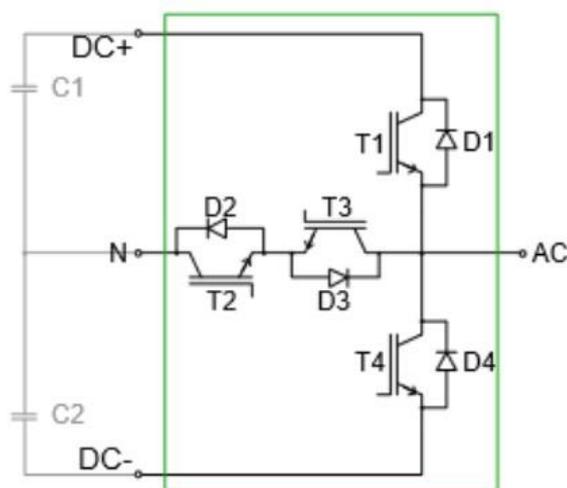


Figura 1.31: Ramo di inverter *Neutral Point Clamped T-Type*.

La sua semplicità ed elevata efficienza, lo rendono uno dei migliori invertitori atti allo scopo. Nel capitolo successivo si ha modo di esplicitare approfonditamente la struttura nonché il funzionamento.

1.4.4. Controllo e Commutazione degli Stati di Inverter

La *Level-Shifted Carriers SPWM (Sinusoidal Pulse Width Modulation)*, è una tecnica realizzata per il controllo forzato dei segnali in ingresso agli inverter, ed in generale a dispositivi elettronici, tramite la creazione di una di portante, definita dal *Level-Shifted Carriers*, e di una modulante SPWM. Tale tecnica è stata implementata per la commutazione degli stati dell'*NPC T-Type Inverter*, in ambito simulativo e di realizzazione; di seguito ne viene fornita la descrizione, preceduta da una generalizzazione sul controllo dei convertitori.

1.4.4.1. *Pulse Width Modulation e Sinusoidal Pulse Width Modulation*

La PWM viene impiegata nel controllo sul valore medio della tensione di uscita dall'inverter all'interno del periodo di commutazione, modellando la modulante. Questa viene confrontata con un altro segnale, chiamato portante.

La portante, solitamente onda triangolare, ha ampiezza e frequenza dipendente dal periodo di commutazione, nota anche come *duty cycle*. Il segnale modulante può essere di differenti tipi, a seconda di ciò che si vuole ricreare all'uscita del convertitore. Se il funzionamento del circuito è da *chopper*, la modulante è costante nel tempo di ciclo, altrimenti in caso di funzionamento da inverter la modulante è tipicamente sinusoidale. Si impiega una funzione di commutazione binaria S , che può assumere 1 in caso di interruttore acceso, e 0 viceversa.

A fini semplificativi, impiegando un semplice ramo di inverter di [Figura 1.5], in questo caso con funzionamento da *chopper*, si attribuisce al transistor alto se acceso la funzione $S=1$, altrimenti $S=0$. Il restante interruttore si trova nello stato complementare. Applicando questa semplice metodologia di controllo, si può associare al valore di tensione di uscita il prodotto tra la tensione di ingresso e la funzione di commutazione:

- per $S=1$ la $v_o = v_i$;
- per $S=0$ la $v_o = 0$.

Il valore medio della tensione in un ciclo risulta quindi essere uguale a

$$\frac{1}{T_c} \int_0^{T_c} v_o dt = \frac{1}{T_c} \int_0^{T_c} S \cdot v_i dt \quad (\text{Eq. 1.17})$$

dove T_c indica il tempo di commutazione, la v_i e v_o le tensioni rispettivamente di ingresso e uscita. Dal momento che la tensione di ingresso, per semplicità di calcolo non varia nel tempo, vale:

$$v_i \cdot \frac{1}{T_c} \int_0^{T_c} S dt \quad (\text{Eq. 1.18})$$

L'integrale della funzione S, nel tempo di commutazione definito dalla portante triangolare, diviso per il tempo stesso, viene detta modulante ed in questo caso è costante nel tempo di ciclo:

$$m_1 = \frac{1}{T_c} \int_0^{T_c} S dt = \frac{V_{Oref}}{V_i} \quad (\text{Eq. 1.19})$$

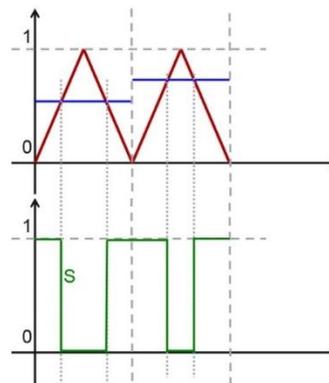


Figura 1.32: Pulse Width Modulation. In blu la modulante costante, in rosso la portante triangolare, in verde la funzione di commutazione.

Si definisce un modulatore generico, che sfrutta queste semplici regole, tramite schema a blocchi di seguito riportato.

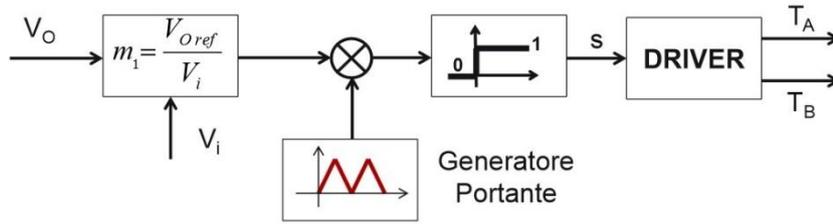


Figura 1.33: Schema a blocchi di un generico modulatore PWM.

Pertanto, per generare la modulante è indispensabile conoscere la tensione di uscita e quella in ingresso all’inverter; dopodiché il segnale è confrontato con la portante. Nell’intervallo di tempo in cui il valore della portante è maggiore rispetto a quello della modulante, la funzione di commutazione è nulla, nel caso complementare è pari a 1. La sequenza di ‘0’ e ‘1’ viene inviata alla circuiteria di driver che si occupa di commutare gli stati degli interruttori, siano essi IGBT o MOSFET; secondo tale ragionamento, T_A risulta il negato di T_B .

Mantenendo costante il segnale in ingresso ai *gates* degli interruttori, si analizza ora la modulazione eseguita sul *chopper* a 4 quadranti, o inverter monofase. Essendo in presenza di due rami di inverter collegati in parallelo, sono necessarie due differenti funzioni di commutazione s_1 e s_2 , ciascuna controlla il proprio ramo; per la risposta in uscita del circuito, in base agli ingressi definiti dalle funzioni di commutazione, si rimanda al [Paragrafo 1.3.2]. Il valore medio della tensione viene calcolato identicamente al caso precedente, come integrale nel tempo di ciclo diviso per lo stesso, ma in questo caso risulta:

$$\frac{1}{T_c} \int_0^{T_c} (s_1 - s_2) \cdot v_i dt = \frac{1}{T_c} \cdot v_i \int_0^{T_c} (s_1 - s_2) dt \quad (\text{Eq. 1.20})$$

dove $m_1 = \frac{1}{T_c} \int_0^{T_c} s_1 dt$ ed $m_2 = \frac{1}{T_c} \int_0^{T_c} s_2 dt$, per $(m_1, m_2) \in [0,1]$. Inserendo quindi nell’equazione della tensione media le due funzioni trovate, si ottiene un’equazione in due incognite:

$$v_o = v_i(m_1 - m_2) \quad (\text{Eq. 1.21})$$

Si introducono le leggi di modulazione che consentono la saturazione del grado di libertà, sfruttando al massimo il convertitore. Una delle scelte possibili, che offre vantaggi influenzando il rendimento, tramite il valore della tensione di uscita, è la modulazione *unipolare*, che per l'appunto si avvale di due modulanti differenti legate dalla seguente relazione:

$$m_2 = (1 - m_1) \quad (\text{Eq. 1.22})$$

da cui

$$V_{oref} = v_i(2m_1 - 1) \quad (\text{Eq. 1.23})$$

Combinando e sostituendo i termini, si giunge facilmente alla definizione delle due modulanti, che godono di una particolare simmetria rispetto agli estremi del range di modulazione, in conseguenza della loro reciproca complementarità:

$$m_1 = \frac{1}{2} \left(1 + \frac{V_{oref}}{V_i} \right) \quad (\text{Eq. 1.24})$$

$$m_2 = \frac{1}{2} \left(1 - \frac{V_{oref}}{V_i} \right) \quad (\text{Eq. 1.25})$$

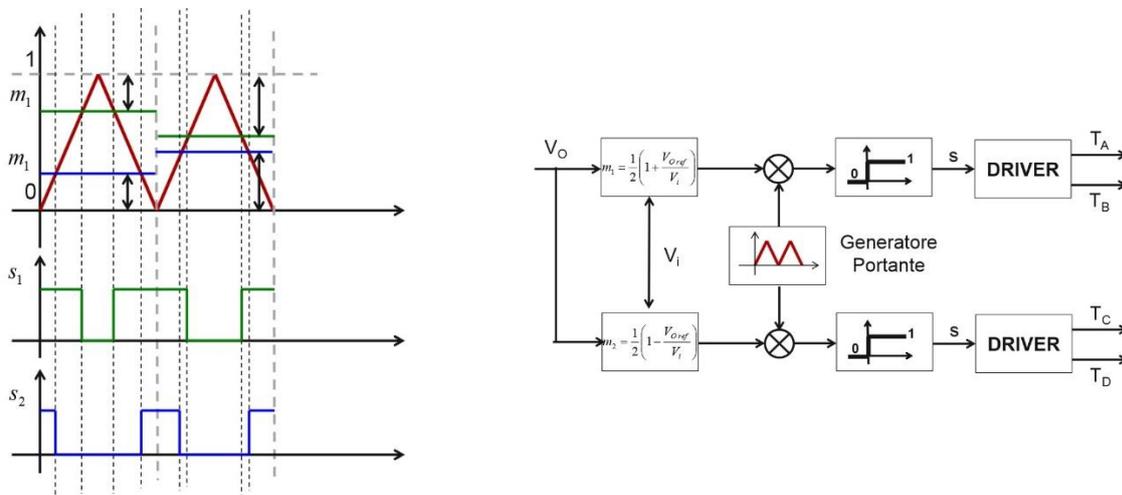


Figura 1.34: A sinistra, due cicli di commutazione e a destra il diagramma a blocchi della PWM unipolare.

Nel caso del ramo di inverter vero e proprio, essendo un convertitore con ingresso continuo e uscita alternata, la modulante è essenzialmente una sinusoide, per tale motivo la modulazione prende il nome di SPWM (*Sinusoidal Pulse Width Modulation*). Questa tecnica prevede sempre la comparazione di una portante triangolare, di frequenza f_c , con una modulante che in questo caso è sinusoidale, di frequenza f_m pari a quella della tensione che si vuole ottenere in uscita dall'inverter [Figura 1.35]. Il segnale modulante, la cui tensione di riferimento è una sinusoide, è definito come:

$$m_1 = \frac{V_{Oref}}{V_i} \tag{Eq. 1.26}$$

Il valore massimo e minimo è:

- $m_{max} = \frac{1}{2} + \frac{V_{Oref}}{\sqrt{2} \cdot V_i}$
- $m_{min} = \frac{1}{2} - \frac{V_{Oref}}{\sqrt{2} \cdot V_i}$

Se vengono rispettati i vincoli sulle modulanti, si assicura la massima tensione efficace di riferimento in relazione ad una certa tensione di alimentazione:

$$V_{Oref\ max} = \frac{V_i}{\sqrt{2}} \quad (\text{Eq. 1.27})$$

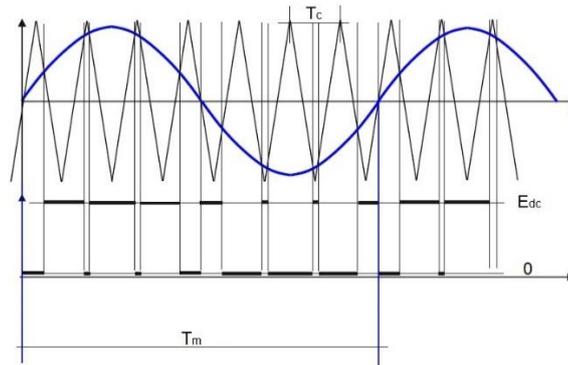


Figura 1.35: SPWM; in blu la modulante di periodo T_m confrontata alla portante di periodo T_c . Sotto, l'alternarsi dei valori 0 ed E_{dc} in uscita dall'inverter.

Di rilevante importanza sono i due parametri sottostanti, che identificano il rapporto di modulazione delle frequenze e quello delle ampiezze:

$$m_f = \frac{f_c}{f_m} \quad (\text{Eq. 1.28})$$

$$m_a = \frac{\hat{v}_m}{v_c} \quad (\text{Eq. 1.29})$$

dove \hat{v}_m è la tensione massima assunta dalla sinusoide, e la v_c è quella della portante. In base ai valori attribuiti a questi due parametri, è possibile modellare l'uscita, controllandone il contenuto armonico. In specifico, se il rapporto di modulazione delle frequenze rimane sotto 21, valore derivante dallo sviluppo in serie di Fourier, è necessaria la sincronizzazione della modulante con la portante, in modo tale da contenere il numero di sub-armoniche di corrente che si generano; altrimenti la sincronizzazione è meno necessaria. A determinati valori di m_a corrispondono l'introduzione di più o meno non linearità: se questo è minore

di 1, la modulante è inferiore alla portante (sottomodulazione) e l'inverter funziona in regime lineare. Si preferisce questa situazione, in quanto la tensione di uscita è mediamente sinusoidale e la corrente che scorre sul carico, prevalentemente di natura ohmica-induttiva, è lievemente distorta. Per $m_a > 1$ si è in regime di sovrarmodulazione, il picco della modulante è superiore a quello della portante, ed il contenuto armonico sulla tensione e corrente di uscita è rilevante; a causa del contenuto dannoso presente in bassa frequenza, tale regime viene scelto solo per brevi periodi di tempo, a fronte di una richiesta di tensione di uscita molto alta.

Introducendo l'SPWM per il controllo di inverter monofase, si distinguono principalmente due leggi di modulazione: la prima, già citata nel *chopper* a 4 quadranti, è quella unipolare operante con due funzioni di modulazione, e la seconda è la bipolare, che gestisce a coppie i gates degli interruttori per mezzo di una sinusoide. Nel caso unipolare, le modulanti sinusoidali m_1 e m_2 sono sempre una complementare all'altra, perciò sfasate di 180° , calcolate con le formule del *chopper* a 4 quadranti, nelle quali la V_{oref} descrive la tensione media richiesta nel tempo di ciclo. La modulazione unipolare è anche definita a tre livelli, poiché sono il numero di possibili valori assunti dalla tensione in uscita all'inverter monofase:

$$v_o = v_{AB} = v_{AN} - v_{BN} \quad (\text{Eq. 1.30})$$

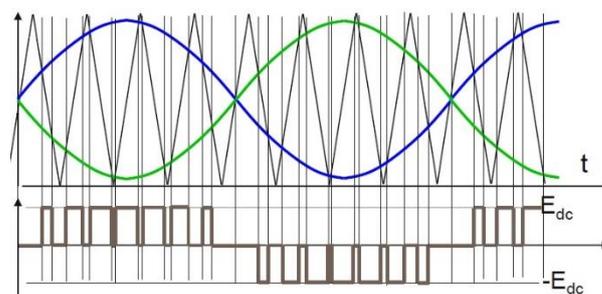


Figura 1.36: SPWM unipolare. In blu la m_1 , in verde la m_2 , in marrone i tre livelli disponibili all'uscita dell'inverter.

Si ricorda che la tensione in uscita dell'inverter è calcolata come differenza tra le due tensioni di polo. Nel semiperiodo positivo di m_1 , la v_o oscilla tra E_{dc} e zero, invece nel semiperiodo negativo, l'uscita varia tra 0 e $-E_{dc}$. La modulante complementare, m_2 , apporta

contributo inverso rispetto alla m_1 : nel semiperiodo positivo si ottiene un'uscita nulla o negativa, altrimenti la tensione varia tra E_{dc} e zero. Il contenuto armonico, conseguente alla suddetta modulazione, è quello della [Figura 1.37] (b). Si nota che l'armonica più vicina alla fondamentale si trova ad una frequenza doppia rispetto al caso bipolare (a), grazie al raddoppio della frequenza di switching. Difatti, il maggior vantaggio della tecnica unipolare è proprio quello di poter forzare la frequenza di commutazione a valori molto alti, consentendo una riduzione delle armoniche che possono provocare disturbi nel normale funzionamento del sistema.

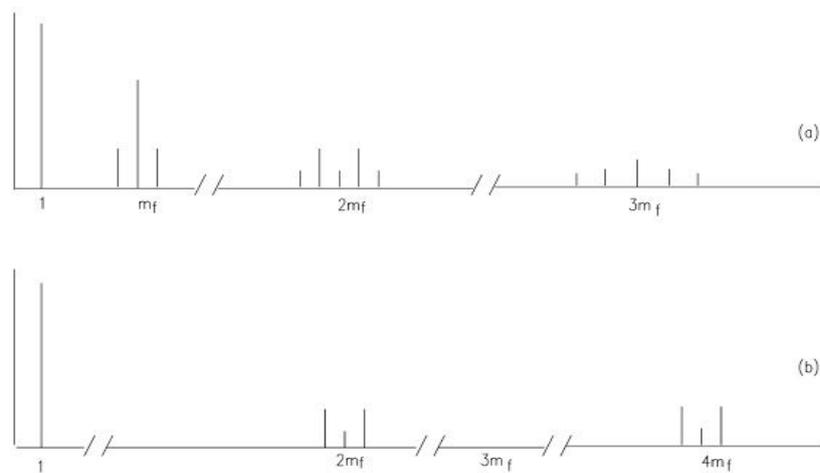


Figura 1.37: Spettro armonico frutto della modulazione bipolare (a) e unipolare (b).

La modulazione bipolare, o a due livelli, è composta dalla portante triangolare e da una sola modulante, per mezzo della quale si controllano a coppie gli stati degli interruttori statici. In riferimento solamente al circuito di [Figura 1.11], la modulazione accende o spegne contemporaneamente gli IGBT T_A e T_D , mentre lo stato dei restanti è banalmente complementare ad essi, per evitare cortocircuitazioni. Quando il potenziale del polo P_1 è a V_i , lo è anche il polo P_2 ma col segno opposto e viceversa. La tensione di uscita in ogni istante di commutazione vale quindi:

$$P_2(t) = -P_1(t) \quad \rightarrow \quad V_o(t) = P_1(t) - P_2(t) = 2 \cdot P_1(t) \quad \text{(Eq. 1.31)}$$

e di conseguenza varia tra i livelli $+2V_i$ e $-2V_i$, come da [Figura 1.38]. Il termine bipolare si riferisce al fatto che, se avessimo in ingresso $V_i/2$, la $V_o(t)$ si alternerebbe tra $+V_i$ e $-V_i$. Nella modulazione a due livelli acquista importanza il contributo dei tempi morti, influenzando la tensione di alimentazione sul carico. Dal momento che la modulante controlla tutti e quattro gli switch, una scelta obbligata è quella di introdurre un intervallo di tempo tra accensione e spegnimento delle due coppie complementari. Il conseguente ritardo sulla tensione V_{PIP2} , favorisce la generazione di un ripple in corrente di uscita, e quindi un contributo consistente di armoniche di grado maggiore di uno. Tuttavia le complicazioni dovute alla modulazione bipolare sono compensate dall'estrema facilità di implementazione, anche su circuiteria complessa.

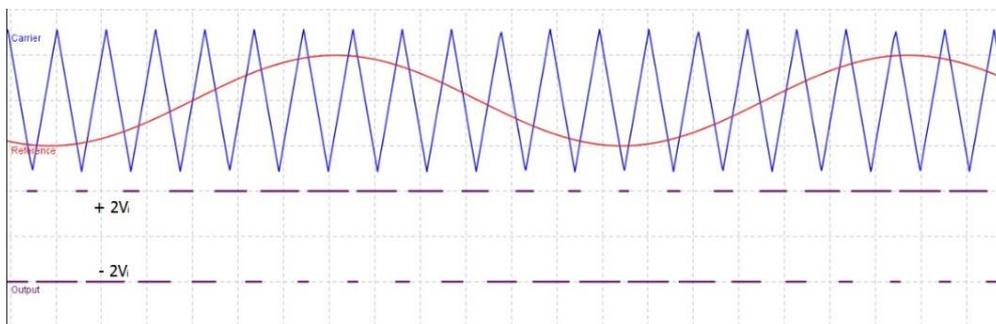


Figura 1.38: SPWM bipolare. In blu la portante, in rosso la modulante sinusoidale, in viola i due livelli disponibili all'uscita dell'inverter.

L'inverter tradizionale trifase di [Figura 1.19] impiega la strategia a modulazione di ampiezza, costituita da tre segnali modulanti sfasati tra loro di 120° . Se la frequenza della portante è un multiplo di tre, lo spettro non presenta righe a tale frequenza e nei suoi multipli. I rapporti di modulazione delle frequenze e ampiezze vengono calcolati analogamente al *single leg* e, a seconda dell'entità che questi parametri assumono, si definiscono diversi comportamenti da parte dell'inverter. Con rapporto di modulazione $m_a \leq 1$, si ritrova la zona lineare, in cui le armoniche fondamentali associate alle relative tensioni concatenate V_{AB} , V_{BC} e V_{CA} variano linearmente con m_a stesso, secondo la relazione:

$$V_{AB} = \frac{\sqrt{3}}{\sqrt{2}} \cdot (\hat{E}_{An}^{(1)}) = \frac{\sqrt{3}}{\sqrt{2} \cdot 2} \cdot m_a \cdot V_{dc} \cong 0.612 \cdot m_a \cdot V_{dc} \quad (\text{Eq. 1.32})$$

dove $\hat{E}_{An}^{(1)}$ è il massimo valore dell'armonica fondamentale relativa alla tensione di una fase. Il ragionamento è analogo per le altre due fasi. In regione lineare i disturbi causati dalle non linearità sono meno apprezzabili. Se invece il rapporto di modulazione delle ampiezze fosse maggiore di 1, la linearità decadrebbe, raggiungendo pertanto alti valori di tensione per l'armonica fondamentale, come nel caso *single leg*, a scapito di un contributo distorto sulla forma d'onda in uscita. La sovrarmodulazione è quindi una regione scarsamente utilizzata in quanto, come si evince da [Figura 1.39], si può degenerare sino all'onda quadra.

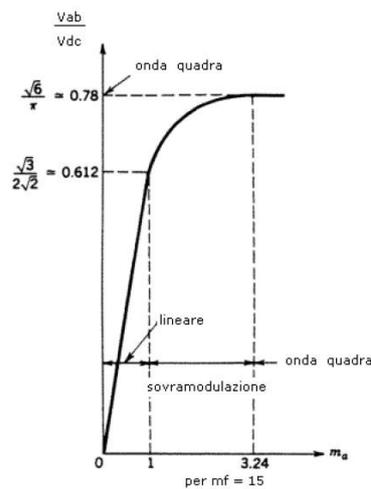


Figura 1.39: Legame tra valore efficace della tensione concatenata e il rapporto di modulazione delle ampiezze.

Oltre alle considerazioni appena esaltate, è utile introdurre anche il rapporto di modulazione delle frequenze in relazione all' m_a . Infatti quando ci si trova in regione lineare, si distinguono svariati casi, dipendenti dal valore di m_f ; se quest'ultimo è un numero intero, la SPWM è sincrona, per cui sono presenti solo armoniche multiple della fondamentale e le tensioni concatenate contengono armoniche di ordine $h = l \cdot m_f \pm k$, dove $l = 1,3,5, \dots$ e $k = 0,2,4, \dots$ oppure $l = 0,2,4, \dots$ e $k = 1,3,5, \dots$. Se il numero intero è dispari, le tensioni concatenate, e di conseguenza quelle di fase, contengono solo armoniche dispari; in particolare, a valori di m_f dispari multipli di tre, e di conseguenza con portante anch'essa

a frequenza multipla di tre, si assicurano tensioni di fase identiche e sfasate di 120° , per cui troncando lo sviluppo all'ordine 3 risulta:

$$E_{An} = E_{An}^{(1)} + E_{An}^{(3)} \quad (\text{Eq. 1.33})$$

$$E_{Bn} = E_{Bn}^{(1)} + E_{Bn}^{(3)}$$

$$E_{An}^{(3)} = E_{Bn}^{(3)} = E_{Cn}^{(3)}$$

$$V_{AB} = E_{An} - E_{Bn} = E_{An}^{(1)} - E_{Bn}^{(1)} \quad (\text{Eq. 1.34})$$

Si ottiene quindi l'annullamento delle armoniche di terzo ordine in tutte le tensioni concatenate. Anche nel caso di numero intero pari di m_f si generano contributi in $h = l \cdot m_f \pm k$, con $l = 1,3,5, \dots$ e $k = 2,4,6 \dots$ oppure $l = 2,4,6, \dots$ e $k = 1,3,5, \dots$

In regione di sovr modulazione, come già anticipato, vi sono distorsioni causate dalle numerose armoniche intorno ad m_f e ai suoi multipli. Viene definita dettagliatamente l'analisi frequenziale di Fourier in configurazione *single leg* e trifase nel capitolo di simulazione.

1.4.4.2. *Phase-Shifted Carriers e Level-Shifted Carriers*

In presenza di convertitori multilivello sono necessarie alcune modifiche rispetto alle normali tecniche di modulazione analogiche introdotte finora. La prima riguarda il numero delle portanti, esplicitato nelle seguenti tipologie *Multi-Carrier PWM* (MCPWM), un'altra invece definisce una generalizzazione dell'indice di modulazione delle ampiezze:

$$m_a = \frac{\hat{v}_m}{v_c \cdot (m - 1)} \quad (\text{Eq. 1.35})$$

dove m è il numero di livelli di tensione in uscita.

La *Phase-Shifted Carriers* (PSC) è efficacemente implementata nei convertitori multilivello, anche in cascata, in quanto comporta l'introduzione di diverse portanti in relazione al numero di livelli ottenibili in uscita. Ogni portante è associata ad una coppia di

switch per fase. Le caratteristiche di queste sono identiche, ciò che le differenzia è la fase iniziale [Figura 1.40]: vengono richieste $(m - 1)$ portanti sfasate le une dalle altre di $360^\circ/(m - 1)$.

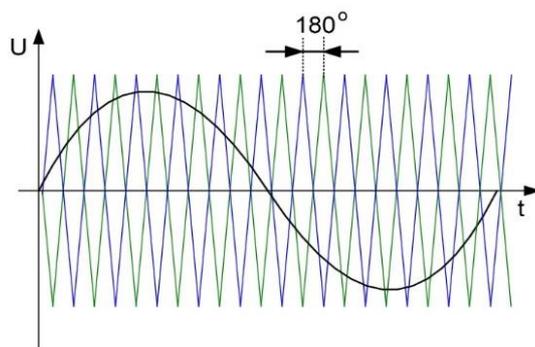


Figura 1.40: Esempio di PSC SPWM implementata su un inverter *single leg* a tre livelli.

L'elaborato sistema di controllo, la cui complessità aumenta con il numero di componenti dell'inverter, e le non linearità introdotte dai tempi morti rappresentano i difetti dominanti della PSC. Tuttavia, la distanza dalla fondamentale delle armoniche distorcenti, direttamente dipendente al numero di livello di tensione, ne favorisce il loro filtraggio, guadagnando in termini di contenuto armonico.

Un'altra tecnica di modulazione che consente di introdurre più di una portante è la *Level-Shifted Carriers*. La presenza di diverse portanti *Level-Shifted*, offre vantaggi in termini di riduzione degli effetti distorcenti dei tempi morti, e migliore controllo e prestazioni del convertitore, nonché del ripple in corrente. Anche in questo caso, le portanti sono identiche in ampiezza e periodo, ma possono essere in fase o in opposizione di fase, a seconda del comportamento del convertitore. In generale, ogni portante viene comparata con la modulante in modo indipendente; come per la PSC ad ogni livello in più di tensione in uscita corrisponde l'introduzione di una portante, ad esempio, se sono richiesti 3 livelli, le onde triangolari sono 2, per 5 differenti valori di tensione si introducono 4 portanti e così via. In [Figura 1.41] sono rappresentati esempi di disposizione delle portanti rispetto alla fase, per un inverter *single leg* multilivello.

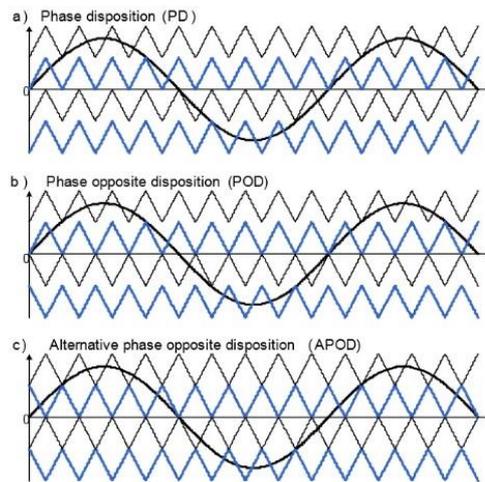


Figura 1.41: *Level – Shifted Carriers SPWM per inverter a 5 livelli. Dall’alto, le portanti sono In Phase Disposition (IPD), Phase Opposition Disposition (POD) e Alternate Phase Opposition Disposition (APOD).*

La prima figura descrive la tecnica *In Phase Disposition*, nella quale tutte le portanti sono in fase tra loro; nella *Phase Opposition Disposition* le onde triangolari inferiori all’ascissa sono in fase tra loro ma sfasate di 180° confrontate a quelle superiori. In ultimo, l’*Alternate Phase Opposition Disposition* intervalla una portante sfasata di 180° rispetto a quella precedente. Nell’elaborato viene implementata la *Level-Shifted Carriers SPWM* sull’*NPC T-Type Inverter* a tre livelli, quindi la modulante sinusoidale è confrontata a due portanti, in fase tra loro.

Capitolo 2

2. NPC T-TYPE INVERTER

Dalla configurazione *Diode-Clamped Inverter* nasce l'*NPC T-Type Inverter*, il cui ramo di clamp è costituito da due interruttori statici (IGBT o MOSFET) e diodi in antiparallelo. Il concetto alla base della struttura *T-Type* è la possibilità di poter raggiungere più livelli in uscita per ottenere notevoli prestazioni, impiegando un'adeguata quantità di componenti. La bassa complessità che caratterizza il dispositivo e l'alta efficienza, a breve descritte in letteratura, rende l'inverter *T-Type* un eccellente candidato per le implementazioni fotovoltaiche di media potenza in impianti *grid-connected*.

2.1. SINGLE LEG

La configurazione *single leg* dell'*NPC T-Type Inverter* a tre livelli è composta da quattro switch, due per il ramo di inverter e due per il ramo centrale di clamp. Il curioso nome attribuitogli, deriva dalla collocazione dei semiconduttori che formano una 'T' rovesciata [Figura 2.1].

Come già descritto in precedenza, gli interruttori statici sono provvisti di diodo in antiparallelo, consentendo la conduzione della corrente in entrambe le direzioni. I terminali sono quattro, ossia DC+, il neutro e DC-, mentre il quarto rappresenta la connessione alla rete a corrente alternata. Solitamente sono impiegati due dimensionamenti: i componenti del ramo di inverter richiedono tensione di break-down maggiore rispetto a quella che caratterizza la coppia del ramo di clamp; questo perché gli interruttori (e diodi) sono sottoposti a stress differenti a seconda della loro collocazione nel circuito. Di fatti, il ramo intermedio parcellizza la tensione di alimentazione per cui le capacità che compongono il bus DC, identiche per simmetria, si trovano ad una differenza di potenziale pari a $V_{DC}/2$.

In questo modo il ramo di clamp deve sopportare al più la metà della tensione di alimentazione, comprovando al scelta sulle dimensioni.

L'uscita V_{AO} , sempre positiva, è resa disponibile ai capi della parte bassa del ramo di inverter. Si considerano condizioni ideali, circuito privo di cadute di tensione e dissipazioni di potenza; la seguente progettazione in PLECS utilizza in questo caso IGBT già comprensivi dei diodi in antiparallelo.

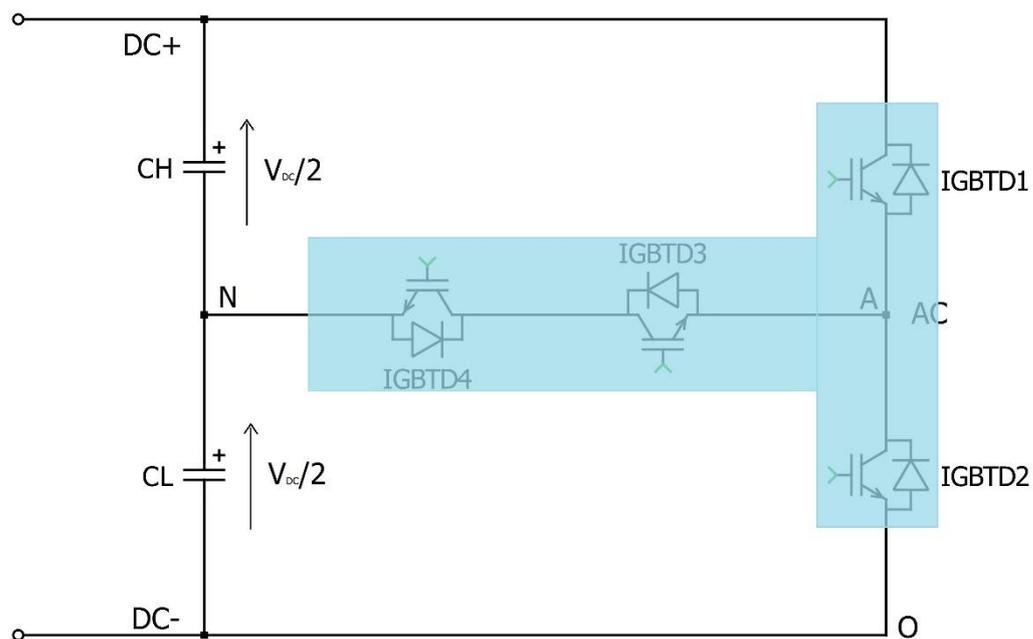


Figura 2.1: Rappresentazione della configurazione a tre livelli NPC T-Type Inverter single leg.

Dipendentemente dalla tensione e dal verso della corrente che scorre sugli switch, si identificano tre percorsi conduttivi che collegano la parte in continua alla rete e viceversa:

- il primo comprende l'IGBT1 (o diodo 1),
- il secondo comprende l'IGBT4 e diodo 3 (o IGBT3 e diodo 4),
- il terzo IGBT2 (o diodo 2).

In [Figura 2.2] sono rappresentate le zone di lavoro dell'inverter al variare della tensione e corrente che scorre su carico induttivo, distinte in relazione ad un riferimento, in questo caso lo zero. Lo sfasamento tra tensione e corrente di uscita è definito dal fattore di potenza $\cos(\varphi)$ del carico: se questo è uguale a uno, esistono solo due regioni di lavoro (1 e 3), se

invece $\cos(\varphi) = -1$ le sinusoidi sono sfasate di 180° , perciò sopravvivono solo le regioni 2 e 4. Per valori più realistici del fattore di potenza, compreso quindi tra -1 e $+1$, le regioni di lavoro attive sono 4.

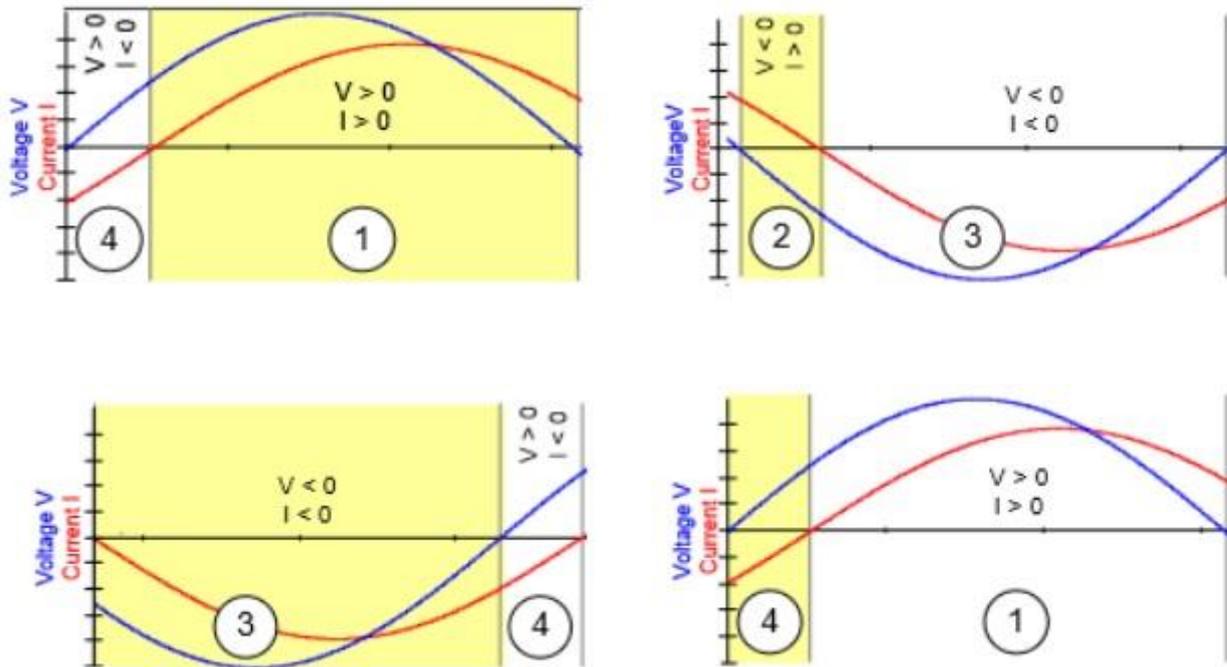


Figura 2.2: Rappresentazione delle regioni di lavoro dipendenti dalla tensione, dal verso della corrente in uscita dall'inverter e dal loro reciproco sfasamento.

In [Figura 2.3] è rappresentato il circuito dell'inverter operante nella regione 1: quando la tensione e la corrente sono positive il percorso conduttivo, in rosso, che collega il terminale DC+ alla rete, interessa l'interruttore 1 per tutto il tempo che rimane acceso; quando l'IGBT1 si spegne, l'interruttore 3 che è sempre acceso, permette il passaggio della corrente, mediante la coppia IGBT3/D4. Vale la condizione inversa ossia, indipendentemente dallo stato dell'interruttore 3, la corrente fluisce sull'IGBT1 appena viene polarizzato in diretta. In regione 2 la tensione diviene in seguito negativa mentre la corrente rimane maggiore di 0, percorrendo il ramo di clamp su IGBT3 e diodo 4, [Figura 2.4], oppure sul diodo basso del ramo di inverter [Figura 2.5].

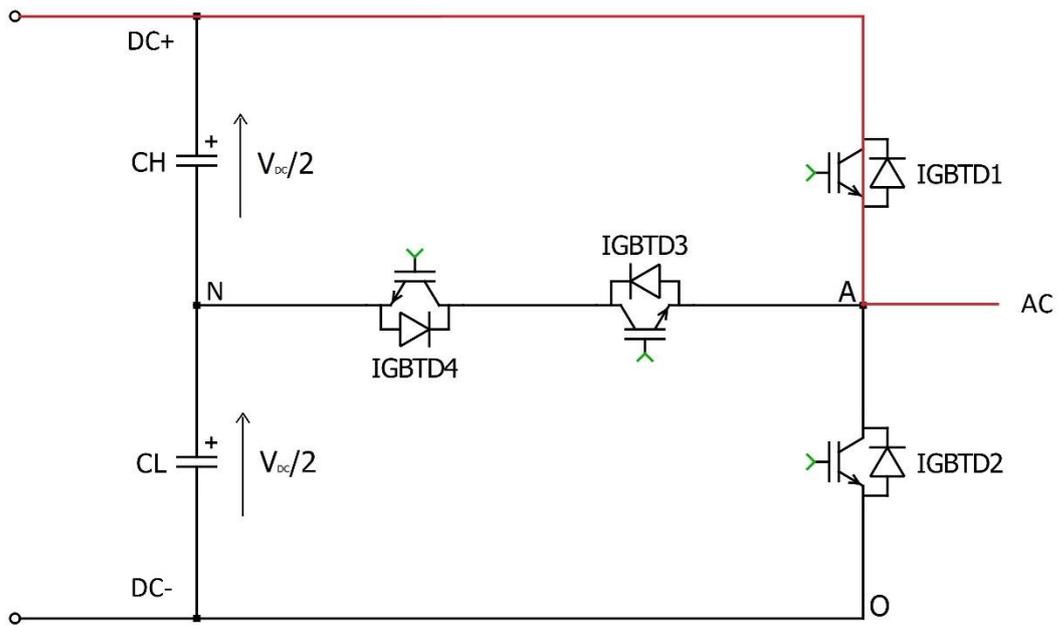


Figura 2.3: NPC T-Type Inverter configurazione *single leg*. Percorso conduttivo in rosso coinvolgente la parte alta del ramo di inverter.

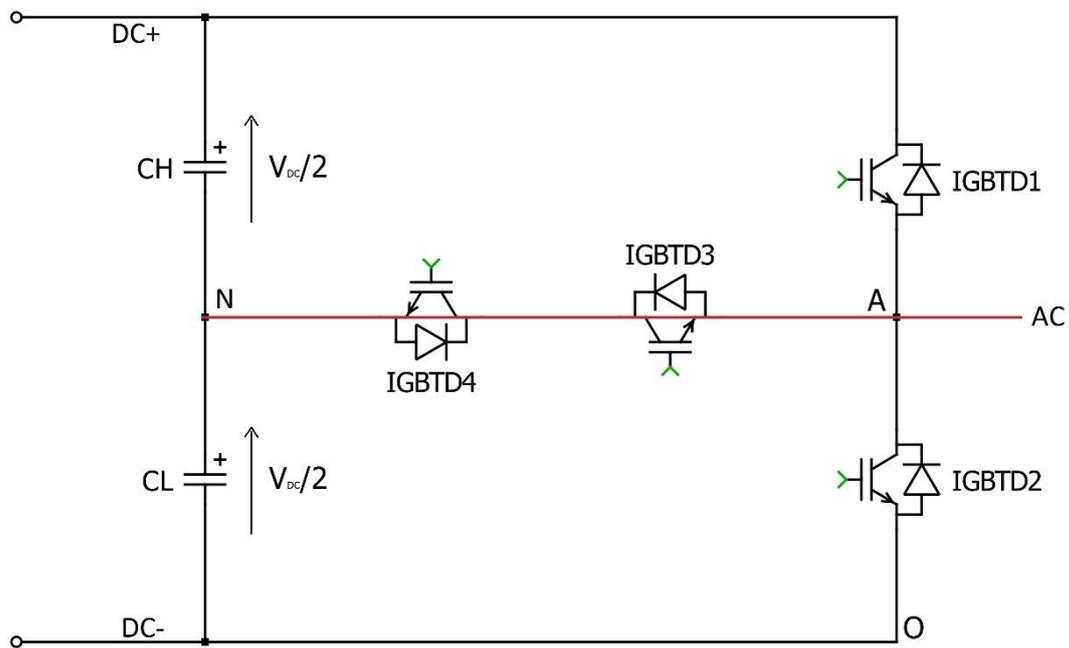


Figura 2.4: NPC T-Type Inverter configurazione *single leg*. Percorso conduttivo in rosso coinvolgente il ramo di clamp.

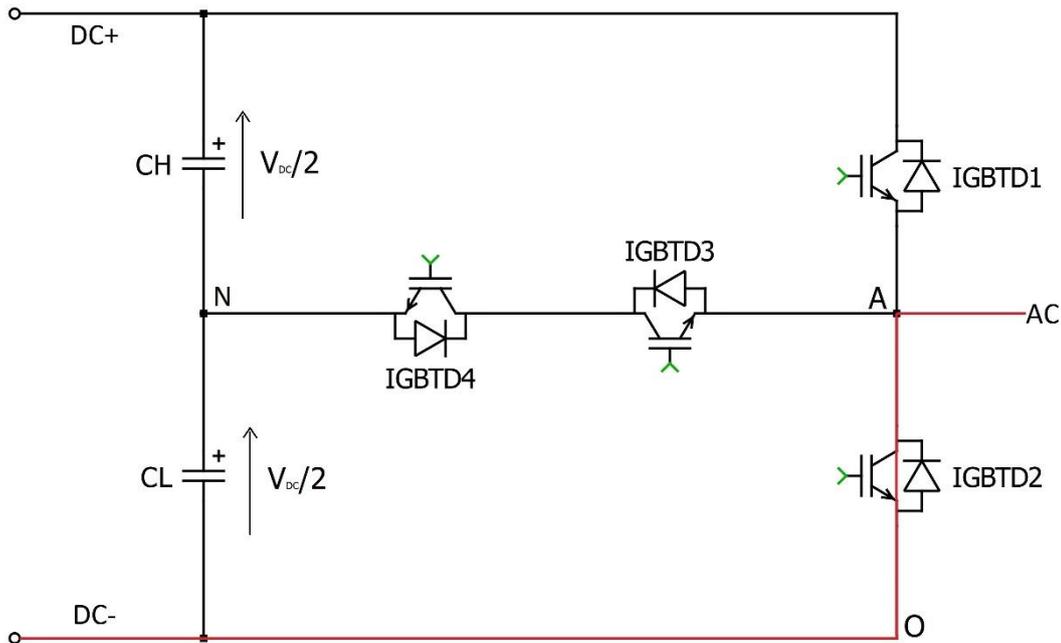


Figura 2.5: NPC T-Type Inverter configurazione *single leg*. Percorso conduttivo in rosso coinvolgente la parte bassa del ramo di inverter.

La regione 3 determina tensione e corrente di uscita negative, per cui lo switch 2 se acceso è percorso da corrente, dal lato rete al terminale DC-; cammino alternativo è fornito dall'IGBT4, continuamente chiuso, e diodo 3. Concludendo il periodo delle forme d'onda, nella regione 4 la tensione torna positiva prima della corrente, perciò i percorsi conduttivi possibili sono due: interruttore 4 e diodo 3 oppure diodo 1.

In [Tabella 2.1] sono riassunti gli stati adottati nella configurazione *single leg* e la relativa tensione di uscita V_{AO} e V_{AN} , che evidenziano quali componenti sono soggetti alla stessa tensione di alimentazione (ramo di inverter), e quali invece alla metà della V_{DC} (ramo di clamp). Con '1' si intende lo switch acceso e quindi che permette la circolazione di corrente, con '0' lo stato complementare. Nella simulazione e realizzazione del caso a singola fase a tre livelli è utilizzata la tecnica di modulazione *Level-Shifted Carriers SPWM* che prevede gli stessi stati secondo la tabella sottostante, tramite l'accensione di due switch alla volta: IGBT1 e IGBT3, IGBT2 e IGBT4 oppure entrambi gli interruttori di clamp.

Se si considerano 2^4 possibili configurazioni degli stati derivanti dalla presenza di 4 interruttori, [Tabella 2.2], esattamente la metà di queste non sono permesse poiché portano alla possibile distruzione dell'inverter, causata dalla corto-circuitazione dell'alimentazione e il conseguente sottodimensionamento dei componenti rispetto alle correnti circolanti e

tensioni applicate. Non sono perciò ammesse tutte le configurazioni che richiedono tre o più IGBT chiusi, ed in particolare anche quelle che accendono entrambi gli interruttori del ramo di inverter e a coppie l'IGBT1/IGBT4 e l'IGBT2/IGBT3.

| IGBT1 | IGBT2 | IGBT3 | IGBT4 | V _{AN} | V _{AO} |
|-------|-------|-------|-------|----------------------|--------------------|
| 1 | 0 | 1 | 0 | V _{dc} /2 | V _{dc} |
| 0 | 0 | 1 | 1 | 0 | V _{dc} /2 |
| 0 | 1 | 0 | 1 | - V _{dc} /2 | 0 |

Tabella 2.1: Descrizione degli stati per gli interruttori dell'*NPC T-Type Inverter* a tre livelli.

| | | | | | | | | | | | | | | | | |
|-------|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| IGBT1 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 |
| IGBT2 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 |
| IGBT3 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 |
| IGBT4 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 1 |

Tabella 2.2: Possibili stati ottenibili mediante 4 interruttori; in verde le configurazioni permesse, in rosso quelle non permesse.

Per quanto riguarda le perdite di conduzione e commutazione, il caso specifico di un *NPC T-Type Inverter single leg* consente l'applicazione delle generiche equazioni descritte nei relativi paragrafi, compreso [Paragrafo 1.2.2] sulle perdite di *reverse recovery*. In tal caso, vengono distinte le potenze dissipate dalle coppie di componenti appartenenti al ramo di inverter e al ramo di clamp, come segue:

IGBT 1 e IGBT 2

$$P_{cond} = \frac{MI}{12\pi} \{ 3V_{ce0} \cdot [(\pi - \varphi) \cdot \cos(\varphi) + \text{sen}(\varphi)] + 2r_{ce}\hat{I} \cdot [1 + \cos(\varphi)]^2 \} \quad (\text{Eq. 2.1})$$

$$P_{sw} = f_{sw} \cdot E_{sw} \cdot \left(\frac{\hat{I}}{I_{ref}}\right)^{K_I} \cdot \left(\frac{V_{cc}}{V_{ref}}\right)^{K_V} \cdot \left(\frac{1}{2\pi} [1 + \cos(\varphi)]\right) \cdot G_I \quad (\text{Eq. 2.2})$$

IGBT 3 e IGBT 4

$$P_{cond} = \frac{\hat{I}}{12\pi} \{V_{ce0} \cdot [12 + 6M(\varphi \cos(\varphi) - \text{sen}(\varphi)) - 3M\pi \cos(\varphi)] + r_{ce} \hat{I} \cdot [3\pi - 4M(1 + \cos^2(\varphi))]\} \quad (\text{Eq. 2.3})$$

$$P_{sw} = f_{sw} \cdot E_{sw} \cdot \left(\frac{\hat{I}}{I_{ref}}\right)^{K_I} \cdot \left(\frac{V_{cc}}{V_{ref}}\right)^{K_V} \cdot \left(\frac{1}{2\pi} [1 - \cos(\varphi)]\right) \cdot G_I \quad (\text{Eq. 2.4})$$

DIODO 3 e DIODO 4

$$P_{cond} = \frac{\hat{I}}{12\pi} \{V_{f0} \cdot [12 + 6M(\varphi \cos(\varphi) - \text{sen}(\varphi)) - 3M\pi \cos(\varphi)] + r_f \hat{I} \cdot [3\pi - 4M(1 + \cos^2(\varphi))]\} \quad (\text{Eq. 2.5})$$

$$P_{rr} = f_{sw} \cdot E_{sw} \cdot \left(\frac{\hat{I}}{I_{ref}}\right)^{K_I} \cdot \left(\frac{V_{cc}}{V_{ref}}\right)^{K_V} \cdot \left(\frac{1}{2\pi} [1 + \cos(\varphi)]\right) \cdot G_I \quad (\text{Eq. 2.6})$$

DIODO 1 e DIODO 2

$$P_{cond} = \frac{M\hat{I}}{12\pi} \{3V_{f0} \cdot [(-\varphi) \cdot \cos(\varphi) + \text{sen}(\varphi)] + 2r_f \hat{I} \cdot [1 - \cos(\varphi)]^2\} \quad (\text{Eq. 2.7})$$

$$P_{rr} = f_{sw} \cdot E_{sw} \cdot \left(\frac{\hat{I}}{I_{ref}}\right)^{K_I} \cdot \left(\frac{V_{cc}}{V_{ref}}\right)^{K_V} \cdot \left(\frac{1}{2\pi} [1 - \cos(\varphi)]\right) \cdot G_I \quad (\text{Eq. 2.8})$$

I simboli e termini usati sono:

$\cos(\varphi)$ Fattore di Potenza

E_{sw} Energia dissipata durante il tempo di Commutazione (turn-on e turn-off)

f_{sw} Frequenza di Commutazione

G_I Adaptation Factor

\hat{I} Corrente di Picco

I_{ref} Corrente di riferimento

K_I Termine correttivo delle correnti

K_V Termine correttivo delle tensioni

M Indice di Modulazione

P_{cond} Potenza dissipata per Conduzione

P_{rr} Potenza dissipata in Reverse Recovery

P_{sw} Potenza dissipata per Commutazione

| | |
|-----------|---|
| r_{ce} | Resistenza Interna Collettore-Emettitore (IGBT) |
| r_f | Resistenza Interna (Diodo) |
| V_{cc} | Tensione di Alimentazione |
| V_{ce0} | Tensione di Soglia (IGBT) |
| V_{f0} | Tensione di Soglia (Diodo) |
| V_{ref} | Tensione di Riferimento |

Le equazioni che determinano le dissipazioni per conduzione dei componenti appartenenti al ramo di inverter sono paragonabili tra loro, a meno del termine che differenzia gli IGBT dai diodi, rappresentante la resistenza interna; il discorso è analogo per le perdite di conduzione del ramo di clamp.

Dalla tabella degli stati utilizzati nel convertitore, si evince che gli switch e diodi antiparallelo del ramo intermedio permangono in conduzione a lungo, prevedendo perciò un contributo sicuramente considerevole per le relative perdite nel circuito reale. Per quanto riguarda l'equazione che descrive la potenza dissipata nella commutazione e *reverse recovery*, è approssimativamente la medesima per tutti e otto i componenti, e dipende fortemente dalla frequenza di switching: si ipotizza di raggiungere nel progetto reale un valore di dissipazione simile per tutti gli interruttori e diodi appartenenti al ramo di inverter e sicuramente molto maggiore rispetto a quello riferito ai restanti componenti, appartenenti al ramo di clamp.

2.2. TRIFASE

La configurazione trifase dell'*NPC T-Type* a tre livelli prevede il collegamento di tre inverter *single leg* [Figura 2.6] in parallelo, di cui ogni interruttore esterno di clamp è connesso al punto medio del bus DC, e l'emettitore di ogni switch alto si trova allo stesso potenziale, collegato al carico a stella. I restanti terminali di ogni fase, collettore dell'interruttore alto ed emettitore di quello basso del ramo di inverter, sono collegati agli estremi del bus DC. Il dispositivo trifase così progettato risulta essere relativamente semplice, anche nel controllo degli switch, dal momento che è possibile impiegare la

medesima tecnica di modulazione implementata nel *single leg*, a meno dell'aggiunta di una modulante per fase.

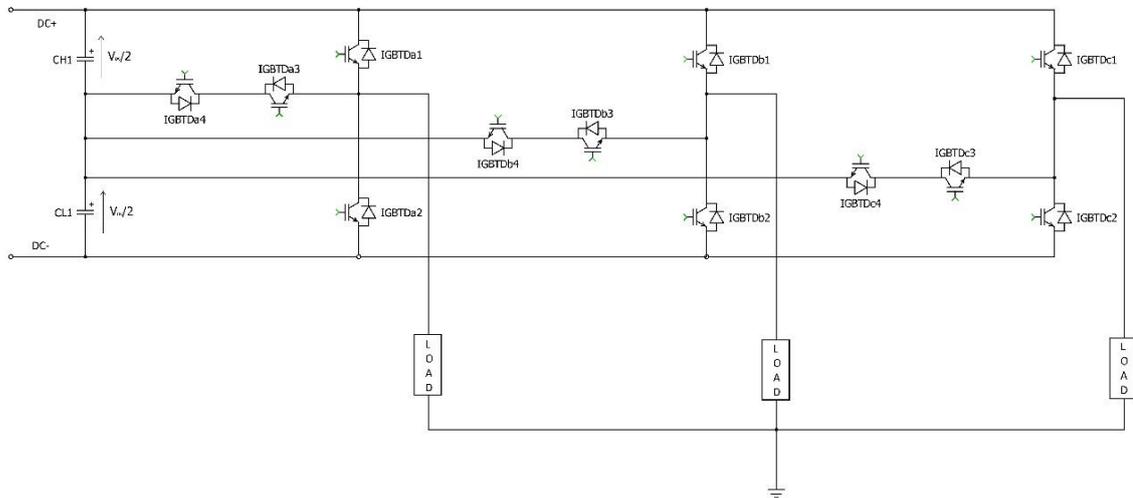


Figura 2.6: Rappresentazione della configurazione trifase NPC T-Type Inverter a tre livelli.

Nella configurazione a tre livelli, il trifase permette di implementare $(m - 1) = 2$ capacità del bus DC come per il *single leg*, ma ovviamente triplica il numero dei componenti del convertitore, 12 switch e 12 diodi, e quelli che compongono i carichi ohmico-induttivi.

2.3. CONFRONTI TRA TIPOLOGIE

2.3.1. 2L vs 3L

La differenza sostanziale tra un inverter tradizionale a 2 livelli (2L) e quello NPC T-Type a 3 livelli (3L) risiede, come anticipato, sui differenti valori di tensione che possono essere messi a disposizione in uscita, e di conseguenza sul numero di componenti da collegare per ottenere quella desiderata forma d'onda. L'introduzione del terzo livello porta la tensione uscente dall'inverter ad assomigliare maggiormente ad una sinusoide e altresì alla riduzione del *Total Harmonic Distortion* della corrente. Si soddisfano perciò con rapidità i requisiti richiesti dalla rete qualora il dispositivo venga collegato ad essa. A parità di THD, il 3L può ridurre la frequenza di switching, apportando un contributo inferiore alle conseguenti perdite. Se invece viene sfruttata la stessa frequenza di commutazione sugli interruttori, il

circuito *T-Type* ottiene una distorsione armonica della corrente inferiore a quello a 2L. I filtri richiesti per le armoniche nell'inverter 3L sono quindi meno selettivi, e ciò comporta un risparmio monetario e nella complessità progettuale. L'*NPC T-Type single leg*, di contro, impiega quattro interruttori rispetto ai due utilizzati nel ramo di inverter tradizionale, incrementando la laboriosità della circuiteria di drive e le dissipazioni di potenza.

In generale, nel trifase ottenuto con convertitori multilivello l'efficienza raggiunta è alta, e aumenta con la frequenza di commutazione fino al massimo consentito per la specifica tipologia dell'inverter. Di contro, rispetto al trifase progettato con inverter tradizionali, il 3L detiene un maggior numero di componenti che incrementano l'area del dispositivo finale, e come per il *single leg*, una complicazione realizzativa del sistema di controllo e difficoltà nel bilanciare le capacità del bus DC. Nonostante gli importanti aspetti negativi, la configurazione trifase a 3L è un'ottima alternativa per poter raggiungere alte efficienze, sopportando le grandi potenze richieste dal mercato.

| PRO | CONTRO |
|--|-------------------------------------|
| Tensione quasi sinusoidale | Incremento del numero di componenti |
| Riduzione THD | Incremento delle unità drive |
| Filtri meno selettivi | Maggiore complessità |
| Alta efficienza per medio/alte frequenze switching | Incremento dei costi |

Tabella 2.3: Riassunto pro/contro dell'*NPC T-Type* 3L rispetto all'inverter tradizionale 2L.

2.3.2. 3L *NPC T-Type Inverter* vs 3L *Diode-Clamped Inverter*

L'*NPC T-Type Inverter* deriva dalla configurazione *Diode-Clamped*, per tale motivo è utile un confronto sia circuitale che prestazionale. Per semplificare la trattazione, vengono riproposti di seguito gli schemi.

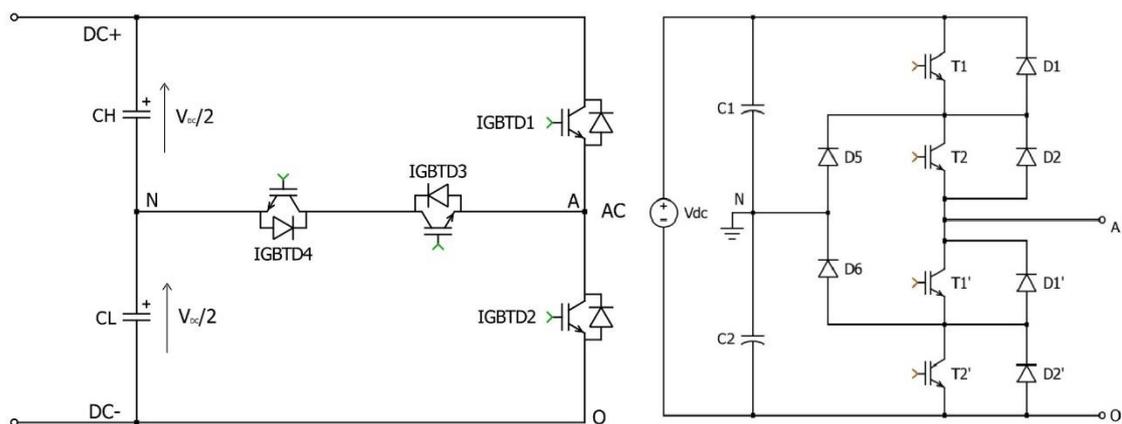


Figura 2.7: A sinistra l'*NPC T-Type Inverter* e a destra il *Diode-Clamped Inverter*, entrambi tre livelli di tensione uscente e fase singola.

Dal punto di vista circuitale il terzo livello viene fornito in differente maniera: se nel *T-Type* si aggiungono 4 componenti tra switch e diodi, il *Diode-Clamped* ne richiede 6, incrementandone il volume, anche se in piccola misura. Si ha un riscontro anche nel valore delle potenze dissipate, risolte con equazioni simili a quelle descritte nell'attuale capitolo per il *T-Type*; di fatti, a fronte dell'aumento numerico di componenti corrisponde una più importante perdita di potenza. Il particolare funzionamento del *T-Type* richiede dimensionamenti differenti per i componenti anche nel caso a 3L, accrescendo i costi di produzione su larga scala, mentre nel secondo convertitore questa accortezza risulta maggiormente utile solo quando vengono richiesti più di tre livelli di tensione in uscita.

Considerando la fase singola, il percorso della corrente attiva da alimentazione a carico nel 3L *Diode-Clamped Inverter* prevede l'attraversamento di un ugual numero di switch o del doppio rispetto all'inverter di sinistra in [Figura 2.7]; il cammino della corrente nel *T-Type* coinvolge invece al più un interruttore, come nell'inverter tradizionale. Questo si traduce in un'ulteriore caduta di potenziale per il *Diode-Clamped*, compensata però dall'esiguo valore di perdite dovuto alle basse tensioni di blocco, caratteristiche dei componenti introdotti, simili a quelle del *T-Type*.

Allo stesso modo di quest'ultimo, anche il *Diode-Clamped* non permette tutte le 16 configurazioni ottenute mediante 4 switch; in particolare, gli stati che potenzialmente danneggiano la struttura sono cinque e implicano la chiusura di un solo o entrambi gli interruttori T1 e T2', oppure le coppie T1/T3 e T2/T4. Le configurazioni che senza dubbio possono distruggere il convertitore sono in totale 5, e prevedono la chiusura di tre

interruttori alla volta o di tutti e quattro. Anche in questa tipologia sono dunque necessarie tecniche di modulazione opportune e l’inserimento di tempi morti.

La qualità che di gran lunga esalta la configurazione *Diode-Clamped* riguarda il pieno sfruttamento di questo convertitore ad alte frequenze, mentre per il secondo inverter, in letteratura si trova che l’alta efficienza viene mantenuta solamente fino a medie frequenze (8-20 [kHz]), dopodiché le dissipazioni pregiudicano le prestazioni. Se i normali diodi del circuito fossero costruiti invece con tecnologia in SiC (*Silicon Carbide*), ambedue gli inverter potrebbero lavorare sopra i 50 [kHz] senza alterare il loro normale funzionamento, portando quindi la frequenza di commutazione fuori dal range udibile, tipicamente valutato tra i 20 [Hz] e i 20 [kHz].

Complessivamente l’efficienza massima raggiunta dai convertitori è alta, grazie anche al basso valore di THD che comporta altresì uno sforzo minore di filtraggio; l’*NPC T-Type* è però in grado di conquistare qualche punto in più in termini di efficienza nel periodo totale di commutazione, in quanto tutti gli stati permessi favoriscono il flusso della corrente su di un unico switch alla volta. Un’ultima caratteristica, in questo caso svantaggiosa comune ai convertitori appena descritti, è la mancanza di modularità qualora si voglia ottenere in uscita un numero di livelli di tensione maggiore rispetto a quelli previsti dal progetto iniziale.

In definitiva, il *Diode-Clamped Inverter* è sicuramente un ottimo dispositivo di conversione, con pregi analoghi al suo successore ma che presenta qualche difetto in più; non compie pertanto quel salto qualitativo che invece è possibile mediante l’impiego del *T-Type Inverter*, qualora venga implementato in sistemi fotovoltaici.

| PRO | CONTRO |
|---|---|
| Minor numero componenti | Dimensionamenti differenti |
| Minor volume occupato | Alta efficienza in range ristretto di frequenze di commutazione |
| Alta efficienza a medie frequenze di commutazione | |
| Percorsi conduttivi brevi | |

Tabella 2.4: Riassunto pro/contro dell’*NPC T-Type 3L* rispetto al *Diode-Clamped Inverter 3L*.

2.4. ALCUNE CONSIDERAZIONI

La scelta di quanti livelli di tensione porre in uscita all'*NPC T-Type Inverter* dipende, analogamente ad altri convertitori DC/AC multilivello, dalla qualità della sinusoide che si vuole raggiungere, piuttosto che dal volume occupato dal dispositivo stesso e la conseguente entità di potenza gestita. Parcellizzando ulteriormente la tensione, si introducono nuovi semiconduttori che aumentano contemporaneamente la dimensione e la potenza sopportata dall'inverter.

In concomitanza, incrementano i costi di produzione e le induttanze parassite che generano tensioni di *overshoot*, limitando il flusso della corrente che scorre sui percorsi di commutazione. Per poter sfruttare alte potenze vi sono vari criteri di progettazione, ossia dimensionare i chip in maniera tale da tollerarle, o di collegare in parallelo più moduli, a discapito però di una circuiteria di driver complessa e generazioni di correnti di compensazione. Le tensioni di *overshoot*, sintomo di presenza di effetti parassiti nell'inverter, sono originate dall'energia immagazzinata nei campi magnetici del circuito. Questa energia cresce linearmente con l'entità delle induttanze parassite, e tale tensione va dunque a sommarsi a quella di alimentazione; se il valore totale è maggiore della tensione di breakdown dei componenti, inevitabilmente se ne innesca la distruzione. La tensione di *overshoot* è anche dipendente dalla lunghezza del percorso della corrente, perciò se si impiegano più moduli, le capacità del bus DC vengono poste il più vicino possibile al *T-Type Inverter*. Inoltre vengono introdotti soppressori di tensione la cui attivazione avviene con la rilevazione di tensioni maggiori di quella di breakdown.

In letteratura si trovano svariati metodi per ottimizzare gli spazi occupati dal circuito, mantenendo valori di efficienza adeguati alla configurazione scelta. Di seguito il grafico [Figura 2.8] è realizzato variando la frequenza di switching e confrontando il risultato con la temperatura alla quale si trova il dispositivo: se questa supera un'ipotetica temperatura di giunzione pari a 125°C, è necessario aumentare l'area occupata dallo stesso. Si nota come a basse frequenze di commutazione inferiori ai 10 [kHz] sia poco utile introdurre il terzo livello di tensione, consigliando quindi di sfruttare l'inverter tradizionale. Per medie frequenze sino a circa 20 [kHz], impiegate per le applicazioni dell'elaborato, il *T-Type* consente di ridurre le dimensioni rispetto agli altri dispositivi; oltre tale soglia il *Diode-Clamped* risulta essere migliore rispetto al precedente, progressivamente al crescere della

frequenza di commutazione, ed estremamente performante rispetto all'inverter a 2 livelli. Quanto descritto, scaturisce dal fatto che l'inverter tradizionale è composto da un basso numero di semiconduttori, per cui le perdite sono concentrate su di un'area ristretta mentre nel circuito 3L si distribuiscono, consentendo una più celere dissipazione di energia termica.

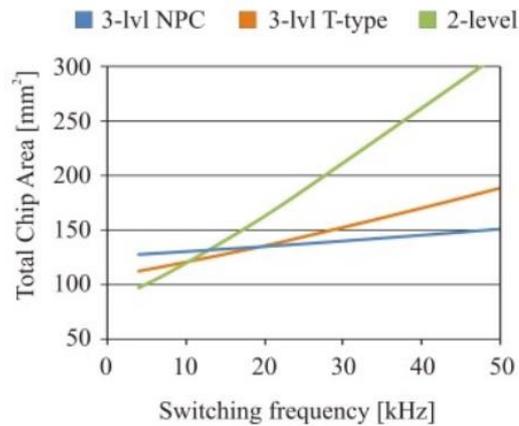


Figura 2.8: Grafico frequenza di switching/area occupata dal chip per una temperatura massima di 125°C.

I problemi che possono sorgere nella realizzazione dell'inverter sono complessivamente rappresentati dalla caduta di tensione non nulla ai capi degli interruttori e diodi, e dalla lunghezza del percorso che compie la corrente; per cui è opportuno considerare le non idealità nella scelta dell'alimentazione nonché gestire opportunamente i volumi da occupare.

Concludendo, dalla letteratura il *Neutral Point Clamped T-Type Inverter* a tre livelli è il miglior candidato per l'implementazione in un impianto fotovoltaico che prevede medie potenze e medio/alte frequenze di commutazione, valorizzato dall'alta efficienza e dinamicità, dalle basse perdite di *leakage*, scarse emissioni elettromagnetiche e ottimo bilanciamento delle perdite di commutazione.

Capitolo 3

3. SIMULAZIONE DELL'NPC T-TYPE INVERTER

La fase successiva dell'analisi sull'*NPC T-Type Inverter* prosegue con la simulazione del circuito, per mezzo di adeguati software e *tools*, facendo particolare attenzione a ciò che è stato studiato in letteratura.

La parte che quindi riguarda la simulazione viene eseguita utilizzando come ambiente di calcolo numerico MATLAB, integrando poi con l'ambiente grafico SIMULINK e PLECS, per meglio concretizzare visivamente il progetto.

3.1. AMBIENTE DI SIMULAZIONE

MATLAB è un software che permette la manipolazione di matrici, l'implementazione di algoritmi, la visualizzazione di funzioni e tutto ciò che riguarda il calcolo numerico e l'analisi statistica.

Nella simulazione del sistema vengono compilati ed eseguiti due semplici fogli di lavoro, sui quali si trovano i principali parametri relativi al controllo dell'*NPC T-Type* e alla sua realizzazione, come ad esempio il valore delle capacità del bus DC, del carico ohmico induttivo, tensione e corrente di alimentazione, la definizione del tempo morto e del tempo di commutazione.

Il lavoro continua pertanto in SIMULINK, *Tool* di MATLAB, mediante il quale vengono implementati i macro-blocchi che compongono il sistema. Ci si serve della *Library Browser* per poter creare la regolazione dei segnali inviati all'inverter tramite il regolatore PI (Proporzionale-Integrale) risonante e la tecnica di modulazione *Level-Shifted Carriers* SPWM. Si ottiene quindi un riscontro visivo del comportamento dei blocchi intermedi al sistema e delle forme d'onda a valle di esso, tramite gli “*scope*” forniti dalla libreria.

Per quanto riguarda il circuito di inverter vero e proprio, sia nel caso monofase che trifase, risulta appropriato integrare a SIMULINK, il *Tool* PLECS. Quest'ultimo è possibile sfruttarlo sia in forma “*standalone*”, sia come “*blockset*”. PLECS è un ambiente molto simile a SIMULINK, integrandosi con esso, ma risulta leggermente più intuitivo per la creazione di media complessità di circuiti elettrici.

Nel blocco che rappresenta il circuito dell'inverter a tre livelli, vengono utilizzati come interruttori alcuni IGBT, i cui collettori ed emettitori sono collegati coi diodi in antiparallelo. In commercio solitamente gli IGBT vengono realizzati già integrati ai diodi ma, al fine della simulazione, risulta maggiormente utile poterli analizzare singolarmente, soprattutto dal punto di vista della risposta termica.

Per quanto riguarda le perdite di natura conduttiva e quelle causate dalla commutazione degli stati degli interruttori, ci si aspetta essere dello stesso ordine di grandezza, in base anche alle scelte termiche stabilite. Si prevede inoltre un basso *ripple* di corrente in uscita nel caso di annullamento delle armoniche diverse dalla fondamentale, e una distorsione contenuta dei livelli di tensione, data dal valore della corrente di alimentazione e dalla dimensione delle capacità.

Di seguito vengono esplicate con maggiore definizione ogni singola parte che compone il progetto finale, i calcoli effettuati con il simulatore e le forme d'onda in ingresso e uscita al circuito.

3.2. DESCRIZIONE DELLE LIBRERIE PLECS

Nel circuito dell'*NPC T-Type Inverter*, realizzato in PLECS, viene introdotto lo strumento *Heat Sink*, visibile come riquadro blu semitrasparente della [Figura 3.8]. La gestione termica è un aspetto importante dei sistemi elettronici di potenza, dovuta anche alla crescente domanda di creare package sempre più compatto e denso di componenti. PLECS consente quindi di includere nella progettazione elettrica, l'aspetto termico, per fornire soluzioni di raffreddamento e dissipazione ove si necessitano.

L' *Heat Sink* rappresenta quindi un dissipatore termico, in grado di assorbire e misurare le perdite termiche disperse dai componenti all'interno dei confini predisposti e, collegando il pin con lo strumento *Constant Temperature*, creare un ambiente isotermico ad una

temperatura costante rispetto al *Ground*. Quindi ogni dissipatore ha una capacità termica intrinseca, rispetto al nodo di riferimento.

Per quanto riguarda le perdite dei semiconduttori, in ambiente PLECS vengono classificate come perdite di conduzione e di commutazione, le cui caratteristiche possono essere espresse tramite la *Thermal Description*, realizzate con l'ausilio dei dati raccolti sui *datasheet*, oppure impostate di default dal *tool*.

Le perdite di conduzione vengono calcolate come prodotto tra corrente e tensione ai capi del semiconduttore [Figura 3.1]. PLECS permette di specificare la tensione come funzione arbitraria della corrente e della temperatura del componente, cioè $v = v_{on}(i, T)$. La funzione viene definita nella scheda *Conduction Loss* della descrizione termica del componente. Se non specificato, il *tool* impone perdite calcolate in base ai parametri elettrici del dispositivo. In tutto il circuito di inverter è stata sfruttata la stessa tipologia di interruttore e diodo, le cui caratteristiche sono definite nei paragrafi successivi, sia per il caso *single leg* che per il trifase.

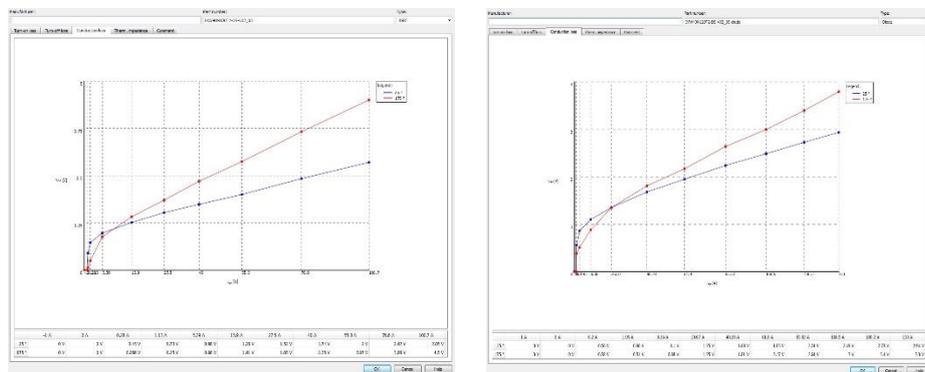


Figura 3.1: Descrizione termica della perdita di conduzione, in base alla tipologia di IGBT (sinistra) e diodo (destra) utilizzata.

Le perdite di commutazione [Figura 3.2] si verificano a causa della transizione non istantanea dello stato del semiconduttore, da interdizione a conduzione e viceversa. Durante questo intervallo, la corrente e la tensione ai capi del componente sono sostanzialmente diverse da zero, apportando un contributo nelle perdite totali del dispositivo. In diversi programmi atti alla simulazione, le perdite di switching risultano complesse da calcolare, poiché sono necessarie differenti misurazioni in tempi brevissimi, nell'ordine dei

nanosecondi. In PLECS questo problema viene ovviato considerando l'energia dissipata come funzione di pre e post-commutazione e di temperatura: $E = E_{on/off}(v, i_{on/off}, T)$.

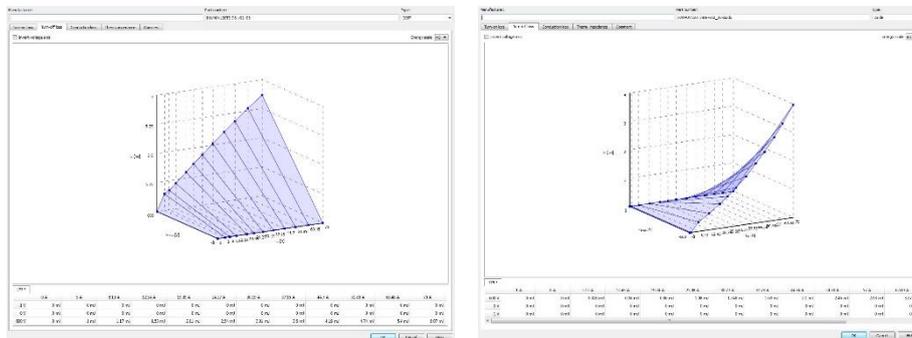


Figura 3.2: Descrizione termica della perdita di switching, in base alla tipologia di IGBT (sinistra) e diodo (destra) utilizzata.

L'energia dissipata è quindi descritta tramite le *look-up table* di PLECS, le cui perdite effettive sono determinate nel corso della simulazione tramite interpolazione lineare. In caso di valore negativo, viene emesso un messaggio di diagnostica, la cui azione è possibile selezionarla sul pannello *Diagnostics* dei parametri.

3.3. CONTROLLO RISONANTE

Il controllo di un sistema dinamico può essere generato da un regolatore Proporzionale-Integrale PI, con retroazione negativa. Il valore attuale è determinato da un segnale in ingresso, detto segnale errore, calcolato sottraendo a quello di riferimento il segnale in uscita dal sistema. Il PI reagisce al valore di errore, sia esso positivo o negativo, tendendo verso lo zero e modificando quindi il comportamento dell'oggetto a valle di esso. L'azione proporzionale si ottiene semplicemente tramite moltiplicazione del guadagno di controllo K_p con il segnale errore definito in precedenza; l'azione integrativa aiuta la convergenza verso lo zero, integrando l'errore nel tempo e moltiplicando per il guadagno del controllo integrale K_i .

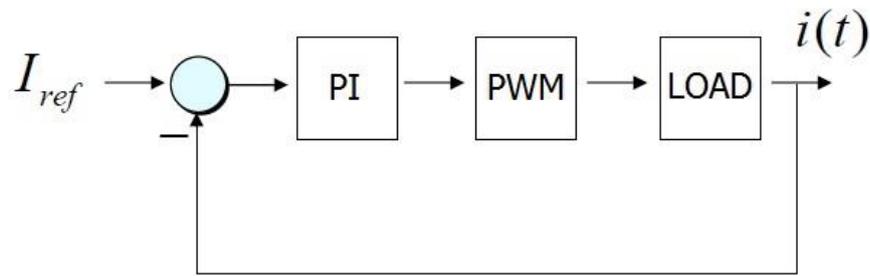


Figura 3.3: Schema a blocchi di un regolatore PI generico.

Seguendo la [Figura 3.3], la più semplice funzione nel dominio di Laplace, rappresentante il guadagno di un PI è la seguente:

$$\left(\frac{K_i}{s} + K_p\right) \quad (\text{Eq. 3.1})$$

Dopodiché questa viene moltiplicata per l'approssimazione della funzione di trasferimento di un inverter, descritta come un ritardo pari a metà del periodo di commutazione, del tipo:

$$\frac{1}{1 + \frac{sT_c}{2}} \quad (\text{Eq. 3.2})$$

Infine vi è il carico ohmico-induttivo, intrinsecamente stabile, la cui equazione rappresentata nel dominio di Laplace è la nota

$$\frac{1}{sL + R} \quad (\text{Eq. 3.3})$$

Di conseguenza, la funzione di trasferimento ad anello aperto si calcola come prodotto tra queste tre equazioni. Si ricorda che $s = j\omega$, $K_p = K_i \cdot (L/R)$ e $\tau = L/R$.

$$\begin{aligned}
G(s) &= \left(\frac{K_i}{s} + K_p \right) \cdot \frac{1}{1 + \frac{sT_c}{2}} \cdot \frac{1}{sL + R} = \\
&= \frac{K_i + K_p s}{s} \cdot \frac{1}{1 + \frac{sT_c}{2}} \cdot \frac{1}{\frac{sL}{R} + 1} = \\
&= \frac{K_i \left(\frac{sL}{R} + 1 \right)}{s} \cdot \frac{1}{1 + \frac{sT_c}{2}} \cdot \frac{1}{\frac{sL}{R} + 1}
\end{aligned}$$

Pertanto risulta che la funzione di trasferimento ad anello aperto risulta:

$$G(s) = \frac{\frac{K_i}{R}}{s \cdot \left(1 + \frac{sT_c}{2} \right)} \quad (\text{Eq. 3.4})$$

La funzione equivalente totale, di retroazione negativa che va a smorzare il funzionamento del sistema stesso stabilizzandolo, è semplicemente $G(s)/(G(s) + 1)$, per cui consegue:

$$\frac{\frac{\frac{K_i}{R}}{s \cdot \left(1 + \frac{sT_c}{2} \right)}}{\frac{\frac{K_i}{R}}{s \cdot \left(1 + \frac{sT_c}{2} \right)} + 1} = \frac{\frac{K_i}{R}}{\frac{K_i}{R} + s \left(1 + \frac{sT_c}{2} \right)} = \frac{\frac{K_i}{R}}{s^2 \frac{T_c}{2} + s + \frac{K_i}{R}}$$

La funzione ad anello aperto presenta solo poli del secondo ordine, dato dal troncamento della serie di Taylor effettuato fin dall'inizio, per cui il regolatore PI viene tarato con il criterio di cancellazione a polo dominante; si tende quindi ad annullare la parte che rallenta maggiormente il sistema. Considerando il solo denominatore, si calcolano discriminante Δ e le soluzioni dell'equazione di secondo grado, per poter successivamente modellare l'ingresso al sistema posto a valle.

$$\frac{-1 \pm \sqrt{1 - 4 \frac{T_c}{2} \cdot \frac{K_i}{R}}}{2 \cdot \frac{T_c}{2}} = \frac{-1 \pm \sqrt{\Delta}}{T_c}$$

Se il riferimento in input al sistema è sinusoidale, come una corrente, la grandezza da inseguire ha il medesimo andamento; servendosi del PI, si introducono problemi realizzativi, in quanto quest'ultimo non riesce a inseguire grandezze con forte variabilità temporale, non annulla perciò l'errore. I regolatori Proporzionali Integrali Risonanti (PIR), alla frequenza di funzionamento del sistema, offrono un'ottima alternativa per il controllo del sistema. È necessario conoscere la pulsazione di lavoro, costante, ai fini di un controllo in catena chiusa, in quanto il regolatore possiede idealmente guadagno infinito alla frequenza definita di risonanza, e nullo al di fuori di essa. Il guadagno proporzionale ha la medesima funzione di quello del PI, determina perciò la dinamica del sistema in termini di larghezza di banda, fase e margine di guadagno.

Come già definito, il riferimento è sinusoidale, che può quindi scomporsi in due termini complessi, sincroni ai termini rotanti, come illustrato in [Figura 3.4]:

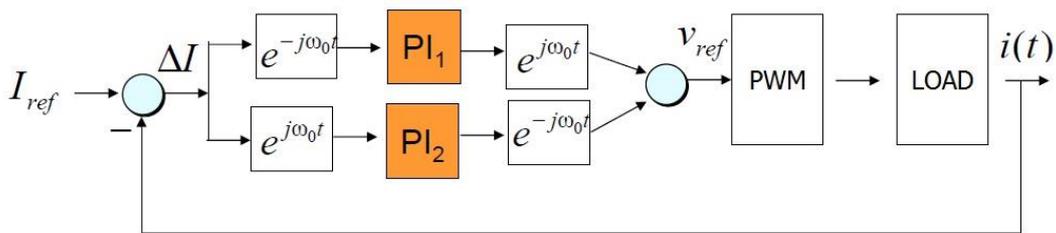


Figura 3.4: Schema a blocchi di un regolatore PIR.

Ogni PI introdotto annulla la componente rispettivamente di ω_0 e $-\omega_0$, la v_{ref} invece le elimina entrambe, sommando i segnali in uscita ai PI. L'equazione che descrive il legame tra la tensione di riferimento e i regolatori, usufruendo della trasformata e antitrasformata di Laplace, è:

$$v_{ref} = e^{j\omega_0} L^{-1} \left\{ PI(s) L \left\{ e^{-j\omega_0} \Delta I(t) \right\} \right\} + e^{-j\omega_0} L^{-1} \left\{ PI(s) L \left\{ e^{j\omega_0} \Delta I(t) \right\} \right\} \quad (\text{Eq. 3.5})$$

Usufruento della proprietà di traslazione complessa della trasformata di Laplace, definita $L\{e^{-zt} f(t)\} = F(s + z)$, mantenendo uguale la funzione del guadagno del regolatore iniziale, per entrambi i PI, risulta

$$v_{ref} = \left(2K_p + \frac{2K_i s}{s^2 + \omega_0^2} \right) \Delta I(s) \quad (\text{Eq. 3.6})$$

In conclusione, è possibile progettare un regolatore PI-risonante con guadagno proporzionale $2 \cdot K_p$ ed integrale $2 \cdot K_i$, partendo da una coppia di regolatori Proporzionali Integrali, che ruotano alla pulsazione ω_0 sincrona a quella del riferimento scomposto nei due termini complessi. La moltiplicazione per ‘2’ può essere inglobata nei guadagni stessi, giungendo così alla forma del PIR adottato nella simulazione dell’inverter *NPC T-Type*, in *single leg* [Figura 3.7] e trifase [Figura 3.39]. In quest’ultimo caso si distingue il controllo sulla potenza attiva (termine identificato con la lettera *d*) da quello sulla potenza reattiva (lettera *q*), scambiate con la rete. Si sceglie la retroazione negativa perché in generale stabile, e pertanto porta il sistema a convergere.

Il PI-risonante viene implementato in SIMULINK, come possibile soluzione alla minimizzazione dell’errore tra corrente di riferimento sinusoidale e quella in uscita dal convertitore multilivello. Si specifica che le non linearità presenti nello stadio di inverter non sono completamente compensate, come le cadute di tensione che affliggono i componenti e i tempi morti. Per tarare i valori di K_i e di conseguenza di K_p , si utilizza il tool di MATLAB *SISOTool* (*Single-Input Single-Output*), ambiente di progettazione che semplifica il controllo in svariati modi:

- definisce graficamente le specifiche di progetto sul tempo e frequenza;
- adatta i parametri dando la possibilità al progettista di muovere interattivamente poli e zeri direttamente sul plot del diagramma di Bode e del luogo delle radici;
- le tecniche di ottimizzazione utilizzano SIMULINK;
- le risposte ad anello aperto e chiuso possono essere aggiornate dinamicamente, come i parametri di progettazione, per fornire un riscontro immediato al progettista.

SISOtool viene impiegato per controlli di sistemi che richiedono lo studio di diagrammi di Bode, Nyquist e grafici di Nichols. Viene invocato digitando il comando “*sisotool*” nel workspace di MATLAB oppure, per importare direttamente il modello MATLAB in questo tool, si definisce *sisotool()* nell’*Editor*, dopodiché si ha accesso a due finestre: la *Control and Estimation Tools Manager* (CETM) e la *SISO Design for SISO Design Task* (DT). La prima serve essenzialmente per configurare le opzioni di progettazione del controllore, mentre la seconda visualizza i diagrammi. Di seguito vengono illustrate le opzioni scelte in simulazione nella CETM e i conseguenti grafici della DT.

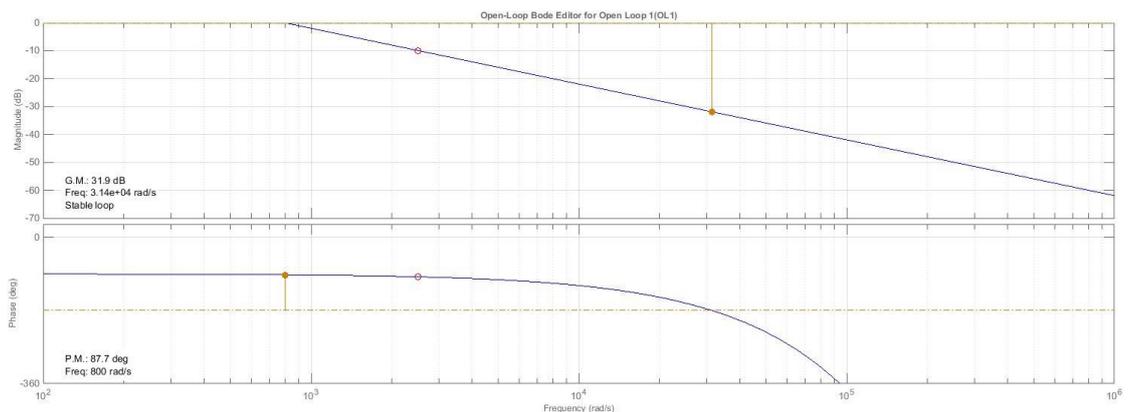
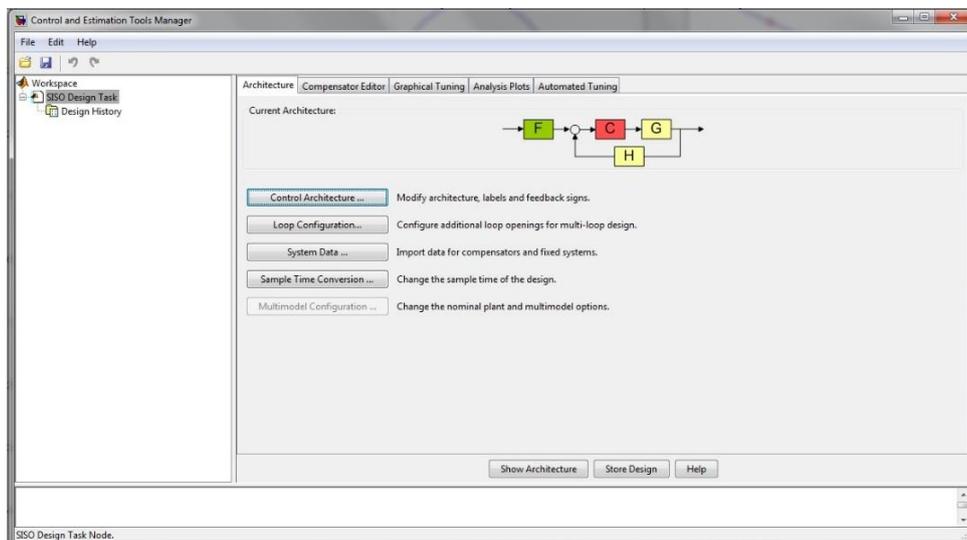


Figura 3.5: Progettazione in SISOtool. Sopra la CETM, sotto il diagramma di Bode delle ampiezze e delle fasi.

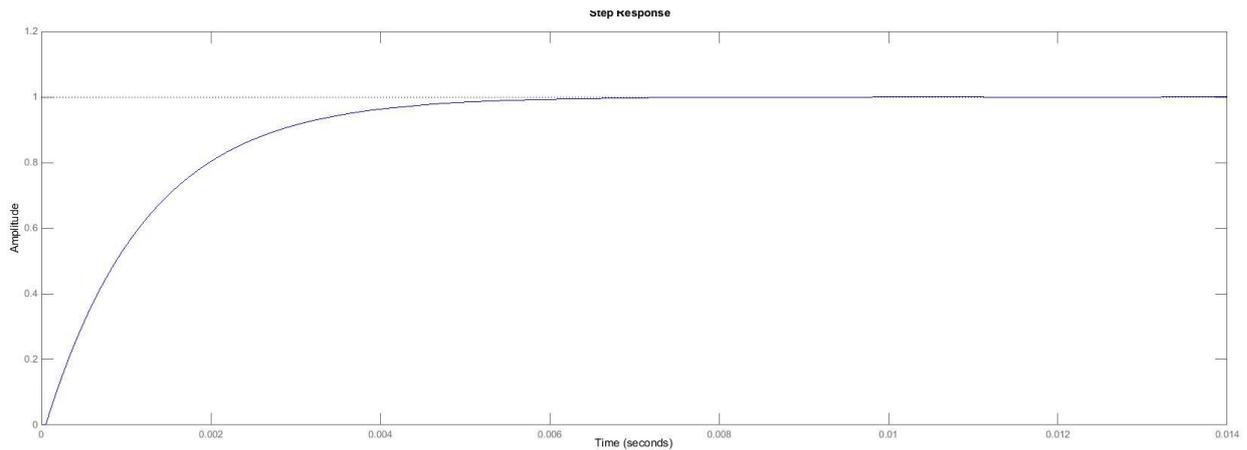


Figura 3.6: Risposta del sistema al margine di guadagno 31.9 [dB] e di fase 87.7°, a frequenza di attraversamento di 800 [rad/s].

Si è scelta la configurazione per un sistema di secondo grado in catena aperta, che sia stabile, a dinamica veloce, non alterando però i valori di corrente e tensione in uscita dall'inverter, tale per cui il margine di fase rimanga sopra i 75°.

3.4. SIMULAZIONE SINGLE LEG

L'*NPC T-Type Inverter single leg* viene analizzato tramite due differenti correnti di alimentazione sinusoidali, per considerare le principali situazioni in cui si può trovare il modulo fotovoltaico che le genera. La prima è una sinusoide di 10 [A] di picco, valore tipico per sistemi fotovoltaici medio-piccoli, e la seconda è una sinusoide la cui ampiezza cresce a gradini, valutando così le possibili variazioni di generazione della corrente, causate dalle mutevoli condizioni climatiche al quale il pannello è esposto. In ogni caso l'alimentazione ritenuta opportuna per applicazioni di potenza di questa dimensione è di 600 [V].

La tecnologia dei componenti impiegata per la progettazione del circuito di inverter è attribuita all'*Infineon*, nota marca di componenti elettronici a semiconduttore. Le qualità tecniche sono descritte nel *datasheet* situato in [Appendice A] dell'elaborato.

3.4.1. Alimentazione a Tensione Costante e Corrente Sinusoidale

La progettazione del dispositivo nasce con la creazione in PLECS del circuito vero e proprio dell'inverter *NPC T-Type* a tre livelli; come anticipato, sono utilizzati IGBT e annessi diodi in antiparallelo, della *Infineon*, le cui caratteristiche fisiche supportano fino a 40 [A] e 1200 [V] di tensione collettore-emettitore, ad una temperatura di giunzione di 175°C.

Si procede quindi con la manipolazione dei segnali che lo controllano. La figura sottostante esplica la totalità del sistema di simulazione.

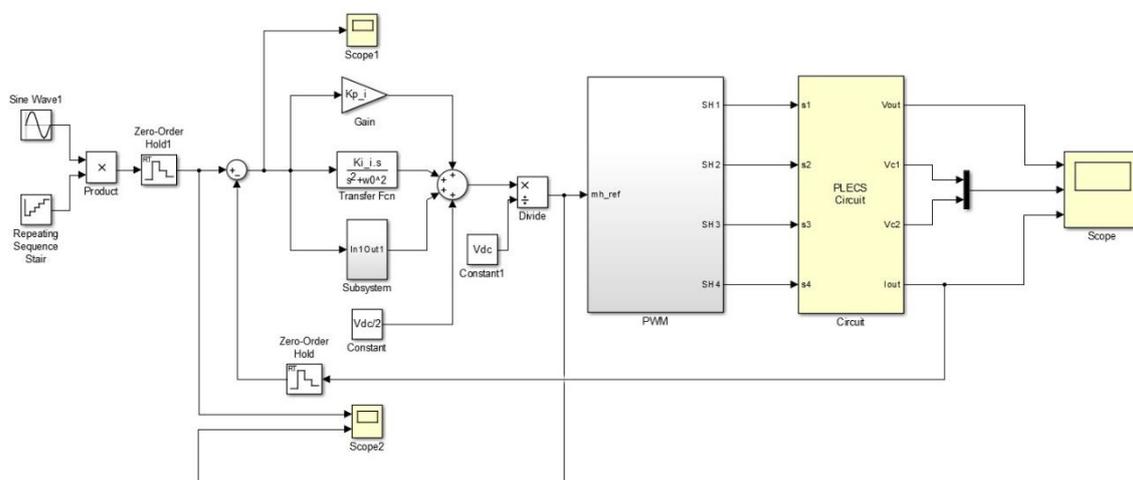


Figura 3.7: Sistema di controllo dell'*NPC T-Type*. Da sinistra regolatore PI-risonante, modulazione *Level-Shifted Carriers SPWM*, inverter.

La prima parte del sistema rappresenta il PIR, quindi il controllo del valore della tensione in ingresso al PWM, sulla base dell'errore rilevato in corrente dall'anello di retroazione negativa.

Il blocco successivo è la struttura per la modulazione dei segnali che controllano gli switch, di tipo *Level-Shifted Carriers SPWM*, esplicita nei paragrafi precedenti.

Gli interruttori in oggetto sono quelli che formano la struttura *single leg* dell'*NPC T-Type* [Figura 3.8], realizzato in PLECS.

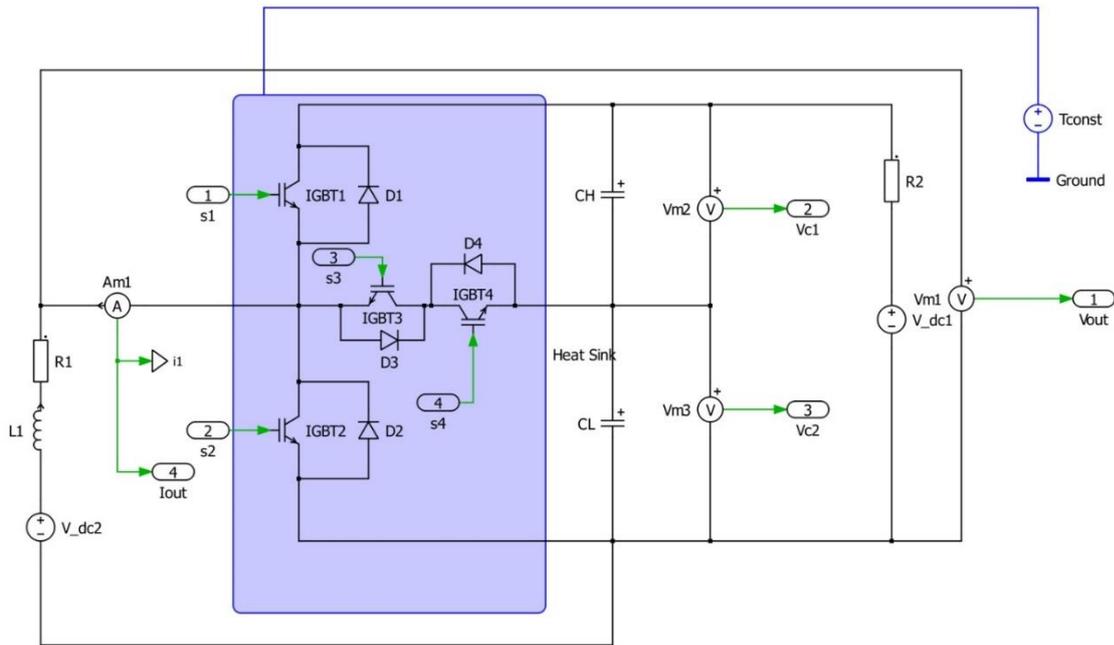


Figura 3.8: Circuito NPC T-Type Inverter single leg progettato in PLECS.

L'uscita del circuito è resa disponibile dai tre pin collegati ai voltmetri, rispettivamente V_{out} per i tre livelli di tensione, V_{c1} e V_{c2} per le tensioni alternate ai capi dei condensatori del bus DC ed infine I_{out} per la corrente dell'inverter. Vengono quindi visualizzate a video le forme d'onda risultanti.

In ingresso si nota il blocco rappresentante la corrente sinusoidale che va ad alimentare la circuiteria. Lo *Zero Order Hold* non è altro che un metodo per mantenere il segnale di ingresso costante per il periodo di campionamento specificato nel foglio di lavoro di MATLAB, consentendo di interpretare con maggior facilità le forme d'onda all'uscita dei vari componenti. In realtà in tale maniera è possibile andare a ridurre il CMV, migliorando le prestazioni dell'unità multifase.

Alla sinusoide di partenza viene quindi sottratta la componente di corrente elaborata dall'inverter, generando perciò il segnale errore.

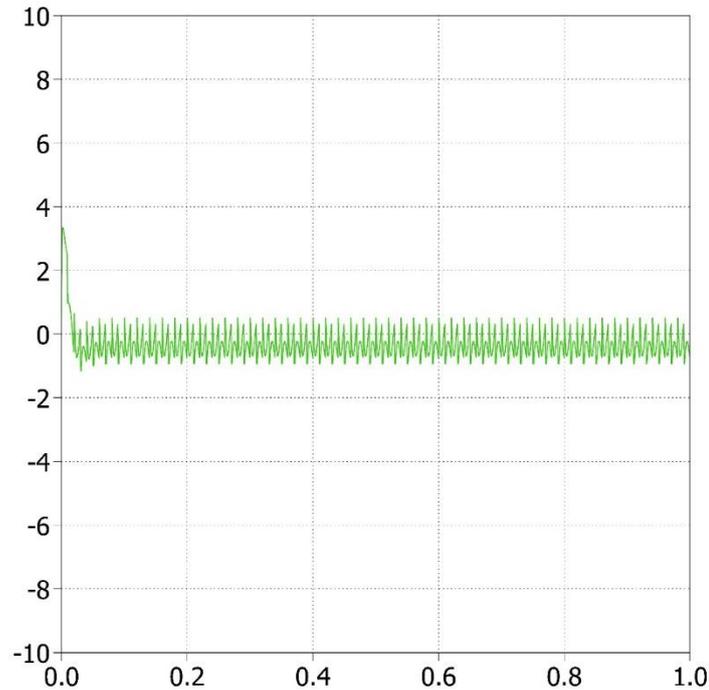


Figura 3.9: Forma d'onda rappresentante il segnale errore ottenuto dalla differenza tra quello in ingresso e quello elaborato dal sistema; ascissa: tempo in [s], ordinata: corrente in [A].

Si nota come l'entità dell'errore sia quasi trascurabile ed oscilla in particolare tra $+0.51$ [A] e -0.94 [A]. Il valore è principalmente determinato dal *ripple* della corrente in uscita, che non viene quindi annullato a causa del sistema di controllo PI-risonante, il quale va ad eliminare solo l'errore sull'armonica fondamentale (blocco “*Transfer Fcn*”), tralasciando le restanti armoniche di ordine maggiore o uguale a due.

Di seguito sono descritte le componenti frequenziali in un periodo di campionamento pari a 50 [Hz], del segnale periodico in ingresso al PIR, nel dominio di Fourier. In questo caso, essendo presente un solo blocco per la funzione di trasferimento del regolatore Proporzionale Integrale Risonante, viene abbattuto solo l'errore introdotto sull'armonica fondamentale.

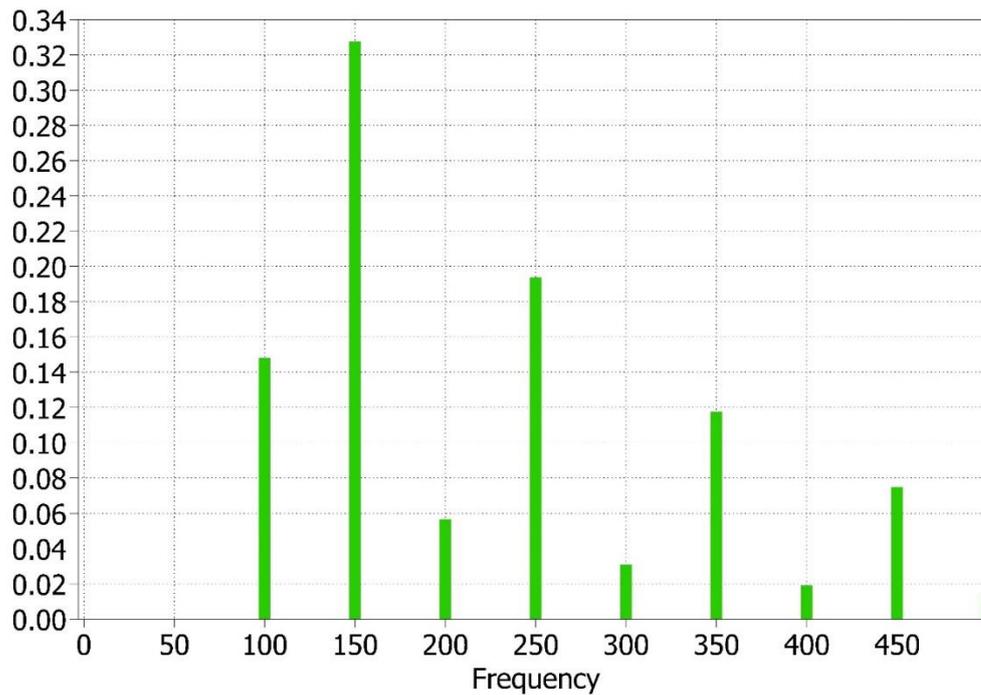


Figura 3.10: Componenti frequenziali nel dominio di Fourier. Riduzione del contributo armonico introdotto sulla fondamentale.

Il sistema di regolazione risonante in catena chiusa, come già descritto in letteratura, cerca di minimizzare l'errore introdotto dalle non linearità del circuito, e controllare i segnali della modulazione in ingresso ai *gates* degli IGBT. Tale regolatore non è però in grado di eliminare quelle non linearità dovute ai tempi morti e alle cadute di tensione sui componenti non ideali. Come da [Figura 3.8], al regolatore PI-risonante viene sommato un offset pari a $V_{dc}/2$, in modo tale da ottenere uno “zero” come valore minimo della tensione di uscita all’inverter.

La tecnica di modulazione implementata è la *Level-Shifted Carriers SPWM* a due portanti triangolari in fase tra loro e modulante sinusoidale, la cui pulsazione $\omega_0 = 2\pi f = 2\pi \cdot 50$ viene definita nel foglio di lavoro di MATLAB.

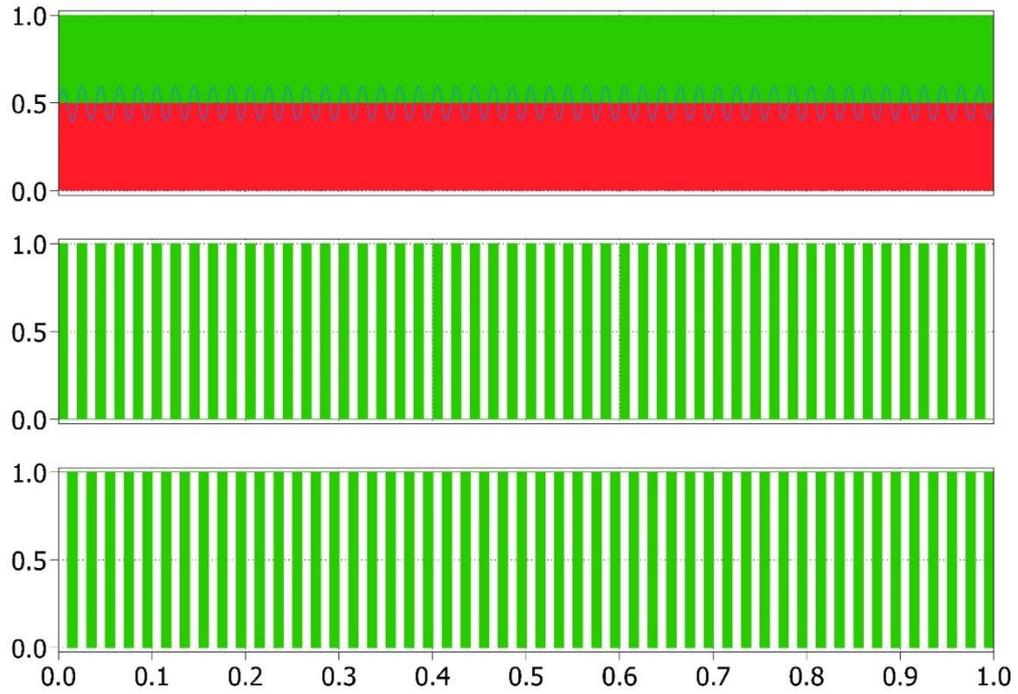


Figura 3.11: Dall'alto in basso: modulante sinusoidale e le due portanti triangolari, rispettivamente dell'IGBT1 e IGBT4 (verde), IGBT2 e IGBT3 (rossa); PWM sul gate della prima coppia di IGBT; PWM sul gate della seconda coppia di IGBT.

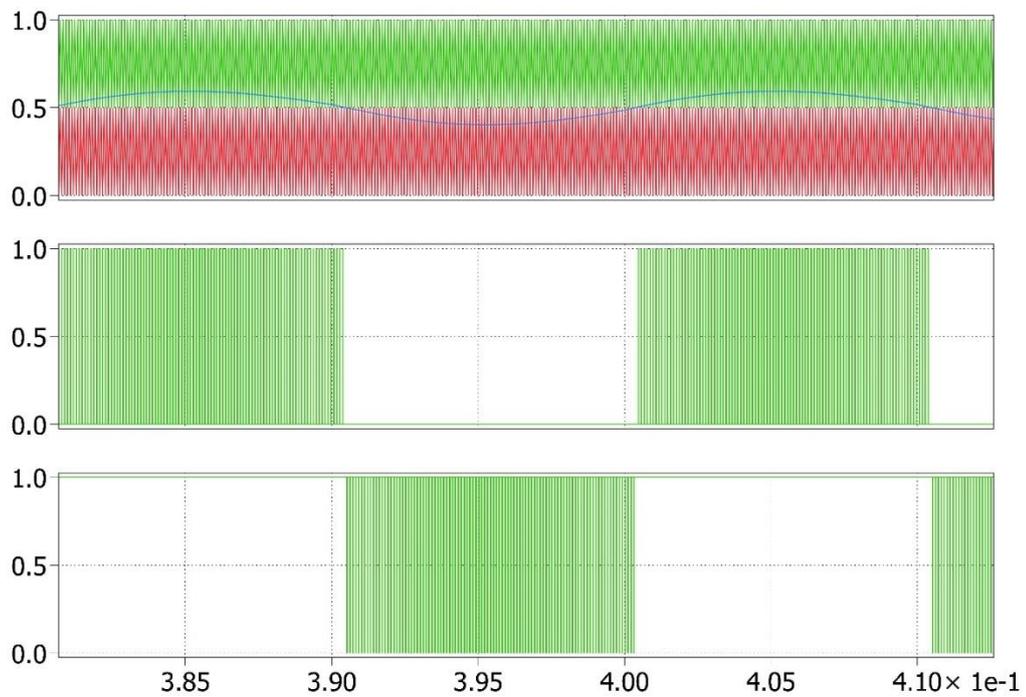


Figura 3.12: Modulazione *Level-Shifted Carriers SPWM*.

In [Figura 3.12] è rappresentato un ingrandimento per meglio capire la tecnica di modulazione utilizzata. Quando la modulante è maggiore di 0.5, gli IGBT1 e IGBT4 entrano in conduzione in modo alternato, mentre per la restante coppia, IGBT2 e IGBT3 vi sarà sempre un IGBT acceso e l'altro spento per tutto il semiperiodo. Viceversa, valori compresi tra [0;0.5] permettono la conduzione periodica di uno degli IGBT2 e IGBT3, e analogamente a quanto detto prima, è la conduzione di uno solo degli altri due interruttori.

In specifico, [Figura 3.13], se la modulante sinusoidale (blu) è maggiore della portante verde, viene acceso l'IGBT1, mentre il relativo negativo IGBT4 è spento; dal momento che in questo semiperiodo la modulante è sempre maggiore della portante rossa, l'IGBT3 risulta essere acceso e il 2 spento. Se la modulante invece è inferiore alla prima portante, è in conduzione l'IGBT4, mentre la situazione per i restanti interruttori rimane inalterata, a dimostrazione del fatto che i transistor che formano il ramo di *clamp* sono oggetto di una prolungata conduzione elettrica di corrente.

Se la modulante si trova nel semiperiodo inferiore a 0.5 [Figura 3.14], sono gli switch 2 e 3 che alternano istanti di accensione e spegnimento, mentre l'IGBT4 rimane sempre in conduzione. Anche per tale motivo le perdite di conduzione degli interruttori sul ramo di *clamp*, se tutti gli IGBT fossero dimensionati identicamente, sarebbero maggiori rispetto a quelle corrispondenti agli IGBT1 e IGBT2 del ramo di inverter.

Di seguito gli screen riguardanti la gestione di accensione e spegnimento degli IGBT.

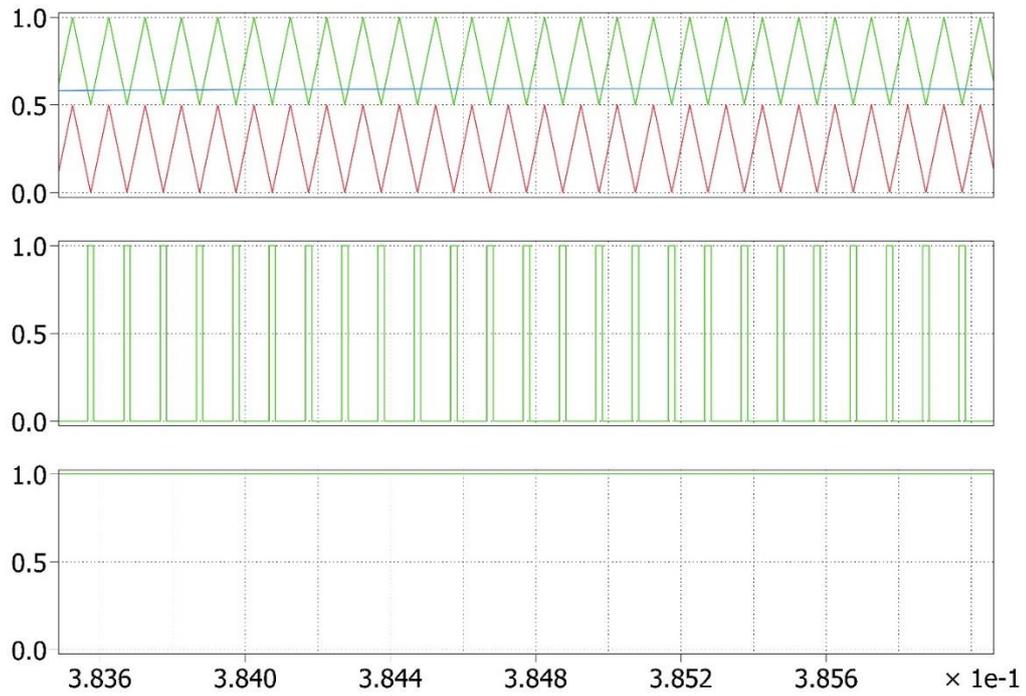


Figura 3.13: *Level-Shifted Carriers SPWM*: intervallo di tempo in cui la modulante è maggiore di 0.5.

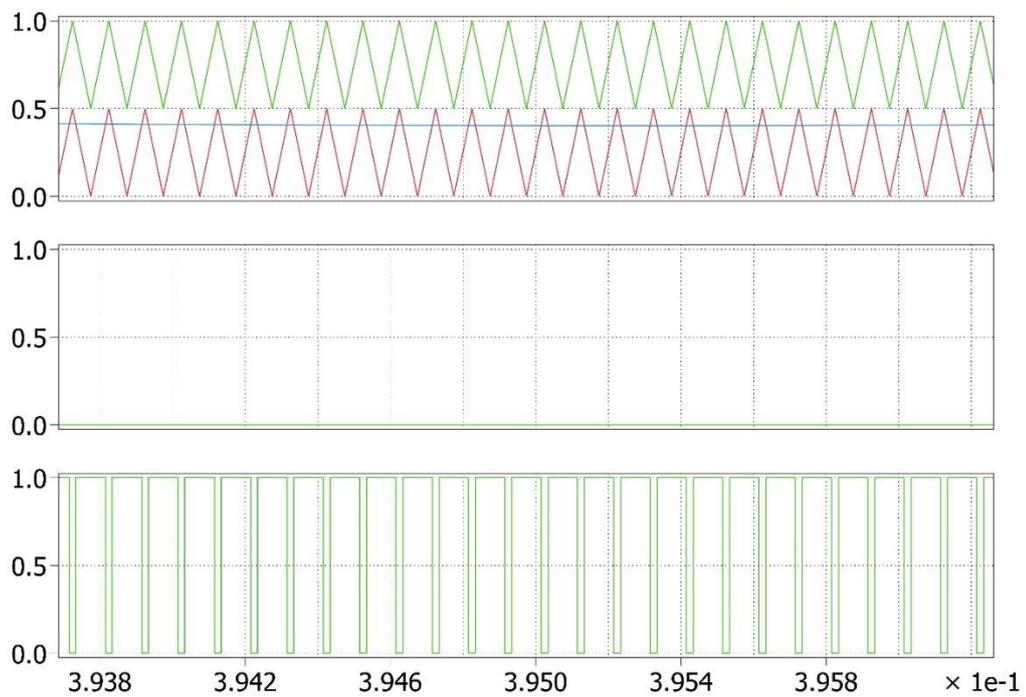


Figura 3.14: *Level-Shifted Carriers SPWM*: intervallo di tempo in cui la modulante è minore di 0.5.

In [Figura 3.15] è rappresentato il relativo comportamento dei segnali impressi ai *gates* degli interruttori, onda quadra verde e rossa, in base al semiperiodo della modulante sinusoidale (verde).

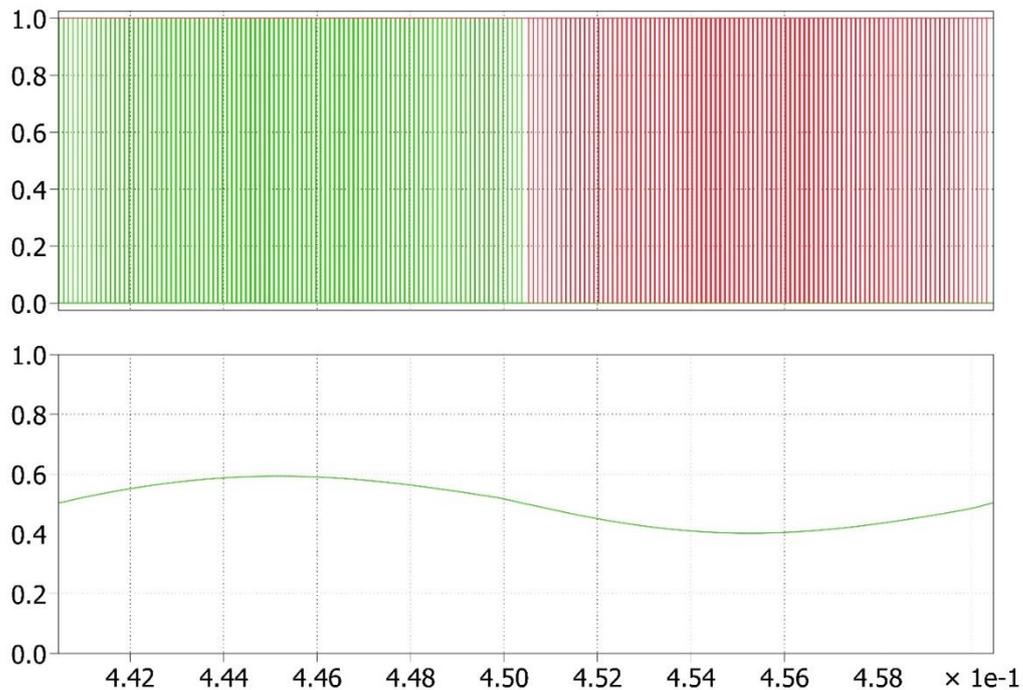


Figura 3.15: Level-Shifted Carriers SPWM: l'onda quadra impulsiva (alto) che determina l'accensione/spegnimenti degli IGBT in un periodo di modulante (sotto).

In dettaglio, in [Figura 3.16], vengono esplicitati gli istanti di accensione e spegnimento degli IGBT: nel semiperiodo in cui la modulante sinusoidale si trova a valori maggiori di 0.5, dall'alto verso il basso, sono rappresentati gli impulsi per la coppia IGBT1 e IGBT4, l'uno complementare all'altro, il segnale costante alto per interruttore 3 e costante basso per il 2. Gli switch che prendono parte al ramo di inverter si trovano sempre in due stati anteposti, in modo tale da non cortocircuitare l'alimentazione. L'inversione della modulante nel secondo semiperiodo determina lo scambio di ruolo dei transistor: l'IGBT4 rimane sempre in conduzione, l'IGBT1 è interdetto e la seconda coppia di interruttori commuta periodicamente.

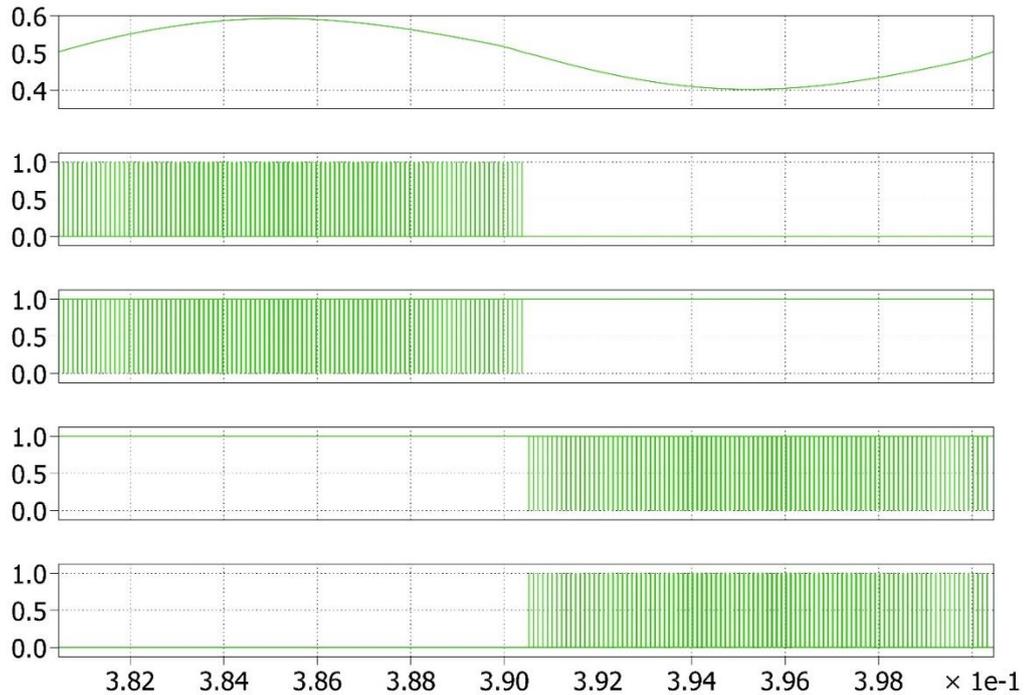


Figura 3.16: Commutazione dei segnali ai *gates* degli interruttori: Dall'alto al basso: modulante, IGBT superiore del ramo di inverter, IGBT esterno del ramo di *clamp*, IGBT interno del ramo di *clamp*, IGBT inferiore del ramo di inverter.

Analogamente a quanto affermato in precedenza, non è possibile creare un percorso conduttivo che corto-circuiti l'alimentazione. Già la tecnica di modulazione non permette lo stato che potrebbe portare al danneggiamento del circuito, ma nella realtà è utile introdurre dei ritardi tra la chiusura e l'apertura di quegli interruttori che concorrono al percorso suddetto.

In [Figura 3.17] si specifica quindi il comportamento dello stato dell'interruttore prima e dopo l'introduzione del tempo morto, il cui valore è nell'ordine dei microsecondi. Generalmente il ritardo introdotto, sfruttando gli interruttori statici IGBT, è $2 \cdot 10^{-6}$ [s], e non deve essere troppo lungo per evitare picchi di perdite anomali, dovuti alle correnti immagazzinate nei componenti.

La forma d'onda superiore rappresenta la commutazione dell'ingresso, mentre in quella inferiore è stato introdotto il tempo per cui risultano in interdizione i transistor. Come espresso in letteratura, il ritardo riguarda esclusivamente l'accensione dell'interruttore, non andando quindi ad alterare l'istante di spegnimento. Si fornisce quindi al dispositivo il tempo necessario per commutare lo stato in tutta sicurezza, ponendo il ramo di inverter in

interdizione. Per maggiore certezza, il tempo morto viene introdotto su tutti gli interruttori dell'*NPC T-Type Inverter*.

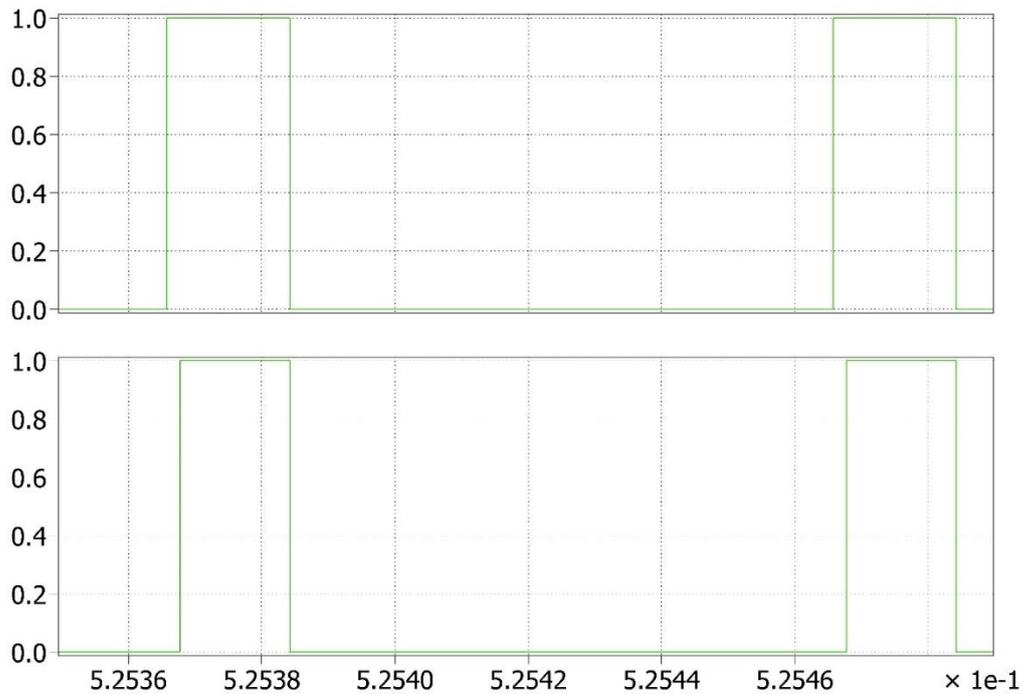


Figura 3.17: Rappresentazione del tempo morto introdotto sull'IGBT1.

Il circuito *single leg* dell'inverter *T-Type* viene simulato in PLECS, andando ad analizzarne le perdite di conduzione, di commutazione e l'efficienza del sistema.

Nella [Figura 3.8] il ramo di inverter e di *clamp* sono volontariamente tenuti alla temperatura costante di 75°C, data dalla differenza con il ground di riferimento. La simulazione dell'ambiente isothermico ha lo scopo di avvicinare il risultato dell'esperienza a quello che dovrebbe produrre l'inverter reale.

La lettura del circuito presentato precedentemente in [Figura 3.8] è abbastanza semplice: da destra, vi è l'alimentazione continua V_{dc1} di 600 [V], ripartita tra i due condensatori del bus DC, CL e CH; tra le capacità è collegato il ramo di *clamp*, definito dalla serie di due IGBT e diodi in antiparallelo, e il ramo di inverter. Lo stato degli interruttori è determinato periodicamente dal sistema a monte del circuito. Infine è presente il carico rappresentante la rete, tipicamente ohmico-induttivo, collegato all'inverter. L'introduzione dell'induttanza rappresenta una soluzione parziale per la riduzione delle distorsioni

armoniche che affliggono la tensione in uscita al convertitore; inoltre rende accettabile il ripple della corrente.

La [Figura 3.18] descrive le perdite in [W] di tutti i componenti dell'NPC *T-Type Inverter*: nel primo grafico vengono rappresentate quelle di conduzione, nel secondo quelle di switching.

Esistono due famiglie che accomunano i componenti con caratteristiche di dissipazione simili tra loro.

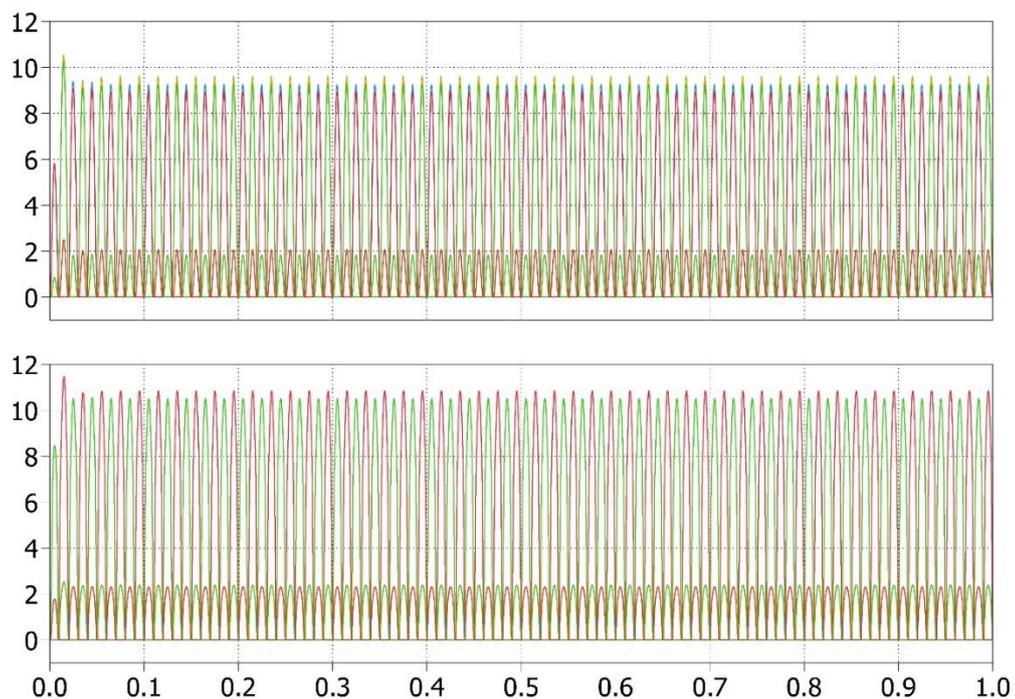


Figura 3.18: Sopra: perdite di conduzione dei 4 IGBT e 4 diodi. Sotto: perdite di switching dei componenti.

In particolare, in [Figura 3.19], alla prima “famiglia” si associano le perdite di conduzione (primo grafico) di valore maggiore prodotte dagli IGBT e diodi del ramo di *clamp*. Questo perché permangono nello stato conduttivo per un tempo maggiore rispetto ai componenti del ramo di inverter. Di conseguenza la seconda “famiglia” è composta dagli interruptori e diodi del ramo di inverter che, avendo la medesima dimensione e ruolo, generano forme d’onda simili quando messi in possibilità di condurre.

Il grafico delle perdite di switching segue la stessa regola, ossia si distinguono due gruppi principali di onde. I componenti del ramo di clamp sono interessati in forma nettamente inferiore da questa tipologia di dissipazione.

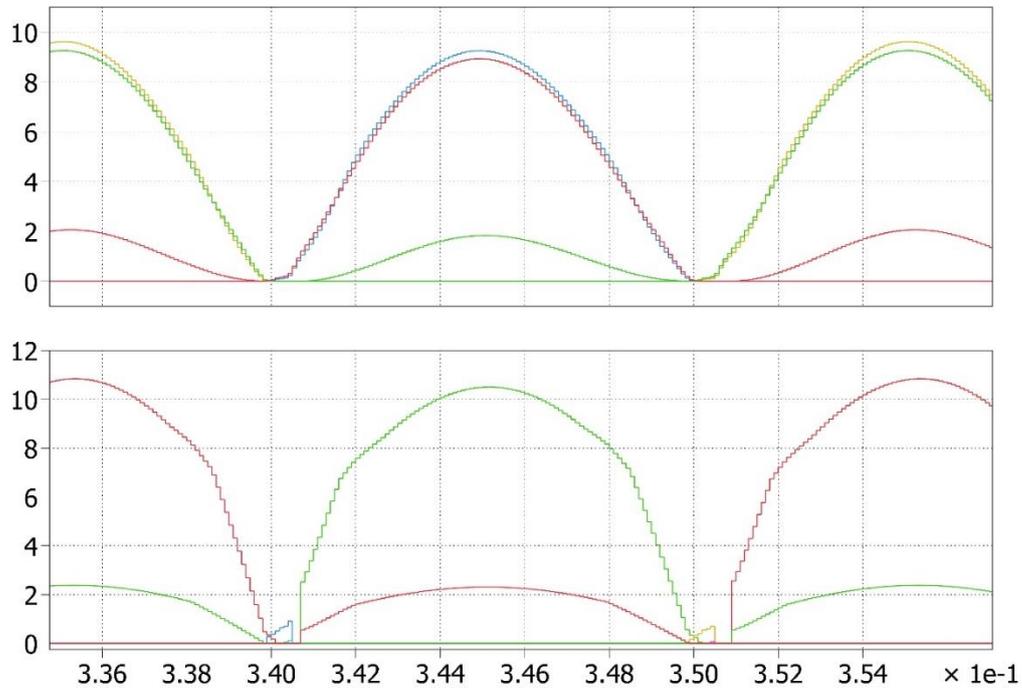


Figura 3.19: Ingrandimento delle perdite totali di conduzione (sopra) e switching (sotto).

Per meglio definire le modalità di funzionamento del ramo di inverter, si fa riferimento alla figura sottostante [Figura 3.20], relativa alle dissipazioni dei due IGBT che ne fanno parte.

Si nota che le perdite di conduzione (grafico superiore) sono visivamente meno importanti rispetto a quelle di switching (grafico inferiore). Essendo dimensionati per poter sostenere l'intera tensione di alimentazione, le perdite sugli interruttori dovute alla conduzione sono comunque presenti, anche se in misura ridotta.

Introducendo il tempo morto, se l'IGBT1 in un certo istante temporale è affetto da perdite, sicuramente non lo è il corrispettivo della parte inferiore, che rimane interdetto per evitare la corto-circuitazione dell'ingresso. La modulazione determina l'accensione e spegnimento dei due transistor analizzati, perciò si dissipa fino quasi 11 [W] a causa della commutazione frequente.

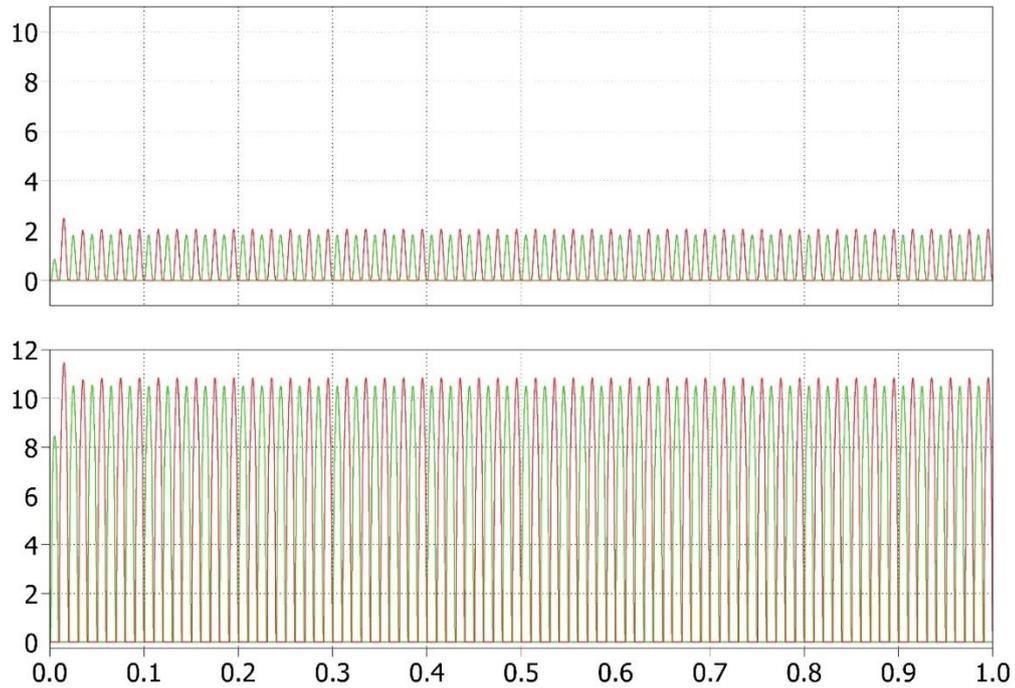


Figura 3.20: Perdite nel ramo di inverter: IGBT1 in verde e IGBT2 in rosso.

Comportamento opposto possiedono invece gli interruttori del ramo di clamp, come descrive la [Figura 3.21]. L'entità delle perdite di conduzione (grafico superiore) degli IGBT 3 e 4 erano già state segnalate nella letteratura. Essendo questi ultimi in conduzione per un intervallo di tempo maggiore e sopportando meno commutazioni rispetto agli IGBT del ramo di inverter, subiscono un differente stress elettrico, che porta le perdite di conduzione a quasi 10 [W]. Dal momento che la dimensione degli interruttori e la densità di corrente circolante su entrambi è la stessa, il valore di potenza dissipata è quasi identico.

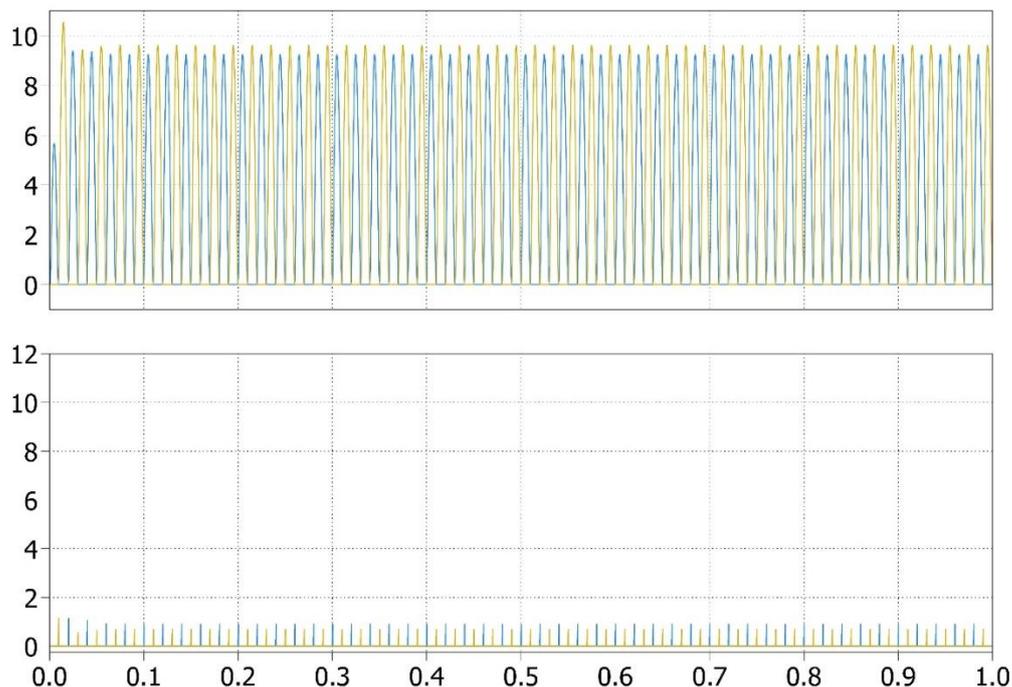


Figura 3.21: Perdite nel ramo di clamp: IGBT3 in blu e IGBT4 in giallo.

In [Figura 3.22] sono messi a confronto gli switch 1 (verde) e 4 (giallo), per verificare sia l'effetto della modulazione che porta in conduzione solo uno dei transistor alla volta, che il valore del tutto dissimile di dissipazione, dovuto al differente sfruttamento del componente.

Stesse considerazioni valgono per le forme d'onda della [Figura 3.23], ma sfasate di metà del periodo di ripetizione rispetto al caso sopra citato. Vengono quindi rappresentate in rosso le dissipazioni dell'IGBT2 e in blu quelle dell'IGBT3. La particolare simmetria presente tra le [Figura 3.22] e [Figura 3.23] è determinata dalla modulazione che prevede la modulante comune e due portanti in fase tra loro.

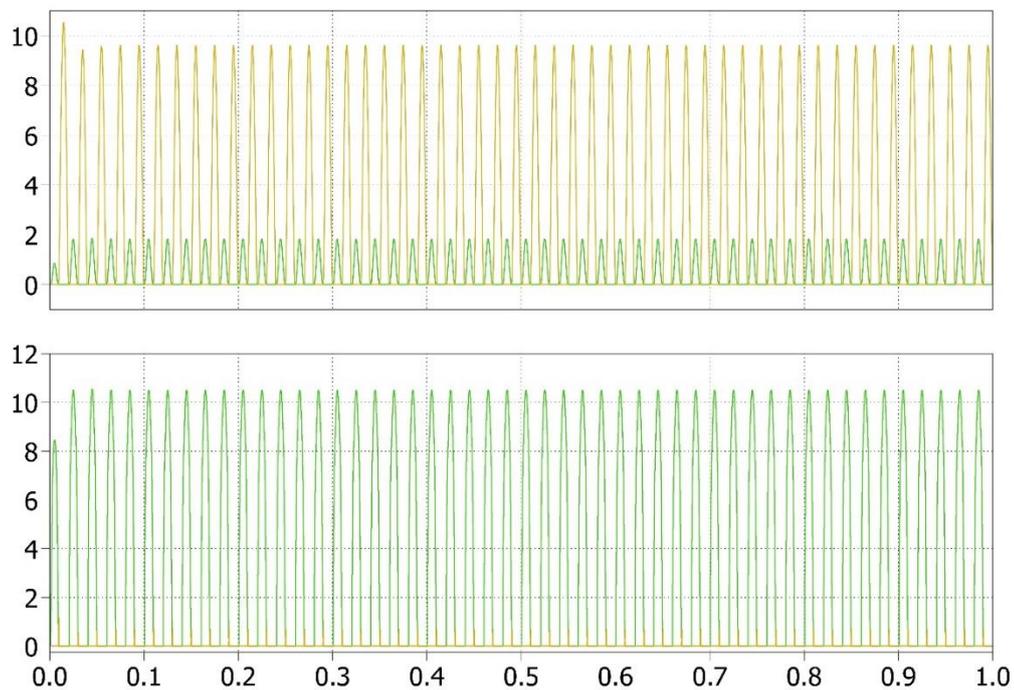


Figura 3.22: Ingrandimento perdite conduzione (sopra) e switching (sotto), degli IGBT1 in verde e IGBT4 in giallo.

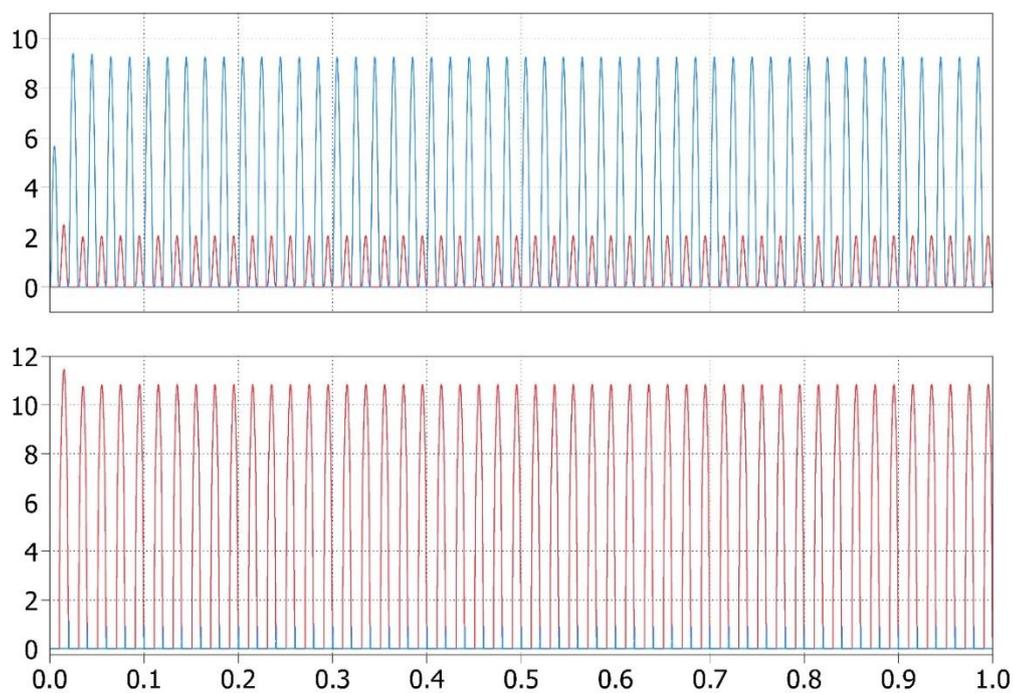


Figura 3.23: Ingrandimento perdite conduzione (sopra) e switching (sotto), degli IGBT2 in rosso e IGBT3 in blu.

È evidente la forte dipendenza dalla quantità di “lavoro” al quale devono sottoporsi i componenti, e quindi dall’appartenenza ad un ramo piuttosto che all’altro.

Un esempio è la [Figura 3.24], in cui le caratteristiche delle perdite di conduzione dello switch 4 (giallo) assomigliano ai valori del proprio diodo in antiparallelo (rosso). Meno conforme è invece la coppia IGBT1 (verde) e diodo 1 (magenta), le cui perdite di quest’ultimo sono nettamente inferiori a qualsiasi altro componente, nell’ordine di 0.02 [W]. Ciò è dovuto, oltre alla posizione nel circuito, anche dalla descrizione termica scelta per il componente.

In fase di realizzazione è sicuramente necessario tenere presente quale parte del circuito è maggiormente stressato e in quale maniera, al fine di evitare un’errata sottostima del lavoro attribuito a ciascun componente, che può portare a problemi di funzionamento.

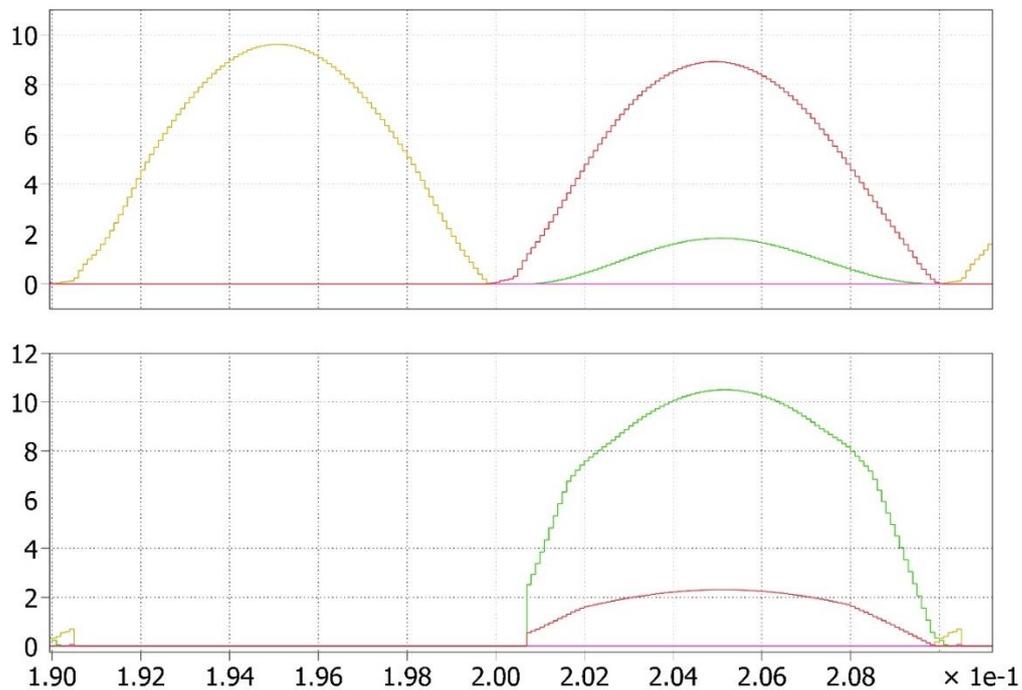


Figura 3.24: Perdite di conduzione e switching: IGBT1 verde, diodo 1 magenta, IGBT4 giallo e diodo 4 rosso.

Di seguito vengono rappresentate le perdite di conduzione e switching relative a tutti e quattro i transistor del *single leg* [Figura 3.26] e dei diodi collegati [Figura 3.27].

In [Figura 3.25] si nota che i diodi appartenenti al ramo in inverter contribuiscono marginalmente alle perdite: essendo tale parte di circuito posto in conduzione con alta

frequenza ma per breve tempo, la dissipazione per conduzione è sicuramente inferiore al valore della potenza per commutazione.

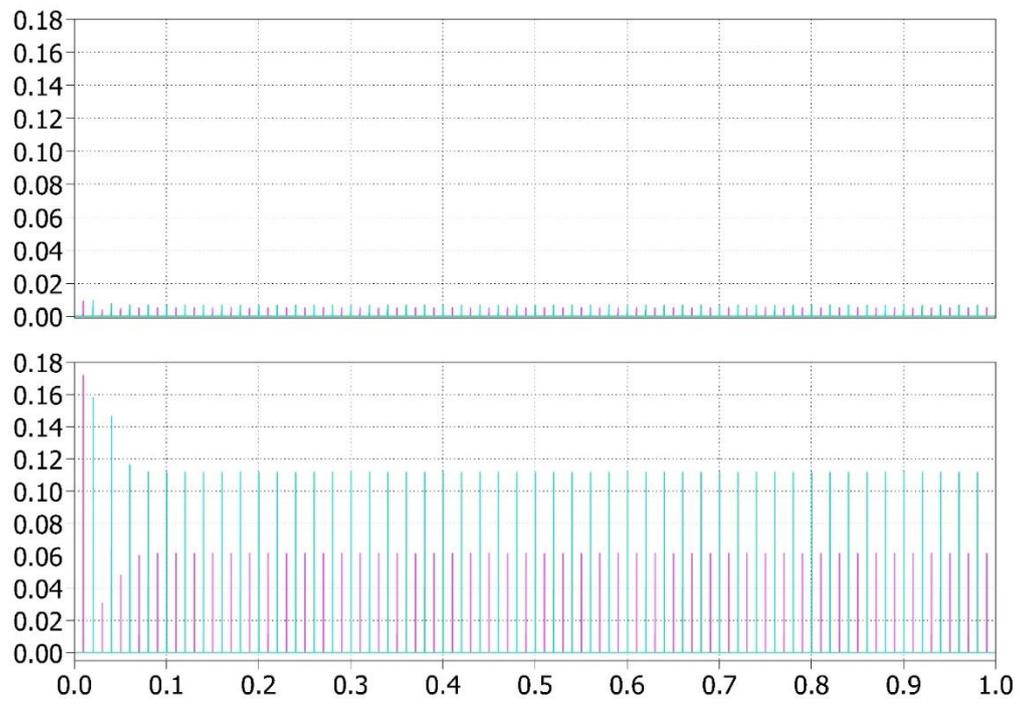


Figura 3.25: Perdite di conduzione e switching: diodo 1 magenta e diodo 2 in azzurro.

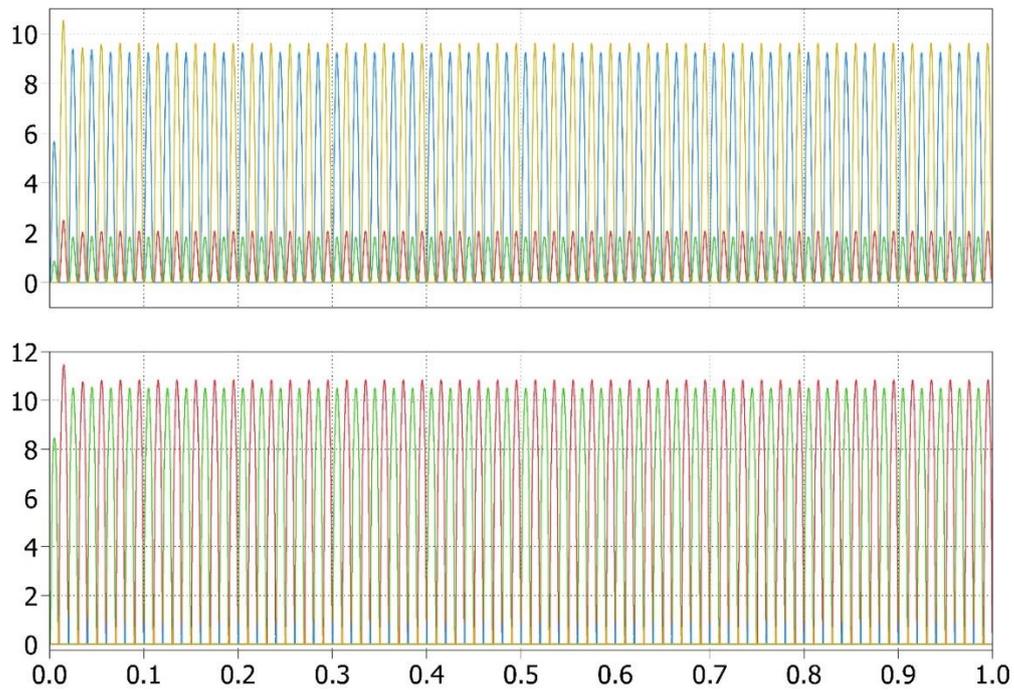


Figura 3.26: Perdite di tutti e quattro gli switch.

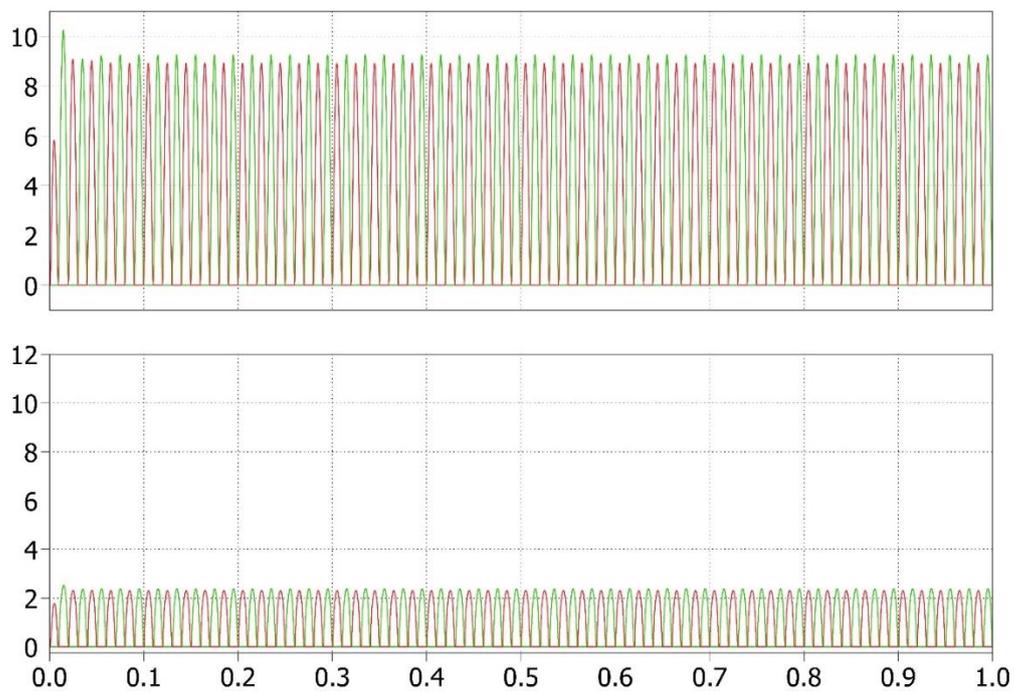


Figura 3.27: Perdite di tutti e quattro i diodi.

Per poter procedere alla realizzazione vera e propria del *T-Type*, sono valutate le perdite complessive al variare della corrente in uscita al circuito. In [Figura 3.28] traspare una differenza non troppo accentuata tra le due forme di dissipazione: mentre la prima sinusoide riflette l'andamento della corrente, i due grafici sottostanti evidenziano che il valore delle *conduction losses* è di circa 20 [W] e quello delle *switching losses* è di quasi la metà, considerando però l'ampiezza ridotta della scala di misurazione. La somma di tutte le perdite, valutata nell'ultimo grafico, risulta poco più di 30 [W].

In generale vale l'approssimazione per cui le perdite di conduzione sono correlate alla corrente che scorre sui componenti, mentre quelle di commutazione hanno forte dipendenza dalla tensione di alimentazione, gravando sul comportamento di carica/scarica delle capacità che, come si vedrà, non si equilibrano perfettamente. La quantità di energia dissipata, che in parte degrada il comportamento dell'inverter, è anche associata alla scelta della descrizione termica attribuita ai componenti e al loro dimensionamento. In questo caso sia gli IGBT che i diodi hanno la medesime caratteristiche.

In fase di realizzazione, dovranno invece essere scelti quei dispositivi le cui peculiarità consentano il massimo sfruttamento della particolare tipologia di inverter, cercando altresì di ridurre al minimo il volume occupato.

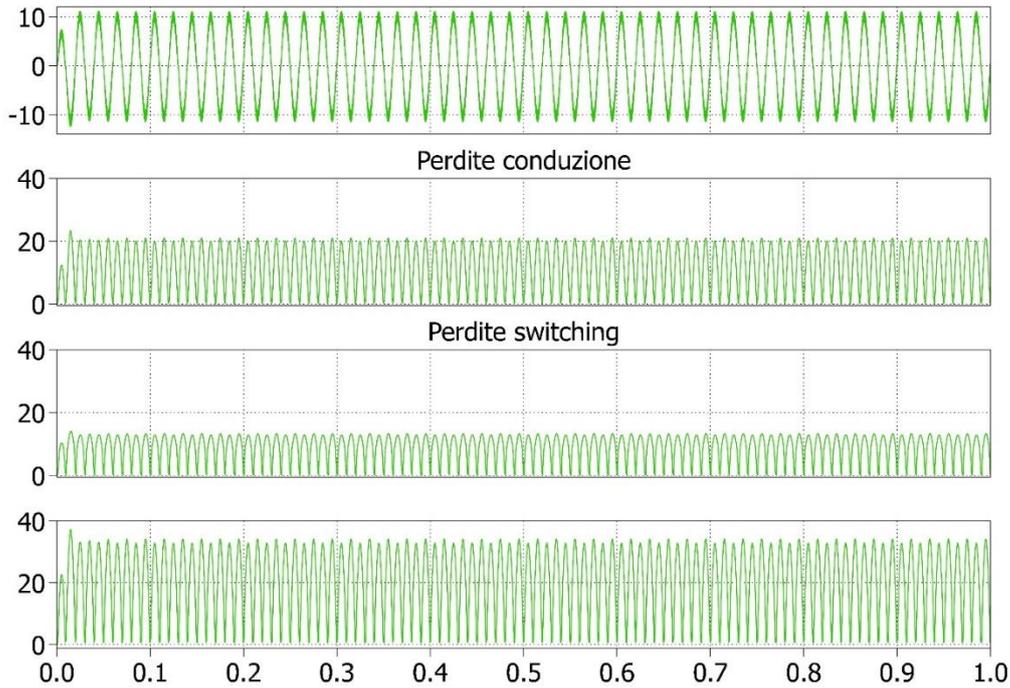


Figura 3.28: Rappresentazione delle perdite dell'inverter al variare della corrente sinusoidale. Dall'alto: corrente in uscita, perdite di conduzione, perdite di switching, perdite totali come somma delle precedenti.

La figura [Figura 3.29] rappresenta solo un confronto tra l'entità di potenza dissipata (grafico superiore) rispetto a quella totale in ingresso al *single leg* (grafico inferiore). La simulazione conferma quanto già descritto in letteratura sull'alta efficienza dell'inverter *T-Type*, che in questo caso raggiunge un valore medio di 0.9149, calcolato come

$$\eta = \frac{P_{Source} - P_{Losses}}{P_{Source}} \quad (\text{Eq. 3.7})$$

L'efficienza, come già descritto nel [Paragrafo 1.2.3], dipende anche dallo sfasamento tra tensione al carico e corrente in uscita dall'inverter, per cui si modella il φ per raggiungere valori adeguati, seconda la

$$\varphi = \arctg \left(\frac{\omega_0 L}{R} \right) = \quad (\text{Eq. 3.8})$$

$$= \arctg \left(\frac{2\pi \cdot 50 \cdot 2 \cdot 10^{-3}}{5} \right) = 0.125$$

$$\cos(\varphi) = 0.9921.$$

In realtà questa figura di merito viene introdotta nel modello a singola fase per completezza, dal momento che il risultato è valutato in presenza di una potenza pulsante che ne può alterare il risultato. L'efficienza nel trifase viene invece presa in considerazione in modo significativo, poiché partecipa alla determinazione della vera e propria realizzazione dell'impianto.

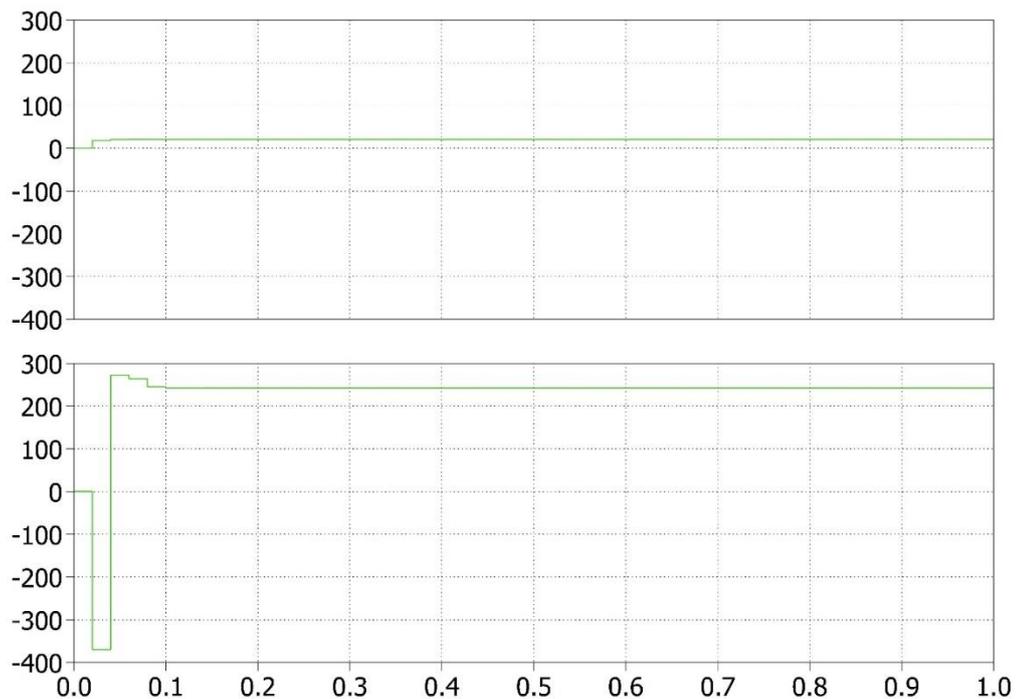


Figura 3.29: Confronto tra le perdite totali e la potenza in ingresso all'inverter.

Definito anche il circuito e le non linearità che lo caratterizzano, viene infine generata la forma d'onda a tre livelli della tensione di uscita dell'*NPC T-Type* [Figura 3.30]. La tensione oscilla periodicamente tra 600 [V], circa 300 [V] e 0 [V]; non viene quindi mai prodotto un valore negativo. Il livello intermedio di tensione non è costante o esattamente pari alla metà della tensione di alimentazione. Le cause sono molteplici: in primo luogo

portano a questo risultato le cadute sui componenti non ideali, e i tempi morti, quindi in generale le non linearità. Secondo l'equazione sottostante, anche la corrente i in ingresso e le capacità C , definiscono il valore perturbato del livello intermedio di tensione.

$$i = C \cdot \frac{dv}{dt} \rightarrow \frac{dv}{dt} = \frac{i}{C} \quad (\text{Eq. 3.9})$$

In questo caso, per ridurre il margine di tensione è necessario alimentare il sistema con correnti piccole, ma che permettano il funzionamento dell'inverter, o introdurre delle grandi capacità, che non incrementino però l'entità delle non linearità. Non esistono quindi gradi di libertà, ed è necessario raggiungere il valore di *trade-off* tra la corrente e i condensatori che minimizzi la derivata sulla tensione.

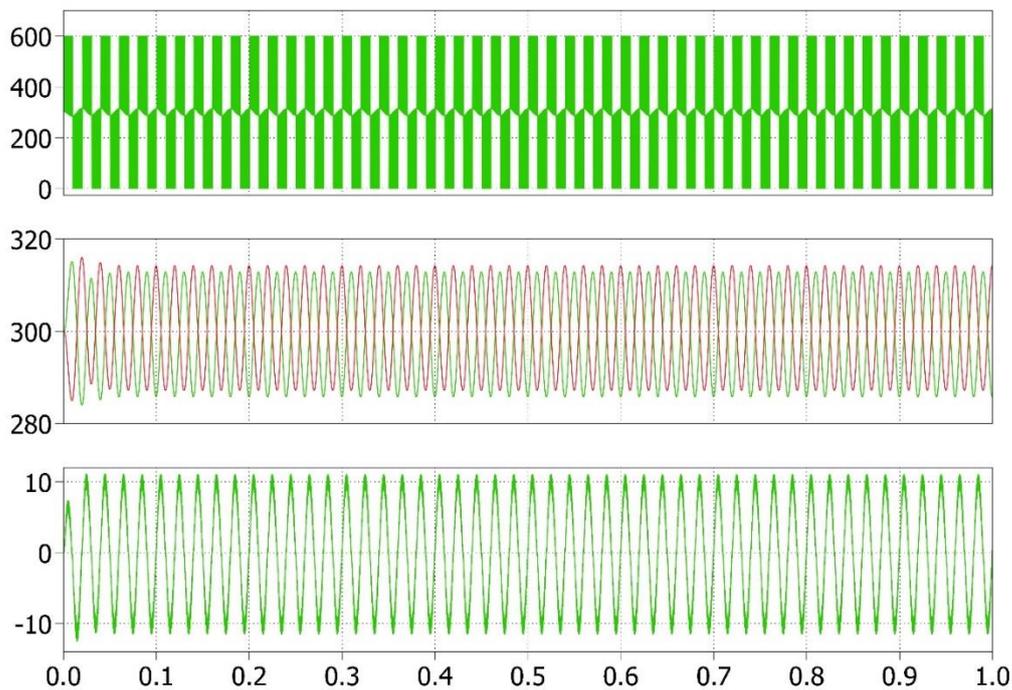


Figura 3.30: Tre livelli di tensione in uscita ben distinti. Carica e scarica dei condensatori del bus DC. Corrente in uscita tendente alla sinusoidale.

Le commutazioni ripetute periodicamente degli stati degli switch, ingrandimento in [Figura 3.31], si riflettono sulla mancata equilibratura delle capacità che non raggiungono lo stesso

valore picco-picco, per cui nella realizzazione è necessario un circuito che le renda ancora più simmetriche. In rosso è rappresentato il potenziale ai capi del condensatore in basso del bus DC, e in verde quello in alto. Dal momento che il pin inferiore del C_L e il pin superiore del C_H sono collegati all'alimentazione, la tensione in quei punti è definita univocamente; il ragionamento perde di valenza nel punto centrale del bus DC, il cui valore dipende anche dalla tecnica di modulazione implementata.

Osservando con maggior dettaglio l'uscita del sistema, si nota che il ripple della corrente è alquanto contenuto; tuttavia trova la massima ampiezza nella fase in cui il pin in comune dei condensatori è a 300 [V], ossia uno dei due si sta caricando positivamente e il restante negativamente. Se le capacità fossero troppo grandi, nell'intervallo in cui si passa dalla carica alla scarica di una di esse (e viceversa), la corrente sarebbe molto meno sinusoidale, distorcendo quindi la tensione della rete. Per limitare il ripple della corrente, è opportuno scegliere un appropriato valore delle capacità. A tal fine è possibile aumentare la frequenza di commutazione o l'induttanza di carico, facendo attenzione che alte L possono interferire sulla tensione di uscita all'inverter, non percependo una distinzione dei livelli, a causa del disequilibrio delle capacità.

Si ha l'inversione della corrente in concomitanza con l'istante in cui la tensione in uscita all'inverter passa per il livello intermedio, confermando la loro reciproca dipendenza, dovuto all'introduzione del tempo morto. Quest'ultimo infatti provoca il cambio di pendenza della corrente, e generazione di armoniche di grado superiore a quella fondamentale.

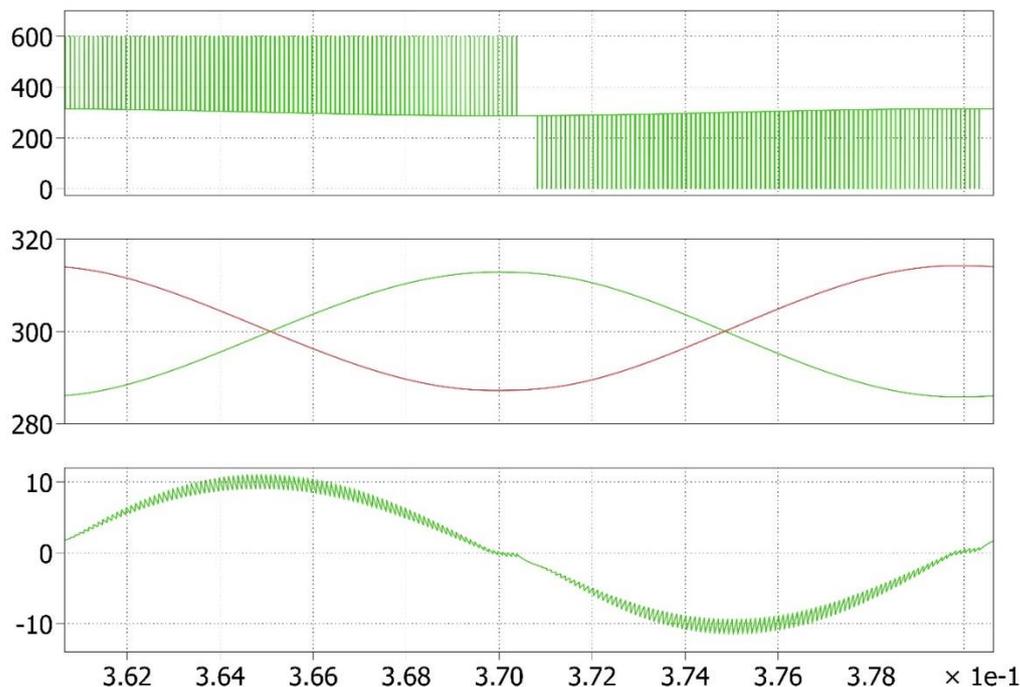


Figura 3.31: Ingrandimento delle forme d'onda delle uscite all'inverter a tre livelli.

3.4.2. Alimentazione a Tensione Costante e Gradini di Corrente

Il sistema di conversione è ora sollecitato da gradini di corrente, che consentono di analizzare la velocità della risposta all'uscita. Nella realtà, la stringa fotovoltaica a monte dell'impianto sarebbe esposta alla luce solare, la cui intensità varierebbe nell'arco della giornata, gravando quindi sull'entità della generazione di corrente fruita al circuito a valle. La variazione solitamente non è brusca, ma risulta comunque interessante rappresentarla a gradini per meglio definire ogni aspetto del sistema.

Come da [Figura 3.32], il PI-risonante cerca di minimizzare l'errore in corrente, inseguendone la variazione introdotta. Per ovvie ragioni, un incremento della corrente, generata dall'effetto fotovoltaico, porta all'innalzamento di tutti i parametri dalla quale dipendono, e di conseguenza anche ad un errore più alto. Gli *spike* che si ripetono periodicamente, sono dovuti all'istante in cui la corrente cambia valore: si passa infatti da 10 [A] a 40 [A], corrente massima sopportata dagli IGBT scelti, con gradini di 10 [A] ogni 0.1 secondi. Infatti, in questo caso, ogni 0.4 [s] simulati, si ripete il comportamento dell'onda. I *notch* negativi rappresentano il calo repentino di corrente in ingresso al sistema, passando da 40 [A] a 10 [A]. In generale, il valore medio dell'errore commesso dal regolatore PI-risonante, rimane contenuto.

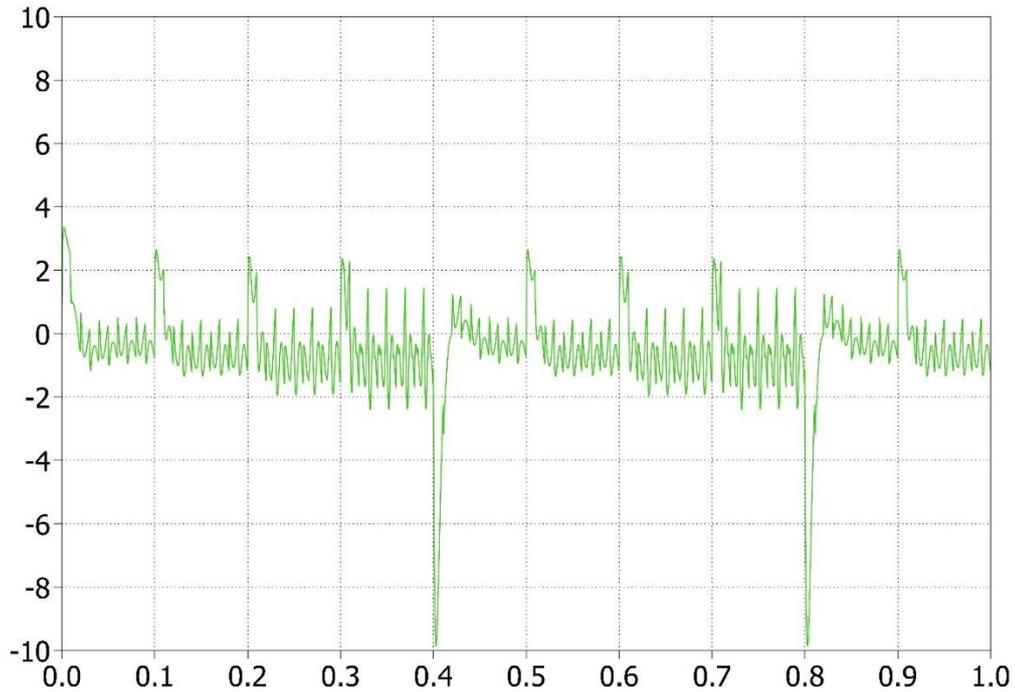


Figura 3.32: Errore commesso rispetto alla corrente di riferimento a gradino.

In [Figura 3.33] viene confrontata la perdita totale dovuta a dissipazione di potenza sui componenti (in alto) con la potenza di sorgente (in basso). I gradini di corrente provocano la corrispondente variazione della *source power*, secondo la $P = V \cdot I$, ma anche un incremento delle perdite di conduzione e commutazione di circa un fattore moltiplicativo pari a 10. Essendoci però una diretta dipendenza, l'efficienza subisce una variazione positiva, [Figura 3.34] in basso, il cui valore medio si aggira intorno a 0.9561. L'incremento è da attribuire anche al migliore sfruttamento delle caratteristiche dei componenti, dato soprattutto dal raggiungimento del terzo e quarto gradino di corrente, come si può notare dalla seguente figura.

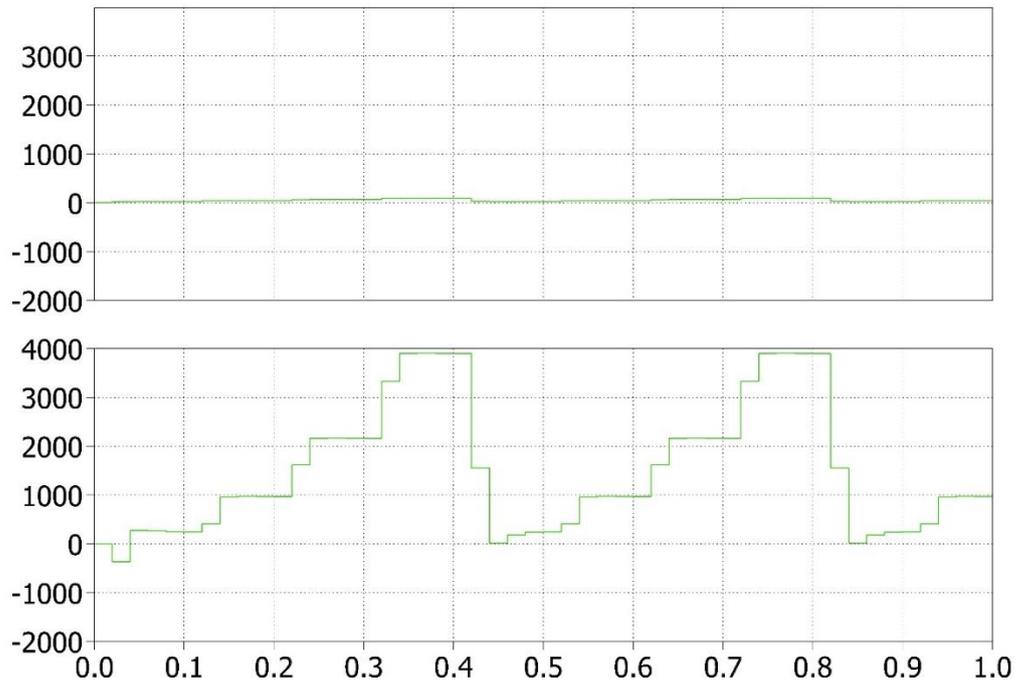


Figura 3.33: In alto le perdite per dissipazione di potenza, in basso la *source power*.

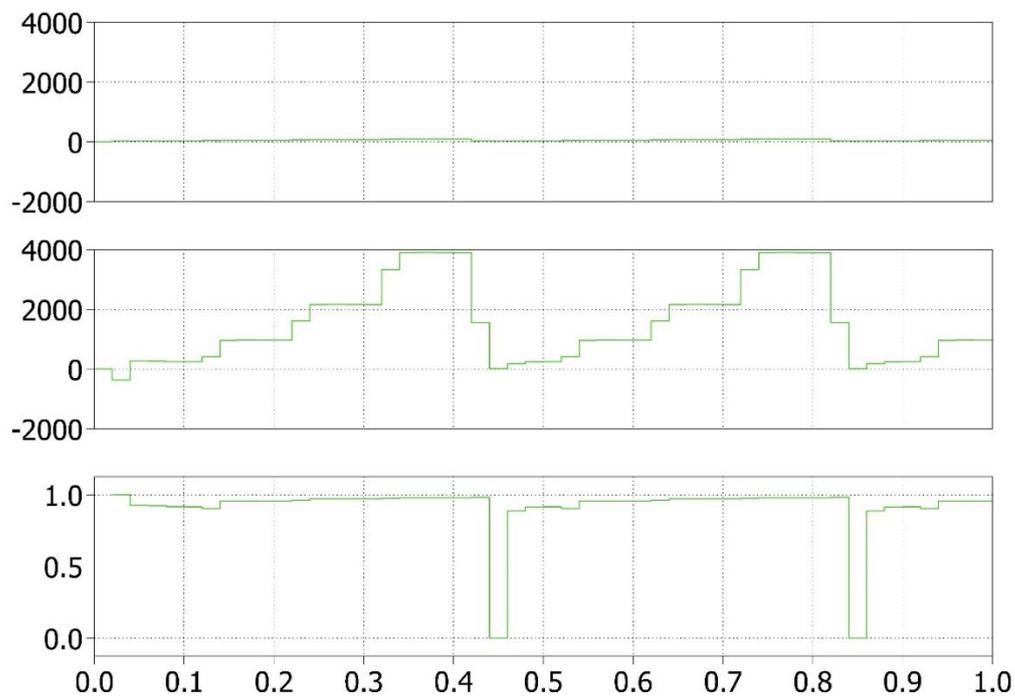


Figura 3.34: Dall'alto, la somma delle perdite medie sull'inverter al variare della potenza in ingresso. In basso, l'efficienza del *T-Type Inverter*.

I livelli della tensione di uscita al *T-Type* non subiscono forti variazioni, come illustrato nella forma d'onda in alto di [Figura 3.35], a dimostrazione della robustezza della tipologia di inverter scelta.

Buoni risultati si hanno anche sulle tensioni ai capi delle capacità, rimanendo comunque in leggero disequilibrio, ma non causando la generazione apprezzabile di non linearità.

La corrente in uscita presenta una piccola variazione, poco percepibile se non cambiando scala di misura, dell'altezza del ripple, conseguente all'introduzione dei gradini in ingresso.

Concludendo, la simulazione porta in risalto la robustezza e l'affidabilità dell'inverter, in una diversa ed estrema situazione in cui si può trovare il sistema a monte.

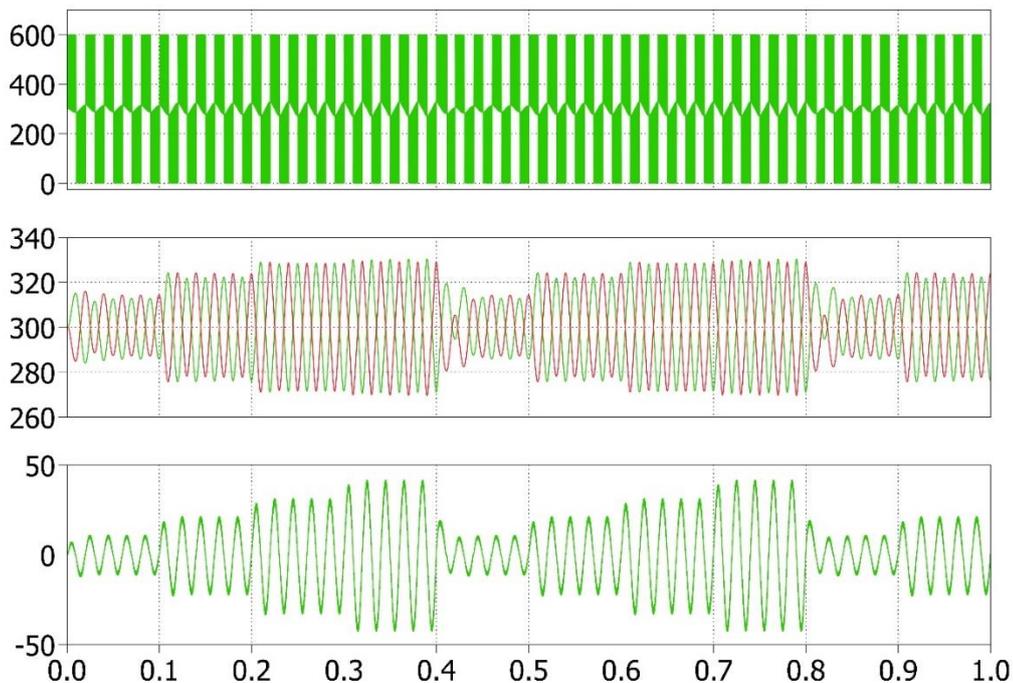


Figura 3.35: Output dell'inverter. Dall'alto: i tre livelli di tensione, la variazione dei potenziali ai capi delle capacità del bus DC, la corrente.

3.4.3. Riduzione delle Armoniche in Corrente

L'ultima simulazione dell'inverter in configurazione *single leg* prevede il ridimensionamento dell'ampiezza delle armoniche di ordine maggiore alla fondamentale, ottenuto inserendo in cascata regolatori risonanti alle frequenze desiderate. Caratteristica principale di questa tecnica, è che non introduce effetti alla dinamica e al comportamento

fondamentale del PI-risonante, in quanto compensa solo le armoniche molto vicine alla frequenza di risonanza designata. In [Figura 3.36] rappresenta come sono stati implementati i regolatori risonanti: a numeratore si impiega lo stesso K_i per l'ordine dell'armonica definita a denominatore.

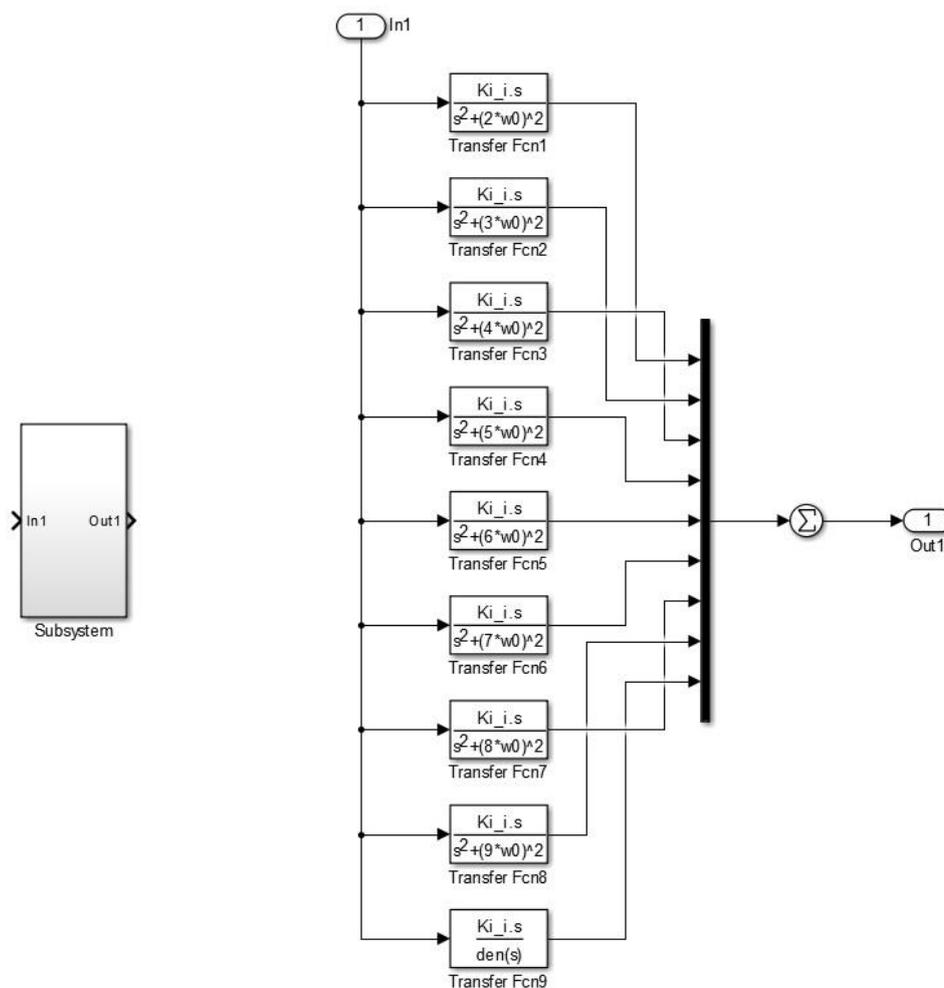


Figura 3.36: A sinistra il blocco implementato nel sistema di regolazione-conversione. A destra le funzioni di trasferimento all'interno del blocco stesso, risonanti fino alla decima armonica.

Il riscontro positivo si ha sull'errore in corrente rispetto al riferimento del lato rete, [Figura 3.37]. Se si confrontano le ampiezze delle onde di [Figura 3.9] rispetto a quella sottostante, si nota una netta riduzione, che in questo caso va da -0.78 [A] a +0.16 [A]. L'ordine di grandezza dell'errore può essere ulteriormente ridotto introducendo regolatori risonanti fino all'armonica desiderata, anche se dopo circa il ventesimo grado le componenti sono

trascurabili e lontane dalla fondamentale, per cui la complessità procurata dal numero di regolatori sovrasta i benefici che essi apportano.

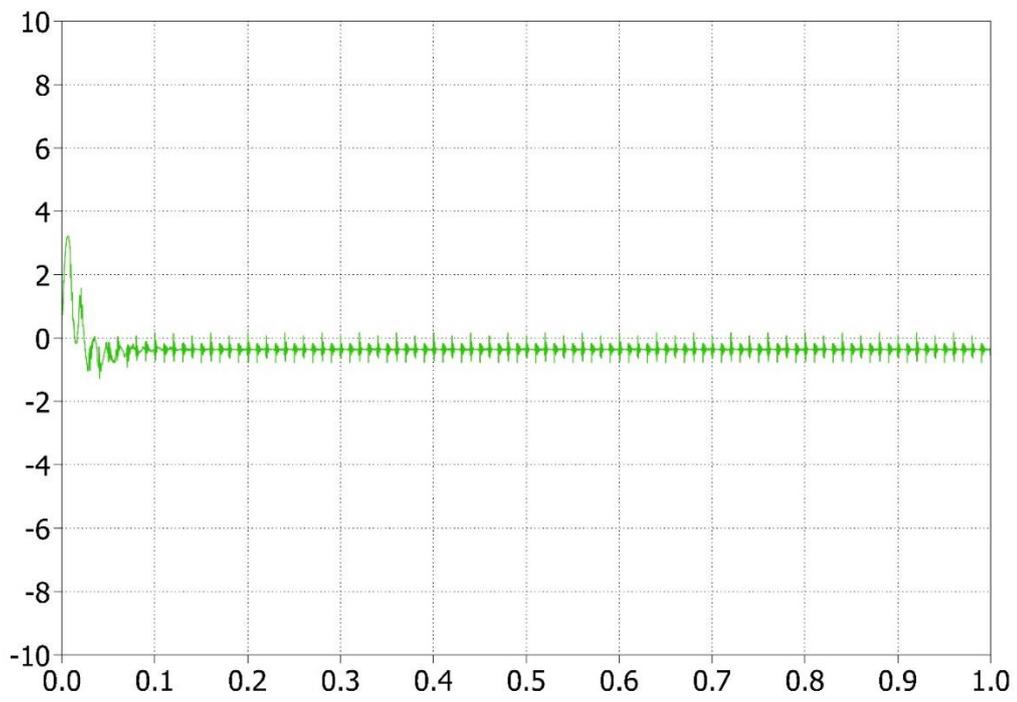


Figura 3.37: Forma d'onda rappresentante il segnale errore con l'introduzione dei regolatori risonanti; ascissa: tempo in [s], ordinata: corrente in [A].

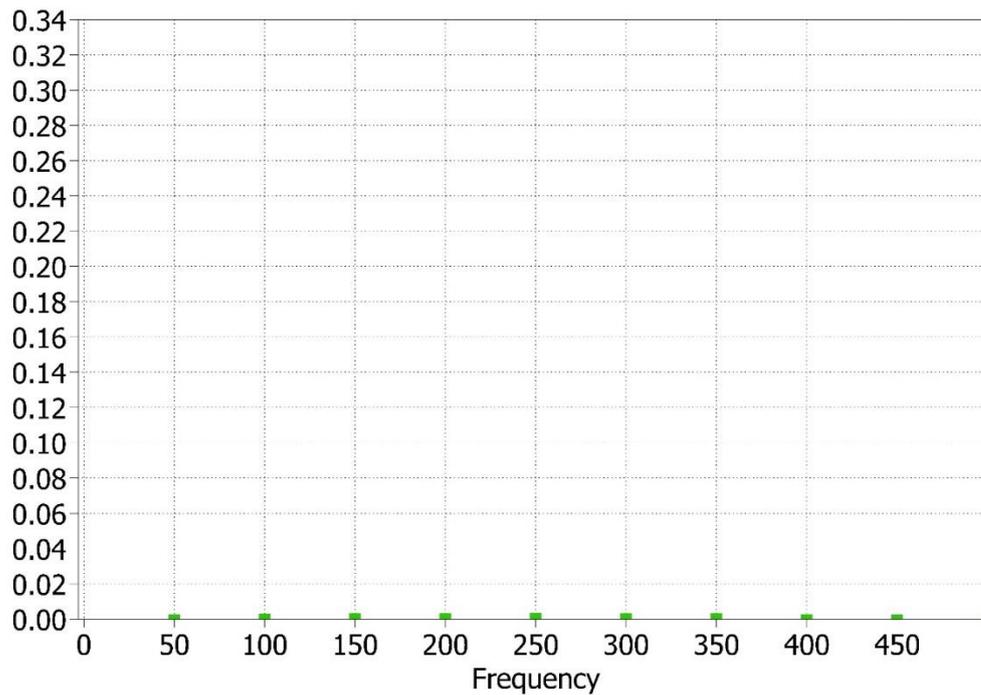


Figura 3.38: Componenti frequenziali nel dominio di Fourier. Riduzione del contributo armonico fino alla decima armonica.

3.5. SIMULAZIONE TRIFASE

Analogamente al caso *single leg*, anche l'*NPC T-Type Inverter* trifase è soggetto alle stesse due tipologie di correnti fotogenerate dal modulo fotovoltaico a monte dell'impianto. Rimane inalterata la scelta di componenti dell'inverter stesso [Appendice A], ed anche l'entità delle tensioni e correnti simulate in ingresso al sistema, per poter paragonare la risposta del caso *single leg* al trifase.

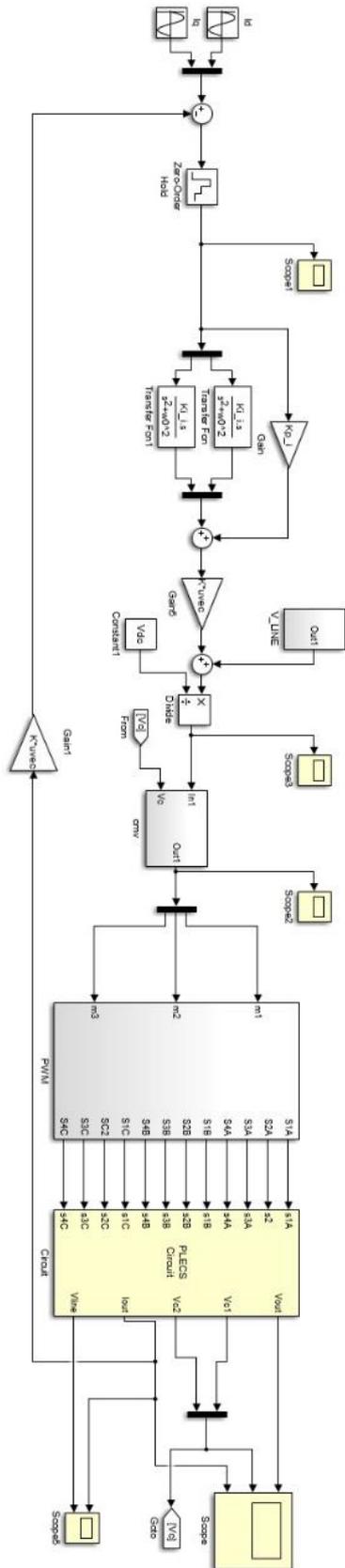


Figura 3.39: Sistema di controllo dell'NPC T-Type. Dall'alto: regolatore PI-risonante, funzione CMV, modulazione Level - Shifted Carriers SPWM, inverter trifase.

3.5.1. Alimentazione a Tensione Costante e Corrente Sinusoidale

Per quanto riguarda il regolatore PI-risonante, si crea uno schema del tutto simile al caso *single leg*, il cui obiettivo è quello di minimizzare l'errore calcolato come differenza tra la corrente di riferimento e quelle di linea del *T-Type*. In [Figura 3.39] è descritto il regolatore, con guadagno proporzionale K_p e guadagno integrale K_i , le cui grandezze sono modificate rispetto alla precedente simulazione per adattarsi alla nuova configurazione. La forma d'onda dell'errore centrata sullo zero, [Figura 3.40], decresce man mano che il sistema va a regime, sino ad un minimo valore picco-picco di 0.08 [A]. Rispetto al caso con una sola fase, è già evidente una maggiore stabilità.

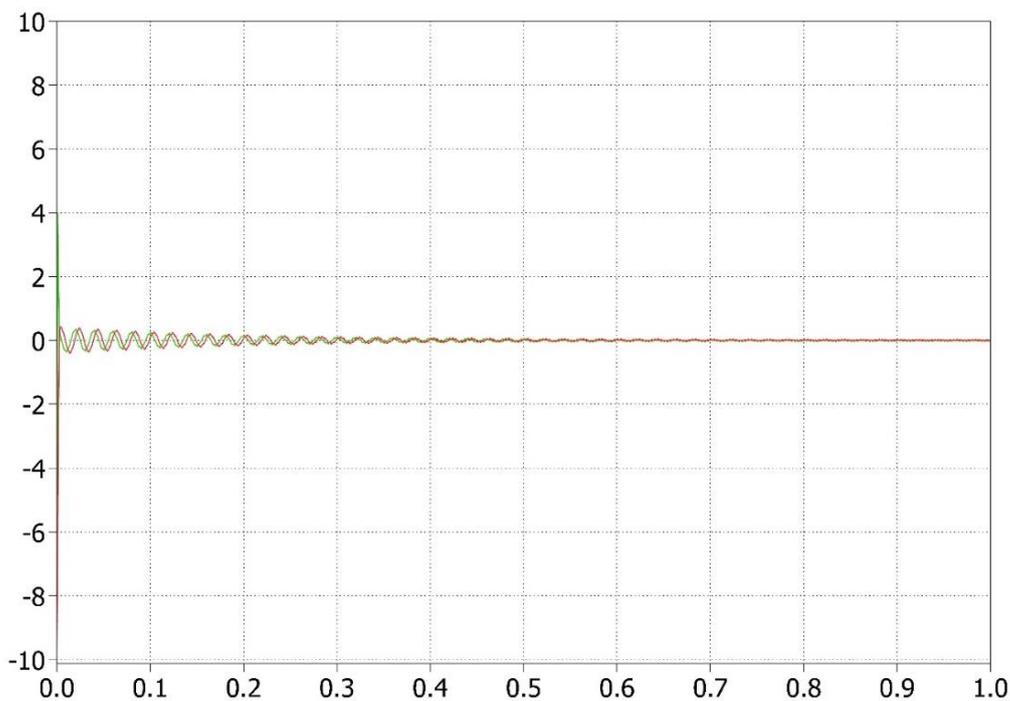


Figura 3.40: Errore in corrente definito dalla differenza tra le correnti in ingresso al sistema e quella in uscita dall'inverter trifase.

Al segnale in ingresso modellato col PI-risonante, vengono sommate le tensioni di fase del trifase che, in presenza di sistema simmetrico e carico equilibrato ossia tensioni sfasate di 120° tra loro e stessa impedenza in uscita, valgono ognuna

$$E = \frac{V}{\sqrt{3}} \quad (\text{Eq. 3.10})$$

dove E si riferisce alla tensione di fase ai capi dei carichi ohmico-induttivi mentre V a quella concatenata tra le fasi.

Dividendo per la tensione continua di alimentazione, ed implementando la *CMV Function*, si ottengono le tre modulanti della *Level-Shift Carriers SPWM* che controllano lo stato dell'inverter. L'ausilio del blocco *Saturation* aggiunto all'interno dello schema PWM, appartenente alla libreria di SIMULINK, definisce in generale il limite minimo e massimo di un segnale e permette così la corretta modulazione degli interruttori.

Ai fini di rendere chiaro il controllo sull'inverter trifase, data l'elevata frequenza delle portanti, viene proposto un ingrandimento delle forme d'onda rappresentanti la tecnica di modulazione implementata [Figura 3.41]. Ritratte in giallo e magenta si identificano le portanti, in fase tra loro, come per lo schema a singola fase. Le linee in verde, blu e rosso sono le tre modulanti, ognuna confrontata con le portanti. Il controllo avviene in modo identico per ogni fase ed il segnale all'ingresso del *gate* di un particolare interruttore statico è sfasato di 120° rispetto a quello dello stesso IGBT appartenente ad un'altra fase.

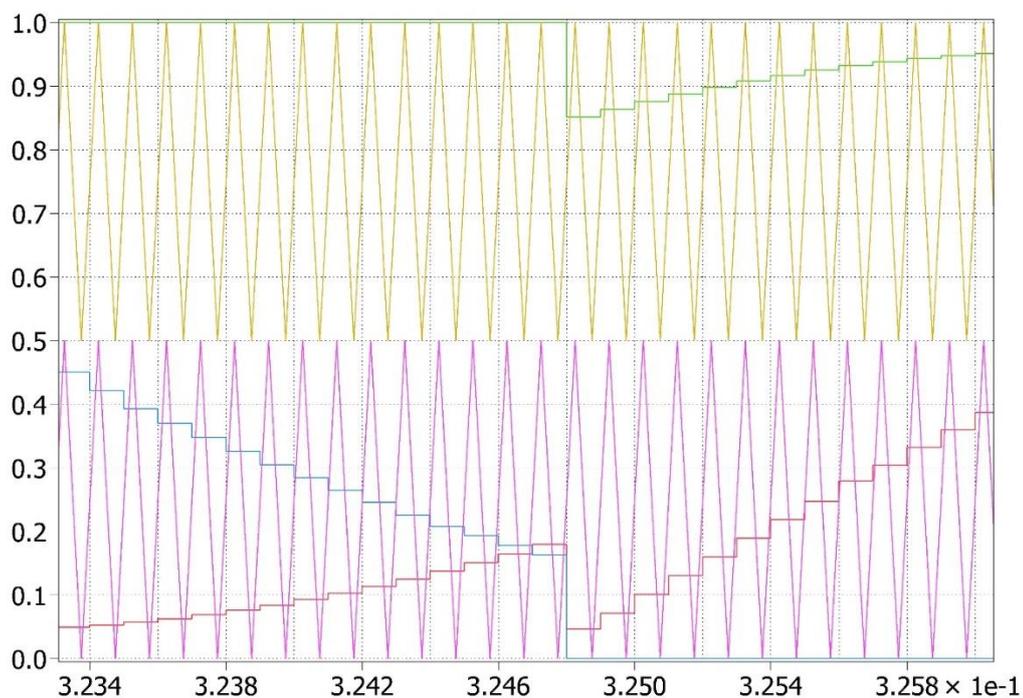


Figura 3.41: Ingrandimento delle forme d'onda descrittive la modulazione *Level-Shifted Carriers SPWM*. In giallo e magenta le due portanti in fase; in verde, blu e rosso le tre modulanti sfasate di 120° .

Si considera ora, per semplicità, una delle tre fasi che compongono l'inverter *T-Type*. In alto alla [Figura 3.42] si trova in verde la modulante, la cui forma si avvicina a quella di una sinusoide distorta. Il discostamento dalla sinusoidalità si imputa in parte al regolatore PI-risonante, che non compensa le non linearità dei tempi morti e delle cadute di tensione ai capi dei componenti. Il semiperiodo che comprende valori maggiori di 0.5 è simmetrico al semiperiodo al di sotto di tale soglia, perciò il valore medio coincide dunque con 0.5.

Come per la modulazione realizzata sul *single leg*, l'onda compresa tra 0.5 e 1, che rappresenta la prima portante, controlla l'IGBT alto del ramo di inverter e quello esterno del ramo di clamp collegato direttamente al punto medio del bus DC. Il segnale triangolare blu è abbinato ai restanti IGBT della fase analizzata.

La numerazione dei componenti segue quella della simulazione precedente a singola fase. La modulante è quindi confrontata con le due portanti: se questa è maggiore della portante rossa, viene acceso l'interruttore statico 1 e l'altro si trova in interdizione; altrimenti l'IGBT alto del ramo di inverter è spento e il 4 è in conduzione, se attraversato da corrente. Quando la modulante passa nel semiperiodo al di sotto di 0.5, il suo valore diviene sempre inferiore alla portante rossa, perciò lo switch esterno del ramo di clamp rimane acceso. Se si prende come riferimento il segnale colorato in blu, quando la modulante verde è maggiore della portante si attiva l'IGBT interno del ramo di clamp, altrimenti questo permane nell'interdizione. Lo stato dell'interruttore statico basso del ramo di inverter è complementare al quello dell'IGBT3.

Il ragionamento viene ripetuto per le restanti fasi in modo del tutto analogo, perciò anche l'analisi sulle perdite di conduzione e switching imputate ai componenti è la medesima.

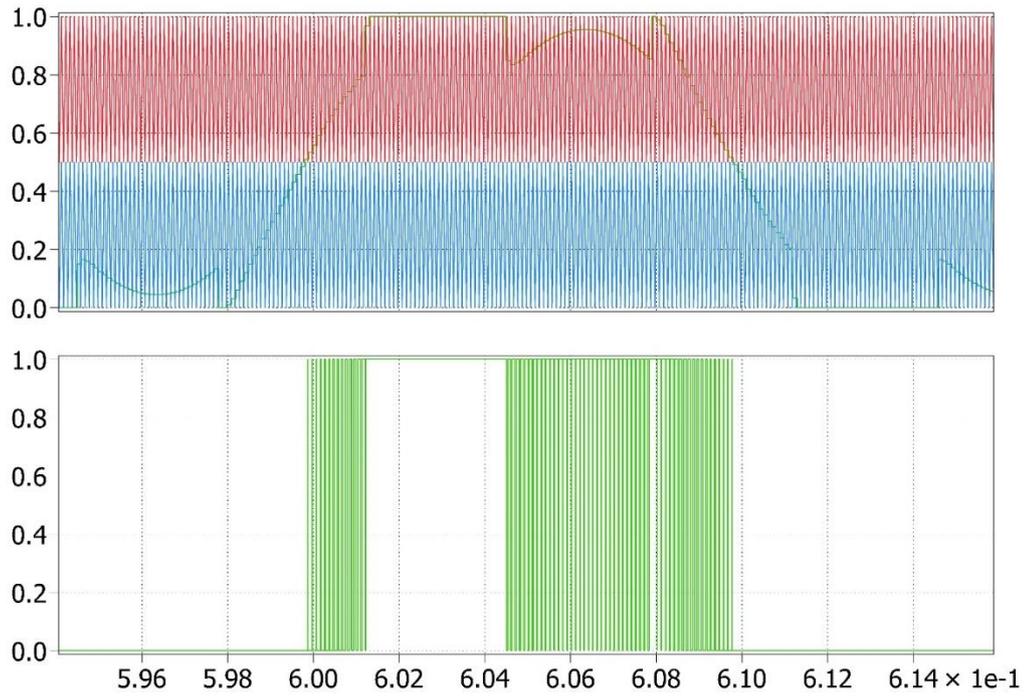


Figura 3.42: In alto, la modulazione effettuata su una fase. In basso il segnale conseguente alla modulazione, che controlla la stessa fase.

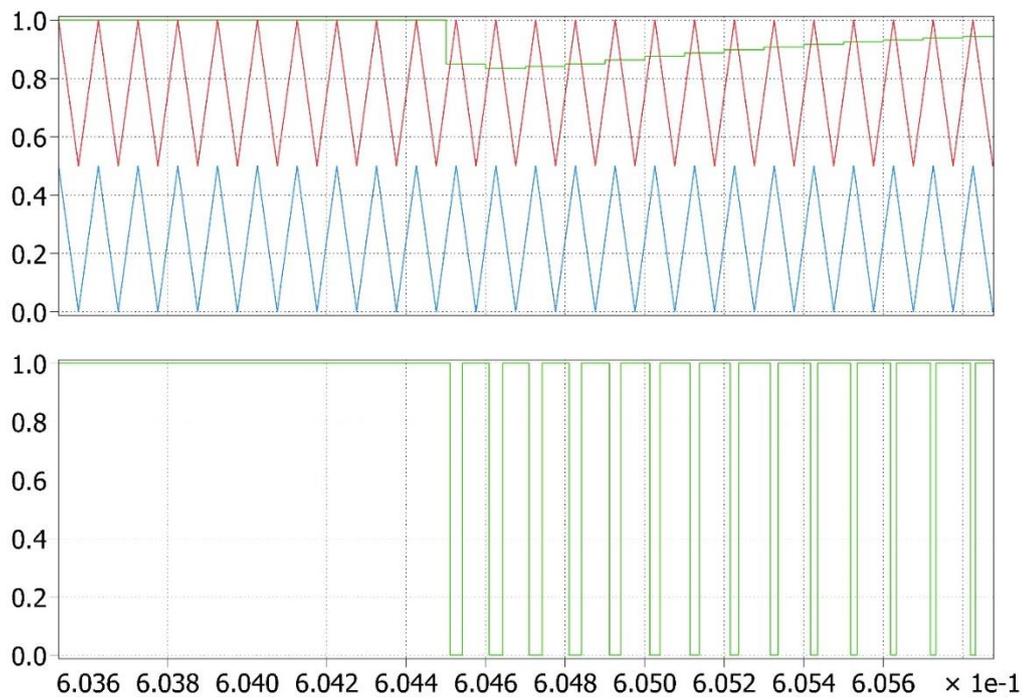


Figura 3.43: Ingrandimento della modulazione effettuata su di un fase e la conseguente funzione di commutazione.

La modulazione controlla gli interruttori statici dell'inverter trifase, di seguito realizzato in PLECS.

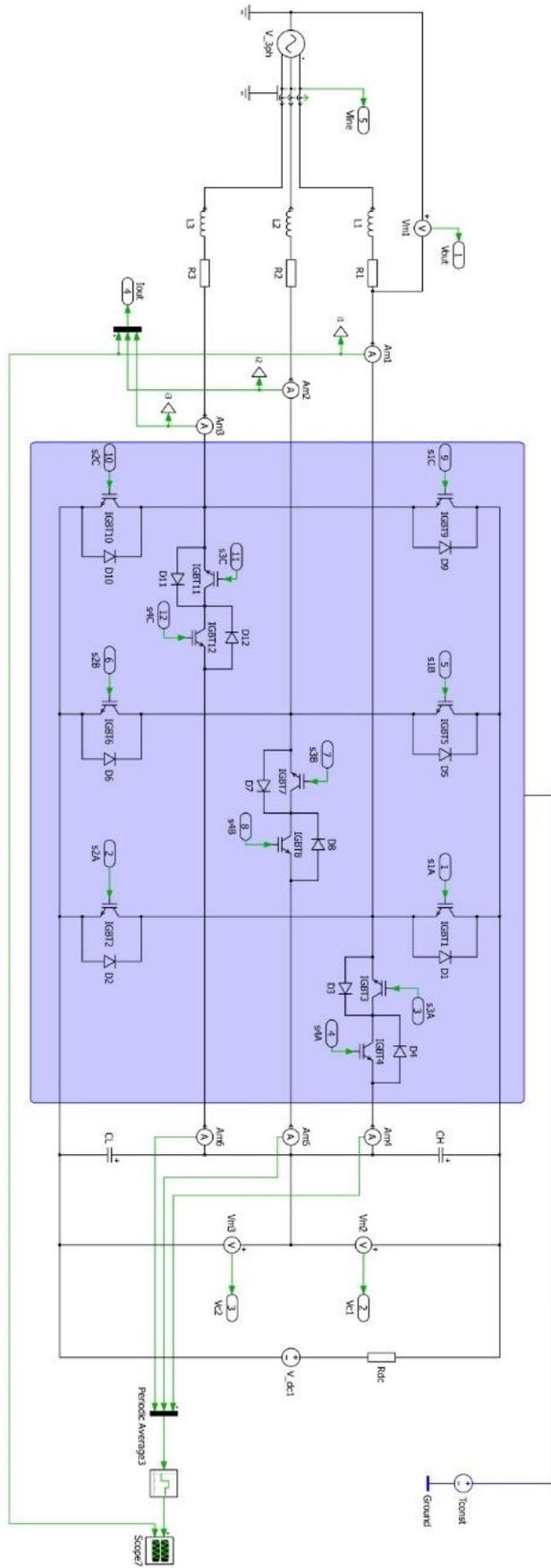


Figura 3.44: Circuito NPC T-Type Inverter trifase progettato in PLECS.

Per progettare il trifase si collegano a nodo comune tutti gli interruttori della parte alta del ramo di inverter; così anche i restanti IGBT di tale ramo e gli interruttori di clamp esterni. I carichi possono essere collegati a triangolo, o a stella come in questo caso. La configurazione a stella permette un miglior controllo della simmetria delle correnti di fase, che coincidono con quelle di linea. Tramite il *Voltage Source (3 phase)*, reso disponibile dalla libreria di PLECS, è possibile simulare la rete trifase di distribuzione al quale l'inverter viene connesso. La tensione di uscita corrisponde a quella di fase, ed è perciò misurata tra il polo e il *ground*.

La singola fase dell'*NPC T-Type Inverter* consente di raggiungere tre livelli di tensione di uscita, identicamente al *single leg*, pertanto il numero di livelli della tensione di fase dalla (Eq. 1.14), è pari a 9. Anticipato in letteratura, i condensatori del bus DC del trifase non variano numericamente rispetto al *single leg*, consentendo di risparmiare sul volume del dispositivo che si vuole realizzare, mentre triplicano i componenti che costituiscono l'inverter, compreso il numero di induttanze e resistenze del carico.

Le singole fasi sono identificate dalle lettere maiuscole A, B, C e per ognuna di esse viene misurata la corrente tramite amperometri. Sono inoltre introdotti strumenti di misurazione per le correnti dei tre rami di clamp, e voltmetri ai capi delle capacità del bus DC. Di seguito vengono visualizzate le forme d'onda prodotte dal circuito, nelle condizioni citate, utilizzando sempre lo strumento *Heat Sink* per quantificarne l'energia dispersa.

Le perdite di conduzione e commutazione riferite agli IGBT e diodi hanno andamento molto simile al caso *single leg*, dal momento che i componenti delle tre fasi subiscono un identico stress elettrico. Sugli interruttori e diodi di *clamp* la potenza dissipata per conduzione è abbastanza rilevante, tuttavia questi soffrono meno le dispersioni causate dalla *reverse recovery*, dal momento che la modulazione ne favorisce lo sfruttamento di almeno uno per ramo per tutto il tempo di lavoro. Le perdite di switching interessano perciò gli IGBT dei rami di inverter; i diodi in antiparallelo ad essi contribuiscono in maniera esigua alle perdite totali. In generale, per poter assicurare un pieno utilizzo dell'inverter, l'energia dispersa per conduzione dovrebbe essere circa il doppio, o al più il triplo, di quella imputata alla commutazione degli stati dei componenti. Ciò non è però del tutto confermato dai segnali rappresentati in [Figura 3.45], che infatti descrivono le perdite di switching di poco inferiori alle altre. Significa quindi che il sistema è leggermente sottodimensionato.

Si nota un lieve innalzamento dei massimi, rispetto alla configurazione a fase singola, favorito ovviamente dal maggior numero di componenti. Dall'alto in basso sono perciò riprodotte le forme d'onda della corrente sinusoidale di una fase dell'inverter, le perdite per conduzione e di switching delle tre fasi, infine la loro somma. Si passa da circa 38 [W] di potenza massima dispersa nel *single leg* a quasi 50 [W] del trifase.

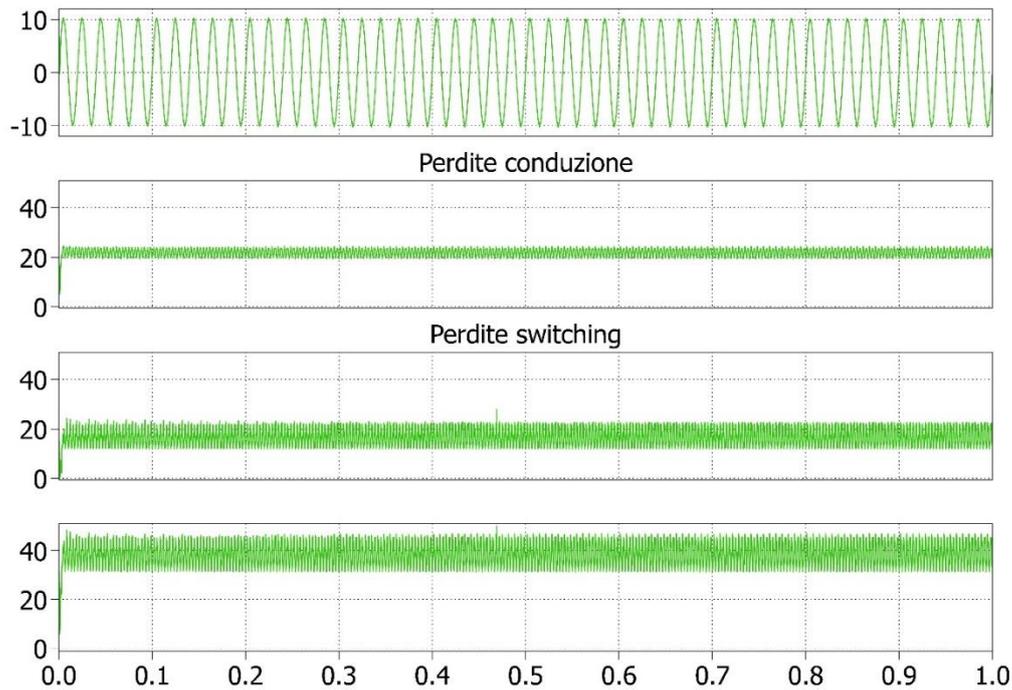


Figura 3.45: Rappresentazione delle perdite dell'inverter trifase al variare della corrente sinusoidale. Dall'alto: corrente in ingresso, perdite di conduzione, perdite di switching, perdite totali come somma delle precedenti.

Le perdite sono quindi confrontate con la potenza di sorgente dell'inverter, [Figura 3.46]; si distingue una forte differenza tra le due grandezze che accompagna perciò la configurazione trifase ad un netto miglioramento in termini di efficienza. Viene comprovato dall'andamento di quest'ultima, che appare circa costante per tutta la durata della simulazione. Per studiarne le lievi variazioni si è difatti ricorso ad un rimpicciolimento della scala sulla quale è stato valutato il valore medio [Figura 3.47], ricavato dal rapporto tra la potenza effettivamente uscente dall'inverter e quella in ingresso. Numericamente si arriva intorno allo 0.9921. La stima prevista nella realizzazione del circuito trifase non raggiunge valori così alti, ma sicuramente verrà confermato un migliore sfruttamento dei componenti nel trifase rispetto al *single leg*, e quindi a efficienze maggiori.

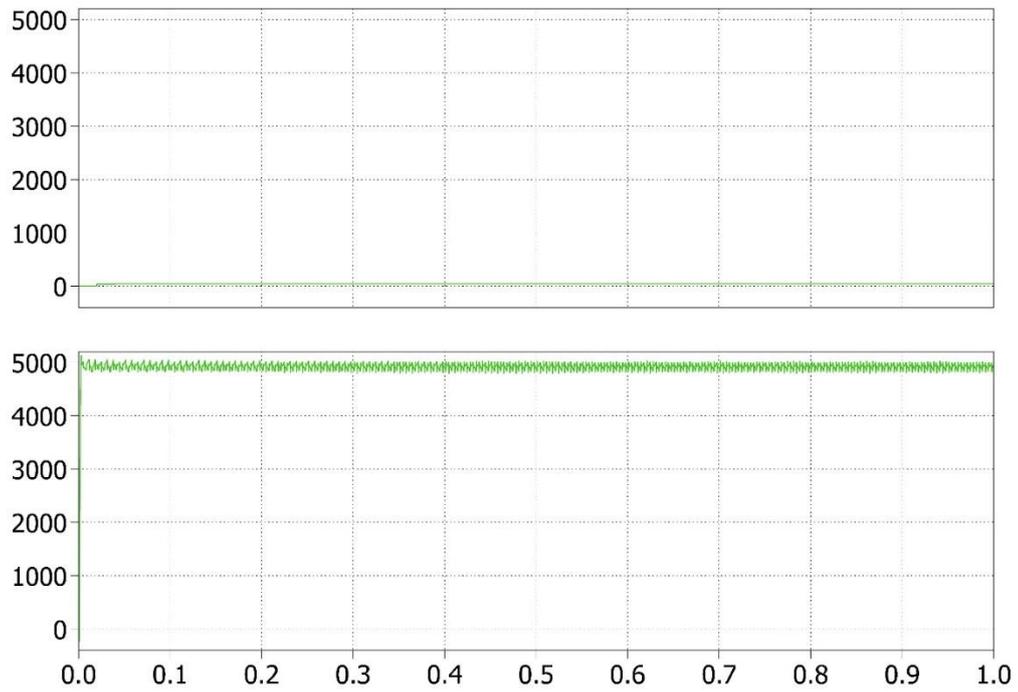


Figura 3.46: In alto rappresentazione della somma della potenza dissipata, in basso la potenza in ingresso all'inverter.

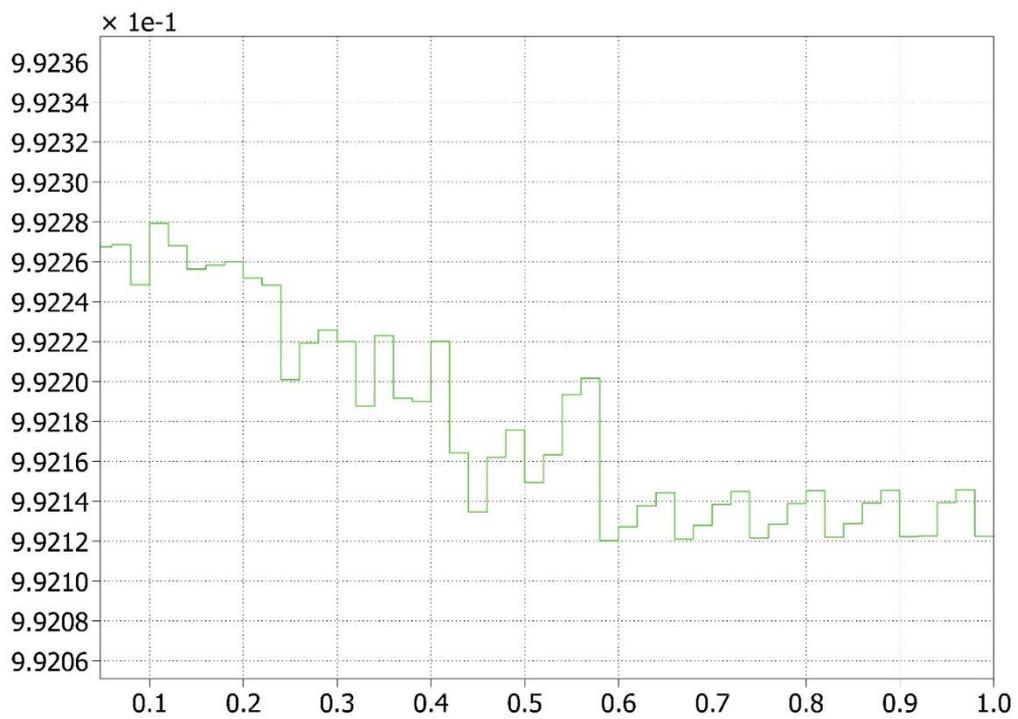


Figura 3.47: Ingrandimento dell'andamento dell'alta efficienza del sistema trifase.

Le correnti in ingresso ad ogni fase non sono esattamente sinusoidali, ma mantengono la loro periodicità. Possiedono ampi tratti sullo zero e valor medio nullo in quanto il semiperiodo superiore, apparentemente caotico, è esattamente il riflesso di quello inferiore. Questo significa che la parte di onda positiva è antisimmetrica a quella negativa, discendendo di fatto da una senoide. Vengono contraddistinte da tre diversi colori, [Figura 3.48], mentre la corrente in uscita (grafico sotto in verde) possiede chiaramente una frequenza pari a un sesto di quella fondamentale, adatta a quella della rete. Il ripple di quest'ultima è visibilmente inferiore a quello che affligge la corrente del *single leg*, validando quindi la scelta fatta sulla tipologia dell'inverter per le applicazioni di potenza in impianti fotovoltaici.

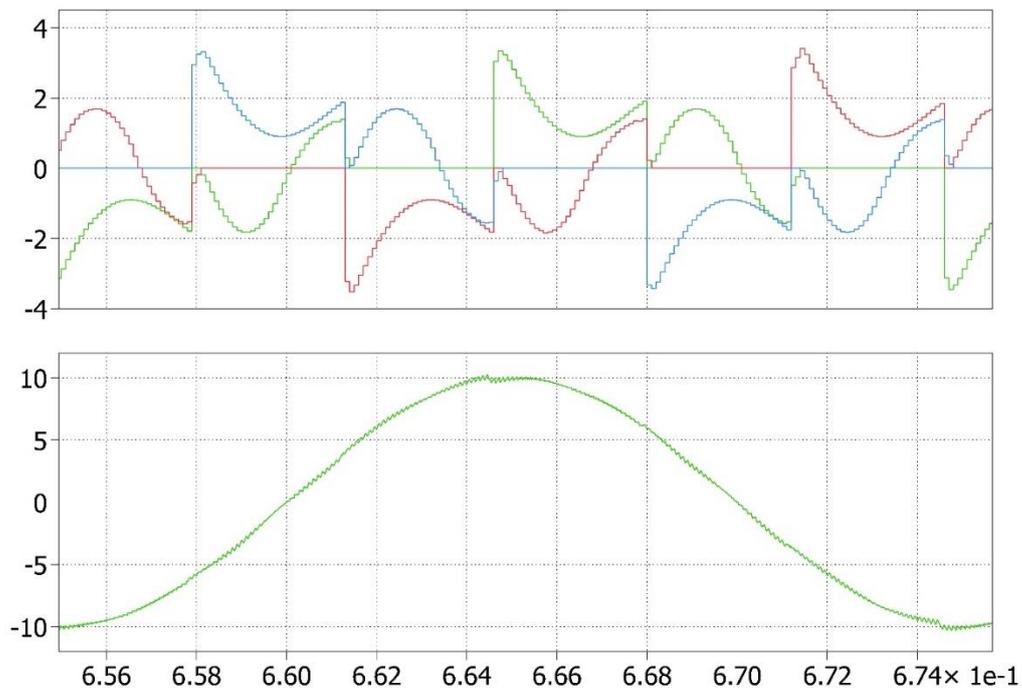


Figura 3.48: Correnti in ingresso ad ogni fase rispetto alla corrente in uscita da una di esse.

Il centro della simulazione si trova a valle dell'inverter *T-Type*, dove si definiscono i livelli di tensione di fase [Figura 3.49], che in questo caso assumo anche valori negativi; la misurazione è eseguita tra polo e neutro. La tensione di uscita coincide con quella di fase che è partizionata grazie alla presenza del ramo di clamp. Si deduce quindi che il potenziale ai capi degli interruttori e dei diodi è ridotto, con la possibilità di impiegare componenti di dimensione inferiore rispetto ad un convertitore con stessa tensione di alimentazione,

giovando sull'entità delle perdite per dissipazione. Le forme d'onda in uscita sono riassunte nella [Figura 3.50]: dall'alto, è rappresentata una delle tre tensioni di fase suddivisa in 9 livelli ben distinti, si passa quindi alla carica e scarica dei condensatori del bus DC, ed infine alle correnti trifase sinusoidali. Valgono dunque le considerazioni fatte nella precedente simulazione, se non che le tensioni di fase discretizzate in un numero di livelli più alto, godono di un andamento temporale quasi sinusoidale. Al contrario, il segnale che descrive la tensione dei condensatori è ben lontano dalla sinusoide, invece presente nella simulazione a fase unica; permane comunque una certa convergenza ed equilibratura. La caratteristica della corrente beneficia della configurazione trifase, facilitando la sincronizzazione con le grandezze di rete.

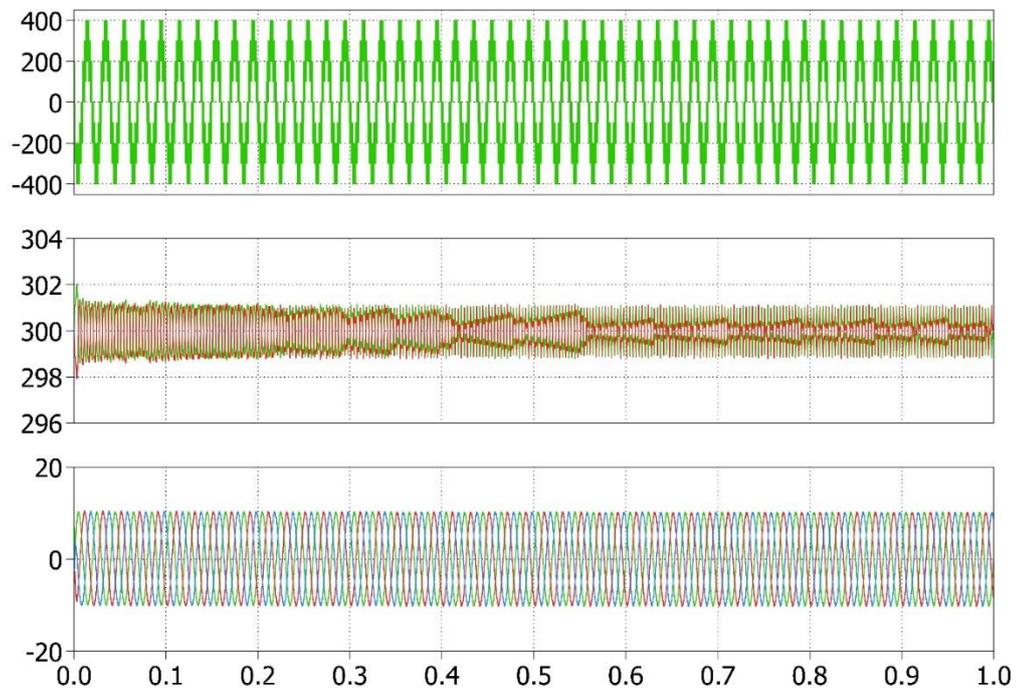


Figura 3.49: Dall'alto i livelli della tensione di una fase per $m = 3$, andamento delle tensioni ai capi dei condensatori del bus DC, correnti di linea di ogni fase.

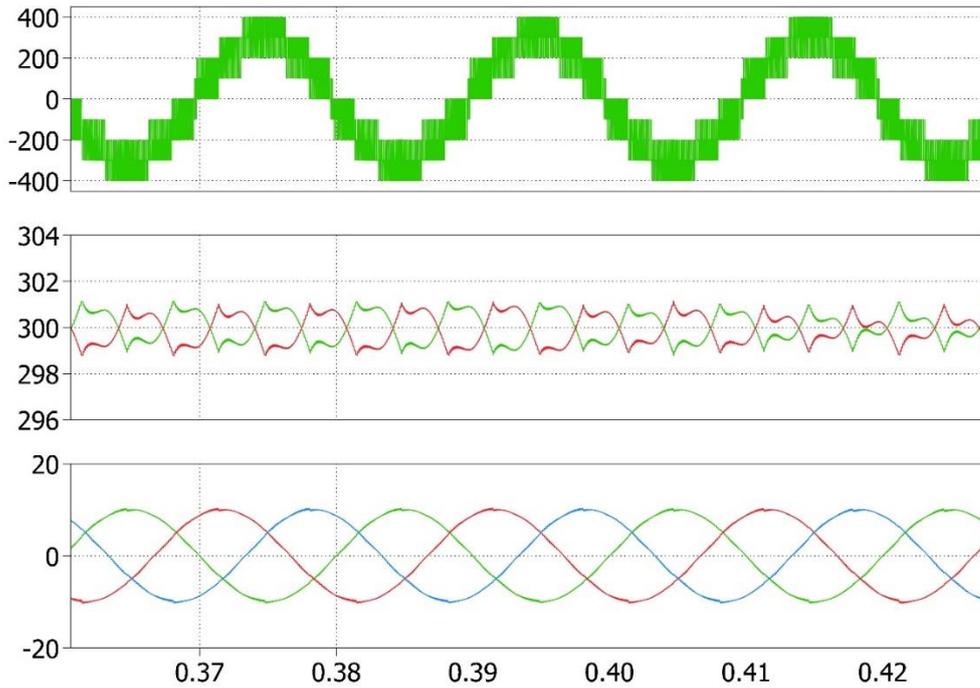


Figura 3.50: Ingrandimento delle forme d'onda in uscita all'inverter trifase.

Dagli andamenti temporali sopra descritti, si effettua l'analisi delle prime dieci armoniche che compongono la tensione di fase e le correnti di linea, nel dominio di Fourier, [Figura 3.51], trovando contributi alla frequenza di commutazione e ai suoi multipli. Dal momento che le correnti di linea sono sfasate ognuna di 120° rispetto alle altre, le terze armoniche risultano in fase tra loro e, non potendo circolare in rete, si annullano. Si ha per lo più il contributo in corrispondenza della frequenza fondamentale di 50 [Hz], mentre i restanti sono circa trascurabili anche se presenti. In specifico, le armoniche di ordine pari sono causate dall'oscillazione delle tensioni ai capi delle capacità sul bus DC.

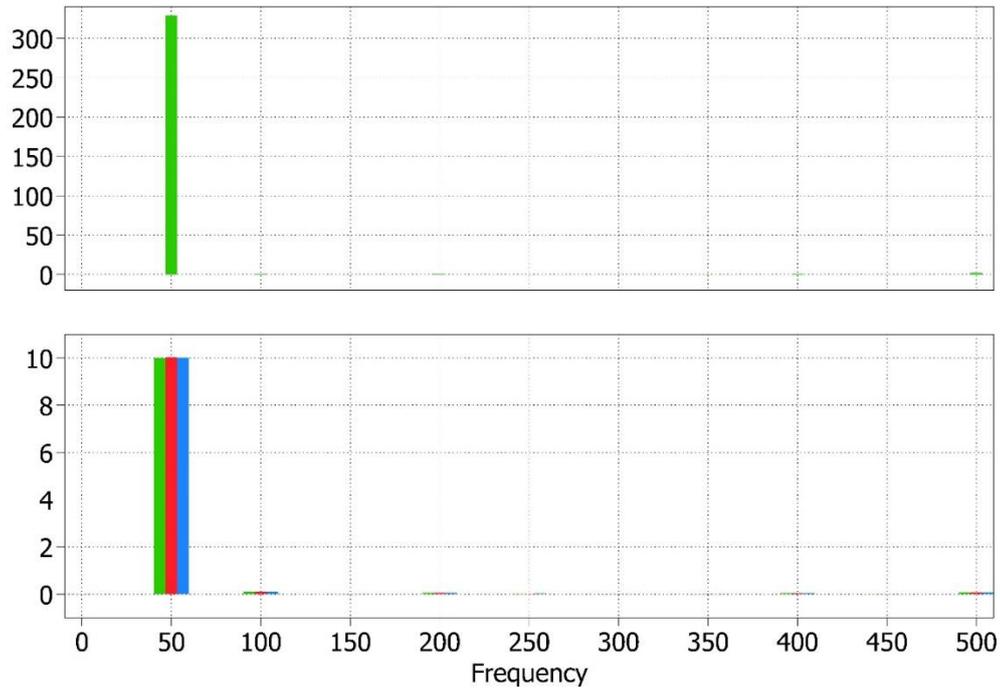


Figura 3.51: Componenti frequenziali nel dominio di Fourier. Contributo armonico: in alto la tensione e in basso la corrente di uscita all'inverter.

Si amplia l'intervallo delle frequenze per un ulteriore studio sui contributi armonici: le [Figura 3.52] e [Figura 3.53] descrivono quelli della tensione di fase e delle correnti di linea rispettivamente fino all'ordine 250 e 500.

In [Figura 3.54] vi è l'ingrandimento delle armoniche di corrente, in quanto di molto inferiori rispetto a quelle della tensione e perciò non apprezzabili se si utilizza la stessa scala in ordinata. La loro scarsa presenza è indice di equilibrio del sistema e di lieve influenza delle non linearità.

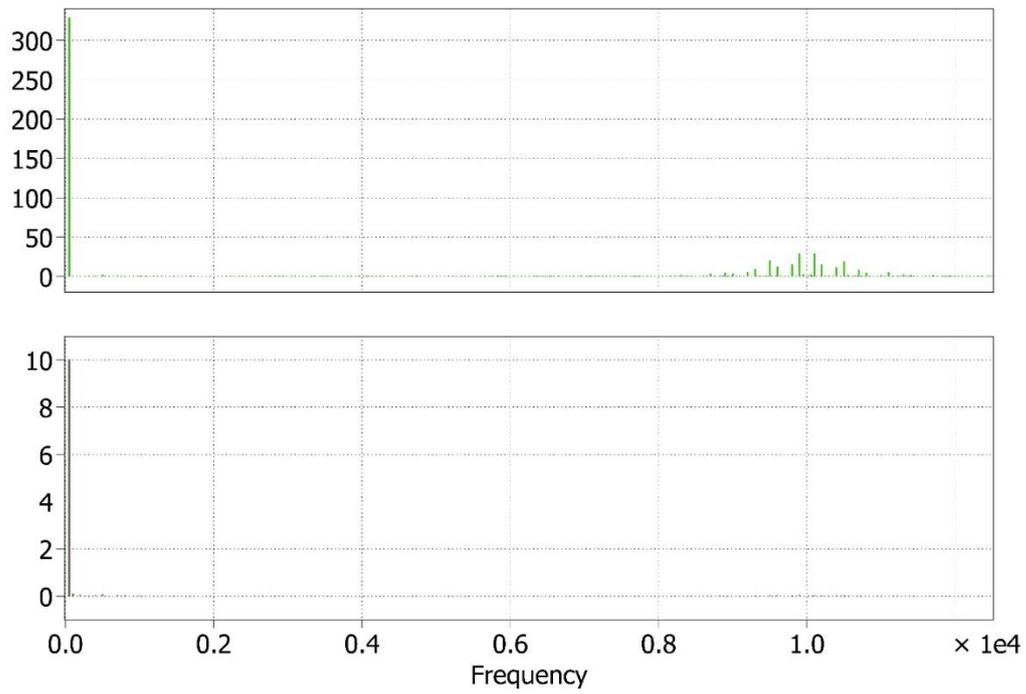


Figura 3.52: Contributo nel dominio di Fourier fino all'armonica 250.

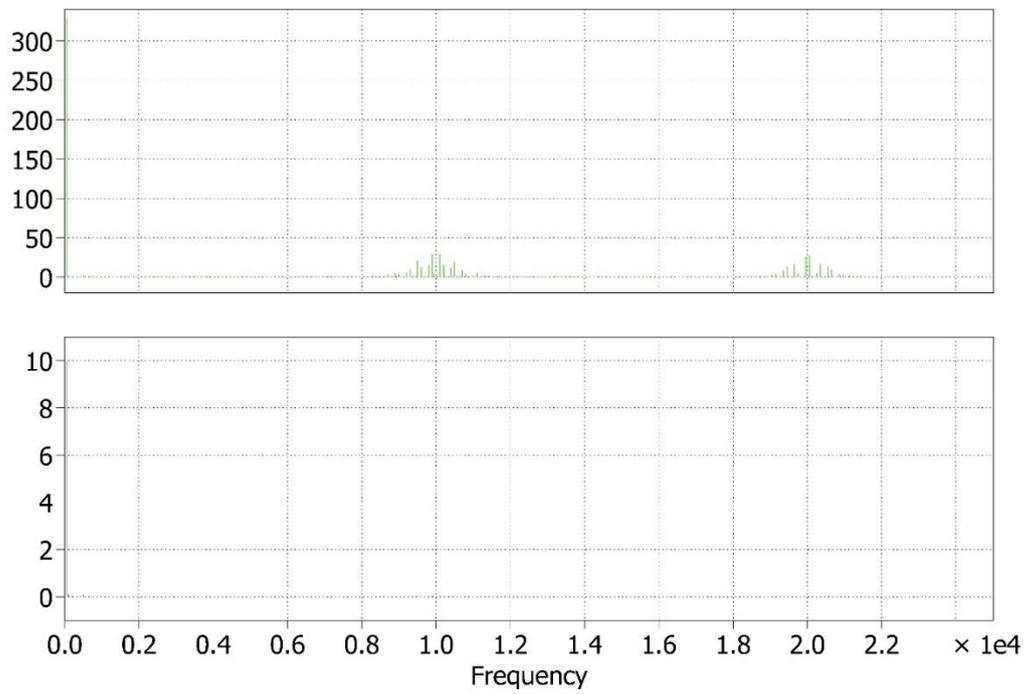


Figura 3.53: Contributo nel dominio di Fourier fino all'armonica 500.

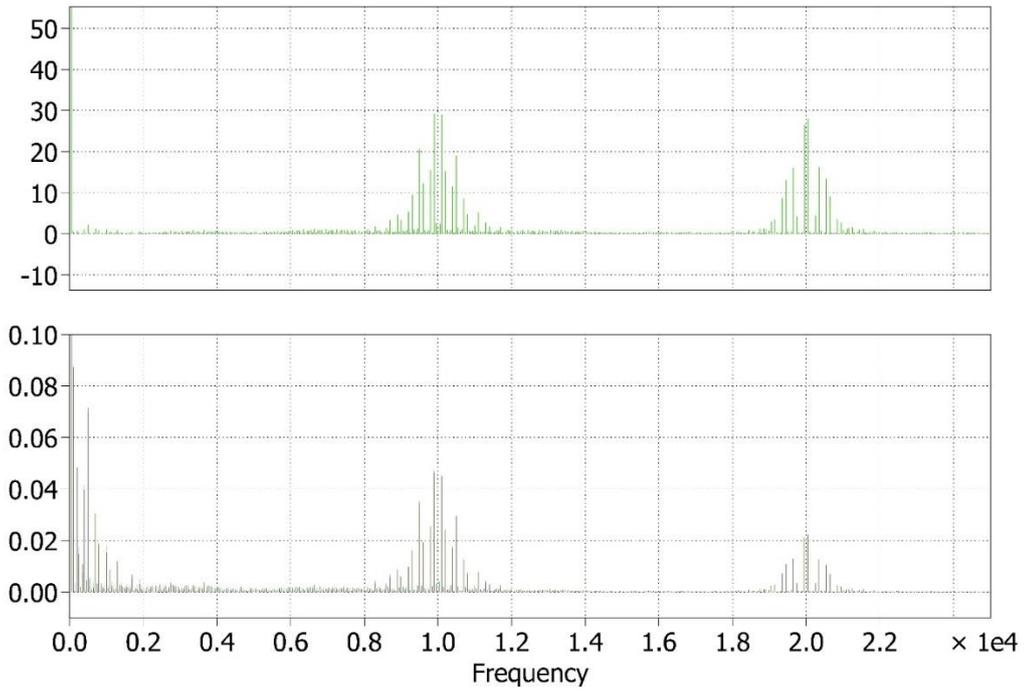


Figura 3.54: Ingrandimento del contributo nel dominio di Fourier fino all'armonica 500.

Frutto dell'esperienza trifase, circolano all'uscita dell'*NPC T-Type Inverter* correnti di linea pari a 10 [A] e tensioni concatenate di ampiezza picco-picco di circa $(330 \cdot 2) = 660$ [V], in perfetta fase tra loro, grazie all'impiego del fotovoltaico come generatore a monte dell'impianto. Nell'ingrandimento delle forme d'onda di [Figura 3.55] a colori uguali corrispondono grandezze della medesima fase.

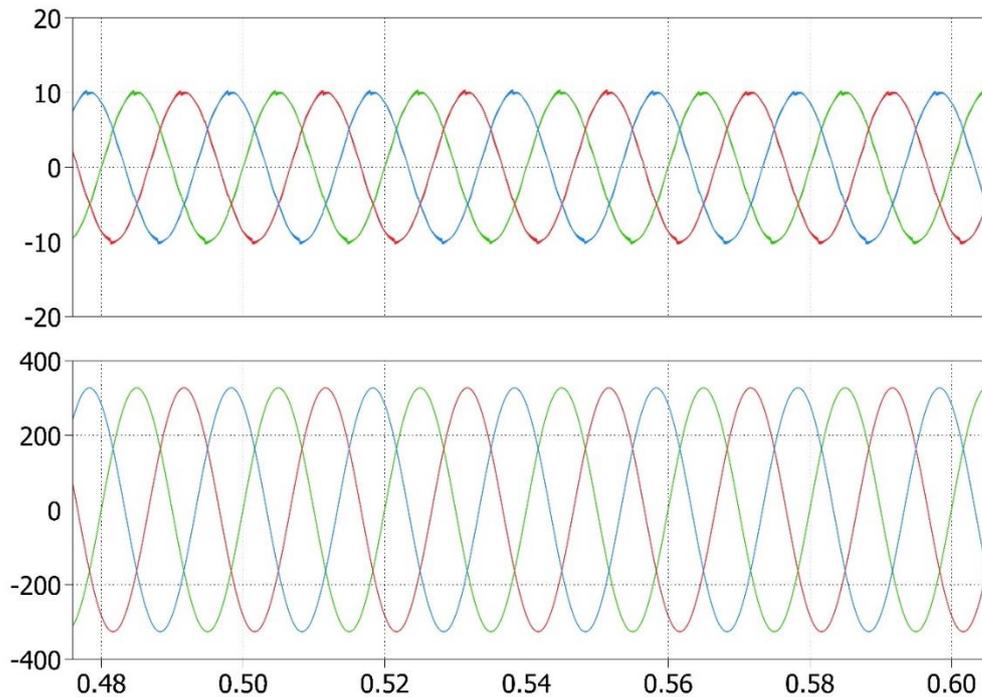


Figura 3.55: Correnti di linea equilibrate (in alto) e tensioni concatenate simmetriche (in basso) sulla rete.

3.5.2. Alimentazione a Tensione Costante e Gradini di Corrente

Si procede con la verifica del funzionamento del convertitore nell'ipotesi sia sottoposto ad una richiesta di corrente a gradino; questa sollecitazione è volta a verificare la robustezza e rapidità del controllo. Come per il caso *single leg*, si chiarisce che la variazione suddetta non avviene realmente in ambito fotovoltaico, mentre può trovare impiego quando al convertitore è collegata una macchina elettrica. La seguente modalità di simulazione in configurazione trifase risulta interessante soprattutto per definire lo scambio di potenza tra il sistema e la rete. I gradini di corrente sono identici alla simulazione in configurazione *single leg*, difatti si raggiunge 40 [A], corrispondente alla massima corrente tollerabile dai componenti scelti.

L'errore calcolato sulle correnti in base a quelle di riferimento è sicuramente più consistente. Inizialmente, con la generazione di 10 [A] non si notano cambiamenti, ma a fronte di ogni brusca variazione del riferimento, vi sono picchi velocissimi maggiori di 30 [A]. Se la simulazione fosse più fedele alla reale variazione dell'intensità luminosa nel tempo, si ricaverebbero indubbiamente picchi meno importanti, comprovando l'ottima scelta sul multilivello *T-Type*. Con l'ausilio di strumenti per l'ingrandimento, si nota una riduzione dell'ampiezza dell'errore man mano che l'elaborazione del sistema procede.

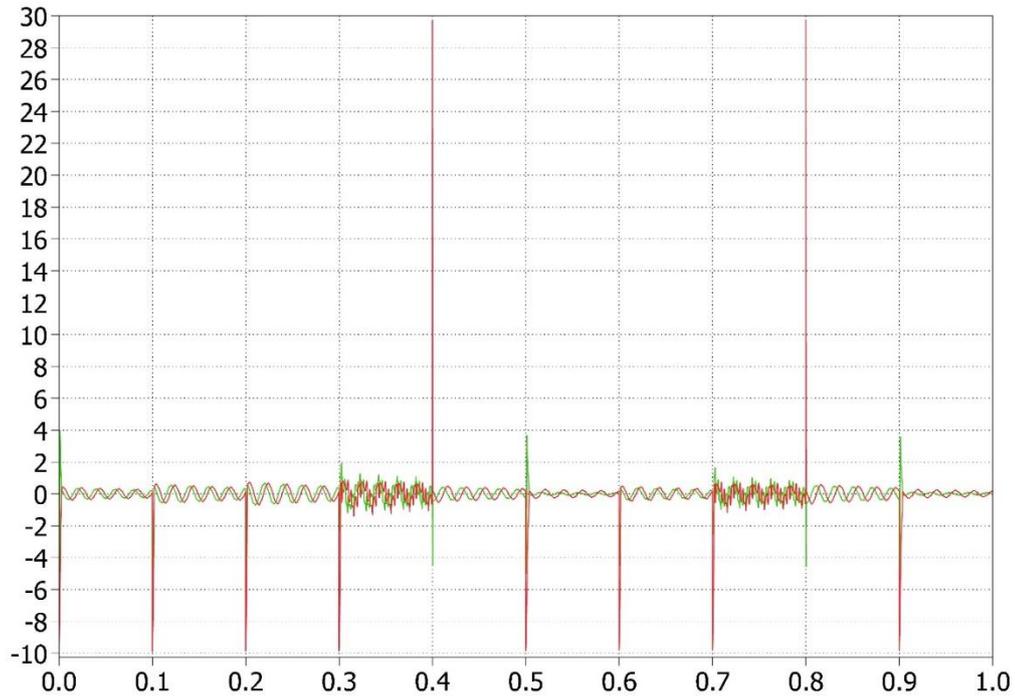


Figura 3.56: Errore in corrente definito dalla differenza tra i gradini di corrente in ingresso al sistema e quelli in uscita dall'inverter trifase.

Di seguito, è sottolineata la dipendenza diretta delle perdite di conduzione e switching dal particolare gradino di corrente generato dal modulo fotovoltaico. Il valore medio dell'efficienza in questo caso diminuisce in modo esiguo rispetto alla precedente simulazione trifase, sino a 0.9917, variazione imputabile sia alla maggior corrente che scorre sul dispositivo e che incrementa le dissipazioni per conduzione, ma anche alle non linearità dell'ambiente imperfetto di simulazione.

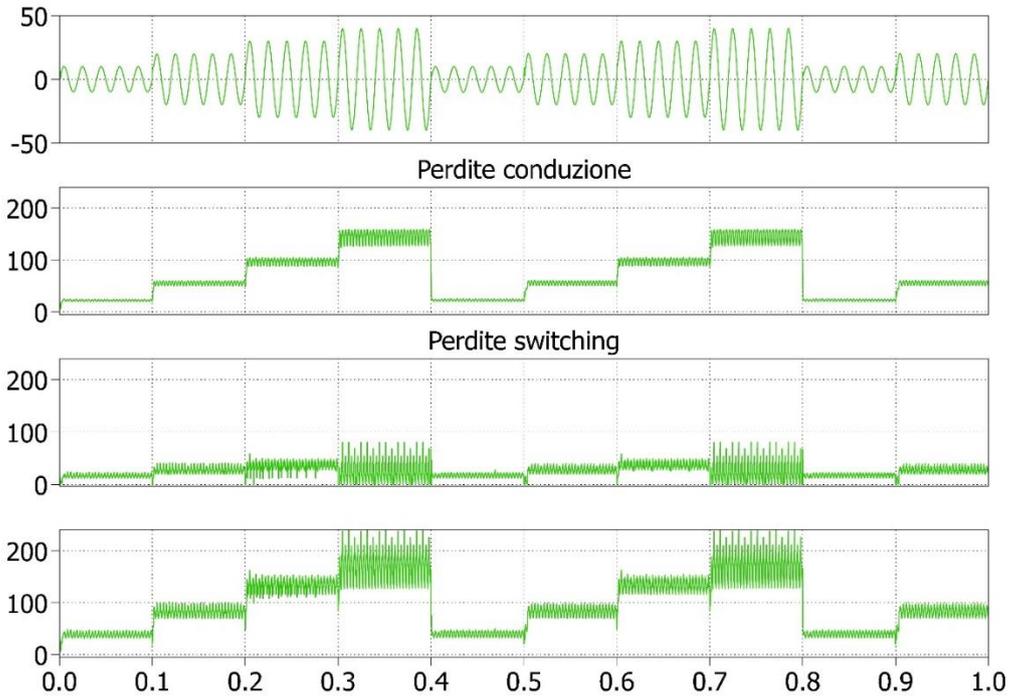


Figura 3.57: Rappresentazione delle perdite dell'inverter trifase il cui valore dipende dai gradini di corrente generati. Dall'alto: gradini di corrente in ingresso, perdite di conduzione, perdite di switching, perdite totali come somma delle precedenti.

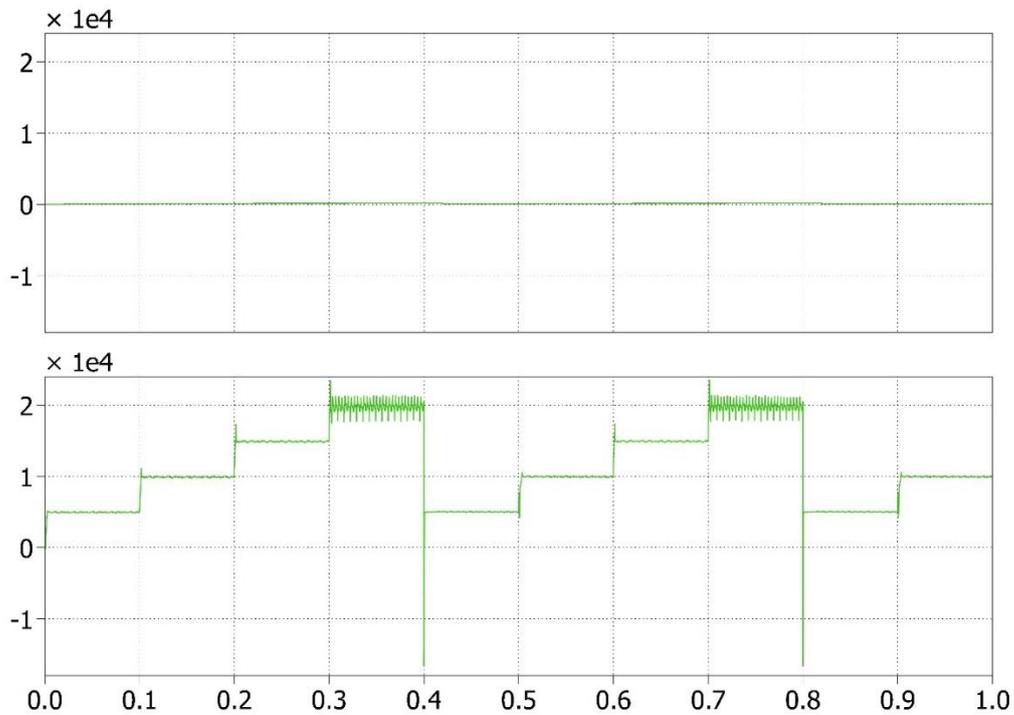


Figura 3.58: Potenza dissipata stimata sull'inverter trifase (sopra) e potenza in ingresso ad esso (sotto).

La forma d'onda della tensione di fase ovviamente non è alterata dai gradini [Figura 3.59], mentre sono ben visibili maggiori oscillazioni ai capi dei condensatori, che portano fino ad uno squilibrio massimo in corrispondenza dei 40 [A] di corrente generata. Anche in questo caso, avanzando temporalmente e a parità di corrente, la divergenza tra le due cadute di potenziale sulle capacità diminuisce, sintomo di un esercizio di auto-equilibratura da parte dell'inverter.

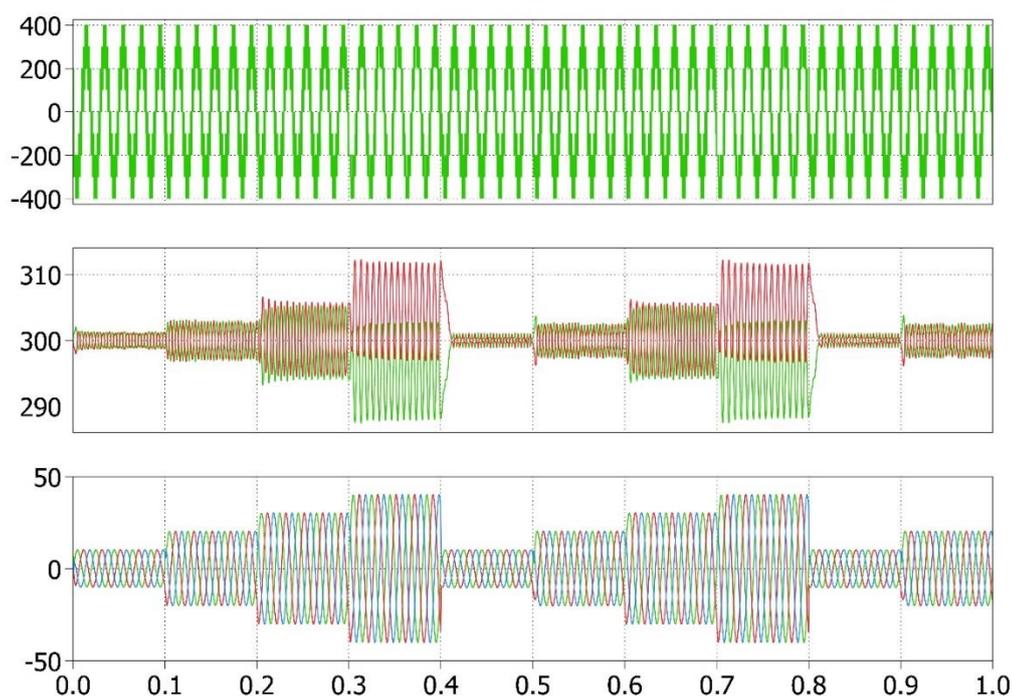


Figura 3.59: Uscita all'inverter trifase, dipendente dall'alimentazione con gradini di corrente sinusoidale di 10 [A], 20 [A], 30 [A], 40 [A] di picco.

Il contributo armonico che maggiormente si percepisce a tutti i multipli della frequenza di campionamento rimane quello delle tensioni di fase dell'inverter, mentre la corrente è meno affetta dai disturbi che possono comportare le armoniche di grado maggiore di due. Andando nel dettaglio di [Figura 3.61 destra], si deduce che l'aumento della corrente provoca una crescita diretta delle armoniche che compongono il segnale; passando dall'armonica 250 alla 500, e dunque allontanandosi dalla fondamentale, il contributo decade ad un terzo del valore. Queste stime vengono fatte come precisazione per un'eventuale realizzazione trifase.

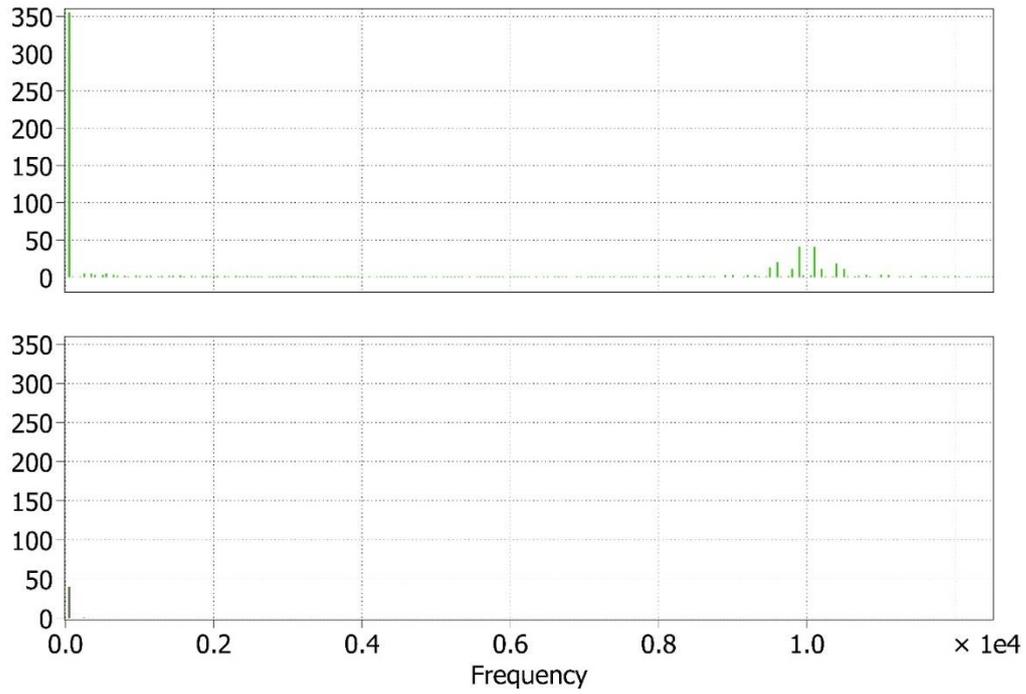


Figura 3.60: Componenti frequenziali nel dominio di Fourier. Contributo fino all'armonica 250: in alto la tensione e in basso la corrente di uscita all'inverter trifase, alimentato da gradini di corrente sinusoidale.

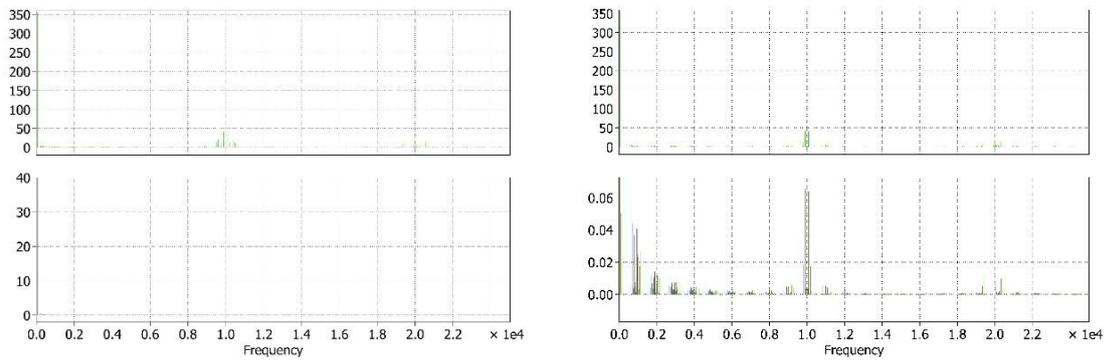


Figura 3.61: Contributo frequenziale di tensione di fase e correnti concatenate (sinistra) e ingrandimento di quelle in corrente (destra) fino all'armonica 500.

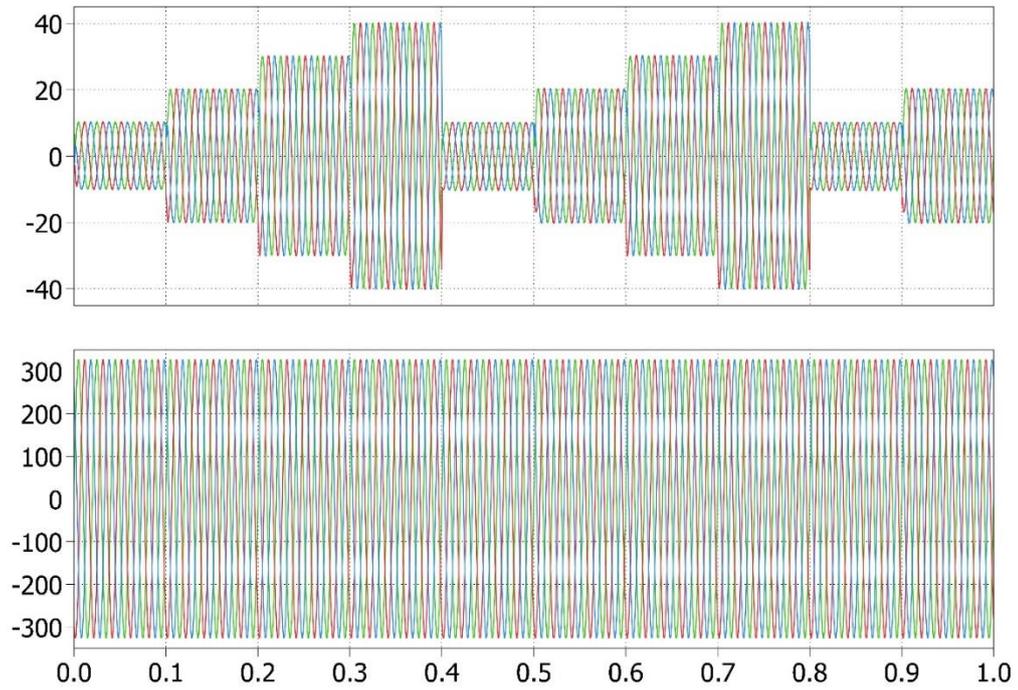


Figura 3.62: In alto le correnti di linea, in basso le tensioni concatenate sulla rete.

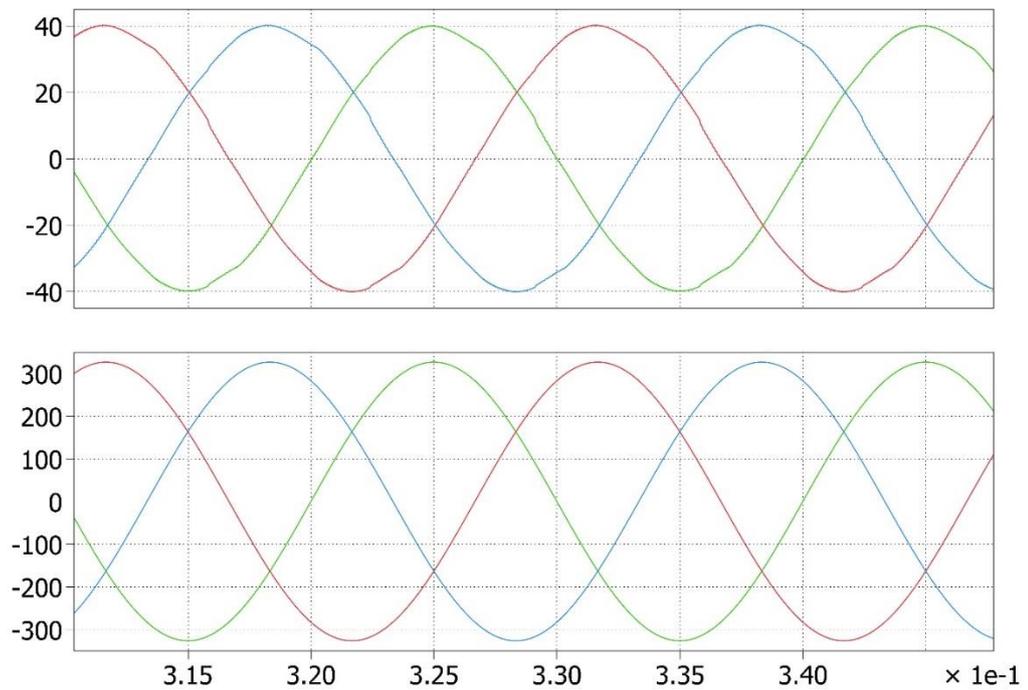


Figura 3.63: Ingrandimento delle correnti di linea e tensioni concatenate sulla rete, in fase tra loro.

A conclusione dell'esperienza simulativa, si conferma la perfetta fasatura tra le correnti che scorrono sui carichi ohmico-induttivi e le relative tensioni concatenate della rete in [Figura 3.63]. Per tale motivo e per la qualità della discretizzazione delle tensioni di fase, il convertitore DC/AC trifase oggetto di simulazione, risulta essere un ottimo dispositivo da collegare direttamente alla rete, sfruttando le particolari caratteristiche della corrente generata dall'impianto fotovoltaico. Alla base della scelta sulla realizzazione di questo inverter è anche la semplicità dei collegamenti necessari al passaggio dal *single leg* alle tre fasi. Si realizza ora la fase singola, ossia la configurazione che permette di raggiungere valori di efficienza, seppur alti, ma inferiori rispetto al trifase, applicando l'approccio ingegneristico che porta ad analizzare il caso peggiore.

Capitolo 4

4. REALIZZAZIONE DELL'NPC T-TYPE INVERTER

L'analisi teorica espone le qualità di questa tipologia di inverter multilivello per mezzo della descrizione circuitale, mentre le numerose simulazioni ne comprovano l'elevato potenziale; si sceglie quindi di continuare con la progettazione della scheda, a cura del personale del Laboratorio Macchine ed Azionamenti Elettrici (LEMAD) dell'Università di Bologna, e quindi al punto focale dell'esercizio di tesi: realizzazione e misurazioni sperimentali dell'*NPC T-Type Inverter sigle leg* a tre livelli.

Dapprima, l'introduzione alle caratteristiche principali e descrizione dei parametri fisici propri degli IGBT e *power* MOSFET, componenti scelti per la realizzazione della scheda; segue poi un breve resoconto di quanto è stato considerato nella progettazione.

4.1. IGBT

Gli *Insulated-Gate Bipolar Transistor* o IGBT sono tripoli a semiconduttore, maggiormente inseriti in sistemi che richiedono la commutazione nell'elettronica di potenza, dunque in situazioni in cui si necessita di commutare alte tensioni ed elevate correnti. Le applicazioni comuni riguardano lo switching di potenza elettrica in *variable-frequency drivers* (VFDs), piuttosto che macchine elettriche e convertitori. In particolare, si prestano nell'impiego di alimentatori a commutazione, nel controllo del motore a trazione sino al riscaldamento a induzione. Nonostante il progetto iniziale prevedesse solo la rapidità nel turn-on e turn-off, alcuni amplificatori oggi sfruttano gli IGBT per sintetizzare forme d'onda complesse, con modulazioni PWM e filtri passa-basso; inoltre il gate isolato ne rende semplice il controllo tramite driver.

Questa tipologia di transistor combina in un unico componente le caratteristiche di un MOSFET, come l'alta impedenza in ingresso e l'elevata frequenza di switching, a quelle

di un BJT, rappresentato dalle basse tensioni di saturazione. In particolare, gli IGBT in commercio, solitamente comprensivi di diodo di *freewheeling*, possono essere singoli oppure integrati in moduli, il cui stress elettrico sopportabile raggiunge 1.2 [kA] per un massimo di 6 [kV].

I primi IGBT nacquero negli anni '80, tuttavia questi non riuscivano a spegnersi nel tempo richiesto, per cui veniva a crearsi un percorso a bassa impedenza che portava alla distruzione dei dispositivi stessi (*latch-up*). La seconda generazione fu difatti un successo, la cui velocità era paragonabile ai MOSFET già in circolazione da tempo, e caratterizzati da eccellente robustezza e tolleranza ai sovraccarichi.

Il simbolo circuitale è presentato a sinistra in [Figura 4.1], mentre a destra ne è riprodotta la sezione comprensiva di collegamento MOSFET e BJT.

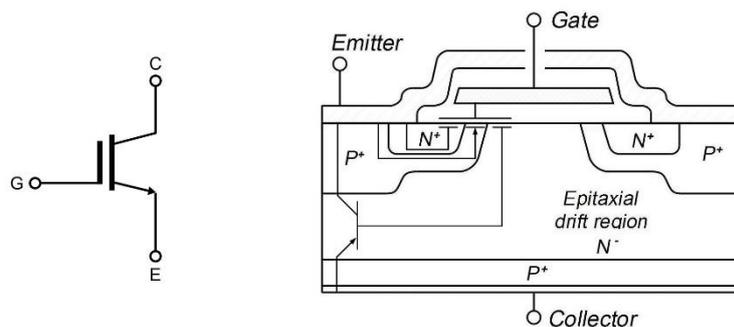


Figura 4.1: A sinistra il simbolo circuitale e a destra la sezione interna di un IGBT.

La struttura interna richiama quella di un *Vertical Diffusion N-MOSFET* [Paragrafo 4.2], ad eccezione del terminale di drain N^+ , sostituito dal collettore di tipo P^+ , formando quindi una giunzione bipolare PNP. La tensione di blocco dipende dalla N^- drift region, perciò per raggiungerne alti valori è indispensabile aumentare la profondità di tale regione e ridurre il drogaggio; vi è quindi una relazione quadratica tra il flusso conduttivo e la capacità di blocco delle tensioni. Iniettando lacune dal collettore P^+ verso la N^- durante la conduzione diretta del componente, si riduce la resistenza dell' N^- drift region, per cui la giunzione PN formata invece dall'emettitore blocca la corrente inversa. Si giustifica così l'unidirezionalità del componente, particolare che viene meno quando ai suoi capi, tra collettore ed emettitore, viene introdotto in antiparallelo il diodo di *freewheeling*. In questo modo, quando l'IGBT è polarizzato in diretta, il dispositivo sfrutta il percorso tra collettore

ed emettitore ed al contrario, per polarizzazione inversa, la corrente scorre sul diodo, restituendo bidirezionalità al transistor.

Da segnalare, la distinzione tra IGBT e *power* MOSFET, a breve discussi, per quanto riguarda la caduta di tensione che grava sui dispositivi menzionati: quella relativa al primo componente, generalmente di circa 2 [V], è dipendente dal logaritmo della corrente che scorre sull'IGBT stesso, per cui vi è una relazione simile a quella caratterizzante i diodi; la caduta di tensione sui MOSFET è di contro direttamente dipendente dalla corrente. Tale motivo induce a scegliere i dispositivi a gate isolato per applicazioni richiedenti alti valori di tensione e corrente, e i MOS per quelle che necessitano di grandezze più contenute nonché elevatissime frequenze di switching.

Il funzionamento degli IGBT è davvero semplice: la fase di accensione inizia quando al gate è applicata una tensione costante positiva ed escono dalla conduzione nel momento in cui il segnale sul terminale viene rimosso. Di contro, la minima tensione richiesta per accenderlo è solitamente maggiore rispetto a quella di un *power* MOSFET, con conseguente aumento di perdite per conduzione.

La caratteristica di funzionamento viene quindi esposta di seguito, a sinistra in [Figura 4.2]. Si tende a lavorare sul primo quadrante, ovvero nella regione prossima all'ordinata, quindi di cortocircuito tra collettore ed emettitore, in modo tale da ridurre la potenza dissipata dall'IGBT, rappresentata dall'area sottesa alla curva di funzionamento. In risalto, vi sono due metodologie di blocco, ossia diretto quando la differenza di potenziale ai capi del collettore ed emettitore è positiva ma non si è raggiunti la V_{GE} necessaria all'accensione dell'IGBT (in questo caso è sufficiente un valore positivo), e inverso per valori di V_{CE} inferiori a zero. La proprietà appena esplicita [a destra di Figura 4.2] rende il componente bidirezionale in tensione, ma non in corrente.

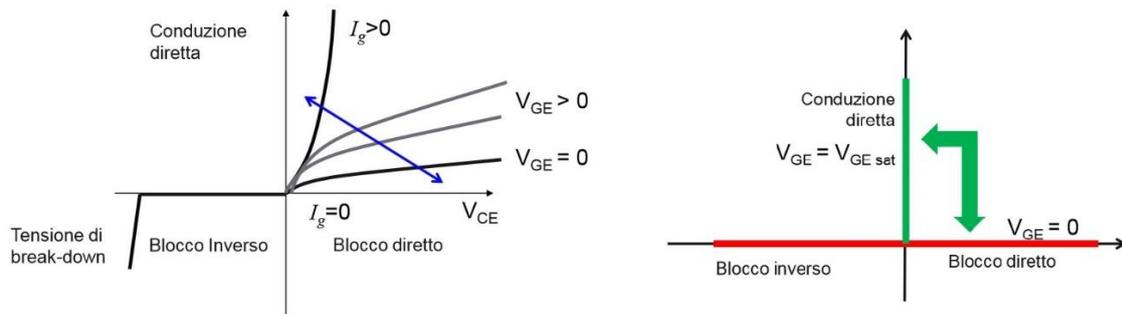


Figura 4.2: Caratteristica di funzionamento di un IGBT.

Viene quindi proposta la realizzazione dell'inverter *NPC T-Type single leg* tramite IGBT della *Infineon IKW40N120T2* [Appendice A], per meglio gestire il controllo in potenza del circuito.

4.2. POWER MOSFET

I *power MOSFET* sono transistor utilizzati principalmente per applicazioni in cui si richiede lo sfruttamento di elevati valori di tensione, di corrente nonché alte frequenze di commutazione, apportando lievi perdite rispetto ai tradizionali MOSFET. È proprio la particolare struttura verticale con la quale vengono fabbricati a permettere di sostenere livelli di tensione e corrente notevoli. La direzione di conduzione dal source (top) al drain (bottom), implica una dipendenza della tensione di *breakdown* dal drogaggio e dallo spessore dello strato N epitassiale, mentre la corrente è funzione della larghezza del canale. Esistono anche *power MOSFET* con struttura laterale, ma non impiegati nell'applicazione di switching, richiesta dal suddetto progetto. Il simbolo circuitale con *body diode* e la sezione del tripolo, che include i pin di gate, drain e source, sono rappresentate di seguito; in specifico il body ed il source sono cortocircuitati, mentre si nota la presenza di due canali, più piccoli rispetto a quello singolo del MOS tradizionale, posti nella regione P⁺ che divide N⁺ da N⁻. I suddetti canali vengono a crearsi applicando una tensione positiva uguale o maggiore alla tensione di soglia (*threshold*) tra gate e source; difatti, la V_{th} è definita come la minima tensione richiesta che accompagna la formazione del canale d'inversione.

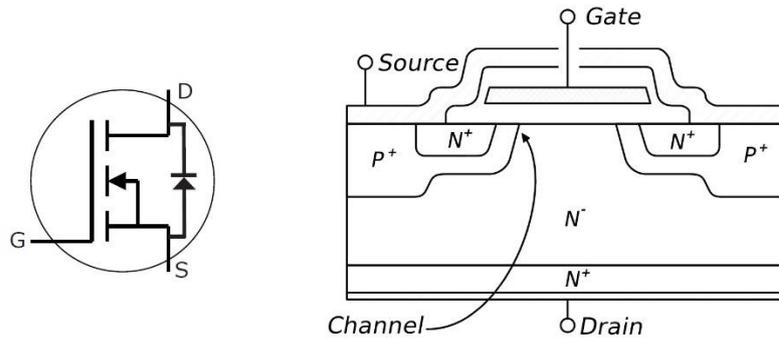


Figura 4.3: A sinistra il simbolo circuitale e a destra la sezione interna di un *Vertical Diffusion N-MOSFET*.

Per capire il funzionamento in presenza di elevate frequenze di commutazione, il componente viene considerato isolato dal resto del dispositivo, in assenza di influenze esterne. Sotto tali condizioni, ne viene analizzata la struttura includendo elementi intrinseci e parassiti.

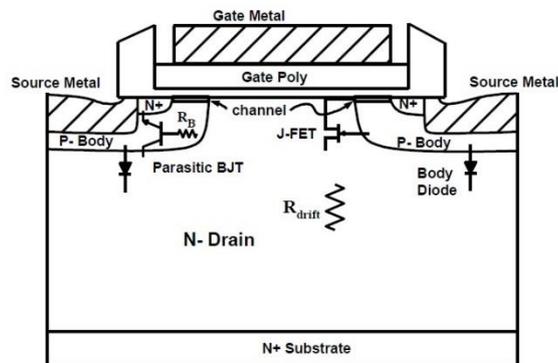


Figura 4.4: Elementi intrinseci e parassiti che caratterizzano la struttura di un *power MOSFET*.

Il *body diode* rappresenta un elemento intrinseco del transistor, che connette il source al drain, la cui realizzazione è causata dalla metallizzazione che non ricopre solamente la regione N^+ , come prevede il principio operativo del MOS, ma anche il P-Body. Pertanto si crea la giunzione $p-n$ del diodo, con anodo sul source e catodo sul drain, in grado di poter bloccare la corrente in un'unica direzione.

Il BJT che appare in [Figura 4.4] rappresenta un fattore parassita che sfrutta la regione di body come base, il drain come collettore ed il source come emettitore. Se questo viene ad accendersi e a portarsi in saturazione, come causa di una mancata corto-circuitazione tra body e source, si ottiene la condizione conosciuta come *latch-up*. Non si ha controllo sul BJT stesso, ad eccezione di una interruzione esterna della corrente di drain, per cui l'alta potenza dissipata durante la fase di *latch-up* può provocare il danneggiamento permanente del dispositivo. In via del tutto teorica, è possibile entrare in *latch-up* anche per altissime dv/dt durante la fase di *turn-off* del MOS stesso, in quanto si genera un'alta densità di corrente di portatori minoritari (lacune) nella regione di body, che sostiene una tensione la cui entità può effettivamente accendere l'elemento parassita. Questa è una delle ragioni per cui esiste un limite dv/dt di commutazione, fornito dai datasheet come valore di *body diode recovery* o *reverse diode dv/dt* , tipicamente in [V/ns].

Infine viene integrato il JFET nella struttura del *power* MOSFET, il cui effetto si ripercuote sulla R_{DS-ON} che, insieme alla capacità interne, vengono ora illustrate in [Figura 4.5].

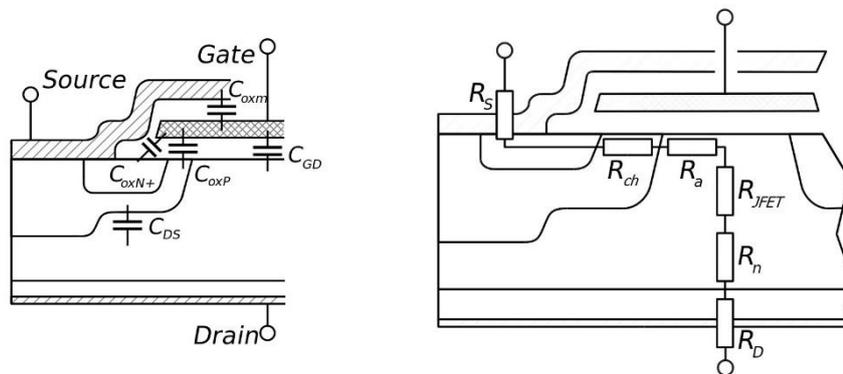


Figura 4.5: Capacità intrinseche nel *power* MOSFET (sinistra). Contributi alla R_{DS-ON} nel *power* MOSFET (destra).

Come già chiarito, i MOSFET di potenza sono sfruttati in applicazioni che richiedono alte frequenze di commutazione, il cui valore è però dipendente dal tempo di carica e scarica delle capacità intrinseche del dispositivo. Il limite è causato dalla corrente che scorre nella capacità di gate, comandata dal circuito esterno di driver. La frequenza di switching è così rallentata, pregiudicando quindi le prestazioni del dispositivo. In particolare, la nomenclatura che solitamente si trova nei datasheet descrivente le capacità di un generico *power* MOSFET, include:

$$C_{iss} = C_{GS} + C_{GD} \quad (\text{Eq. 4.1})$$

$$C_{oss} = C_{GD} + C_{DS} \quad (\text{Eq. 4.2})$$

$$C_{rss} = C_{GD} \quad (\text{Eq. 4.3})$$

dove

- C_{iss} è la capacità di ingresso;
- C_{oss} è la capacità di uscita;
- C_{rss} è la *reverse transfer capacitance*;
- C_{GS} capacità tra gate e source;
- C_{GD} capacità tra gate e drain;
- C_{DS} capacità tra drain e source.

La C_{iss} viene caricata nella fase di turn-on del MOSFET, alla tensione di soglia V_{th} , e scaricata all'inizio della fase complementare, fino al valore di *plateau*. In entrambi i casi, la suddetta capacità apporta un ritardo sull'accensione e spegnimento del componente. La C_{oss} è invece rilevante solo in presenza di basse frequenze di commutazione, quando influenza la risonanza del circuito. La C_{rss} , chiamata anche capacità di Miller, rappresenta uno dei maggiori parametri che determina la crescita e la caduta di tensione durante la commutazione, ed in particolare il ritardo nello spegnimento del transistor. In dettaglio la [Figura 4.6] definisce la dipendenza delle capacità intrinseche dalla differenza di tensione tra drain e source, V_{DS} . Si intuisce quindi che all'aumentare di quest'ultima, in generale il valore delle capacità diminuisce fortemente; in realtà la C_{iss} è meno influenzata dalla tensione per alti valori di V_{DS} .

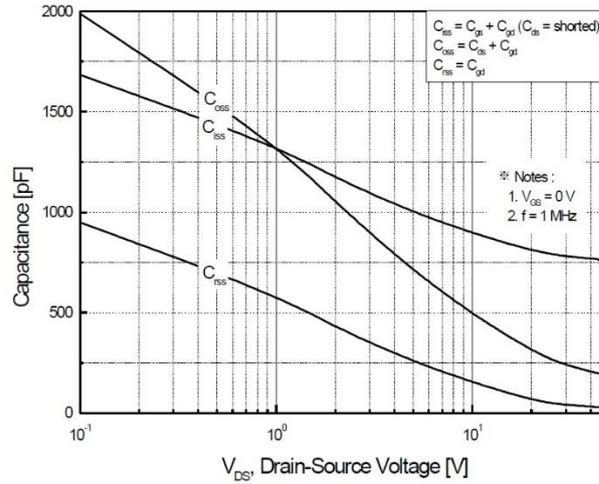


Figura 4.6: Grafico capacità intrinseche vs tensione drain-source.

Prendendo come riferimento la [Figura 4.5], la C_{GS} è costituita dalla somma delle capacità che risiedono nel gate e nell'ossido; se le regioni N^+ e P sono fortemente drogate, le C_{oxN^+} e C_{oxP} possono essere assunte costanti, come la C_{oxm} , che rappresenta la capacità instaurata tra metallo (elettrodo di source) e polisilicio (gate). Quest'ultima inoltre non ha dipendenza dallo stato in cui si trova il transistor. La C_{GD} si ricava dal parallelo tra la C_{oxD} , costituita dall'elettrodo di gate, dal biossido di silicio e dallo strato superficiale di tipo N , e la C_{GDj} , prodotta dall'estensione della zona di carica spaziale quando il MOSFET risulta essere spento. La capacità tra gate e drain, è perciò un parametro fondamentale che fornisce il feedback tra uscita e ingresso del circuito. Infine la C_{DS} è la capacità non lineare di giunzione, interposta tra il silicio drogato P e quello N^- .

Per quanto riguarda il funzionamento nello stato conduttivo, il MOSFET presenta una resistenza non nulla tra i terminali di source e drain denominata R_{DS-ON} , rappresentata in [Figura 4.5]. Questo parametro definisce le dissipazioni per conduzione ed il suo contributo, a parità di tensione applicata V_{GS} , è direttamente proporzionale all'incremento di temperatura. Come dimostra il grafico sottostante, passando dai 25°C a 125°C la resistenza tra drain e source aumenta velocemente fino a raddoppiare il proprio valore. Il coefficiente di temperatura della R_{DS-ON} è positivo, causato dallo spostamento dei soli portatori maggioritari; ciò si traduce nell'acquisizione di una stabilità termica nel caso in cui il MOSFET sia collegato in parallelo ad altri dispositivi. Possiede invece una debole dipendenza dalla corrente di drain, di fatti raddoppiando il valore di quest'ultima, la resistenza aumenta di pochi decimi di [Ohm] come da [Figura 4.7].

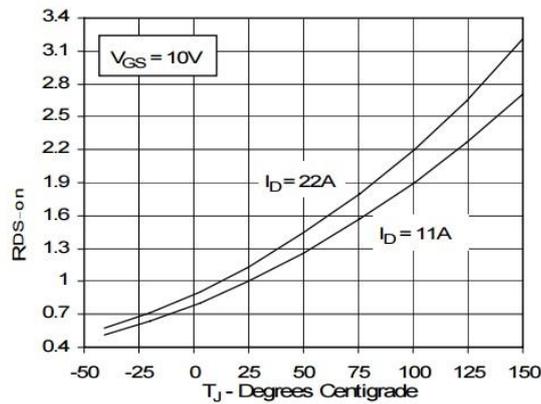


Figura 4.7: Grafico resistenza normalizzata vs temperatura, a parità di tensione gate-source.

La resistenza tra drain e source è costituita da molteplici contributi:

- R_S rappresenta la somma delle resistenze tra il terminale di source ed il canale;
- R_{ch} è la resistenza di canale, il cui valore è inversamente proporzionale alla lunghezza di quest'ultimo;
- R_a è definita *accumulation resistance* o resistenza di accesso; quantifica quindi la difficoltà del passaggio della corrente dalla direzione orizzontale nel canale, a quella verticale verso il drain;
- R_{JFET} è la resistenza dovuta all'effetto parassita JFET, che tende a contrapporsi al flusso della corrente;
- R_n è il contributo maggiormente significativo della R_{DS-ON} nonché principale caratteristica di un *power* MOSFET: quantifica la resistenza della regione poco drogata N^- , che permette di sostenere le tensioni di blocco;
- R_D è la resistenza della regione di drift, che domina la resistenza di ON nel caso di tensioni V_{GS} maggiori di 150 [V]; a volte, per semplificare i termini della R_{DS-ON} , la R_D include il contributo della resistenza del substrato e delle connessioni del package.

Utilizzare dispositivi di potenza significa anche lavorare con perdite che alterano le prestazioni del circuito; nel caso in oggetto le dissipazioni avvengono per conduzione ed è pertanto richiesto al costruttore un basso valore di R_{DS-ON} . Essendo la suddetta resistenza definita anche in base alle caratteristiche dello strato epitassiale N^+ , diminuendone lo spessore ed aumentandone il drogaggio, la R_{DS-ON} si riduce, contemporaneamente con la tensione di break-down V_{BR} (massima V_{DS} consentita dal MOSFET). Viceversa,

aumentando lo spessore dello strato epitassiale e limitando il drogaggio, la V_{BR} incrementa insieme alle perdite di conduzione. È perciò necessario raggiungere un trade-off tra i due parametri che definiscono il MOSFET di potenza [Figura 4.8].

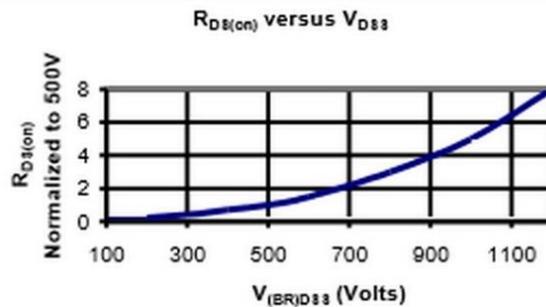


Figura 4.8: Grafico resistenza normalizzata vs tensione di break-down.

Si definisce ora la transconduttanza di un generico MOSFET di potenza come la misura della variazione della corrente di drain rispetto alla tensione tra gate e source:

$$g_{fs} = \left. \frac{dI_D}{dV_{GS}} \right|_{V_{DS}=const} \quad (\text{Eq. 4.4})$$

Il parametro introdotto è influenzato dalla larghezza del gate, infatti aumentando l'area attiva del MOSFET si ottiene un alto valore di transconduttanza; il che significa buona capacità di gestire correnti a basse tensioni di V_{GD} , e raggiungere alte frequenze di switching.

L'analisi del *power* MOSFET prende in considerazione inoltre le induttanze parassite che vengono introdotte collegando il dispositivo con *wire bonds* di alluminio, oro o rame; tali elementi parassiti, pur non essendo caratteristici della tecnologia del MOSFET, ne alterano sensibilmente il normale funzionamento, in particolar modo ad elevate frequenze di commutazione.

Infine, si definisce la *Safe Operating Area* o SOA come la potenza massima che può dissipare il dispositivo. Graficamente, è un'area delimitata dalla corrente di drain e tensione

di drain-source massime consentite dal componente prima del suo danneggiamento. Di seguito, un esempio di SOA dei *power* MOSFET impiegati nella realizzazione della scheda.

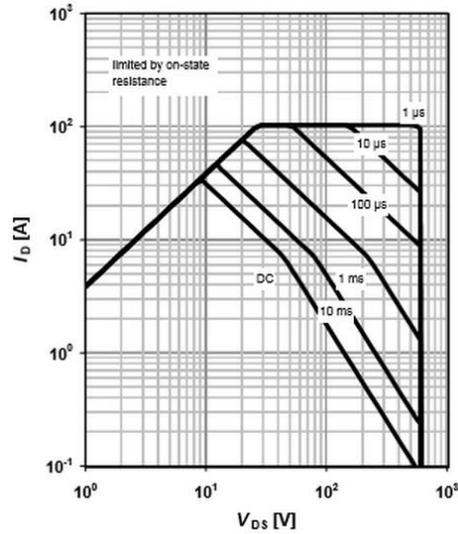


Figura 4.9: Grafico rappresentante la *Safe Operating Area* del *power* MOSFET Infineon SPW35N60C3.

Si analizzano ora le fasi di turn-on e turn-off del circuito equivalente semplificato di un generico *power* MOSFET [Figura 4.10], adatto per studiare la variazione delle principali grandezze che caratterizzano il dispositivo. Il circuito è perciò formato da una resistenza interna che rappresenta l'elettrodo di gate, due capacità in ingresso C_{gd} e C_{gs} la cui somma restituisce la già nota C_{iss} , caricate dalle relative correnti (I_{gd} e I_{gs}) e dalla R_{gd} .

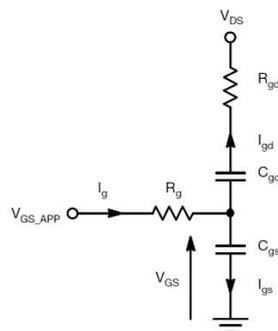


Figura 4.10: Circuito equivalente di un *power* MOSFET.

Nella fase iniziale di turn on [Figura 4.11] è applicata una tensione positiva ai capi del gate, pari a V_{GS_APP} , sino ad un valore tale per cui il MOS si accende; t_1 è definito come l'intervallo di tempo in cui V_{GS_APP} impiega per passare da 0 a V_{th} . In t_1 , la V_{DS} si trova al massimo della sua ampiezza ossia a V_{DD} mentre la corrente che scorre tra drain e source è nulla. Appena il MOSFET si accende si trova in regione lineare, per cui la V_{DS} è ancora alla tensione di alimentazione e la C_{GD} si carica in un tempo che influenza in modo sostanziale la velocità del componente. Nell'intervallo t_1 , potendo paragonare R_g e C_{gs} ad un circuito RC, la I_{gs} diminuisce esponenzialmente. In (t_3-t_2) la corrente I_{DS} cresce velocemente sino al suo valore massimo in t_3 , che mantiene fintanto che il MOSFET non viene spento. Nel suddetto intervallo di tempo, la tensione ai capi del gate e del source scema il suo continuo incremento, raggiungendo la regione definita di *Miller Plateau*, ossia la caratteristica di V_{GS} diviene piatta. La regione di *Miller Plateau* quantifica la dimensione della capacità di Miller C_{gd} in funzione di V_{DS} , la quale inizia perciò a scendere drasticamente, mentre il valore della tensione sul gate rimane costante a causa della corrente di spostamento. In questo esempio, la regione di *Miller Plateau* comincia nell'istante preciso di massima I_{DS} ; nel reale funzionamento del *power* MOSFET ciò non accade, soprattutto se la corrente di drain è piccola e l'impedenza di uscita alta, per cui il massimo della corrente in oggetto è spostato a destra del plateau. Di seguito sono riportate le equazioni per stimare i diversi intervalli di tempo del turn-on.

$$t_1 = (R_g + R_{g_app}) \cdot (C_{gs} + C_{gd}) \cdot \ln \left(\frac{1}{1 - \frac{V_{th}}{V_{GS_APP}}} \right) \quad (\text{Eq. 4.5})$$

$$t_2 = (R_g + R_{g_app}) \cdot (C_{gs} + C_{gd}) \cdot \ln \left(\frac{1}{1 - \frac{V_{GP}}{V_{GS_APP}}} \right) \quad (\text{Eq. 4.6})$$

$$t_3 = \frac{(R_g + R_{g_app}) \cdot C_{gd} \cdot (V_{DS} - V_F)}{V_{GS_APP} - V_{GP}} \quad (\text{Eq. 4.7})$$

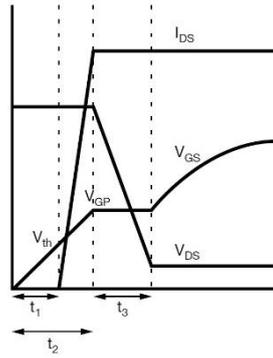


Figura 4.11: Grafico rappresentante la fase di turn-on (ascissa il tempo, ordinata le grandezze tensione e corrente).

Usufruento degli stessi principi, il grafico della fase di turn-off appare circa speculare a quello di turn-on [Figura 4.12]. Il processo ha inizio quando sul gate del *power* MOSFET viene meno la tensione applicata precedentemente, perciò V_{GS} decresce, fintanto che non torna nella regione di *Miller Plateau*, nell'istante t_5 ; dopodiché si annulla in un tempo t_6 . Nella fase iniziale di turn-off è presente un ritardo dovuto alla capacità C_{iss} che deve scaricarsi sino al valore di *Miller*. La corrente di drain-source, che sino ad allora era rimasta costante, cala esponenzialmente in corrispondenza di t_6 , ossia quando la tensione V_{DS} raggiunge nuovamente il valore V_{DD} . In generale, determinare gli intervalli t_3 e t_5 risulta essere difficoltoso, a causa della forte variazione di V_{DS} e della capacità C_{gd} . Per tale motivo, di norma si stimano i citati intervalli di tempo senza utilizzare parametri dinamici.

$$t_4 = (R_g + R_{g_app}) \cdot (C_{gs} + C_{gd}) \cdot \ln\left(\frac{V_{GS_APP}}{V_{GP}}\right) \quad (\text{Eq. 4.8})$$

$$t_5 = (R_g + R_{g_app}) \cdot C_{gd} \cdot \ln\left(\frac{V_{DS} - V_F}{V_{GP}}\right) \quad (\text{Eq. 4.9})$$

$$t_6 = (R_g + R_{g_app}) \cdot (C_{gs} + C_{gd}) \cdot \left(\frac{V_{GP}}{V_{th}}\right) \quad (\text{Eq. 4.10})$$

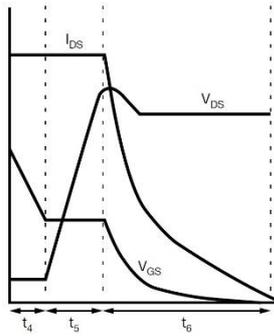


Figura 4.12: Grafico rappresentante la fase di turn-off (ascissa il tempo, ordinata le grandezze tensione e corrente).

La definizione del turn-on può essere stimata dal tempo di carica del gate, se questo è percorso da una corrente costante. Nel grafico inferiore della [Figura 4.13], t_2 che comprende anche t_1 , è determinato dalla carica Q_{GS} , che parte dal valore nullo sino a portarsi a quello di *Miller Plateau*. Q_{GD} definisce invece il plateau, da V_{GS} uguale a V_{GP} fino al termine di tale regione; infine Q_G rappresenta la carica totale, calcolata dall'inizio del processo sino al punto della curva corrispondente alla massima V_{GS} , ossia quando la caduta di tensione tra gate e source uguaglia la tensione di picco del drive che controlla il MOSFET stesso. La carica di gate è leggermente dipendente dalla corrente di drain e dalla tensione drain-source; si nota inoltre che il valore della tensione che descrive la regione di plateau è direttamente proporzionale alla tensione di soglia V_{th} , perciò l'incremento di un parametro si riflette nella variazione dell'altro.

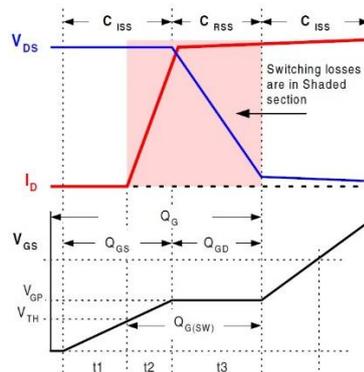


Figura 4.13: In alto, la tensione ai capi del MOSFET e la corrente che circola su di esso. In basso, V_{GS} in funzione del tempo.

Le perdite presenti nel *power* MOSFET sono determinate da due contributi, ovvero dalla somma tra quelle di conduzione e quelle di switching. Le prime vengono calcolate facilmente andando a moltiplicare il quadrato della corrente di uscita per la resistenza interna R_{DS-ON} (alla temperatura di giunzione massima) ed un fattore moltiplicativo, come segue:

$$P_{cond} = I_{out}^2 \cdot R_{DS-ON@T_{Jmax}} \cdot \frac{V_{out}}{V_{in}} \quad (\text{Eq. 4.11})$$

Per le perdite dovute alla commutazione dello stato del MOSFET, ci si avvale della rappresentazione in [Figura 4.13] riferita al solo turn-on, in cui $Q_{G(SW)}$ rappresenta la quantità di carica di gate misurata nell'intervallo di commutazione. Il vero istante dal quale si inizia a calcolare le perdite di switching corrisponde a quello in cui V_{GS} raggiunge la tensione di soglia, la capacità in ingresso C_{iss} è carica e la corrente di drain incrementa linearmente. In t_2 , il componente sostiene l'intera tensione di ingresso ai suoi capi, per cui l'energia all'interno del MOSFET può essere calcolata come segue, dal momento che quella nel periodo t_1 è nulla:

$$E_{t_2} = t_2 \cdot \left(\frac{V_{in} \cdot I_{out}}{2} \right) \quad (\text{Eq. 4.12})$$

Entrando nel terzo intervallo temporale, la V_{DS} inizia a scendere in corrispondenza del massimo raggiunto dalla corrente di drain; la forma dell'equazione che ne caratterizza l'energia nel t_3 è identica alla precedente, per cui la potenza dispersa causa la commutazione dal valore basso a quello alto è stimata come segue:

$$P_{sw(L-H)} = (t_2 + t_3) \cdot f_{sw} \cdot \left(\frac{V_{in} \cdot I_{out}}{2} \right) = t_{sw(L-H)} \cdot f_{sw} \cdot \left(\frac{V_{in} \cdot I_{out}}{2} \right) \quad (\text{Eq. 4.13})$$

La forma dell'equazione quando il componente commuta nello stato complementare è identica alla (Eq. 4.13), per cui la potenza che viene dissipata per commutazione, in forma integrale e quella mediamente dissipata, è pari a:

$$P_{sw} = \int_{t_{sw(L-H)}} V_{in}(t) \cdot I_{out}(t) dt + \int_{t_{sw(H-L)}} V_{in}(t) \cdot I_{out}(t) dt \quad (\text{Eq. 4.14})$$

$$P_{sw} = (t_{sw(L-H)} + t_{sw(H-L)}) \cdot f_{sw} \cdot \left(\frac{V_{in} \cdot I_{out}}{2} \right) \quad (\text{Eq. 4.15})$$

La descrizione completa dei MOSFET impiegati nella realizzazione dell'*NPC T-Type Inverter*, SPW35N60C3 N-ch dell'*Infineon*, è riportata in [Appendice B].

4.3. AMBIENTE DI PROGETTAZIONE

La scheda viene progettata con l'ausilio di *Altium Designer*, un pacchetto software per la progettazione elettronica di circuiti stampati, FPGA e progettazione di *software embedded*. Si tratta di un ambiente molto vasto, comprendente numerose funzionalità:

- progettazione degli schemi circuitali realizzati tramite opportune librerie, accesso ai dati del produttore e simulazione del circuito SPICE,
- progettazione PCB con posizionamento dei componenti,
- instradamento manuale ed automatico, strumenti di sviluppo FPGA, simulazione VHDL e *debugging*,
- visualizzazione 2D, 3D e rendering della scheda.

Di seguito è rappresentata la finestra iniziale di *Altium Designer*.

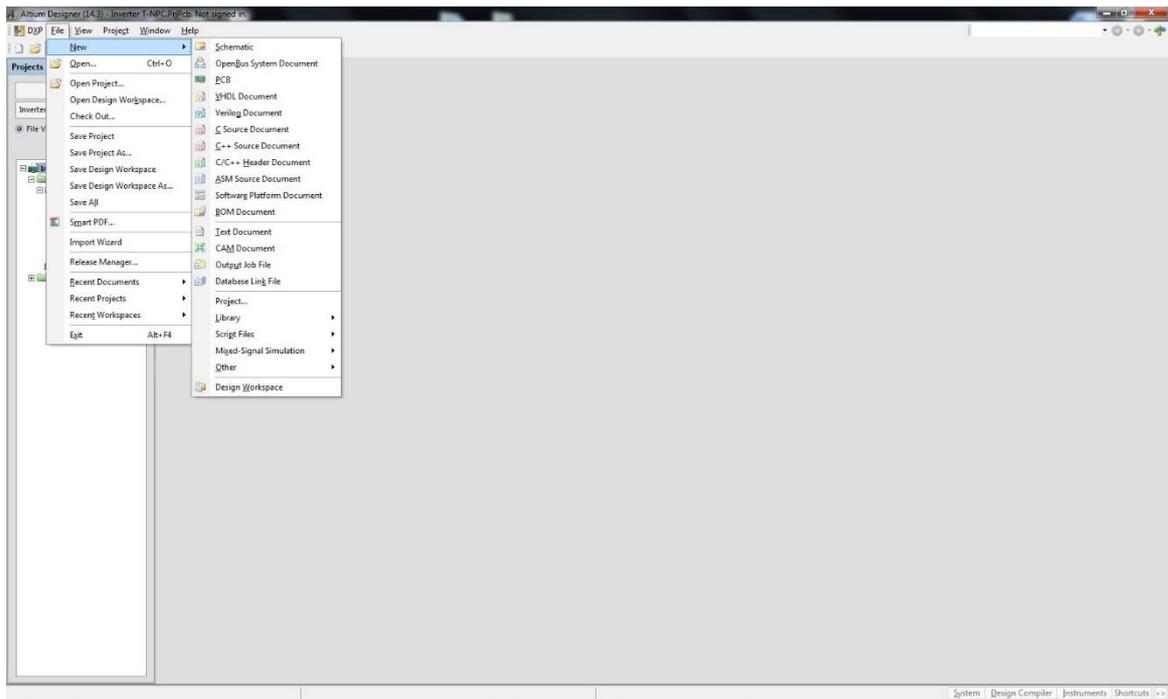


Figura 4.14: Pagina iniziale *Altium Designer*.

I passi per l'avvio di un progetto sono semplici: dopo aver aggiunto un nuovo schematico .PrjPCB, che permette di disegnare i circuiti con i simboli elettronici associati ai componenti, si apre una finestra bianca impostata di default sulla dimensione A4 [Figura 4.15] per il disegno vero e proprio. Il setup iniziale comprende anche la modifica del formato del foglio, fornita dalla sezione “Design” e “Document Options” nella barra dei menù.

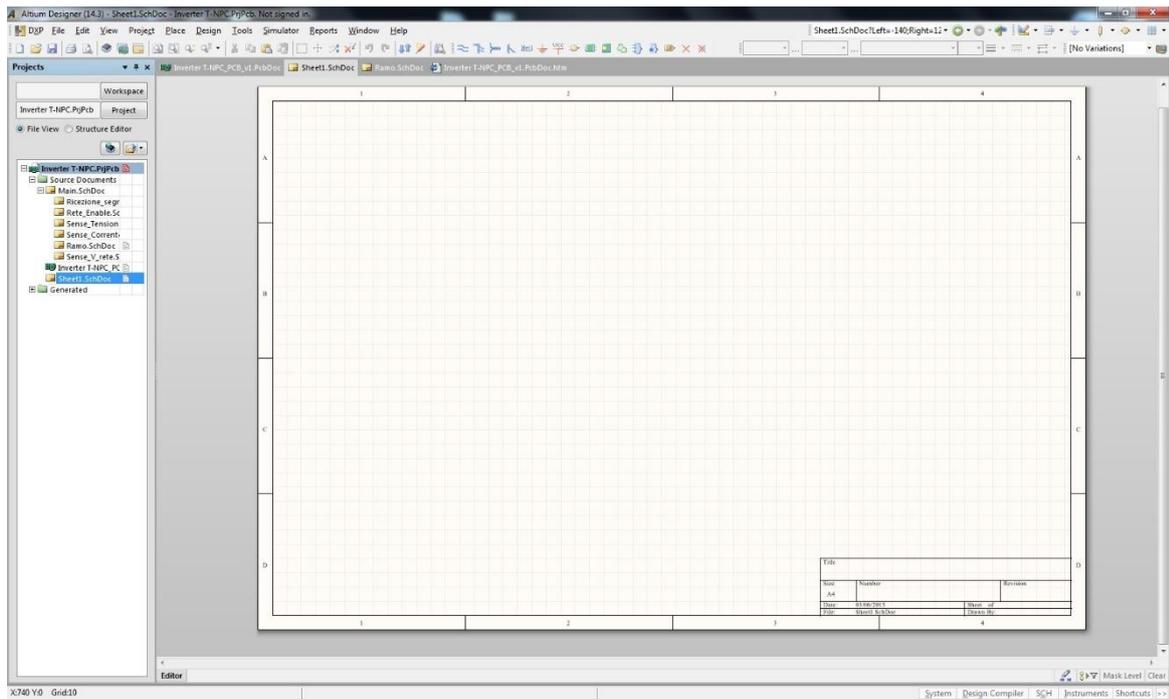


Figura 4.15: Finestra per l’inserimento di un nuovo schematico.

Si procede quindi con l’inserimento di un file PCB al progetto, che fornisce l’accesso ad una schermata inizialmente nera, nella quale poi verranno visualizzati in scala i componenti scelti. Tornando allo schematico, si inizia a disegnare inserendo i componenti o, se già esistente, sfruttando schemi elettrici che possono essere facilmente importati nell’ambiente di progettazione. Per ogni componente si definiscono gli opportuni parametri, tramite il menù a tendina “Tools” e “Find Component...”. La finestra appena aperta permette di modificare il nome, il valore e la libreria dalla quale caricare la descrizione dei componenti. Dopo aver posizionato i simboli circuitali sul foglio dello schematico ed averli collegati, è necessario sceglierne il *footprint* [Figura 4.16].

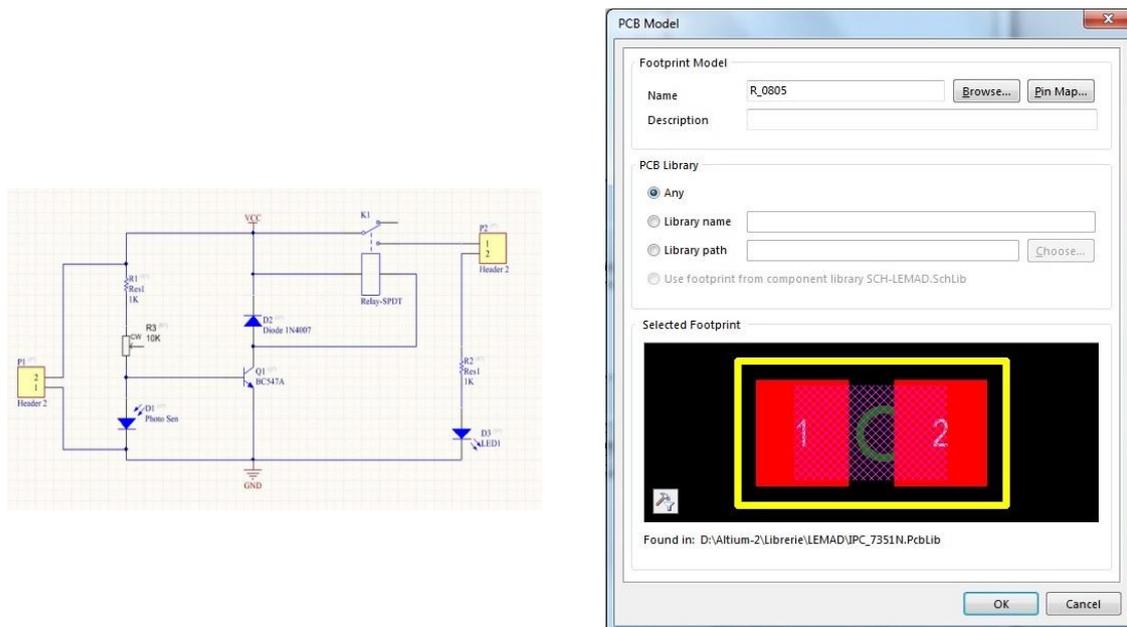


Figura 4.16: Esempio di schematico (a sinistra) e di footprint (a destra).

Dal circuito cablato e selezionando tutti i *footprint* corretti, si importa lo schematico in PCB, e si crea la basetta che andrà ad accogliere i componenti. Il tool di PCB permette la visualizzazione in 2D e in 3D con la serigrafia delle piazzole, molto utile per poter farsi un'idea precisa sulla collocazione dei componenti e sul volume da essi occupato rispetto alla basetta. Si disegnano quindi i collegamenti per lo sbrogliato secondo determinate regole, quali la distanza minima tra due piste parallele, le dimensioni delle piste stesse, dei fori, delle piazzole e quant'altro. Infine si sceglie il metodo di sbroglio, a mano o che l'autorouter dovrà eseguire (singola o doppia faccia della basetta).

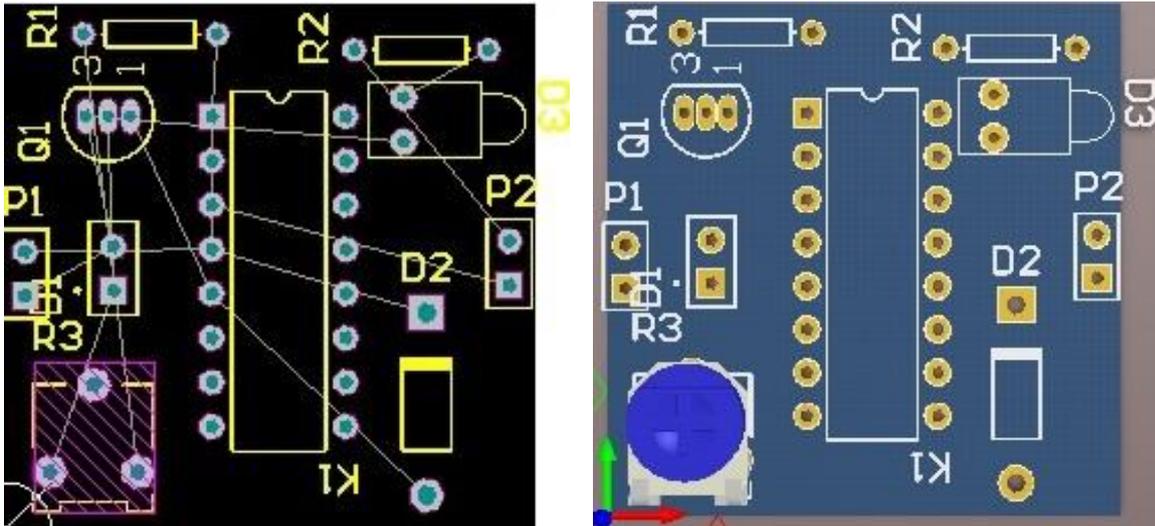


Figura 4.17: Esempio di PCB 2D a sinistra e 3D a destra, prima dello sbroglio.

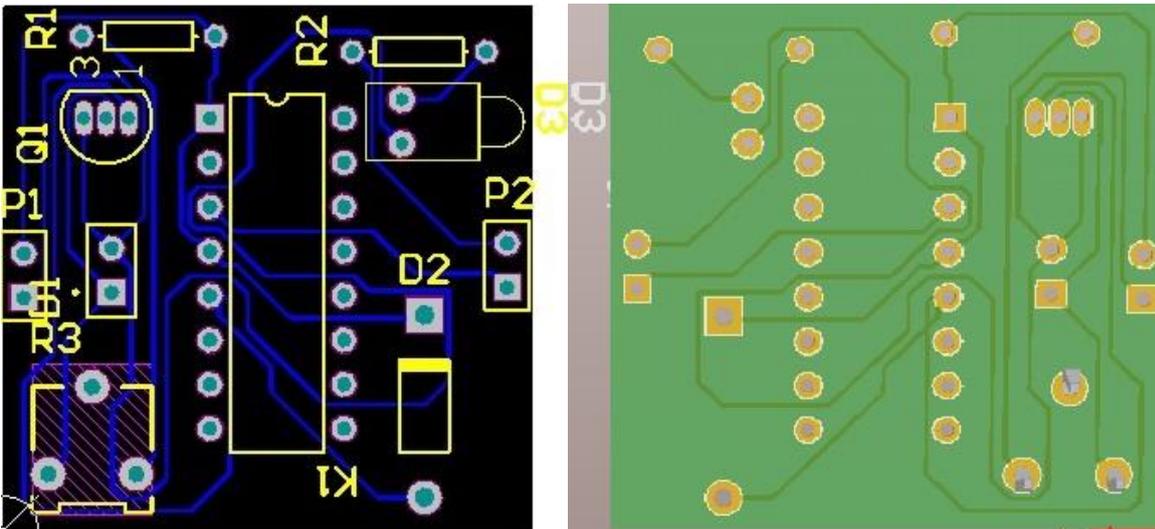


Figura 4.18: Esempio di PCB 2D a sinistra e 3D a destra, dopo lo sbroglio automatico.

Della scheda così ideata ne viene stampato il negativo, selezionando il percorso “Page Setup...” e “Advanced”, ed abilitando o meno i parametri per il *Top Overlay*, *Top Layer*, *Bottom Layer*, *Multi-Layer* e *Mechanical Layers*, a seconda di quali e quanti strati sono stati predisposti ad ospitare i componenti.

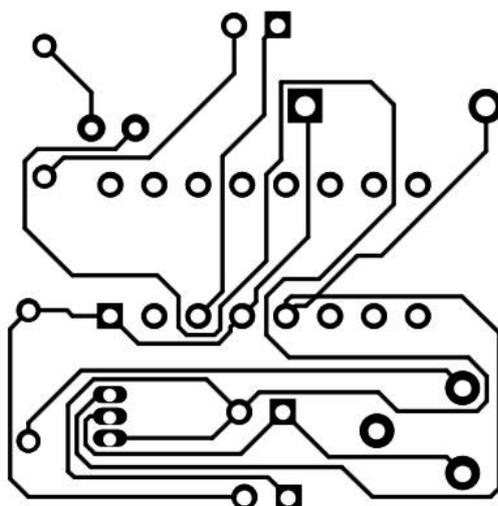


Figura 4.19: Esempio di negativo di un PCB pronto per la fotoincisione.

4.4. SCELTE PROGETTUALI

La progettazione hardware si compone di molteplici passaggi atti alla realizzazione della scheda che, per semplicità esplicativa, si sceglie di presentare dapprima quelli relativi agli schematici del lato segnale, per proseguire col lato potenza. Dal punto di vista circuitale, non sono necessarie modifiche nel caso siano impiegati sulla scheda MOSFET piuttosto che IGBT.

4.4.1. Lato Segnale

Innanzitutto la scheda è progettata per essere alimentata con 8-12 [V] e presenta isolamento galvanico fornito da un'induttanza di modo comune posta a monte del *chopper buck* LM2575-5 della *Texas Instrument*. Il chopper abbassatore, rispetto all'ingresso riduce il valore medio di tensione in uscita a 5 [V], che verrà poi distribuito sulla gran parte della scheda. Per facilitare l'utente sulla conoscenza del corretto funzionamento del circuito di alimentazione, a valle di questo viene introdotto un LED che ne segnala lo stato.

I segnali che controllano i gates dei *power* MOSFET possono essere prelevati dal ricevitore in modalità *single-ended* o *double-ended* (differenziale). La presenza di due tipologie di buffer riceventi aggiunge versatilità alla scheda, benché di norma si prediliga il secondo metodo. Il *single-ended* è una trasmissione che necessita di una linea adibita al segnale e di

una di riferimento, generalmente la massa; la ricezione *single-ended* è semplice, le connessioni sono minime e perciò i costi rimangono contenuti solo se utilizzato su brevi distanze. Di contro, non garantisce la soppressione dei rumori, in particolare quello di modo comune, aumentando così la probabilità di degradazione del segnale utile, nonché la presenza di accoppiamenti induttivi e capacitivi e di irradiazione. In condizioni di grande distanza tra la generazione dei segnali di controllo e il buffer di ricezione, si decide quindi per il metodo differenziale. Quest'ultimo è composto da due cavi ravvicinati per ogni segnale, in cui il primo trasporta in questo caso il PWM in logica positiva e il secondo in logica negativa; i disturbi esterni irrompono dunque con la medesima intensità su entrambe le linee. In ricezione viene calcolata la differenza tra i due PWM, operazione che permette di annullare il rumore totale sovrapposto al segnale utile. Il principale vantaggio risiede nell'alta immunità ai rumori di modo comune, persino su lunghe distanze, e la non dipendenza del segnale dalla massa, risultando quindi ininfluenza. Così facendo, se il cavo di massa fosse attraversato da correnti che portano alla creazione di differenze di potenziale, queste non genererebbero effetti indesiderati sui valori logici dei segnali utili. Il sistema di trasmissione differenziale non è perciò sensibile alla tensione di modo comune, definita come la media della tensione nelle due linee rispetto alla massa locale [Paragrafo 1.2.6]. Di contro, la richiesta di un numero doppio di linee e la necessità di driver maggiormente complessi rispetto alla trasmissione *single-ended* comporta ad innalzarne i costi. La scelta tra le due modalità viene banalmente selezionata per mezzo di un jumper. Di seguito [Figura 4.20], è rappresentato lo schematico del ricevitore differenziale MAX3095 della *Maxim Integrated*, utilizzato nell'acquisizione dei PWM. Tale componente è alimentato da 5 [V], tensione stabilizzata da una capacità da 100 [nF], e presenta in ingresso una coppia di pin per ogni interruttore del lato potenza, in valore positivo e negativo; ne viene quindi fatta la differenza dopo aver negato il secondo pin di ogni coppia.

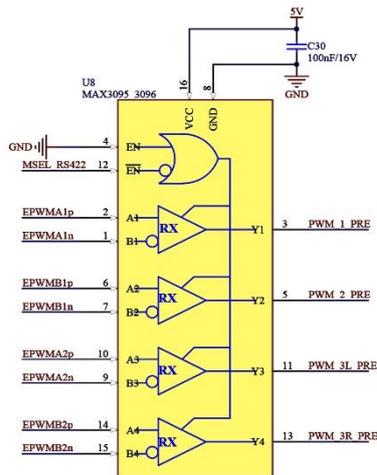


Figura 4.20: Ricevitore differenziale MAX3095 della Maxim Integrated.

Il segnale uscente dal ricevitore differenziale attraversa un buffer intermedio, per poi raggiungere il filtro RC del primo ordine, responsabile della generazione del tempo morto [Figura 4.21]; il filtro passa basso viene normalmente introdotto nel caso di segnali trasmessi dall'esterno alla scheda. Le sovratensioni che si possono generare sono ostacolate dai diodi presenti per ogni ramo, che ne impediscono la propagazione in tutto il circuito. Il PWM viene quindi condotto nel buffer che ne renderà la forma d'onda maggiormente conforme al controllo dei MOSFET di potenza.

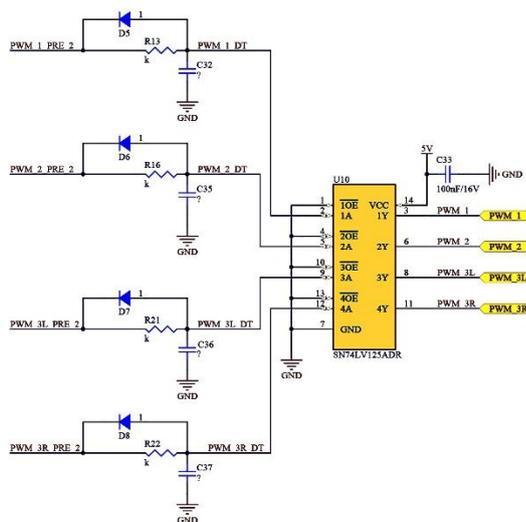


Figura 4.21: Filtri RC in ingresso al buffer SN74LV125ADR della Texas Instrument.

I segnali PWM in uscita ai pin 3, 6, 8 e 11 sono quindi trasportati al circuito di *enable* che gestisce il possibile evento di *fault* [Figura 4.22]. La logica, di seguito rappresentata, è fondamentale per proteggere il sistema da configurazioni che potrebbero portare al danneggiamento dell'intero dispositivo. Il segnale di *fault*, attivo basso inviato dalla scheda ai driver, è valutato in tale maniera:

$$\overline{FLT_PWM} = \overline{(PWM_3R + PWM_2) \cdot PWM_1} \cdot \overline{(PWM_2 \cdot PWM_3L)} \quad (\text{Eq. 4.16})$$

In alternativa l'evento di *fault*, e di conseguenza l'interruzione della trasmissione di segnali, può essere generato dall'utente stesso, per mezzo di uno switch attivo basso. Le due modalità di gestione dei *fault* si distinguono grazie alla presenza di due LED (D9 e D10) che, se accesi, ne permettono il riconoscimento. In condizioni di eventi pericolosi per l'integrità della scheda il circuito viene aperto, azione permessa dai diodi di ricircolo; in questo modo si evita la propagazione delle configurazioni considerate erronee. Per resettare il sistema dall'evento di *fault* è necessario premere nuovamente il bottone. Si noti la presenza di capacità da 5 [V] tra tutte le alimentazioni e massa, per stabilizzare la tensione stessa.

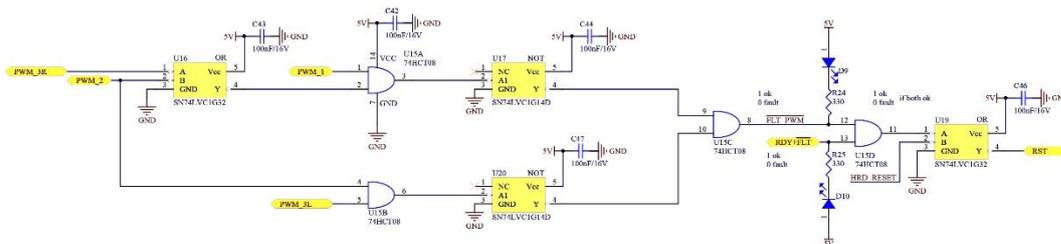


Figura 4.22: Circuito di *enable* per la gestione del segnale di *fault*.

4.4.2. Lato Potenza

Se la configurazione richiesta dal controllo è corretta, i segnali PWM vengono inviati ai quattro driver, che svolgono alcune funzioni, adattando la tensione in ingresso da 5 [V] a 15 [V] di uscita, isolando galvanicamente tramite induttanza di modo comune ed inviando

i segnali di controllo ai gates dei quattro interruttori. Tali dispositivi risultano molto versatili perciò impiegati per pilotare switch appartenenti ad inverter, sia a due livelli che multilivello, anche differenti da quello in esame. Di seguito viene preso in esempio lo schematico del driver associato all'interruttore Q1.

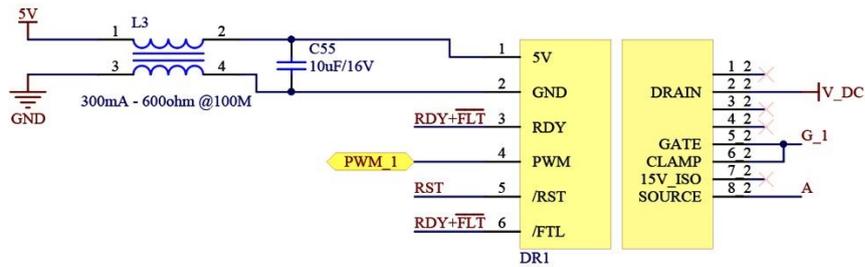


Figura 4.23: Esempio di driver che pilota l'interruttore Q1 dell'inverter.

Il fulcro del lato potenza è l'inverter *NPC T-Type* in configurazione *single leg* [Figura 4.24], alimentato dal bus DC a monte del convertitore stesso. Dal punto di vista progettuale e realizzativo, il bus DC è composto da sei condensatori elettrolitici da 470 [μF] che ne mantengono stabile la tensione, e da quattro capacità senza polarizzazione, contraddistinti da una caratteristica di carica/scarica molto più veloce rispetto a quella attribuita alla tipologia precedente. Queste ultime, da 680 [nF], hanno principalmente il compito di soddisfare l'eventuale richiesta repentina di picchi di tensione, da parte della rete a valle. La configurazione dell'inverter rispecchia esattamente quella simulata in PLECS, a meno delle resistenze tra gate e source richieste dalle application notes degli switch. Per semplificare la scelta sulle caratteristiche dell'interruttore, sia esso IGBT che *power MOSFET*, e riuscire a studiarne la risposta durante il funzionamento, ne è stata impiegata la stessa tipologia sia per il ramo di inverter che per il ramo di clamp; ad esempio, il *power MOSFET* impiegato [Appendice B] presenta V_{DS} pari a 650 [V], $R_{DS-ON@T_{Jmax}}$ di 0.1 [Ω] e I_D di 34.6 [A].

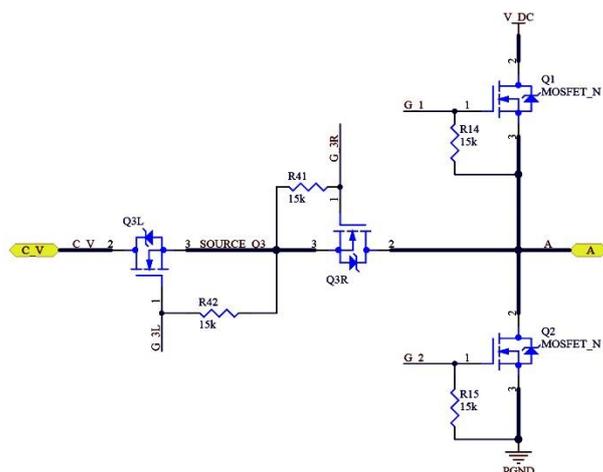


Figura 4.24: Inverter single leg NPC T-Type.

4.4.3. Sensing e Progetto Finale

La parte di rilevazione delle grandezze che caratterizzano il circuito, posta nel lato segnale della scheda, è effettuata da dispositivi che si trovano facilmente in commercio, i quali vengono collegati a partitori di tensione, nel caso sia necessario adattarne il livello rispetto a quello richiesto dal dispositivo stesso, e filtri del secondo ordine di *Sallen-Key*, in configurazione passa-basso. In specifico, per il sensing della tensione ai capi dei condensatori del bus DC si impiega un sensore adatto alla misurazione in sistemi di piccola-media potenza, ossia l'HCPL-7510 dell'*Avago Technologies*; la misurazione della tensione di rete viene invece fornita da un dispositivo ancora più preciso, l'ACPL-C79A, della stessa casa costruttrice del precedente. Infine, il circuito che consente il sensing in corrente da immettere nella rete è costituito principalmente da un sensore a effetto Hall, ACS712-20 dell'*Allegro Microsystems*.

La scheda così concepita è rappresentata sia in 2D [Figura 4.25] che in 3D [Figura 4.26], entrambe con lato segnale evidenziato dalla cornice nera. Viene raffigurato infine il negativo [Figura 4.27] fornito all'azienda che realizzerà la fotoincisione del PCB.

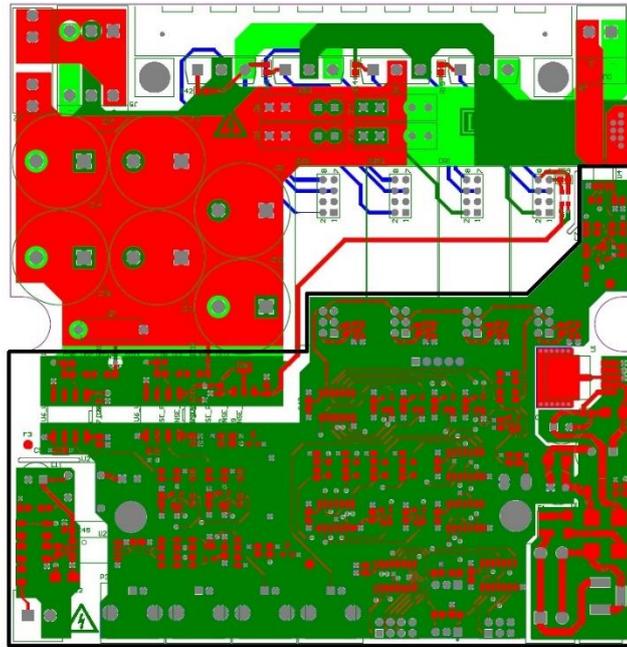


Figura 4.25: Rappresentazione 2D della scheda, lato segnale (delimitato dalla cornice nera) e lato potenza.



Figura 4.26 Rappresentazione 3D della scheda, lato segnale (delimitato dalla cornice nera) e lato potenza.

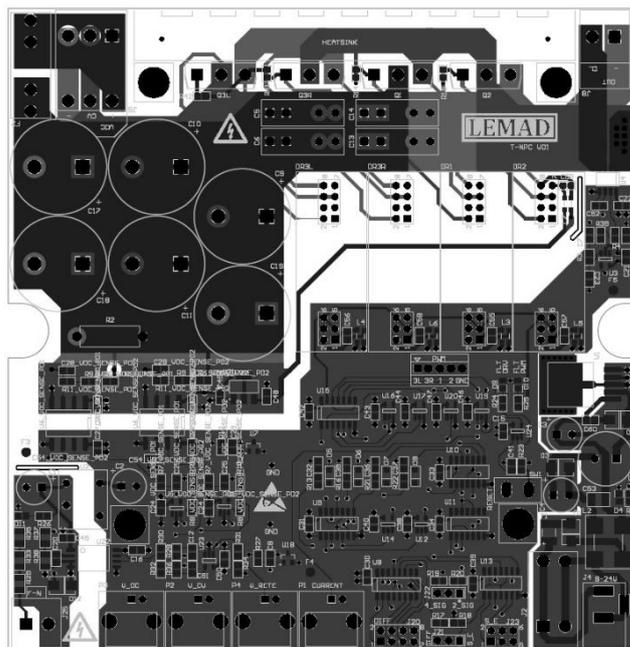


Figura 4.27: Negativo della scheda.

4.5. ASSEMBLEGGIO DELLA SCHEDA

Nel laboratorio LEMAD, presso il quale è svolta l'attività di tesi sperimentale, si effettuano attività del gruppo di ricerca di "Convertitori, Macchine ed Azionamenti Elettrici", che riguardano i seguenti settori:

- sistemi di condizionamento della potenza;
- convertitori elettronici di potenza;
- macchine ed attuatori elettrici;
- azionamenti elettrici;
- diagnostica di macchine ed azionamenti elettrici;
- veicoli elettrici;
- produzione di energia da fonti rinnovabili.

Per mezzo della strumentazione messa a disposizione dal laboratorio stesso, si passa quindi alla stagatura di tutti i componenti, per la maggior parte SMD (*Surface Mount Technology*), sulla scheda PCB di seguito rappresentata:

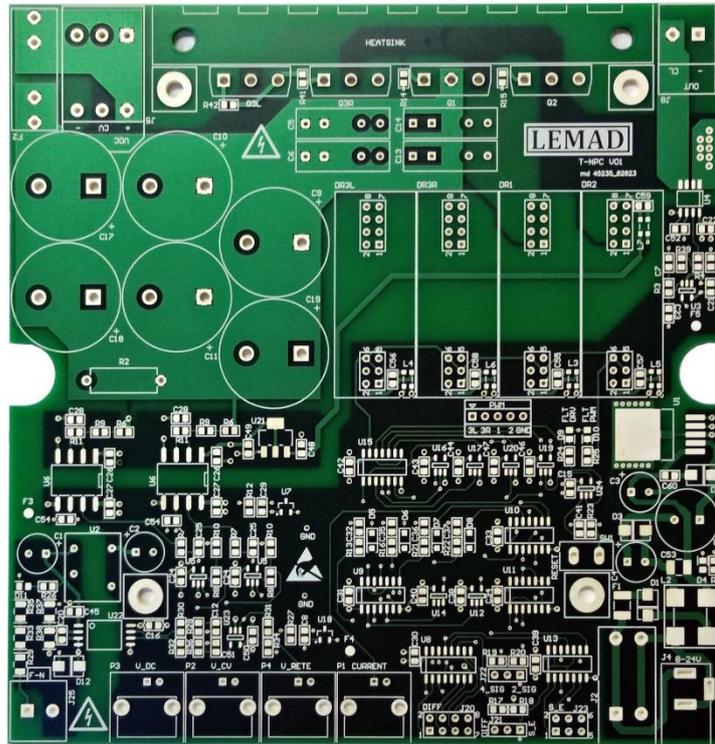


Figura 4.28: Scheda PCB fotoincisa.

L'assemblaggio di componenti viene eseguito con un particolare ordine, in modo tale da testare preventivamente ogni singola parte che compone la scheda. Questa metodologia facilita la localizzazione di un eventuale malfunzionamento, in quanto per ogni dispositivo assemblato, come circuito di alimentazione piuttosto che rete di *enable* e *sensing*, vengono effettuate prove sulla conducibilità elettrica e misurazione delle cadute di tensione, ad esempio mediante multimetro. Di seguito è rappresentato il risultato finale dell'assemblaggio.

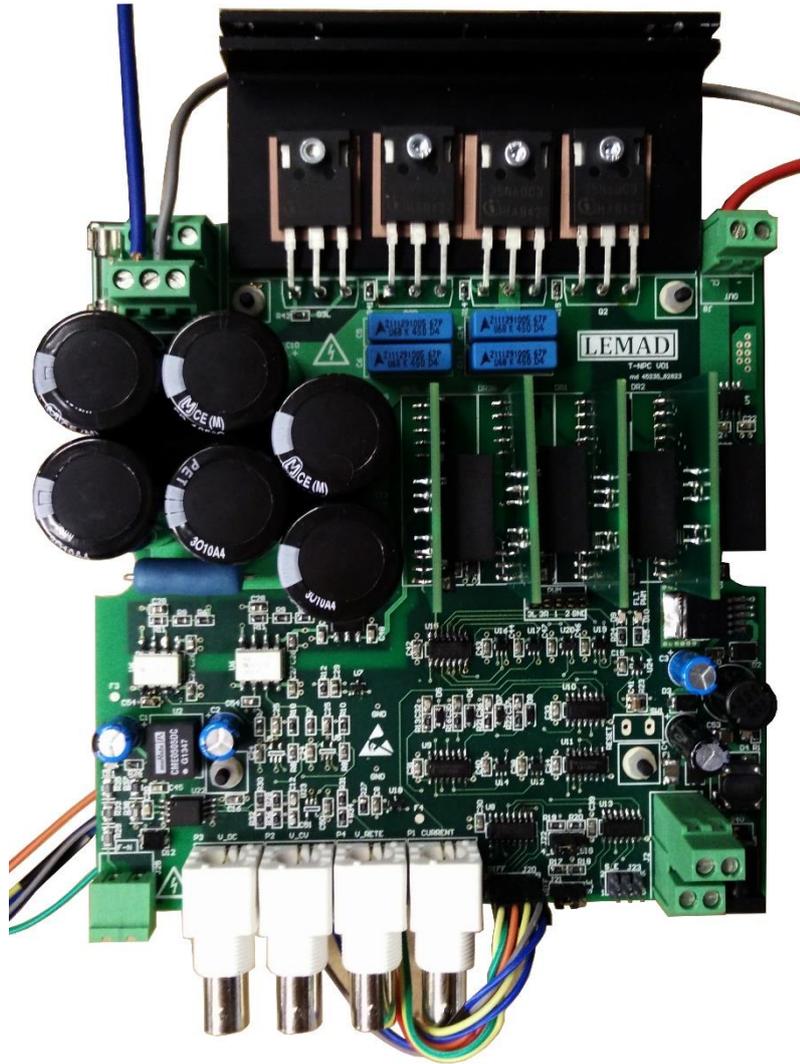


Figura 4.29: Scheda PCB assemblata; nel lato potenza risiede l'NPC T-Type Inverter.

Capitolo 5

5. TEST EFFETTUATI SULLA SCHEDA

La scheda assemblata è sottoposta a collaudo, sia con *power* MOSFET che con IGBT, verificando il corretto funzionamento del lato segnale, prima che questa venga utilizzata come inverter di potenza. Ad esito positivo corrisponde il passo successivo, ossia l'applicazione di opportune tensioni al lato potenza, controllando i valori e le forme delle grandezze in uscita dalla configurazione *single leg*.

Sopraccitati test sono effettuati per mezzo di strumenti messi a disposizione dal laboratorio LEMAD; in particolare, ci si avvale di un generico alimentatore da 12 [V] per alimentare il lato segnale della scheda ed un alimentatore AC/DC da 600 [V] e 5.5 [A] per il lato potenza. Si utilizzano sonde di tensione e di corrente ad effetto Hall della *Fluke* per poter prelevare i segnali dal dispositivo e visualizzarli sull'oscilloscopio della *Yokogawa* DL1640. Per la nomenclatura degli schematici citati nonché la numerazione dei pin, si faccia riferimento al [Paragrafo 4.4].

5.1. COLLAUDO DELLA SCHEDA

Nella parte di collaudo si misura la risposta che il dispositivo fornisce a determinate sollecitazioni, partendo banalmente dal circuito di alimentazione. Si prosegue quindi testando i segnali PWM sul DSP (*Digital Signal Processing*) F28335 EDSP della *Texas Instrument* [Figura 5.1] e [Appendice C], che controllano i gates dei MOSFET dell'*NPC T-Type*, o la base per gli IGBT. Il DSP fornisce altresì funzioni basilari da poter implementare velocemente sul dispositivo stesso in linguaggio *C-based*, generato tramite ambiente di sviluppo integrato *Code Composer Studio*. Le caratteristiche definite in [Paragrafo 5.1.1] e [Paragrafo 5.1.2], si riferiscono al collaudo effettuato su scheda che

implementa *power* MOSFET, benché la medesima attività sia stata messa a punto con entrambe le tipologie di componente.

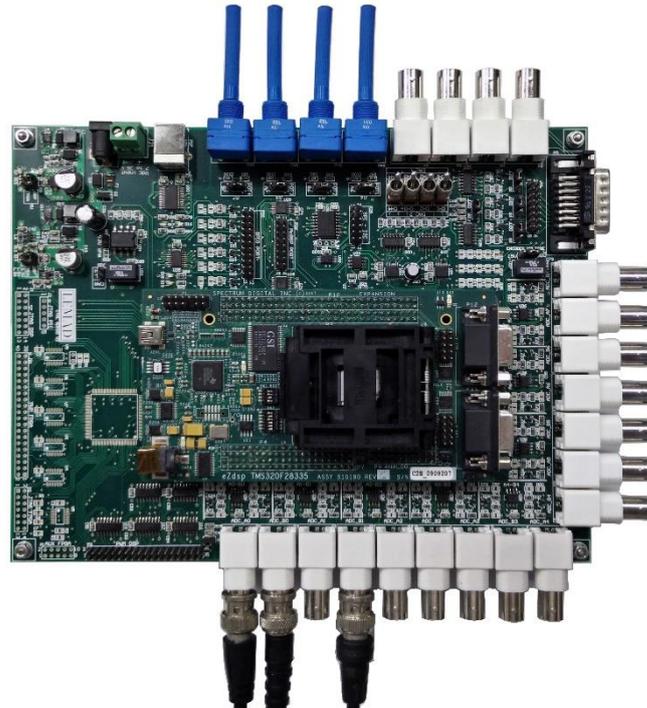


Figura 5.1: F28335 EDSP della *Texas Instrument*.

5.1.1.1. Configurazione *NPC T-Type Inverter*

Sia in letteratura che in simulazione, l'inverter viene controllato tramite due portanti confrontate con la modulante sinusoidale, per mezzo della *Level-Shifted Carriers SPWM* [Paragrafo 1.4.4.2]; per ragioni puramente implementative, i segnali di gestione dei *power* MOSFET sono invece caratterizzati da due modulanti, di seguito rappresentate in verde e giallo, ognuna associata ad una coppia di interruttori. È possibile controllare manualmente il rapporto tensione/frequenza delle modulanti in oggetto per mezzo di uno dei potenziometri collocati sul DSP.

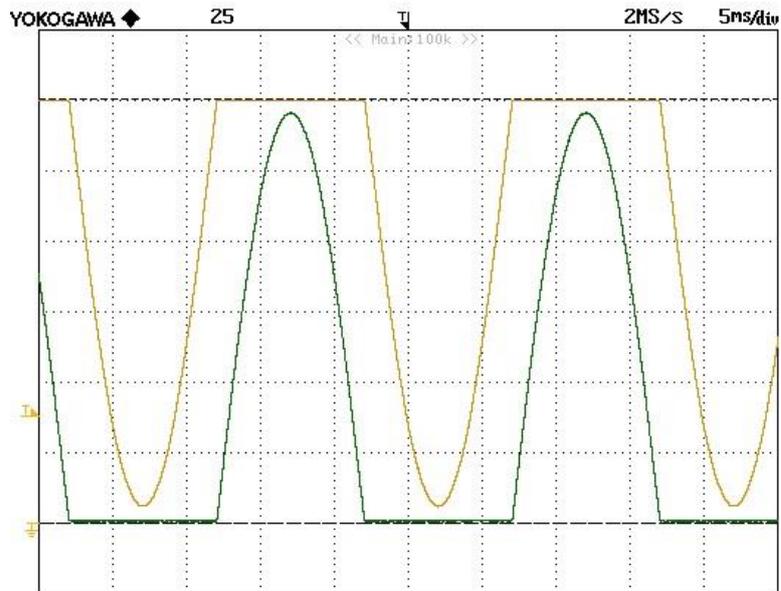


Figura 5.2: Modulanti associate ai power MOSFET.

Ogni modulante è confrontata con due PWM complementari tra loro: all'aumentare del valore in tensione di una, il duty cycle di uno dei segnali associato ad essa cresce, mentre quello che caratterizza l'altro PWM si riduce, e viceversa.

In [Figura 5.3] e in [Figura 5.4] vengono riprodotte in dettaglio le forme d'onda PWM, al variare della modulante (verde) relativa ai MOSFET Q1 e Q3L, e della restante (gialla) che coinvolge gli interruttori Q2 e Q3R. Prendendo come esempio la prima figura, il duty cycle del segnale che controlla lo switch in alto del ramo di inverter aumenta proporzionalmente con il valore di tensione della modulante, fintanto che quest'ultima non raggiunge la massima ampiezza, dopodiché entrambi i segnali decrescono fino ad annullarsi. In opposto, il duty cycle dello switch esterno al ramo di clamp raggiunge il 100% in concomitanza al valore nullo della stessa modulante. I duty cycle dei PWM che agiscono sui power MOSFET Q2 e Q3R, possiedono comportamento coerente a quanto già esplicito, in relazione alla modulante superiore (gialla).

In entrambi i casi, si nota la mancata istantaneità sul fronte di salita da parte dei PWM, condizione accentuata altresì nella scheda, dove risiede il convertitore preceduto dal circuito responsabile dei tempi morti.

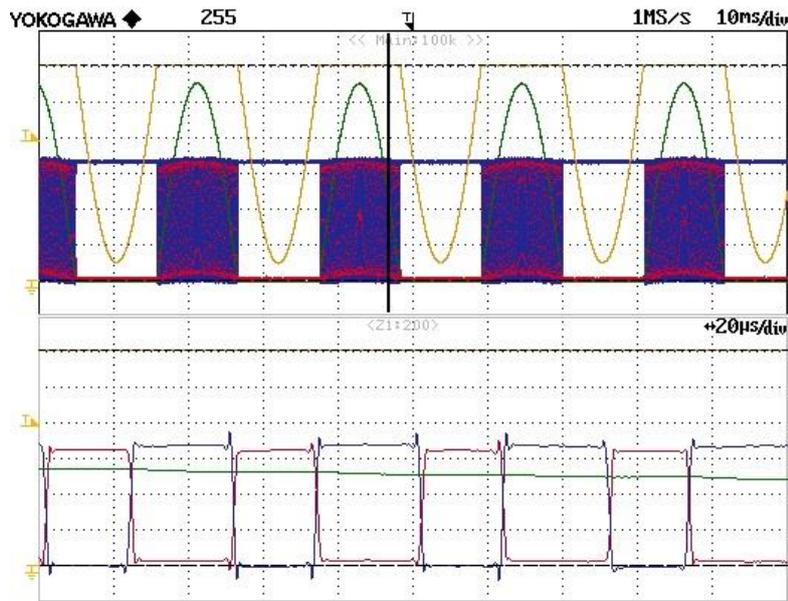


Figura 5.3: Segnali PWM in blu e rosso di ampiezza 3.3 [V], associati alla modulante verde.

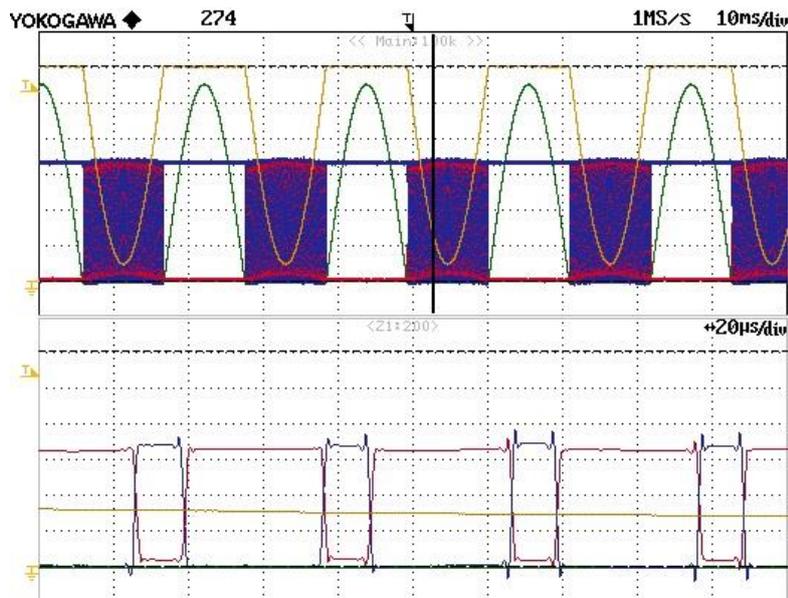


Figura 5.4: Segnali PWM in blu e rosso di ampiezza 3.3 [V], associati alla modulante gialla.

In uscita al DSP si stimano quindi i PWM [Figura 5.5]. Nella parte inferiore dello *screenshot* è indubbiamente apprezzabile la pendenza della porzione del duty cycle dove si raggiunge il massimo valore di tensione. L'assenza della parte costante può essere imputata alle non linearità del dispositivo di controllo, che altera pertanto la forma di quella che dovrebbe essere un'onda rettangolare.

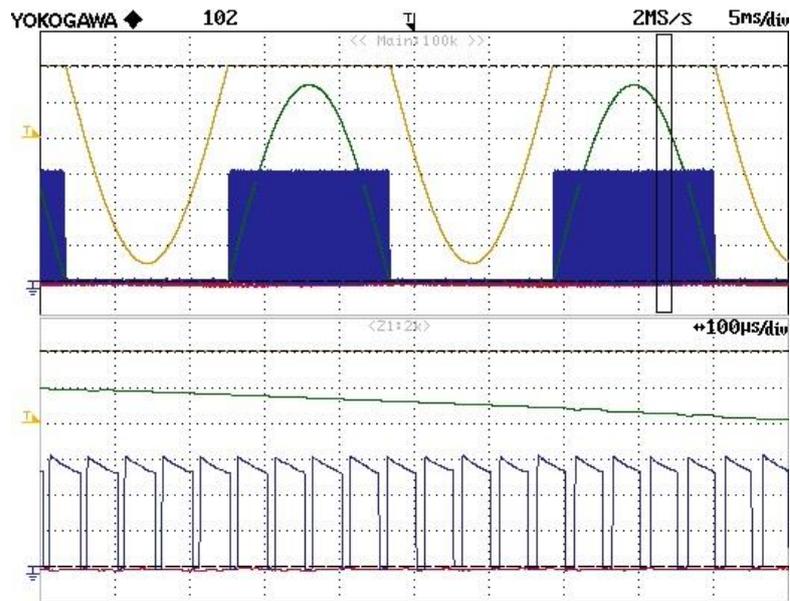


Figura 5.5: Segnale PWM riferito al power MOSFET Q1 in uscita dal DSP.

La fase di collaudo prevede ora l’invio dei PWM alla scheda sul lato segnale, prelevati dal DSP in modalità differenziale. In riferimento all’uscita dal ricevitore U8, viene rappresentato di seguito il segnale di controllo del MOSFET Q1. L’onda rettangolare, che appare più pulita rispetto alla precedente, raggiunge un’ampiezza massima di 5 [V].

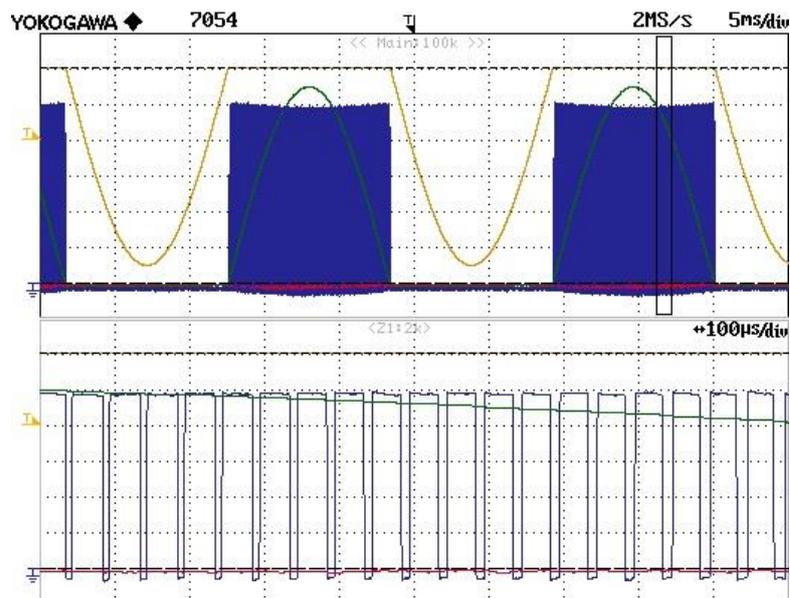


Figura 5.6: Segnale PWM uscente dal ricevitore U8, pin 3 (PWM_1_PRE).

Si introduce fisicamente il ritardo sui PWM, mediante filtro del primo ordine, il cui risultato viene visualizzato sull'oscilloscopio [Figura 5.7] e poi ingrandito in [Figura 5.8] per meglio comprenderne il comportamento. La forzatura del ritardo sul segnale PWM viene effettuata solamente sull'accensione dell'interruttore, quindi sul fronte alto. È comune inserire un tempo morto di circa 2 [μsec], ottenuto mediante resistori di 4 [kΩ] e capacità di 560 [pF].

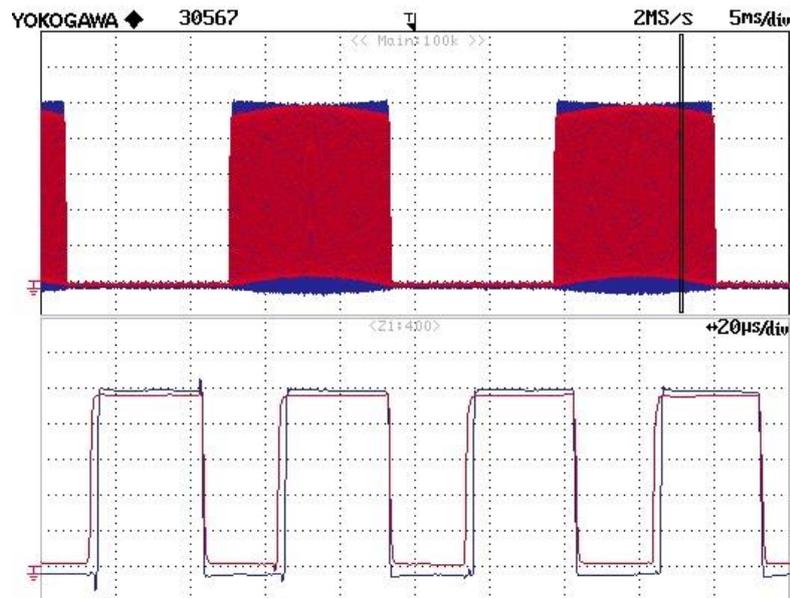


Figura 5.7: Segnale di ritardo, introdotto dal filtro RC, prelevato tra l'uscita del ricevitore U8 (pin 3) e l'uscita dal buffer U10 (pin 3).

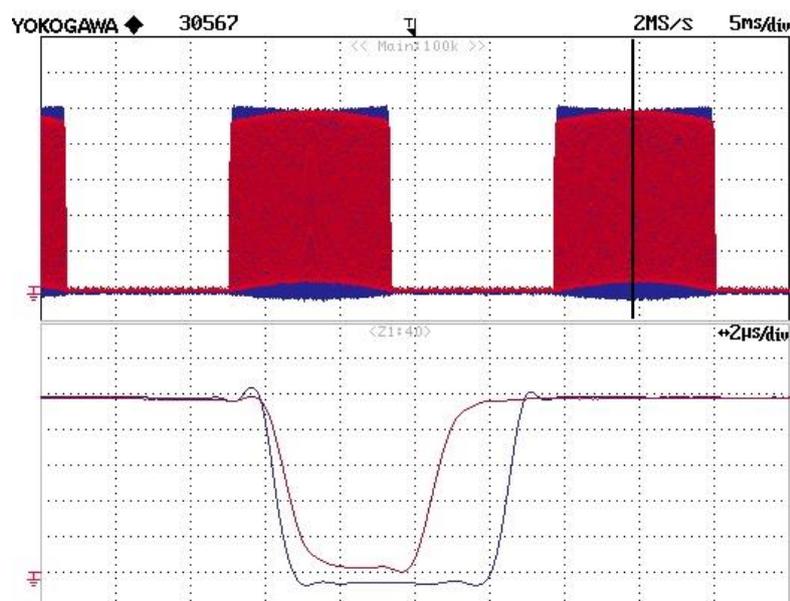


Figura 5.8: Ingrandimento del segnale di ritardo introdotto dal filtro RC.

Il buffer U10 rende i segnali PWM maggiormente simili ad un'onda rettangolare, introducendo però un errore sul valore basso di tensione, che quindi diviene leggermente negativo [Figura 5.9].

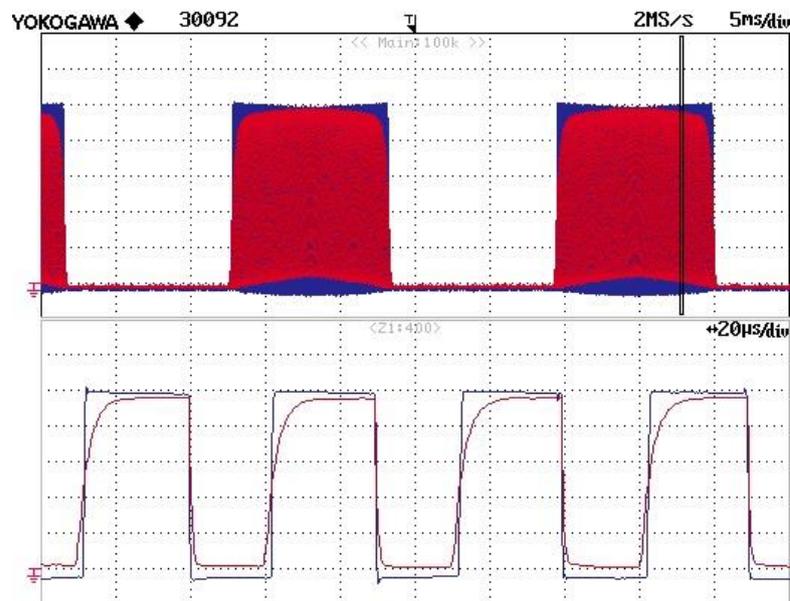


Figura 5.9: In rosso il PWM in ingresso al buffer U10 (pin 2) e in blu il PWM elaborato (pin 3).

La fase di collaudo prosegue andando ad alimentare il circuito di potenza, con tensione crescente sino ad un valore massimo prossimo a 24 [V]. La corrente è prelevata all'uscita dell'inverter *single leg* [Figura 5.10] e risulta perfettamente sinusoidale, a meno di una leggera pendenza verso sinistra del picco; è quindi confrontata alle modulanti da cui risulta perfettamente in fase. Si nota l'inversione della sinusoide nel punto passante per lo zero, causata dalla presenza del tempo morto. La stessa viene ora rappresentata in [Figura 5.11] insieme alla tensione su di uno dei condensatori che costituisce il bus DC, sfasata per i tempi di carica e scarica non nulli.

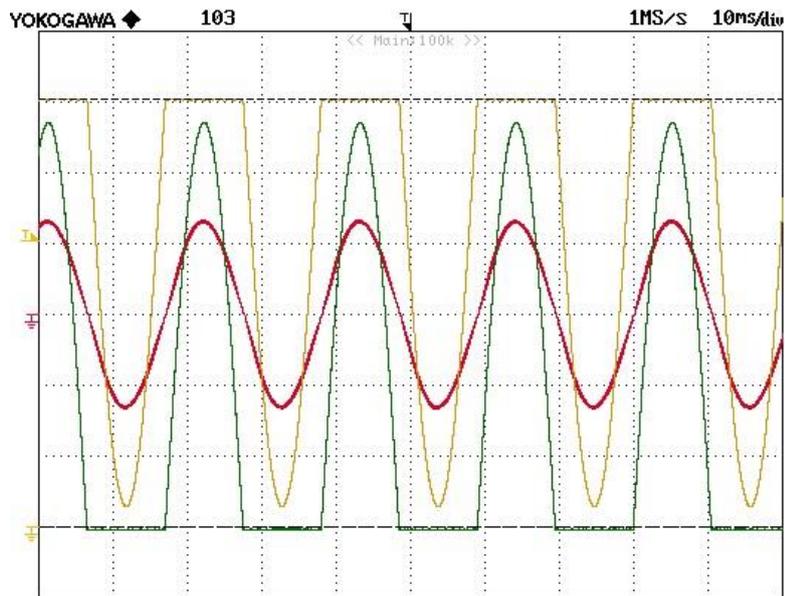


Figura 5.10: In rosso la corrente uscente dall'inverter di circa 0.5 [A/div] di picco a 50 [Hz] confrontata alle modulanti.

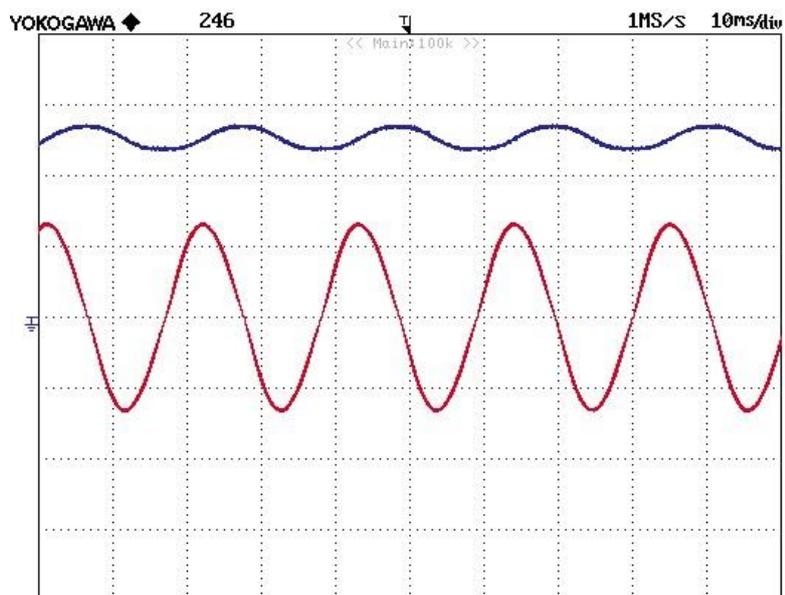


Figura 5.11: In rosso la corrente uscente dall'inverter (0.5 [A/div]) e in blu la tensione ai capi di un condensatore del bus DC (10 [V/div]).

In [Figura 5.12] e [Figura 5.13] sono rappresentati corrente e tensione di uscita; il carico scelto per il collaudo è realizzato tramite resistenze da 14 [Ω] e induttanza pari a 1.2 [mH]. In particolare, il primo test prevede 1 [A] in uscita, con onda perfettamente sinusoidale e caratterizzata da basso ripple. Per quanto concerne la tensione ai capi del carico, di circa 15 [V], essa risulta essere in fase alla corrente ma oscillante agli estremi, a causa dell'azione

di carica e scarica delle capacità sul bus DC. La seconda figura enfatizza l'oscillazione della tensione, portata a 24 [V], nonché l'effetto della caduta di tensione che avviene sui componenti non ideali della scheda, che comporta un valore non nullo di V_{out} quando esso è invece richiesto dalla legge di modulazione. I livelli della tensione di uscita appaiono ben definiti, sintomo di un corretto funzionamento da parte dell'inverter e di tutta la circuiteria a monte.

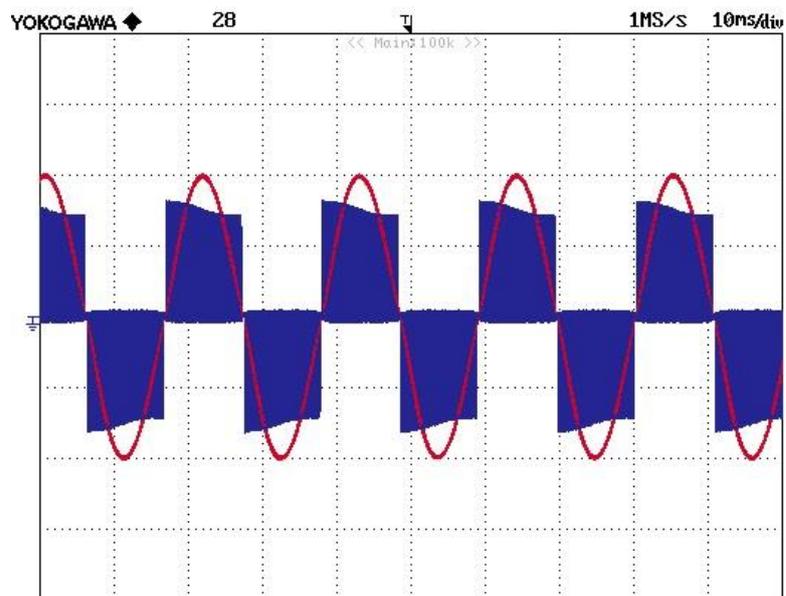


Figura 5.12: In rosso la corrente uscente dall'inverter di 1 [A] di picco a 50 [Hz], e tensione di 15 [V] di picco ai capi del carico.

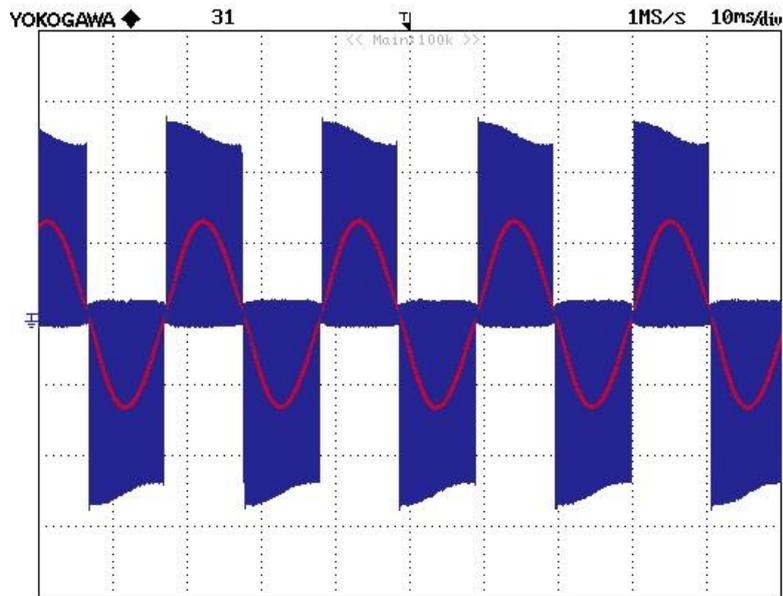


Figura 5.13: In rosso la corrente uscente dall'inverter di circa 0.5 [A] di picco a 50 [Hz], e tensione di 24 [V] di picco ai capi del carico.

5.1.2. Configurazione Ramo di Inverter

Il collaudo è eseguito sul singolo ramo di inverter, coinvolgendo solo i *power* MOSFET Q1 e Q2 (alto e basso), anche per garantirne il corretto funzionamento laddove sia richiesta tale configurazione. Il controllo della legge di modulazione avviene per mezzo di un potenziometro appartenente al circuito del DSP, e può verificarsi durante il normale funzionamento del convertitore, operazione assai utile nel caso di malfunzionamento del ramo di clamp. Dai risultati ottenuti si potrà poi comprendere appieno la differenza tra un tradizionale inverter ed il multilivello, in questo caso a 3L. La modulazione prevede che per valori positivi delle due modulanti, coincidenti tra loro, il MOSFET Q1 entri in conduzione, e per valori negativi questo si spenga e si accenda il complementare. In tale condizione, il ramo di clamp è completamente spento.

Il ripple della corrente di [Figura 5.14] è chiaramente maggiore rispetto a quello associato alla modulazione in normale funzionamento da *T-Type* [Figura 5.15]. Tale risultato è dovuto al fatto che il ramo di clamp può essere rappresentato al pari di un circuito aperto, per cui la carica di entrambi i condensatori si riversa alternatamente sui due interruttori.

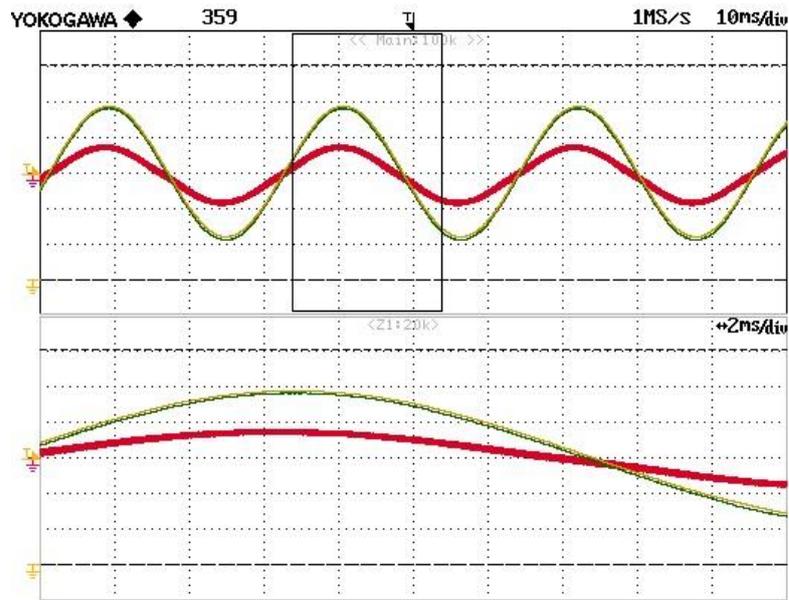


Figura 5.14: Funzionamento da ramo di inverter. In rosso la corrente di uscita di 0.5 [A/div] e in verde e giallo le modulanti.

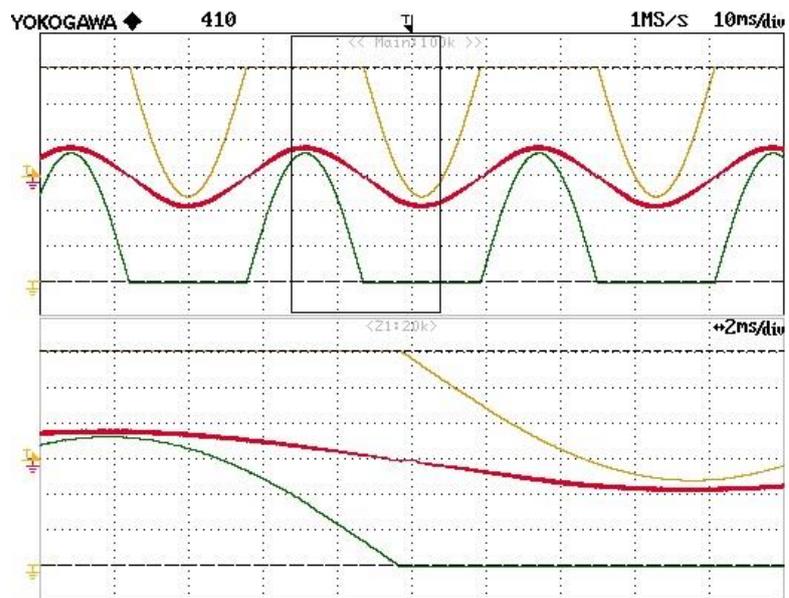


Figura 5.15: Funzionamento da inverter multilivello. In rosso la corrente di uscita di 0.5 [A/div] e in verde e giallo le modulanti.

Si realizza dunque lo *screenshot* di [Figura 5.16] nell'istante in cui avviene il cambiamento di modulazione, consentendo di confrontare visivamente le due tecniche. In [Figura 5.17] si vuole accentuare il comportamento della forma d'onda che descrive la corrente di uscita: in funzionamento da multilivello a sinistra, il ripple è ridotto ma il tempo morto si ripercuote sulla corrente, effetto non percepito invece sul ramo di inverter. Il passaggio da

una tecnica di modulazione all'altra risulta critico, comportando un leggero calo della grandezza in esame. Anche la tensione ai capi del carico risente dell'evento [Figura 5.18], si genera infatti una piccola caduta, poiché nel passaggio tra una modulazione e l'altra è previsto lo spegnimento temporaneo di tutti gli interruttori, per ragioni ovviamente legate alla sicurezza dell'inverter e dell'impianto al quale è collegato.

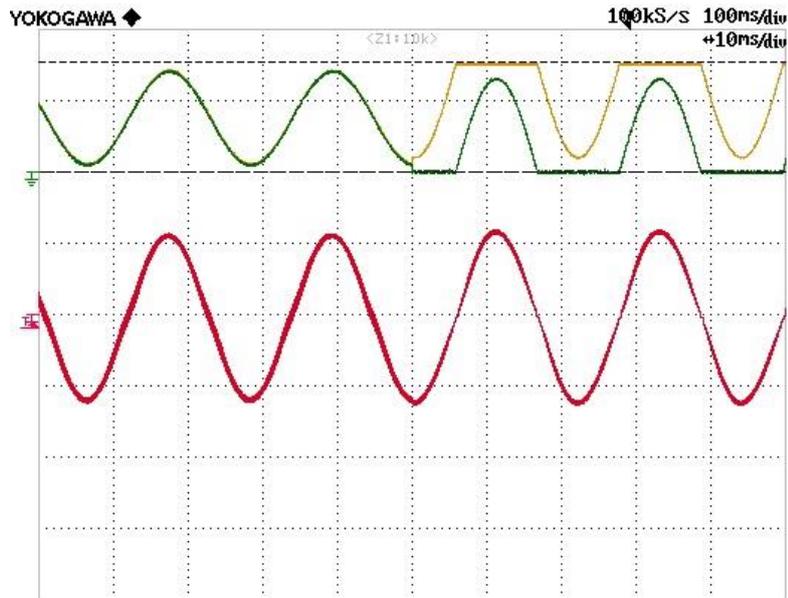


Figura 5.16: Due leggi di modulazione (in alto) e relativa corrente di uscita (in basso).

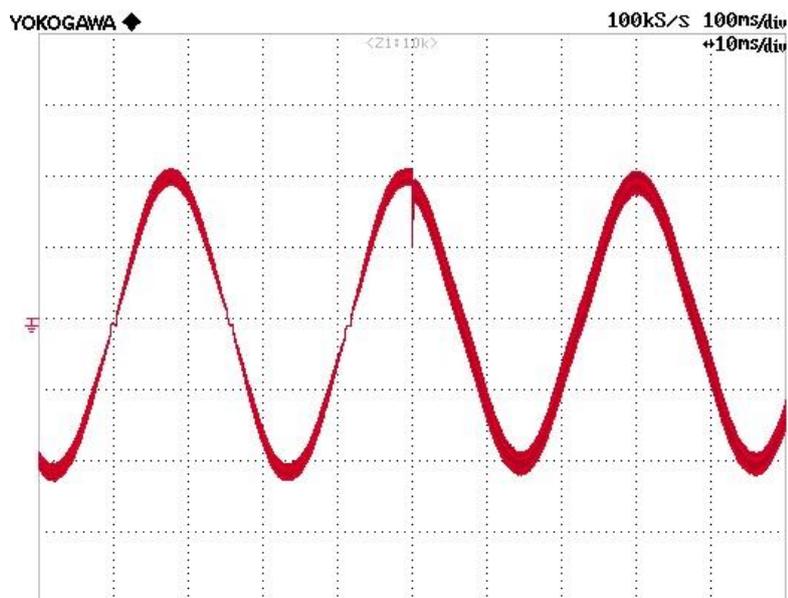


Figura 5.17: Corrente in uscita dal convertitore. A sinistra funzionamento da convertitore multivivello, a destra funzionamento da ramo di inverter.

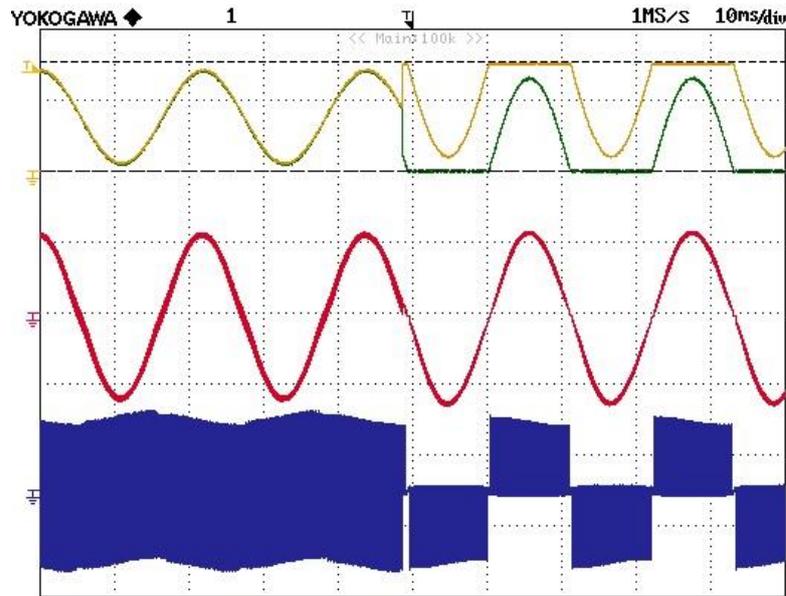


Figura 5.18: Dall'alto le due leggi di modulazione e relativa corrente e tensione di uscita.

5.2. RISULTATI PRESTAZIONALI

Terminato il collaudo, si procede con la fase più delicata di tutta l'esperienza sperimentale, che prevede test sul lato potenza della scheda fino a 100 [V], verificandone la risposta in uscita. A differenza delle precedenti, le seguenti prove si riferiscono al convertitore composto da IGBT, nonostante siano state eseguite anche sui *power* MOSFET con analoghi risultati. Viene modificata solo la resistività del carico, che passa da 14 [Ω] a 4.7 [Ω], mentre l'induttanza rimane a 1.2 [mH]. La modulazione prevede dapprima una frequenza di switching di 15 [kHz] per passare a 25 [kHz], sino a 35 [kHz], mentre sul lato rete si mantengono 50 [Hz] nominali, previsti dalle normative (D.P.C.M. 8 luglio 2003). La ragione primaria di aumento della frequenza di commutazione risiede nell'analizzare il comportamento dell'inverter in condizioni di massimo sfruttamento, quelle che possono pervenire in caso di eventuale collegamento all'impianto fotovoltaico. In aggiunta, i test in potenza forniscono prove sulla differenza tra le caratteristiche dell'*NPC T-Type 3L* e quelle di un inverter tradizionale.

5.2.1. Configurazione NPC T-Type Inverter a 15 [kHz]

La parte del circuito in continua è alimentata da una tensione il cui valore aumenta gradualmente fino a circa 100 [V], con corrente nell'ordine di 1.5 [A]; da questi dati scaturisce che la potenza assorbita dal convertitore sia dunque pari a 150 [VA]. Il lato AC [Figura 5.19] garantisce una tensione alternata di circa 50 [V] di picco, e correnti fino a 6 [A]; l'immagine rivela nuovamente l'effetto del tempo morto sulla corrente, accentuato dagli alti valori raggiunti dalle grandezze in oggetto. La dimensione dei condensatori è valutata per un impiego trifase, prevede quindi correnti di entità inferiore a quella ora uscente, scelta che si ripercuote sulla forma d'onda della tensione, oscillando sensibilmente. Tuttavia la caratteristica principale della corrente e quella relativa alla tensione non appare alterata dalle condizioni di stress elettrico al quale il convertitore è sottoposto. È possibile apprezzare maggiormente le proprietà delle grandezze in AC dalla [Figura 5.20], su entrambe le porzioni del periodo dell'onda.

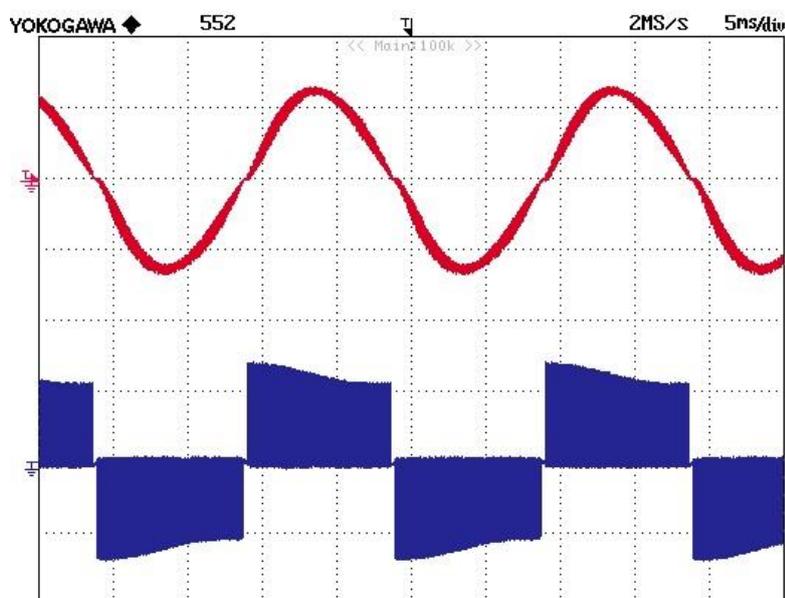


Figura 5.19: Corrente sinusoidale di 5 [A/div], tensione di 40 [V/div] di picco e frequenza di commutazione a 15 [kHz], in uscita dall'inverter a tre livelli.

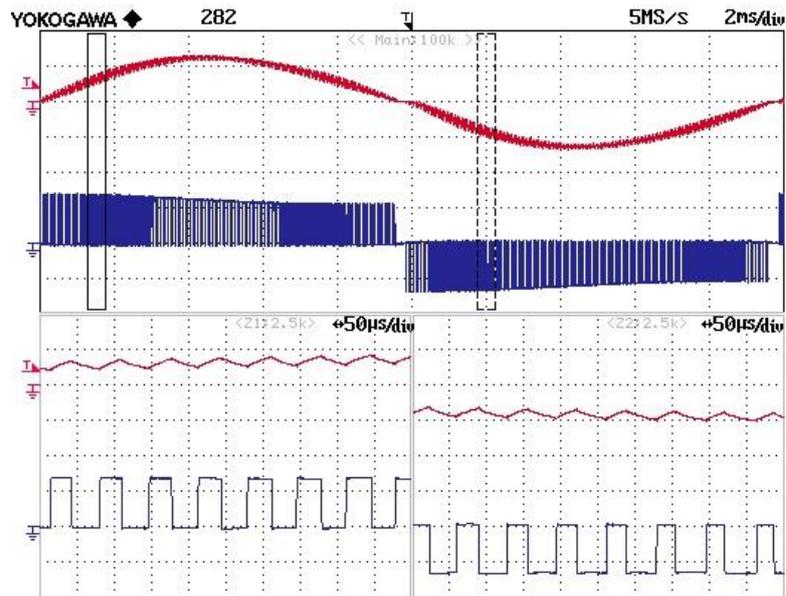


Figura 5.20: Ingrandimento del ripple della corrente (rosso) e della tensione (blu), sulla parte alta e bassa del periodo.

Il contributo spettrale della corrente in uscita all'inverter è quindi presentato in [Figura 5.21]. Si nota che i valori di entità apprezzabile sono vicini alla frequenza fondamentale; vi sono inoltre picchi ai multipli della frequenza di commutazione di 15 [kHz], ma l'ordine di grandezza è ridotto e quello maggiore non supera 0.2 [A]. In [Figura 5.22] è quindi presentato il contributo frequenziale della medesima grandezza, fino all'armonica venti, confermando il picco della corrente sulla fondamentale a 50 [Hz]; i contributi più importanti sono associati alle armoniche dispari. La presenza della terza armonica, confermata anche in simulazione, è frutto della tipologia di configurazione *single leg*, in quanto nella trifase questa sarebbe nulla. La generazione di armoniche in corrente diversa dalla fondamentale è da imputare all'oscillazione della tensione di uscita, prodotta dalla carica e scarica dei condensatori sul bus DC, che portano altresì ad ottenere lo spettro di [Figura 5.23]. Difatti, su tale grandezza l'azione delle capacità interviene maggiormente e i contributi si distribuiscono su un intervallo più ampio rispetto a quello della corrente. L'assenza del PI risonante si percepisce sensibilmente nella realizzazione, sistema invece introdotto in simulazione, causa anche la non idealità dei componenti e la presenza di disturbi relativi all'ambiente circostante.

Eppure tutto ciò è dimostrazione di buona riuscita dell'esperienza sperimentale considerando la sinusoidalità della corrente e l'ottima definizione dei livelli di tensione in

uscita all'*NPC T-Type*, dal momento che si tratta del caso peggiore ossia a fase singola, in assenza di controllo risonante per la riduzione delle armoniche.

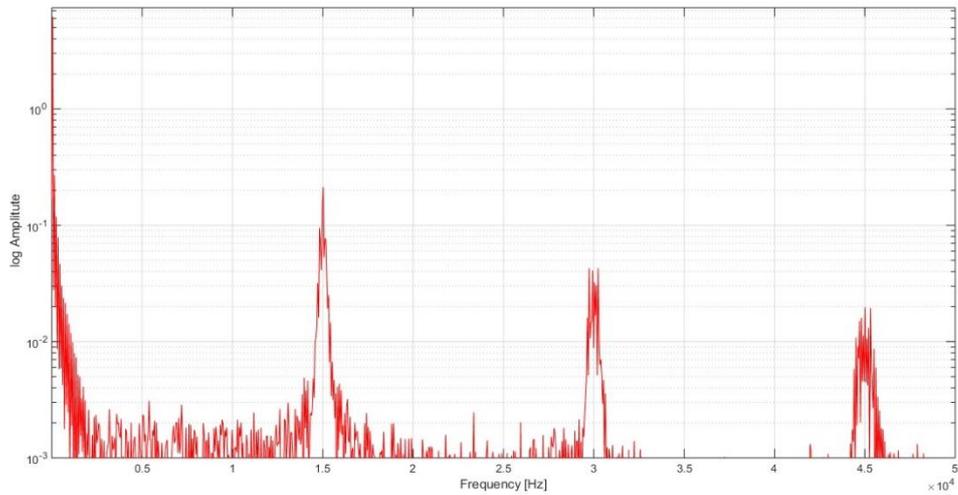


Figura 5.21: Contributo spettrale della corrente in uscita dall'inverter multivivello alla frequenza di commutazione di 15 [kHz].

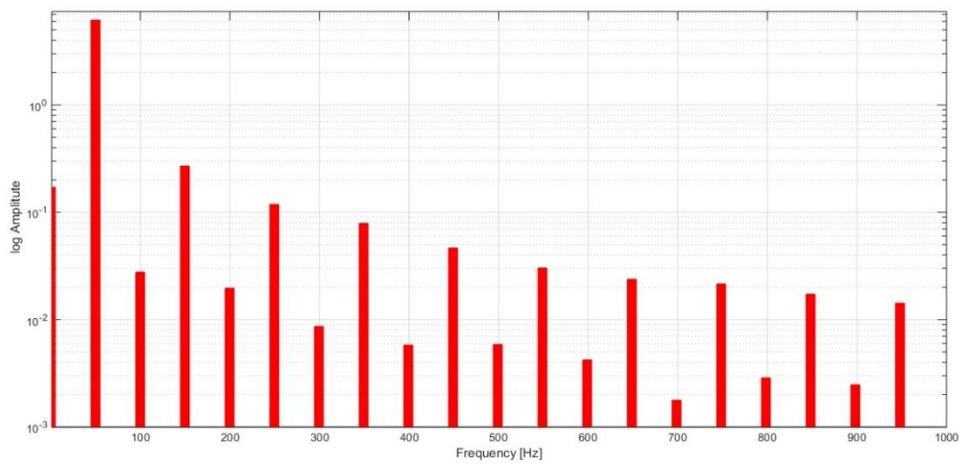


Figura 5.22: Contributo frequenziale della corrente di uscita nel dominio di Fourier fino alla ventesima armonica.

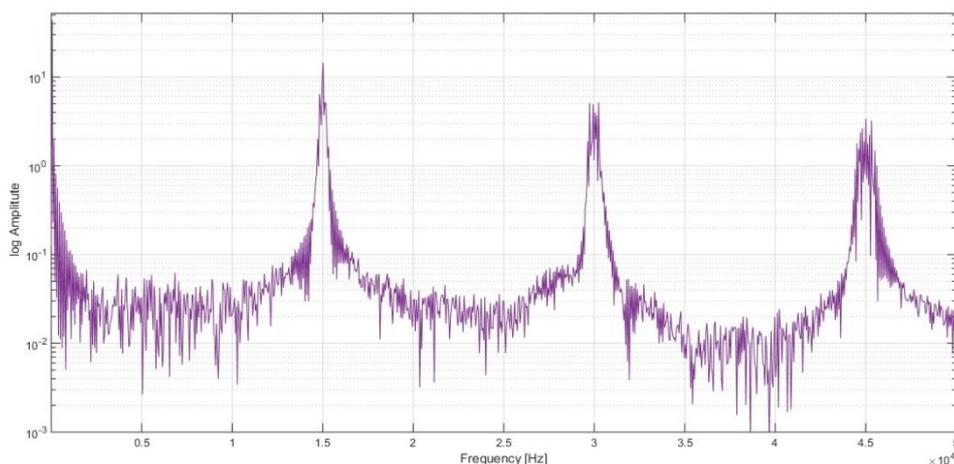


Figura 5.23: Contributo spettrale della tensione in uscita dall'inverter multilivello alla frequenza di commutazione di 15 [kHz].

È pertanto valutata la qualità della scheda nonché dei componenti scelti per le prove in tensione, tramite l'ausilio della termocamera prodotta dalla *Flir*, fornita dal laboratorio. Essendo uno strumento sensibile alla radiazione infrarossa, è possibile ottenere immagini termografiche come quella in [Figura 5.24]. A tensione nulla sul lato DC, il dispositivo si trova all'incirca ad una temperatura ambiente, pari a 25°C; controllando il convertitore a 100 [V], dopo circa 30 minuti si raggiunge l'equilibrio termico, definito dai valori dell'immagine sottostante. Dalle simulazioni è previsto un range ampio tra le temperature del ramo di clamp, che permane in conduzione per tutto il tempo di utilizzo, e quelle del ramo di inverter, che commuta continuamente; nel reale funzionamento questo distacco non è invece apprezzabile. Tale effetto è imputabile a numerosi fattori, tra cui l'errore sulla rilevazione della temperatura commesso dalla termocamera stessa piuttosto che la distribuzione del calore sull'intera area del dissipatore, posto sotto gli IGBT. Dalle considerazioni fatte, in assenza di disturbi sulla stima è quindi ipotizzabile uno scostamento tra le temperature dei due rami di qualche grado centigrado in più rispetto a quanto misurato. Il risultato ottenuto è notevole, nonostante non si raggiungano i 400 [V] in DC presunti per un impianto medio industriale in configurazione trifase, considerando che la temperatura massima sopportata dai componenti è di circa 100°C per il package e 175°C di giunzione.

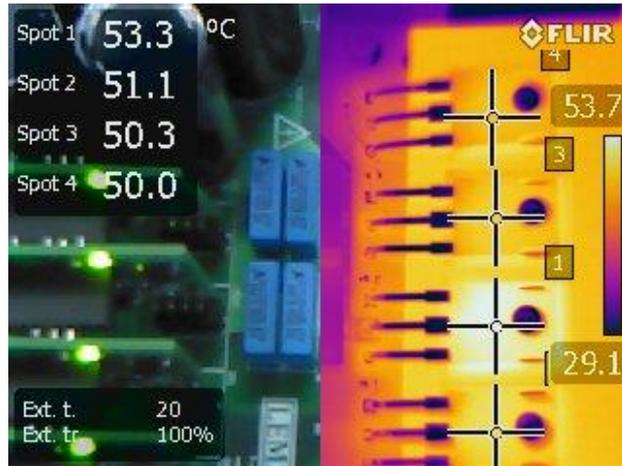


Figura 5.24: Particolare della temperatura in °C raggiunta dagli IGBT in equilibrio termico.

5.2.2. Configurazione *NPC T-Type Inverter* a 25 [kHz]

La configurazione multilivello si presta particolarmente al funzionamento con alte frequenze di commutazione. Elevando a 25 [kHz], si ha un netto abbassamento del ripple della corrente in uscita, dovuto effettivamente alla frequenza di switching raggiunta [Figura 5.25]. Questo si rispecchia nel funzionamento dei condensatori, ossia il caricamento e scaricamento delle piastre, incidendo lievemente sull'oscillazione della tensione di uscita che appare perciò contenuta rispetto alla medesima configurazione di inverter a 15 [kHz]. In [Figura 5.26] viene presentato il particolare del periodo delle grandezze in oggetto, in cui si accentua quanto già esplicito.

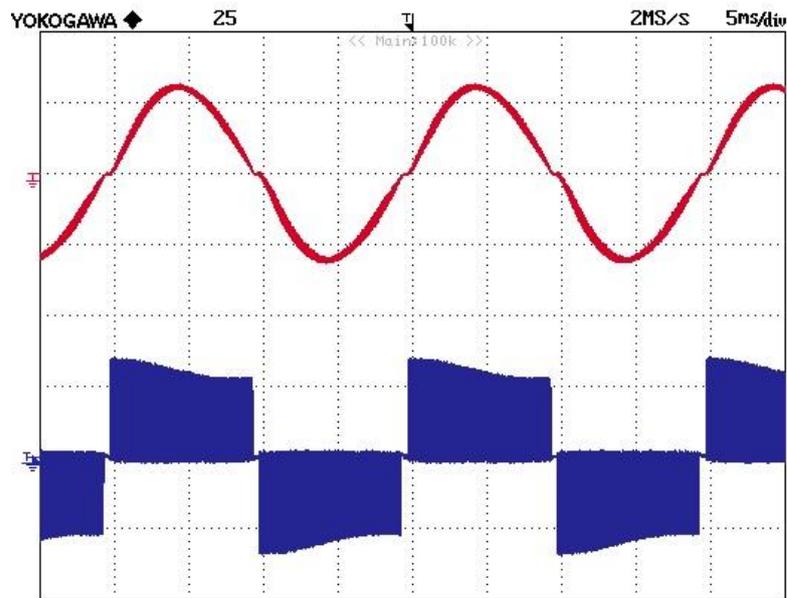


Figura 5.25: Corrente sinusoidale di 5 [A/div], tensione di 40 [V/div] di picco e frequenza di commutazione a 25 [kHz], in uscita dall'inverter a tre livelli.

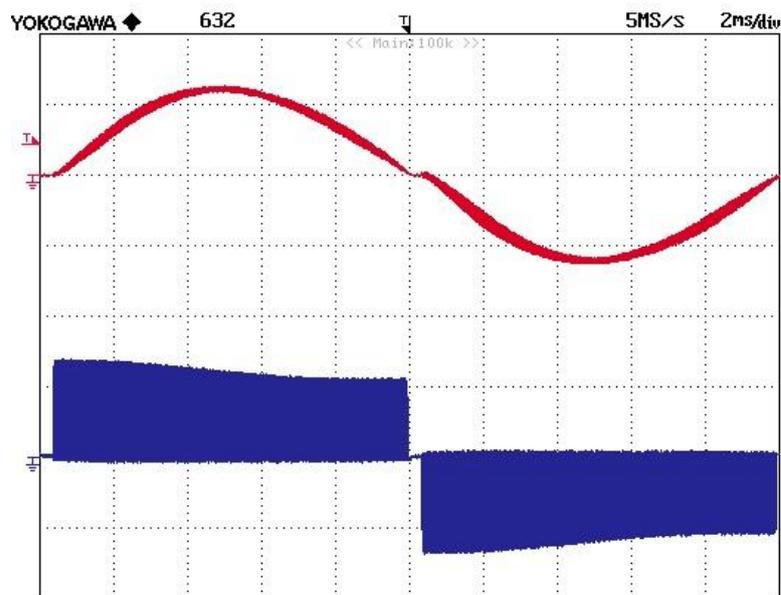


Figura 5.26: Ingrandimento del ripple della corrente (rosso) e della tensione (blu).

La componente spettrale della corrente non giova, all'opposto, dell'aumento della frequenza di commutazione [Figura 5.27], in quanto appare un leggero incremento rispetto al caso precedente. In particolare, i contributi di maggiore rilevanza sono concentrati sino a circa 27 [kHz] e ovviamente sui multipli di 25 [kHz] mentre altrove lo spettro è evidentemente limitato; analogamente in [Figura 5.28] il contributo frequenziale è

maggiore sulle armoniche dispari ma inferiore in quelle pari. È lecito suggerire un valore di THD circa uguale al precedente. In ultimo, la [Figura 5.29] indica chiaramente uno spettro della tensione di uscita più esteso in frequenza, il cui contributo appare poco più rilevante tra un multiplo e l'altro della frequenza di commutazione. Tale tipologia di inverter è studiata per lavorare ad alte frequenze di switching, alle quali riesce a dimostrare le proprie potenzialità mantenendo, in questo caso, la medesima qualità di energia fornita a valle dello stesso.

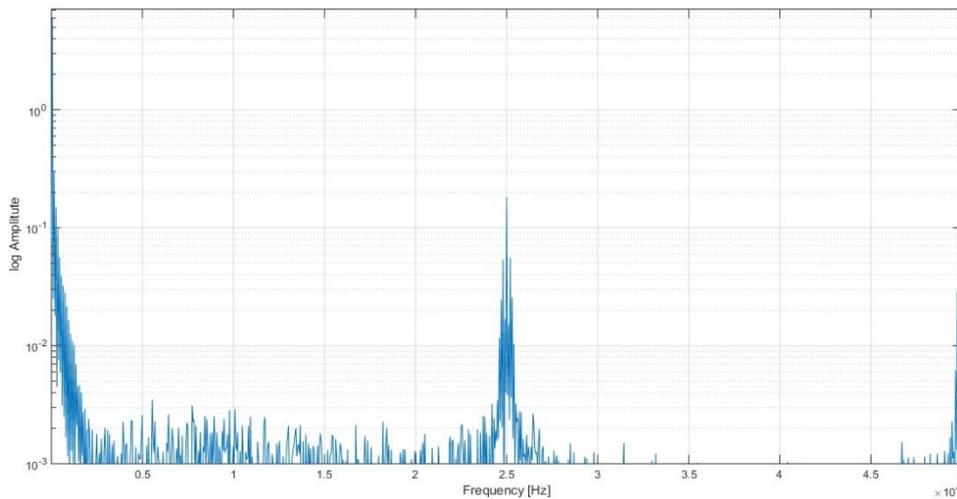


Figura 5.27: Contributo spettrale della corrente in uscita dall'inverter multilivello alla frequenza di commutazione di 25 [kHz].

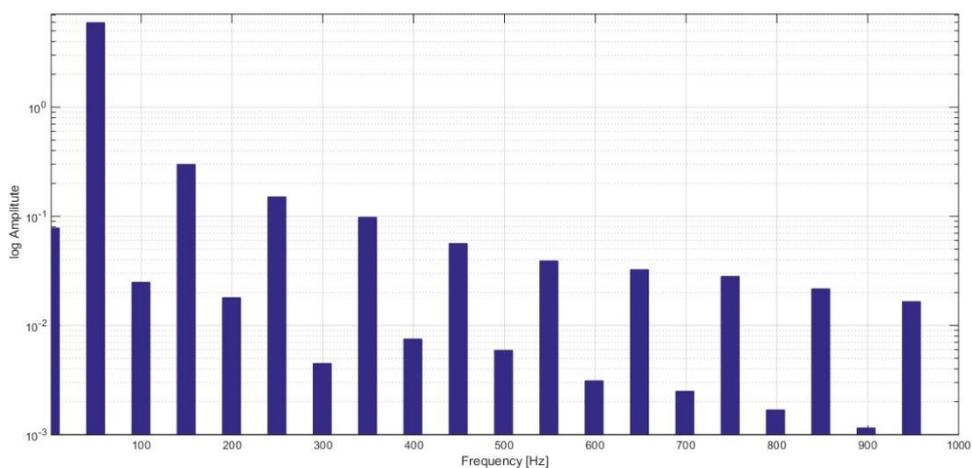


Figura 5.28: Contributo frequenziale della corrente di uscita nel dominio di Fourier fino alla ventesima armonica.

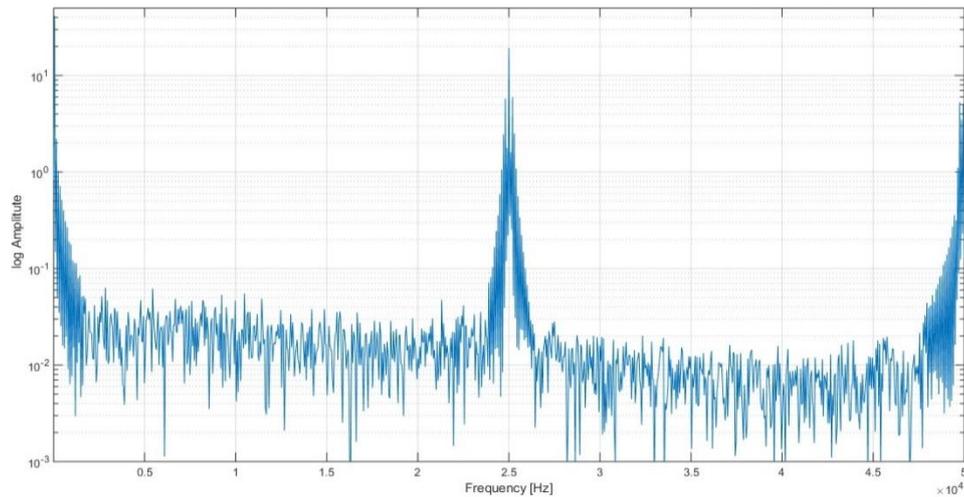


Figura 5.29: Contributo spettrale della tensione in uscita dall'inverter multilivello alla frequenza di commutazione di 25 [kHz].

L'immagine termica di [Figura 5.30] dimostra l'esattezza nell'ipotesi di ottenere migliori prestazioni ad alte frequenze; la temperatura raggiunta dagli IGBT è in generale inferiore rispetto alla prova a 15 [kHz]. Si nota visibilmente la distinzione tra i componenti appartenenti al ramo di clamp 3 e 4, affetti soprattutto da dissipazione di potenza per conduzione, rispetto a quelli del ramo di inverter. Le stime raccolte lasciano quindi ipotizzare che l'inverter, in relazione sia alla particolare configurazione *T-Type* che ai componenti scelti per la sua realizzazione, riesca a sopportare frequenze di gran lunga più elevate rispetto a quelle necessarie per l'impianto. Pertanto le prove sperimentali continuano, arrivando a 35 [kHz].

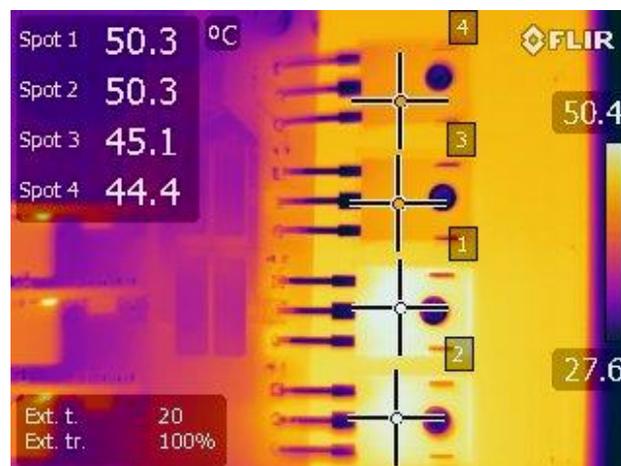


Figura 5.30: Particolare della temperatura in °C raggiunta dagli IGBT in equilibrio termico.

5.2.3. Configurazione NPC T-Type Inverter a 35 [kHz]

A 35 [kHz] la frequenza di commutazione è assai fuori dall'udibile, e si raggiungono altresì alte prestazioni, inimmaginate se ci si relaziona alla sola letteratura a disposizione per la tipologia *T-Type*. Il ripple della corrente diminuisce, l'onda appare quindi più slanciata ma l'azione dei quattro tempi morti presenti per ogni IGBT è più efficace, enfatizzando l'istante di spegnimento di tutti i componenti nel passaggio sullo zero [Figura 5.31]. I livelli della tensione [Figura 5.32] sono ancora più definiti, e lo zero è mantenuto facilmente. Si suppongono valori di componenti spettrali leggermente in crescita ma non lontani da quelli rilevati alle frequenze di 15 [kHz] e 25 [kHz].

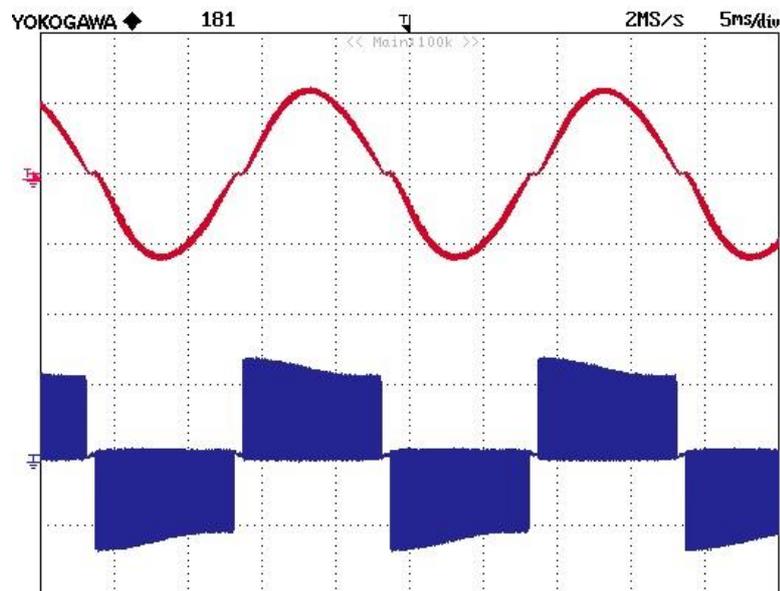


Figura 5.31: Corrente sinusoidale di 5 [A/div], tensione di 40 [V/div] di picco e frequenza di commutazione a 35 [kHz], in uscita dall'inverter a tre livelli.

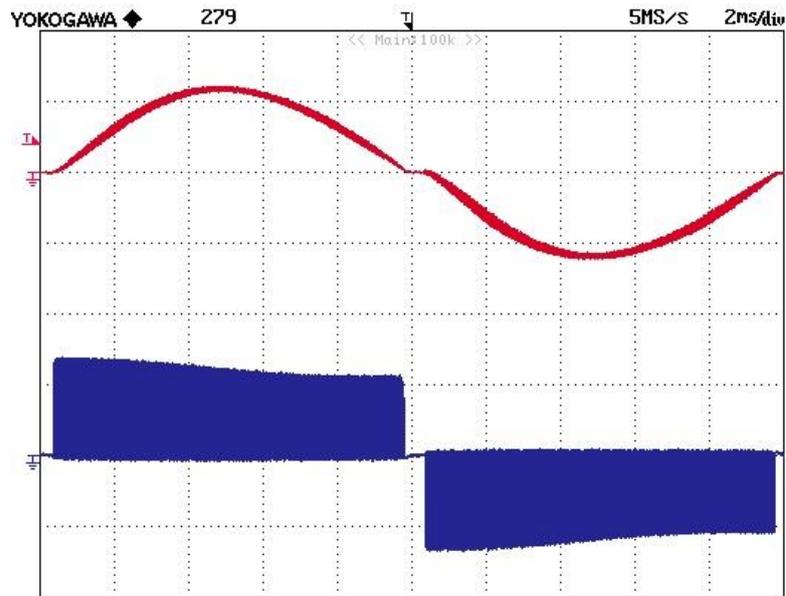


Figura 5.32: Ingrandimento del ripple della corrente (rosso) e della tensione (blu).

In [Figura 5.33] lo spettro della corrente contiene contributi di entità poco superiore a quelli appena analizzati, ma con rapido decremento aumentando la frequenza di commutazione. Il comportamento nel dominio di Fourier di [Figura 5.34] non distingue quello delle armoniche dispari dalle pari, che effettivamente raggiungono valori leggermente più alti rispetto alla frequenza di 25 [kHz]. Questo risultato suggerisce un limite di funzionamento nella commutazione, mantenendo le ottime prestazioni del dispositivo, per cui è sconsigliato aumentare ulteriormente la frequenza di switching. Lo spettro che descrive la tensione di uscita è frastagliato, ma non dissimile dalla precedente prova.

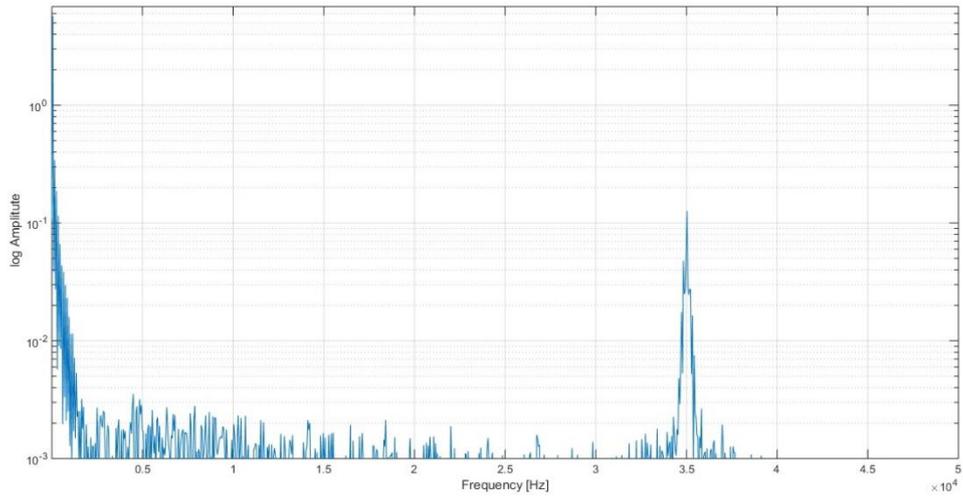


Figura 5.33: Contributo spettrale della corrente in uscita dall'inverter multilivello alla frequenza di commutazione di 35 [kHz].

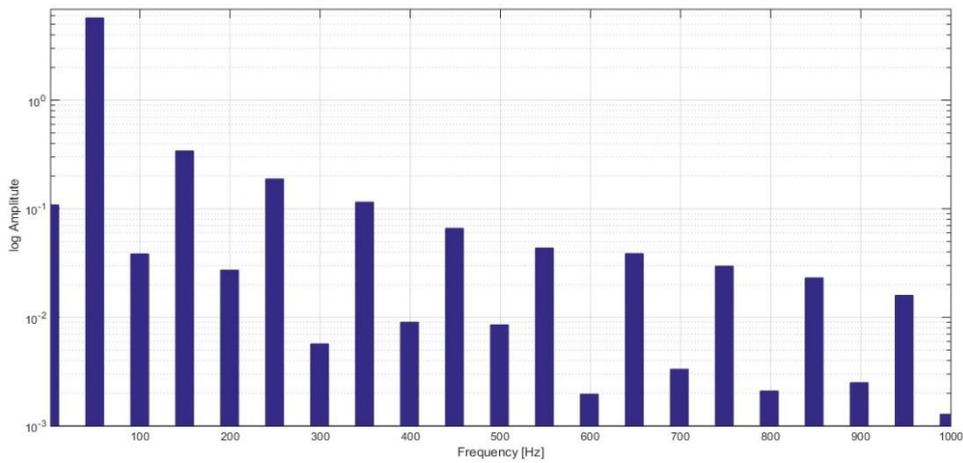


Figura 5.34: Contributo frequenziale della corrente di uscita nel dominio di Fourier fino alla ventesima armonica.

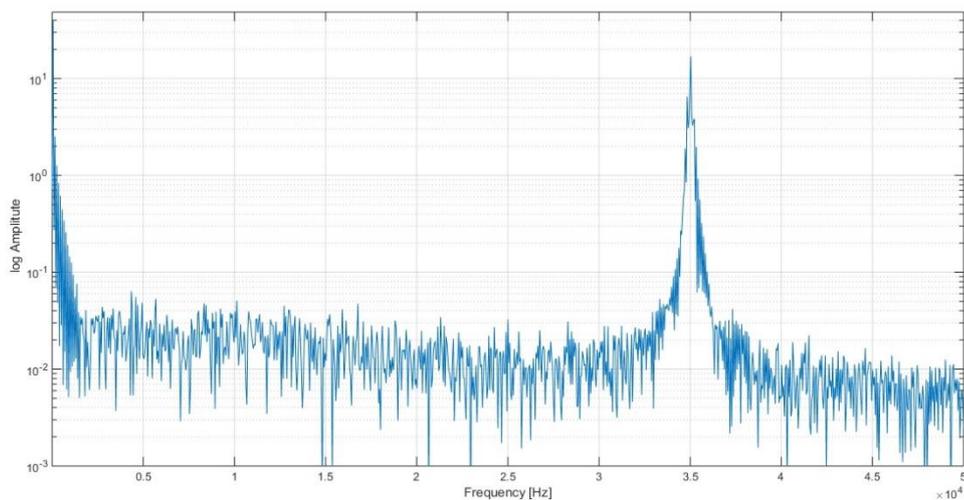


Figura 5.35: Contributo spettrale della tensione in uscita dall'inverter multilivello alla frequenza di commutazione di 35 [kHz].

Infine, la prova termica [Figura 5.36] rivela effettivamente l'aumento della temperatura degli IGBT scelti per la realizzazione; in particolare il ramo di clamp (3 e 4) soffre la potenza dissipata per conduzione, aumentando la propria temperatura di circa 6°C. le perdite di switching sono invece gestite in modo migliore, dal momento che i componenti 1 e 2 passano entrambi da 50.3°C a 52.9°C e 52.2°C rispettivamente.

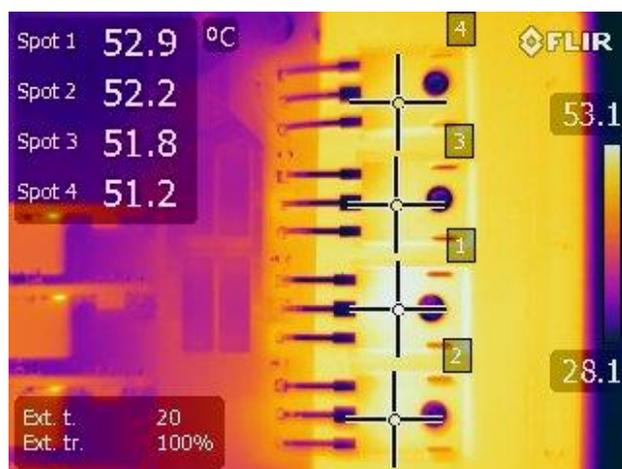


Figura 5.36: Particolare della temperatura in °C raggiunta dagli IGBT in equilibrio termico.

5.2.4. Configurazione Ramo di Inverter a 15 [kHz]

La medesima prova è stata effettuata sul convertitore in funzionamento da ramo di inverter. Il controllo in tensione pari a 100 [V] in DC e corrente assorbita dal ramo di 1.37 [A], genera una potenza apparente di circa 137 [VA], di poco inferiore al caso a tre livelli. Analogamente a quanto già determinato nel collaudo, in tali condizioni il lato AC soffre maggiormente del ripple in corrente, accentuato dall'entità della tensione in ingresso [Figura 5.37]; il valore di picco risulta essere simile al funzionamento da multilivello e pari a 4.2 [A]. È chiara la quasi assenza dell'effetto dei tempi morti, dal momento che il loro numero è dimezzato, commutando solo due IGBT al posto di quattro. L'ingrandimento di [Figura 5.38] concede una valutazione migliore di quanto esposto, e permette per di più di evidenziare l'andamento non costante che dovrebbe invece appartenere alla forma d'onda della tensione, caratterizzata ora da due livelli, di circa ± 50 [V]. L'oscillazione è causata dall'elevata corrente che si richiude nel mezzo del bus DC, evento che non si manifesterebbe nella configurazione trifase, e caratterizzata da picchi di tensione a valori costanti nel tempo.

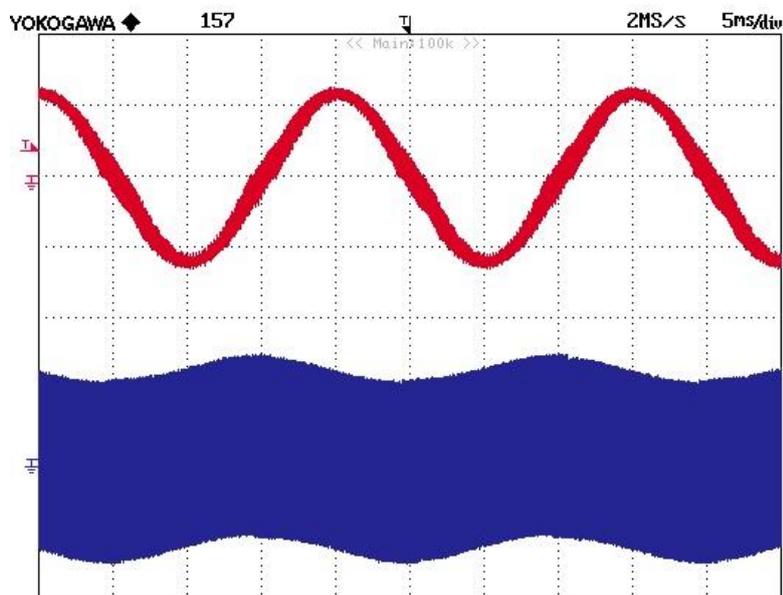


Figura 5.37: Corrente sinusoidale di 5 [A/div], tensione di ± 50 [V] picco-picco e frequenza di commutazione a 15 [kHz], in uscita dal ramo di inverter.

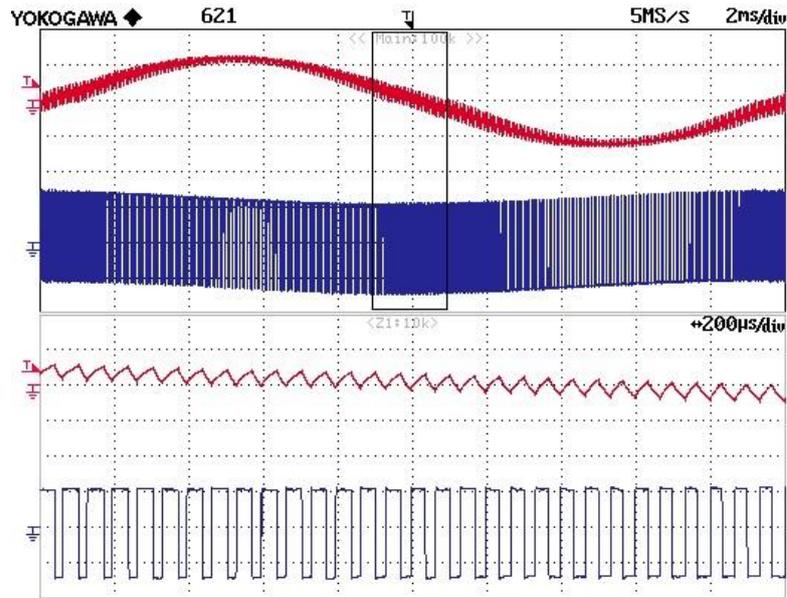


Figura 5.38: Ingrandimento del ripple della corrente (rosso) e della tensione (blu).

Come da letteratura, il ramo di inverter mantiene ottime prestazioni a basse frequenze, il relativo contributo in corrente appare molto ridotto rispetto al caso 3L alla medesima frequenza di commutazione [Figura 5.39]. Questo aspetto non viene però mantenuto sopra i 5 [kHz] e va dunque peggiorando, in particolar modo nell'intorno dei multipli della frequenza di commutazione. In [Figura 5.40] le armoniche dispari sono sicuramente le più dannose a causa della loro entità, e non si percepisce nemmeno il lineare decremento che caratterizza invece il contenuto armonico del multilivello. Dalle forti oscillazioni presenti sul valore della tensione di uscita, si preannunciava già un netto peggioramento dello spettro, confermato in [Figura 5.41].

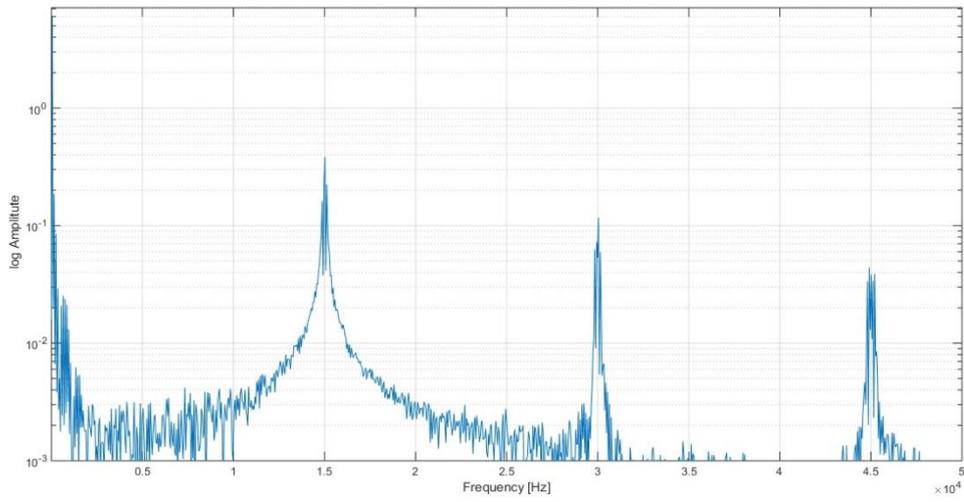


Figura 5.39: Contributo spettrale della corrente in uscita dal ramo di inverter alla frequenza di commutazione di 15 [kHz].

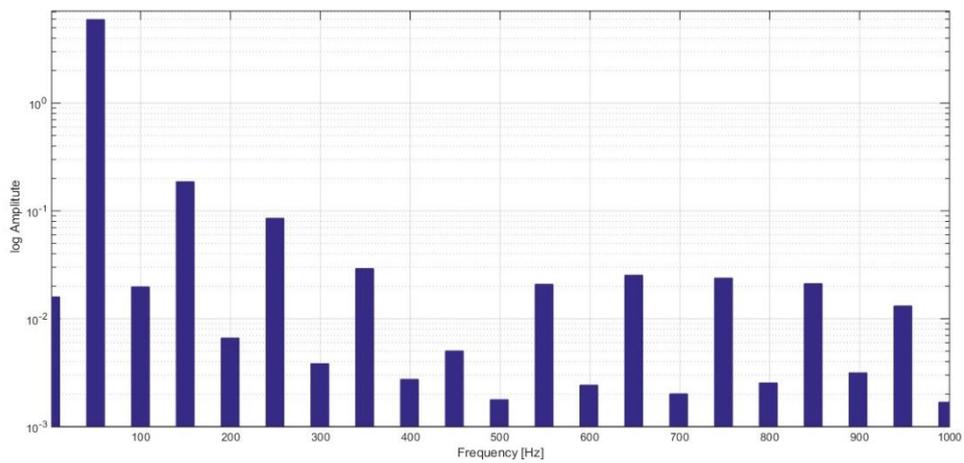


Figura 5.40: Contributo frequenziale della corrente di uscita nel dominio di Fourier fino alla ventesima armonica

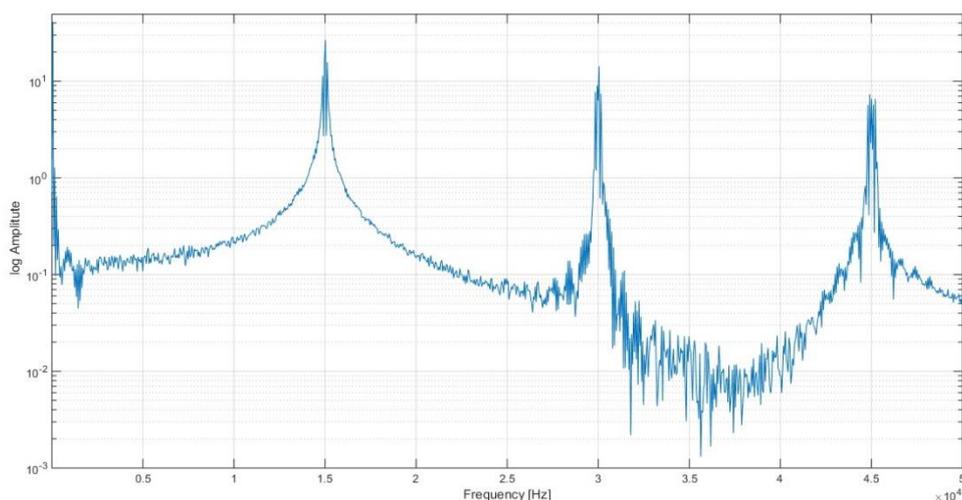


Figura 5.41: Contributo spettrale della tensione in uscita dal ramo di inverter alla frequenza di commutazione di 15 [kHz].

L'immagine acquisita dalla termocamera [Figura 5.42] rivela un intervallo apprezzabile tra le temperature riferite agli IGBT 1 e 2 effettivamente in conduzione alternata, e quelli spenti appartenenti al ramo di clamp, 3 e 4. Anche in questo caso il dissipatore uniforma la dispersione del calore su tutta l'area sottostante i componenti, per cui la temperatura degli IGBT 3 e 4 non è pari a quella dell'ambiente. La condizione termica degli interruttori del ramo di inverter risulta leggermente alterata rispetto al convertitore multilivello. La rilevazione ad infrarosso è effettuata anche in tale caso dopo circa 30 minuti di funzionamento, ad equilibrio termico raggiunto.

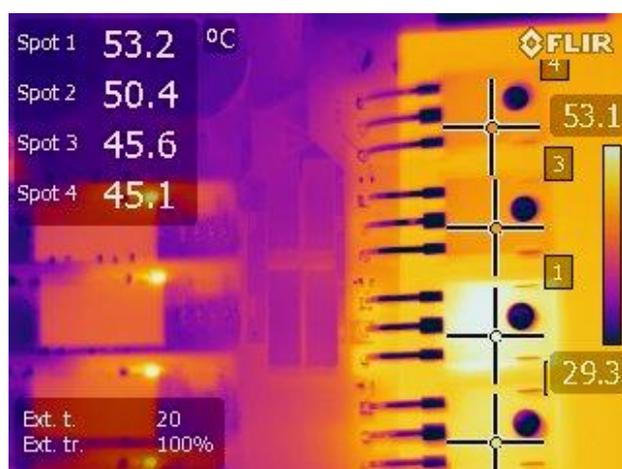


Figura 5.42: Particolare della temperatura in °C raggiunta dagli IGBT in equilibrio termico.

5.2.5. Configurazione Ramo di Inverter a 25 [kHz]

Aumentando la frequenza di commutazione, il risultato comune alla quasi totalità delle configurazioni di inverter è la riduzione del ripple della corrente in uscita da essi. Tuttavia in questo caso è accompagnato da effetti negativi, quali l'aumento della distorsione della sinusoide e l'ovvio cambio del verso della corrente, dal periodo positivo al negativo e viceversa, osservabili in [Figura 5.43] e dettagliatamente nel periodo di [Figura 5.44]. Inoltre il valore efficace della corrente diminuisce, infierendo quindi sulla potenza erogata. La tensione continua ad essere molto oscillante nonostante si passi da 15 [kHz] a 25 [kHz], per cui si può supporre che la condizione non migliori effettivamente aumentando al frequenza di commutazione, come invece accade nel multilivello.

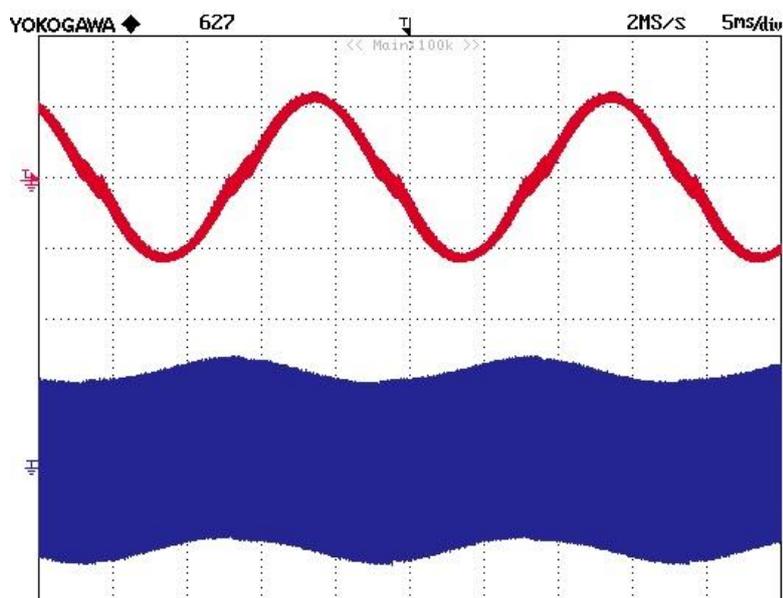


Figura 5.43: Corrente sinusoidale in rosso, tensione oscillante in blu e frequenza di commutazione a 25 [kHz], in uscita dal ramo di inverter.

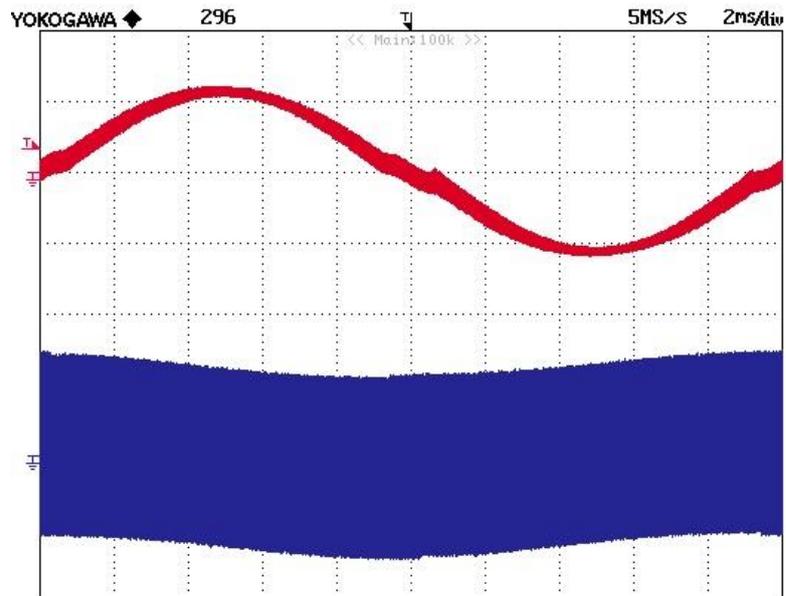


Figura 5.44: Ingrandimento del ripple della corrente (rosso) e della tensione (blu).

Di seguito viene proposto lo spettro della corrente e della tensione, con i consueti picchi associati alla frequenza di commutazione ed ai suoi multipli [Figura 5.45] e [Figura 5.47]. Il grafico nel dominio di Fourier rivela un peggioramento del contributo frequenziale [Figura 5.46]: le armoniche dispari differenti dalla fondamentale, aumentano la loro incidenza sul THD, mentre quelle pari influiscono solo fino alla decima armonica. In generale, risulta quindi un abbassamento sulla qualità dell'energia generata dal convertitore alle alte frequenze.

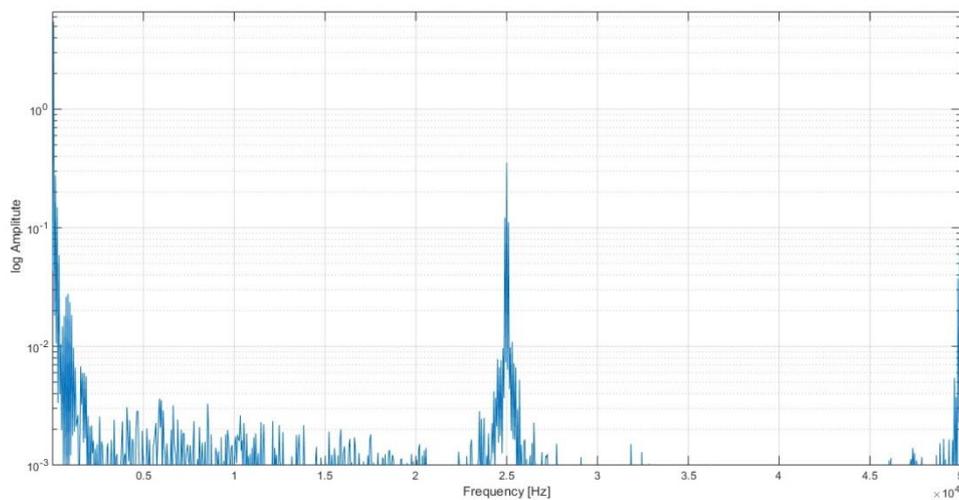


Figura 5.45: Contributo spettrale della corrente in uscita dal ramo di inverter alla frequenza di commutazione di 25 [kHz].

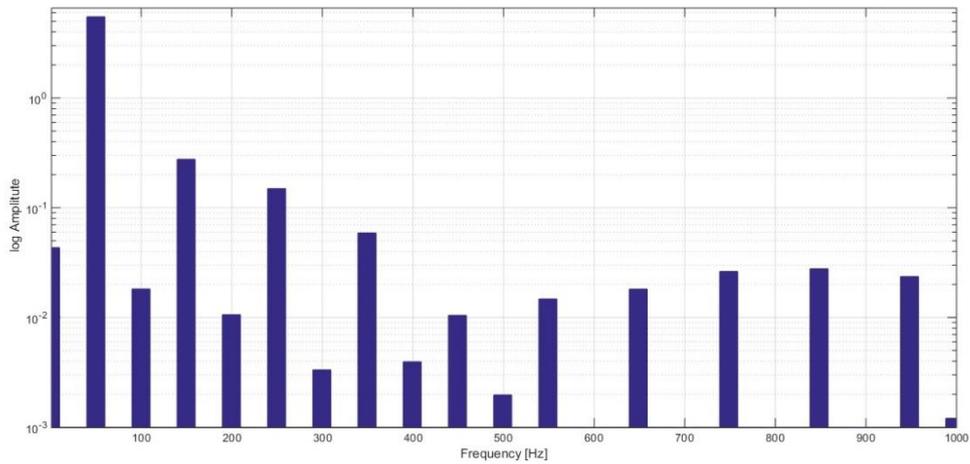


Figura 5.46: Contributo frequenziale della corrente di uscita nel dominio di Fourier fino alla ventesima armonica.

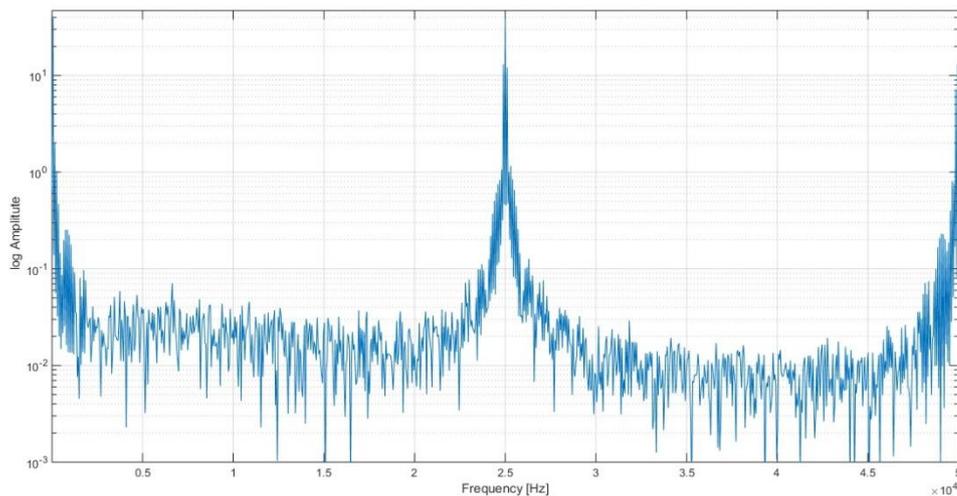


Figura 5.47: Contributo spettrale della tensione in uscita dal ramo di inverter alla frequenza di commutazione di 25 [kHz].

Stima quasi inaspettata è quella relativa alla temperatura degli IGBT 1 e 2, in quanto la figura sottostante ne rivela un lieve abbassamento. Il passaggio da 15 [kHz] a 25 [kHz] non porta solo ad una più intensa dissipazione di potenza per commutazione, bensì al già citato abbassamento del valore efficace della corrente in uscita, che giustifica appieno il comportamento termico dei componenti sotto studio.

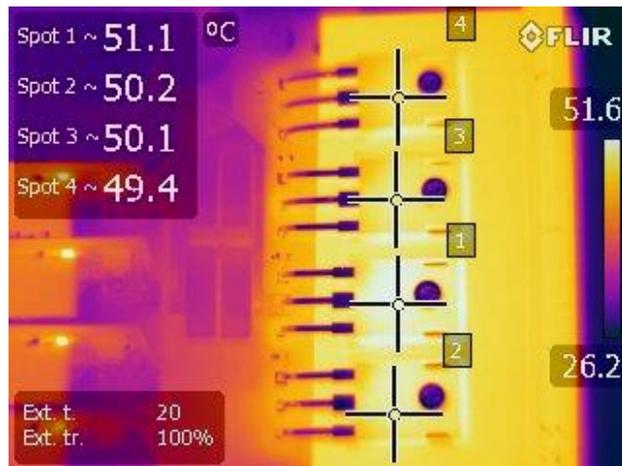


Figura 5.48: Particolare della temperatura in °C raggiunta dagli IGBT in equilibrio termico.

5.2.6. Configurazione Ramo di Inverter a 35 [kHz]

Dal comportamento del ramo di inverter nelle precedenti prove, si ipotizza che gli stessi eventi, all'attuale elevata frequenza di commutazione di 35 [kHz], possano solo incidere maggiormente. A supporto di ciò, sono ora presentate le [Figura 5.49] e [Figura 5.50]: la corrente perde la sinusoidalità tipica del test a 15 [kHz], nonostante il ripple sia fortemente ridotto. L'inverter non riesce a seguire la velocità della commutazione, e lo dimostra nel passaggio frastagliato sullo zero. La tensione permane nella sua perpetua condizione di oscillazione, senza presagire nessun miglioramento in favore di un andamento più costante.

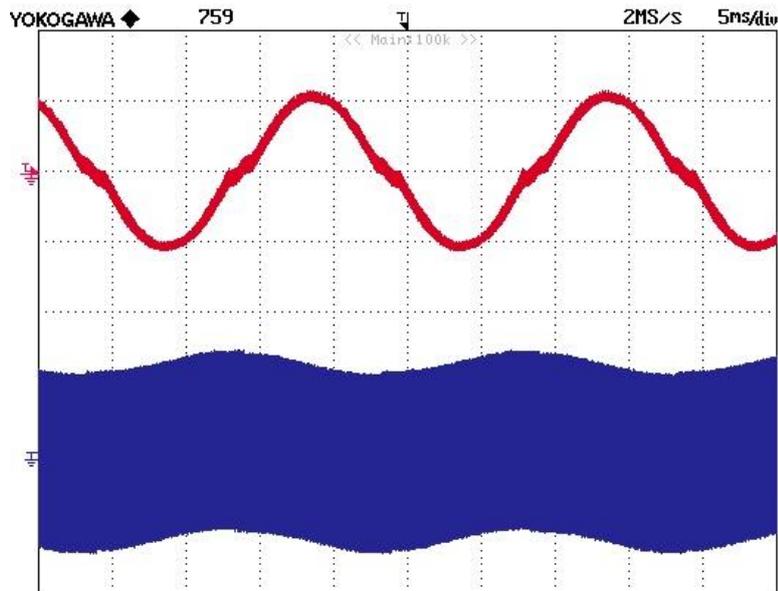


Figura 5.49: Corrente sinusoidale in rosso, tensione oscillante in blu e frequenza di commutazione a 35 [kHz], in uscita dal ramo di inverter.

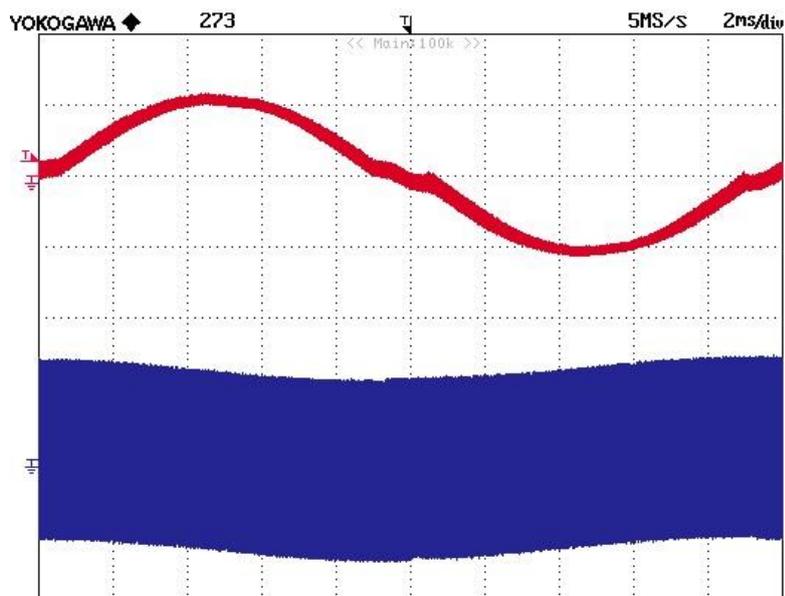


Figura 5.50: Ingrandimento del ripple della corrente (rosso) e della tensione (blu).

Lo spettro, sia della corrente [Figura 5.51] che della tensione [Figura 5.53], appare “sporcato”, e questo fenomeno si protrae per tutto l’intervallo di frequenze preso in considerazione. Dalle armoniche della corrente [Figura 5.52] è chiaro l’aumento del valore percentuale di THD, che comporta quindi un contributo delle armoniche sovrastante rispetto alla fondamentale, e la relativa distorsione della grandezza in oggetto.

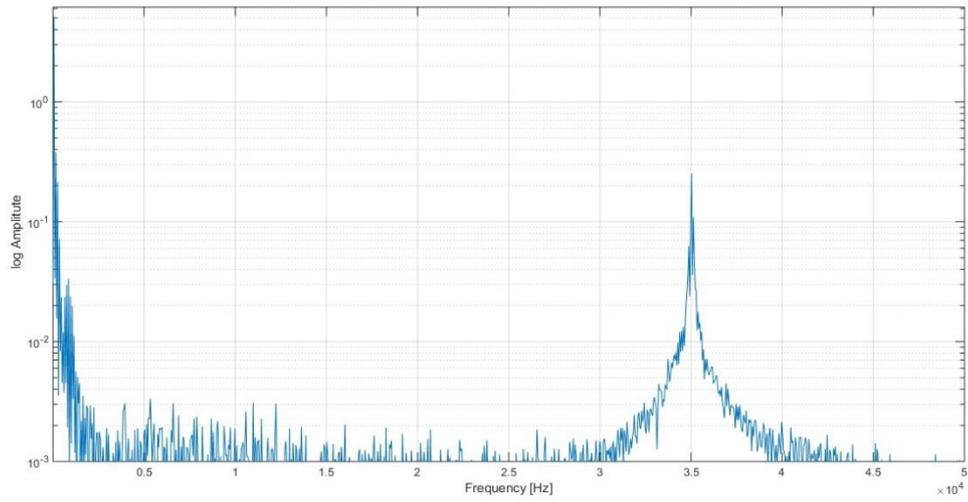


Figura 5.51: Contributo spettrale della corrente in uscita dal ramo di inverter alla frequenza di commutazione di 35 [kHz].

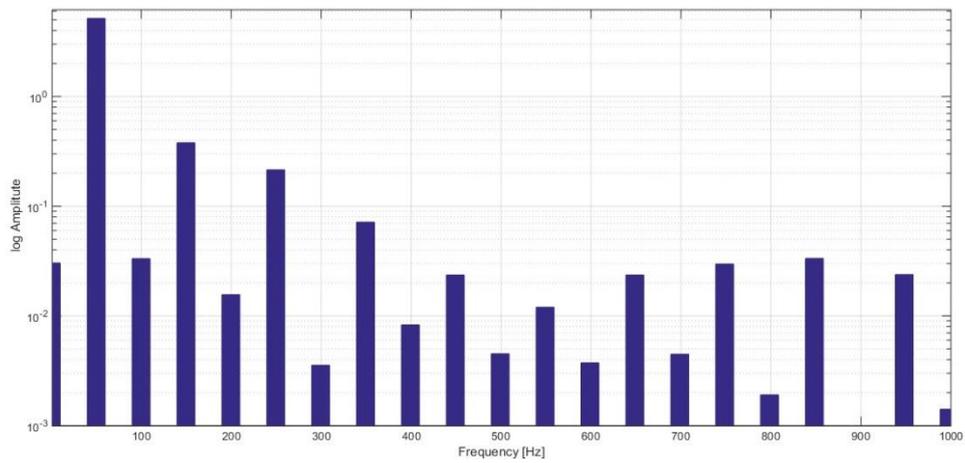


Figura 5.52: Contributo frequenziale della corrente di uscita nel dominio di Fourier fino alla ventesima armonica.

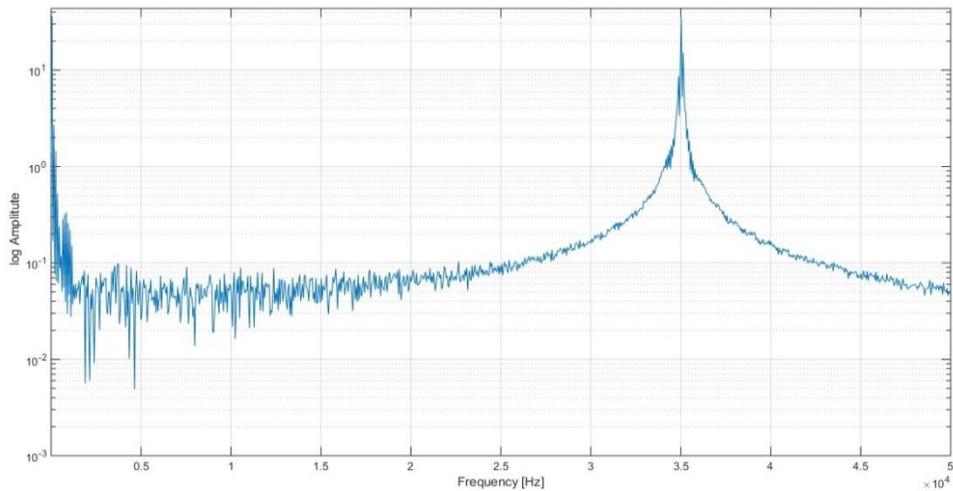


Figura 5.53: Contributo spettrale della tensione in uscita dal ramo di inverter alla frequenza di commutazione di 35 [kHz].

Dagli *screenshot* precedenti, si rileva un abbassamento ulteriore del valore efficace della corrente, non più paragonabile a quello nelle medesime condizioni di funzionamento del caso a 3L. L'immagine termica ne rivela l'effetto, sotto forma di abbassamento repentino della temperatura che coinvolge la totalità degli IGBT. Il calo di potenza erogata comporta senza dubbio il calo dell'efficienza, annunciato precedentemente in letteratura alle alte frequenze di commutazione.

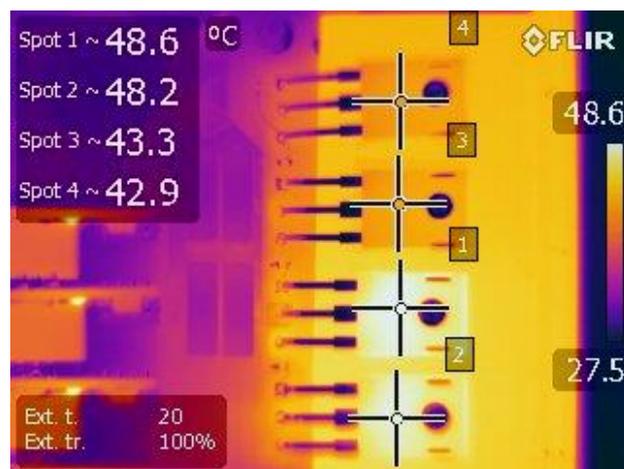


Figura 5.54: Particolare della temperatura in °C raggiunta dagli IGBT in equilibrio termico.

Conclusioni

L'analisi letteraria comprova l'elevato sfruttamento degli inverter multilivello nell'industria di potenza, in particolare in ambiente fotovoltaico. Le prime tipologie esaminate, dal *Diode-Clamped Inverter* al *Cascaded H-Bridge Inverter*, possiedono caratteristiche adatte all'impiego considerato, per cui la loro presenza in questo campo è ampiamente consolidata.

Tale motivazione, accompagnata da una mera curiosità scientifica in cui l'Ingegneria fa da sfondo, porta altresì allo studio approfondito di quella configurazione di inverter invece considerata una delle più emergenti e innovative del settore, per molteplici elementi che la contraddistinguono. In particolare, l'alta efficienza associata al *Neutral Point Clamped T-Type Inverter* ne giustifica la scelta per le prove in simulazione e successivamente per quelle in potenza, ad assemblaggio avvenuto.

Difficoltosa è la selezione della tipologia di controllo degli interruttori, siano essi *power MOSFET* od *IGBT*, che ricade dunque sulla *Level Shifted Carriers SPWM*, la cui implementazione si dimostra relativamente semplice. Dalle simulazioni in configurazione *single leg* e trifase si estrapolano dati promettenti che auspicano l'eventuale progettazione. Le basse perdite associate alla conduzione e alla commutazione ad alta frequenza, rilevate sia sul ramo mediano di clamp che su quello di inverter, sommate alla bassa complessità del circuito, rendono l'*NPC T-Type* il solo candidato alla realizzazione.

Si opta per la configurazione *single leg*, convalidando altresì l'approccio ingegneristico che porta alla valutazione del caso peggiore.

L'esito positivo del collaudo precede le prove in potenza, effettuate alimentando il convertitore sino a 100 [V]. Dai risultati emerge l'importanza dell'introduzione del terzo livello di tensione in uscita, in contrapposizione al tradizionale inverter a due livelli. In letteratura come in laboratorio, per basse frequenze di commutazione l'inverter tradizionale mantiene buone caratteristiche corrispondenti al THD e all'efficienza, e scarsa distorsione dovuta alla presenza di due soli tempi morti sulla corrente in uscita. Le considerazioni fatte non possono però estendersi alle alte frequenze, per le quali l'inverter a tre livelli esprime

pienamente l'elevato potenziale. Difatti, in tali condizioni di commutazione, il ripple della corrente associato al *T-Type* si riduce, il valore efficace rimane costante e i livelli di tensione di uscita divengono oltremodo definiti e caratterizzati da andamento lineare nel tempo.

Comparando i risultati ottenuti con quelli corrispondenti al convertitore tradizionale si deduce un miglioramento nella qualità di energia erogata, guidato dal basso valore di THD.

Vengono convalidate le teorie tratte dalla letteratura, ampliando il range di frequenze di commutazione alle quali l'inverter a tre livelli conserva le peculiari caratteristiche descritte nell'elaborato.

Gli ottimi risultati raggiunti non pregiudicano tuttavia l'interesse nel proseguire ulteriori analisi, siano esse teoriche o sperimentali. Significativa per l'evoluzione del convertitore potrebbe essere la realizzazione del collegamento trifase ed annesso prove in potenza, alle differenti frequenze di commutazione scelte in tesi per il *single leg*, e oltremodo formativo l'eventuale collegamento ad un reale impianto fotovoltaico. Infine, scientificamente stimolante potrebbe rivelarsi l'approfondimento e la probabile risoluzione delle difficoltà che purtroppo non consentono la modularità dell'*NPC T-Type Inverter*.

Appendice A

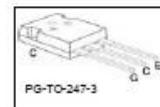
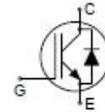


IKW40N120T2

TrenchStop® 2nd Generation Series

Low Loss DuoPack : IGBT in 2nd generation TrenchStop® with soft, fast recovery anti-parallel EmCon diode

- Best in class TO247
- Short circuit withstand time – 10µs
- Designed for :
 - Frequency Converters
 - Uninterrupted Power Supply
- TrenchStop® 2nd generation for 1200 V applications offers :
 - very tight parameter distribution
 - high ruggedness, temperature stable behavior
- Easy paralleling capability due to positive temperature coefficient in $V_{CE(sat)}$
- Low EMI
- Low Gate Charge
- Very soft, fast recovery anti-parallel EmCon HE diode
- Qualified according to JEDEC¹ for target applications
- Pb-free lead plating; RoHS compliant
- Complete product spectrum and PSpice Models : <http://www.infineon.com/igbt/>



| Type | V_{CE} | I_C | $V_{CE(sat), T_J=25^\circ C}$ | $T_{J,max}$ | Marking Code | Package |
|-------------|----------|-------|-------------------------------|-------------|--------------|-------------|
| IKW40N120T2 | 1200V | 40A | 1.75V | 175°C | K40T1202 | PG-TO-247-3 |

Maximum Ratings

| Parameter | Symbol | Value | Unit |
|--|--------------|-----------------|------|
| Collector-emitter voltage | V_{CE} | 1200 | V |
| DC collector current ($T_J=150^\circ C$) | I_C | 75 ² | A |
| $T_C = 25^\circ C$ | | 40 | |
| $T_C = 110^\circ C$ | | 40 | |
| Pulsed collector current, t_p limited by $T_{J,max}$ | $I_{C,puls}$ | 160 | |
| Turn off safe operating area $V_{CE} \leq 1200V, T_J \leq 175^\circ C$ | - | 160 | |
| DC Diode forward current ($T_J=150^\circ C$) | I_F | 75 ² | A |
| $T_C = 25^\circ C$ | | 40 | |
| $T_C = 110^\circ C$ | | 40 | |
| Diode pulsed current, t_p limited by $T_{J,max}$ | $I_{F,puls}$ | 160 | |
| Gate-emitter voltage | V_{GE} | ±20 | V |
| Short circuit withstand time ³⁾ $V_{GE} = 15V, V_{CC} \leq 600V, T_{J,start} \leq 175^\circ C$ | t_{sc} | 10 | µs |
| Power dissipation $T_C = 25^\circ C$ | P_{tot} | 480 | W |
| Operating junction temperature | T_J | -40...+175 | °C |
| Storage temperature | T_{stg} | -55...+150 | |
| Soldering temperature, 1.6mm (0.063 in.) from case for 10s Wavesoldering only, temperature on leads only | - | 260 | |

¹ J-STD-020 and JESD-022

² Limited by bond wire

³⁾ Allowed number of short circuits: <1000; time between short circuits: >1s.

Thermal Resistance

| Parameter | Symbol | Conditions | Max. Value | Unit |
|---|-------------|------------|------------|------|
| Characteristic | | | | |
| IGBT thermal resistance, junction – case | R_{thJC} | | 0.31 | K/W |
| Diode thermal resistance, junction – case | R_{thJCD} | | 0.53 | |
| Thermal resistance, junction – ambient | R_{thJA} | | 40 | |

Electrical Characteristic, at $T_j = 25\text{ °C}$, unless otherwise specified

| Parameter | Symbol | Conditions | Value | | | Unit |
|--------------------------------------|---------------|---|-------|------|------|------|
| | | | min. | typ. | max. | |
| Static Characteristic | | | | | | |
| Collector-emitter breakdown voltage | $V_{(BR)CES}$ | $V_{GE}=0V, I_C=500\mu A$ | 1200 | - | - | V |
| Collector-emitter saturation voltage | $V_{CE(sat)}$ | $V_{GE} = 15V, I_C=40A$ $T_j=25\text{ °C}$ $T_j=150\text{ °C}$ $T_j=175\text{ °C}$ | - | 1.75 | 2.2 | V |
| | | | - | 2.25 | - | |
| | | | - | 2.3 | - | |
| Diode forward voltage | V_F | $V_{GE}=0V, I_F=40A$ $T_j=25\text{ °C}$ $T_j=150\text{ °C}$ $T_j=175\text{ °C}$ | - | 1.75 | 2.2 | V |
| | | | - | 1.80 | - | |
| | | | - | 1.80 | - | |
| Gate-emitter threshold voltage | $V_{GE(th)}$ | $I_C=1.5mA, V_{CE}=V_{GE}$ | 5.2 | 5.8 | 6.4 | V |
| Zero gate voltage collector current | I_{CES} | $V_{CE}=1200V, V_{GE}=0V$ $T_j=25\text{ °C}$ $T_j=150\text{ °C}$ $T_j=175\text{ °C}$ | - | - | 0.4 | mA |
| | | | - | - | 4.0 | |
| | | | - | - | 20 | |
| Gate-emitter leakage current | I_{GES} | $V_{CE}=0V, V_{GE}=20V$ | - | - | 200 | nA |
| Transconductance | g_{fs} | $V_{CE}=20V, I_C=40A$ | - | 21 | - | S |

Dynamic Characteristic

| | | | | | | |
|---|-------------|--|---|------------|---|----|
| Input capacitance | C_{iss} | $V_{CE}=25V,$ | - | 2360 | - | pF |
| Output capacitance | C_{oss} | $V_{GE}=0V,$ | - | 230 | - | |
| Reverse transfer capacitance | C_{rss} | $f=1MHz$ | - | 125 | - | |
| Gate charge | Q_{Gate} | $V_{CC}=960V, I_C=40A,$ $V_{GE}=15V$ | - | 192 | - | nC |
| Internal emitter inductance measured 5mm (0.197 in.) from case | L_E | | - | 13 | - | nH |
| Short circuit collector current ¹⁾ | $I_{C(SC)}$ | $V_{GE}=15V, t_{SC} \leq 10\mu s$ $V_{CC} = 600V,$ $T_{J,start} = 25^\circ C$ $T_{J,start} = 175^\circ C$ | - | 220 156 | - | A |

Switching Characteristic, Inductive Load, at $T_J=25^\circ C$

| Parameter | Symbol | Conditions | Value | | | Unit |
|---|--------------|--|-------|------|------|-----------|
| | | | min. | typ. | max. | |
| IGBT Characteristic | | | | | | |
| Turn-on delay time | $t_{d(on)}$ | $T_J=25^\circ C,$ | - | 33 | - | ns |
| Rise time | t_r | $V_{CC}=600V, I_C=40A,$ | - | 28 | - | |
| Turn-off delay time | $t_{d(off)}$ | $V_{GE}=0/15V,$ | - | 314 | - | |
| Fall time | t_f | $R_G=12\Omega,$ $L_{\sigma}^{2)}=80nH,$ $C_{\sigma}^{2)}=67pF$ | - | 94 | - | |
| Turn-on energy | E_{on} | Energy losses include "tail" and diode reverse recovery. | - | 3.2 | - | mJ |
| Turn-off energy | E_{off} | | - | 2.05 | - | |
| Total switching energy | E_{ts} | | - | 5.25 | - | |
| Anti-Parallel Diode Characteristic | | | | | | |
| Diode reverse recovery time | t_{rr} | $T_J=25^\circ C,$ | - | 258 | - | ns |
| Diode reverse recovery charge | Q_{rr} | $V_R=600V, I_F=40A,$ | - | 3.3 | - | μC |
| Diode peak reverse recovery current | I_{rrm} | $di_F/dt=950A/\mu s$ | - | 23 | - | A |
| Diode peak rate of fall of reverse recovery current during t_b | di_{rr}/dt | | - | 350 | - | $A/\mu s$ |

¹⁾ Allowed number of short circuits: <1000; time between short circuits: >1s.

²⁾ Leakage inductance L_{σ} and Stray capacity C_{σ} due to dynamic test circuit in Figure E.

Switching Characteristic, Inductive Load, at $T_J=175^\circ\text{C}$

| Parameter | Symbol | Conditions | Value | | | Unit |
|--|--------------|--|-------|------|------|------------------------|
| | | | min. | typ. | max. | |
| IGBT Characteristic | | | | | | |
| Turn-on delay time | $t_{d(on)}$ | $T_J=175^\circ\text{C}$ | - | 32 | - | ns |
| Rise time | t_r | $V_{CC}=600\text{V}, I_C=40\text{A},$ $V_{GE}=0/15\text{V},$ | - | 28 | - | |
| Turn-off delay time | $t_{d(off)}$ | $R_G=12\Omega,$ | - | 405 | - | |
| Fall time | t_f | $L_{\sigma^{(1)}}=180\text{nH},$ $C_{\sigma^{(1)}}=67\text{pF}$ | - | 195 | - | |
| Turn-on energy | E_{on} | Energy losses include | - | 4.5 | - | mJ |
| Turn-off energy | E_{off} | "tail" and diode reverse | - | 3.8 | - | |
| Total switching energy | E_{ts} | recovery. | - | 8.3 | - | |
| Anti-Parallel Diode Characteristic | | | | | | |
| Diode reverse recovery time | t_{rr} | $T_J=175^\circ\text{C}$ | - | 480 | - | ns |
| Diode reverse recovery charge | Q_{rr} | $V_R=600\text{V}, I_F=40\text{A},$ | - | 6.6 | - | μC |
| Diode peak reverse recovery current | I_{rrm} | $di_F/dt=950\text{A}/\mu\text{s}$ | - | 31 | - | A |
| Diode peak rate of fall of reverse recovery current during t_b | di_{rr}/dt | | - | 200 | | $\text{A}/\mu\text{s}$ |

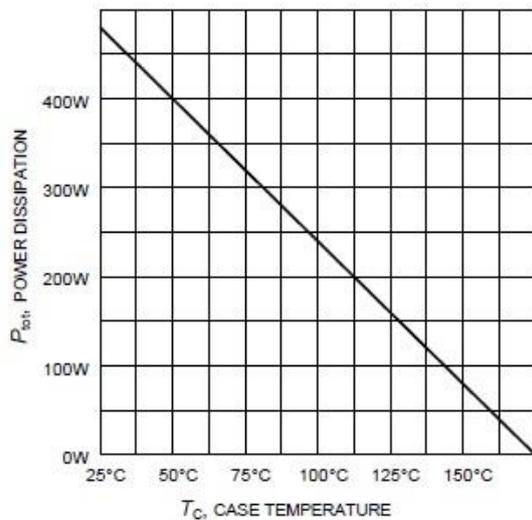


Figure 3. Maximum power dissipation as a function of case temperature ($T_J \leq 175^\circ\text{C}$)

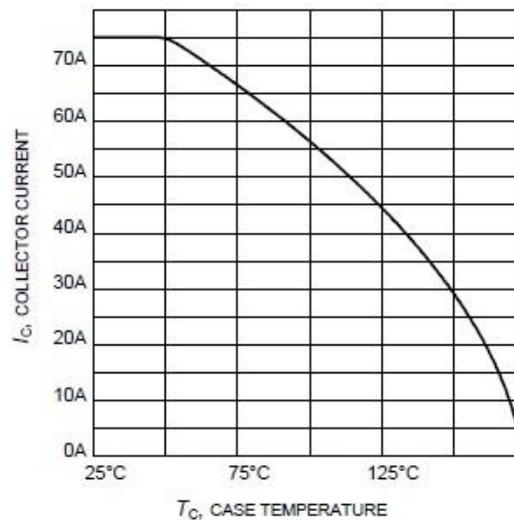


Figure 4. Maximum collector current as a function of case temperature ($V_{GE} \geq 15\text{V}, T_J \leq 175^\circ\text{C}$)

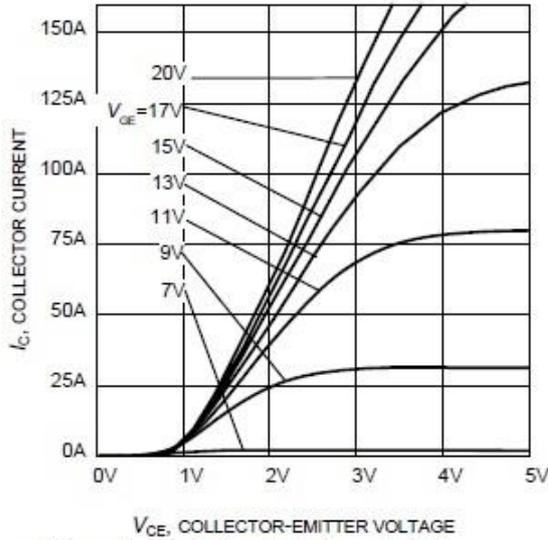


Figure 5. Typical output characteristic
($T_j = 25^\circ\text{C}$)

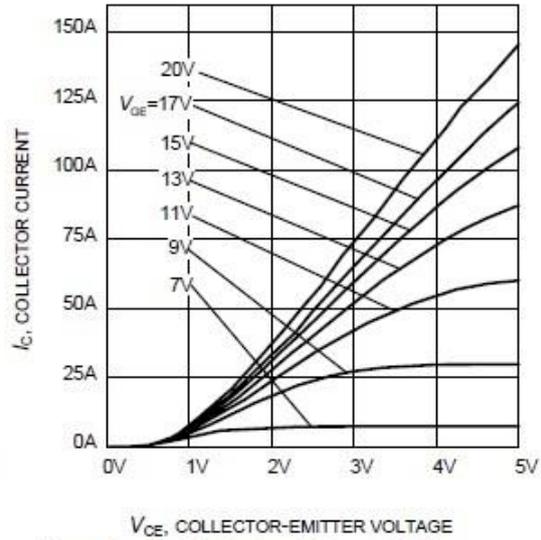


Figure 6. Typical output characteristic
($T_j = 175^\circ\text{C}$)

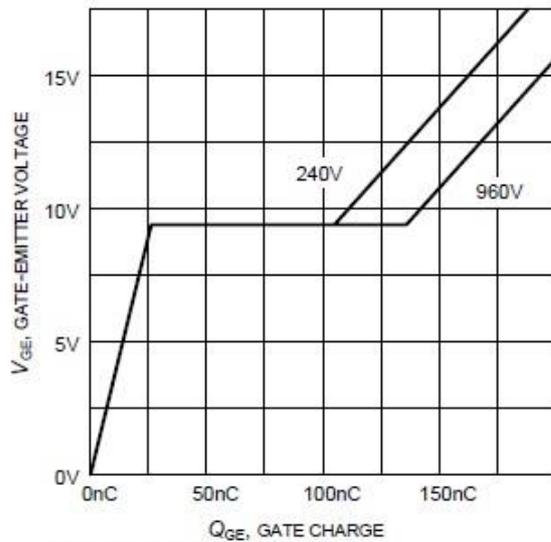


Figure 17. Typical gate charge
($I_c = 40\text{ A}$)

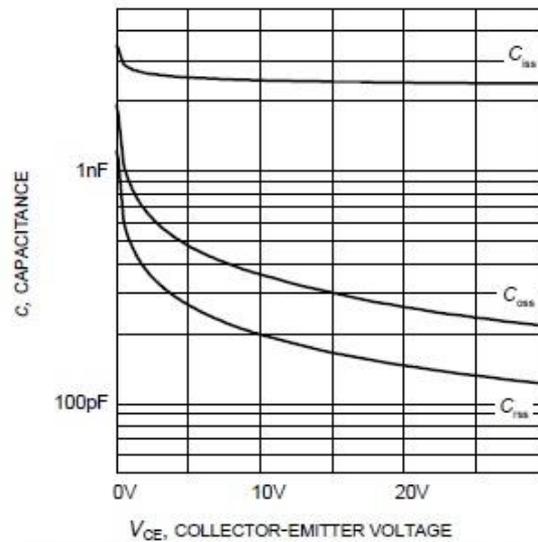


Figure 18. Typical capacitance as a function of collector-emitter voltage
($V_{GE} = 0\text{V}$, $f = 1\text{ MHz}$)

Appendice B



SPW35N60C3

CoolMOS™ Power Transistor

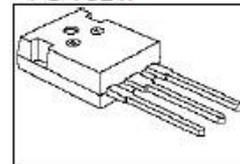
Features

- New revolutionary high voltage technology
- Ultra low gate charge
- Periodic avalanche rated
- Extreme dv/dt rated
- Ultra low effective capacitances
- Improved transconductance
- Pb-free lead plating; RoHS compliant
- Qualified according to JEDEC⁽⁹⁾ for target applications

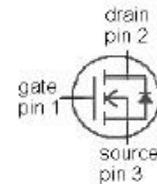
Product Summary

| | | |
|----------------------|------|----------|
| $V_{DS} @ T_{j,max}$ | 650 | V |
| $R_{DS(on),max}$ | 0.1 | Ω |
| I_D | 34.6 | A |

PG-TO247



| Type | Package | Ordering Code | Marking |
|------------|----------|---------------|---------|
| SPW35N60C3 | PG-TO247 | Q67040-S4673 | 35N60C3 |



Maximum ratings, at $T_j=25\text{ °C}$, unless otherwise specified

| Parameter | Symbol | Conditions | Value | Unit |
|---|-------------------|--|-------------|--------------------|
| Continuous drain current | I_D | $T_C=25\text{ °C}$ | 34.6 | A |
| | | $T_C=100\text{ °C}$ | 21.9 | |
| Pulsed drain current ¹⁾ | $I_{D,pulse}$ | $T_C=25\text{ °C}$ | 103.8 | |
| Avalanche energy, single pulse | E_{AS} | $I_D=17.3\text{ A}$, $V_{DD}=50\text{ V}$ | 1500 | mJ |
| Avalanche energy, repetitive $t_{AR}^{1),2)}$ | E_{AR} | $I_D=34.6\text{ A}$, $V_{DD}=50\text{ V}$ | 1.5 | |
| Avalanche current, repetitive $t_{AR}^{1)}$ | I_{AR} | | 34.6 | A |
| Drain source voltage slope | dv/dt | $I_D=34.6\text{ A}$, $V_{DS}=480\text{ V}$, $T_j=125\text{ °C}$ | 50 | V/ns |
| Gate source voltage | V_{GS} | static | ± 20 | V |
| | V_{GS} | AC ($f>1\text{ Hz}$) | ± 30 | |
| Power dissipation | P_{tot} | $T_C=25\text{ °C}$ | 313 | W |
| Operating and storage temperature | T_j , T_{stg} | | -55 ... 150 | $^{\circ}\text{C}$ |
| Reverse diode dv/dt ⁶⁾ | dv/dt | | 15 | V/ns |

| Parameter | Symbol | Conditions | Values | | | Unit |
|--|-------------|--|--------|------|------|------|
| | | | min. | typ. | max. | |
| Thermal characteristics | | | | | | |
| Thermal resistance, junction - case | R_{thJC} | | - | - | 0.4 | KW |
| Thermal resistance, junction - ambient | R_{thJA} | leaded | - | - | 62 | |
| Soldering temperature, wavesoldering | T_{solid} | 1.6 mm (0.063 in.) from case for 10 s | - | - | 260 | °C |

Electrical characteristics, at $T_J=25\text{ °C}$, unless otherwise specified

Static characteristics

| | | | | | | |
|----------------------------------|---------------|---|-----|-------|-----|---------------|
| Drain-source breakdown voltage | $V_{(BR)DSS}$ | $V_{GS}=0\text{ V}, I_D=250\text{ }\mu\text{A}$ | 600 | - | - | V |
| Avalanche breakdown voltage | $V_{(BR)DS}$ | $V_{GS}=0\text{ V}, I_D=34.6\text{ A}$ | - | 700 | - | |
| Gate threshold voltage | $V_{GS(th)}$ | $V_{DS}=V_{GS}, I_D=1.9\text{ mA}$ | 2.1 | 3 | 3.9 | |
| Zero gate voltage drain current | I_{DSS} | $V_{DS}=600\text{ V}, V_{GS}=0\text{ V}, T_J=25\text{ °C}$ | - | 0.1 | 1 | μA |
| | | $V_{DS}=600\text{ V}, V_{GS}=0\text{ V}, T_J=150\text{ °C}$ | - | - | 100 | |
| Gate-source leakage current | I_{GSS} | $V_{GS}=20\text{ V}, V_{DS}=0\text{ V}$ | - | - | 100 | nA |
| Drain-source on-state resistance | $R_{DS(on)}$ | $V_{GS}=10\text{ V}, I_D=21.9\text{ A}, T_J=25\text{ °C}$ | - | 0.081 | 0.1 | Ω |
| | | $V_{GS}=10\text{ V}, I_D=21.9\text{ A}, T_J=150\text{ °C}$ | - | 0.2 | - | |
| Gate resistance | R_G | $f=1\text{ MHz}$, open drain | - | 0.6 | - | |
| Transconductance | g_{fs} | $ V_{DS} >2 I_D R_{DS(on)max}, I_D=21.9\text{ A}$ | - | 36 | - | S |

| Parameter | Symbol | Conditions | Values | | | Unit |
|--|---------------|---|--------|------|------|------|
| | | | min. | typ. | max. | |
| Dynamic characteristics | | | | | | |
| Input capacitance | C_{iss} | $V_{GS}=0\text{ V}, V_{DS}=25\text{ V},$ $f=1\text{ MHz}$ | - | 4500 | - | pF |
| Output capacitance | C_{oss} | | - | 1500 | - | |
| Reverse transfer capacitance | C_{rss} | | - | 100 | - | |
| Effective output capacitance, energy related ³⁾ | $C_{o(er)}$ | $V_{GS}=0\text{ V}, V_{DS}=0\text{ V}$ to 480 V | - | 180 | - | |
| Effective output capacitance, time related ⁴⁾ | $C_{o(tr)}$ | | - | 324 | - | |
| Turn-on delay time | $t_{d(on)}$ | $V_{DD}=480\text{ V},$ $V_{GS}=10\text{ V}, I_D=34.6\text{ A},$ $R_G=3.3\ \Omega$ | - | 10 | - | ns |
| Rise time | t_r | | - | 5 | - | |
| Turn-off delay time | $t_{d(off)}$ | | - | 70 | - | |
| Fall time | t_f | | - | 10 | - | |
| Gate Charge Characteristics | | | | | | |
| Gate to source charge | Q_{gs} | $V_{DD}=480\text{ V},$ $I_D=34.6\text{ A},$ $V_{GS}=0\text{ to }10\text{ V}$ | - | 18 | - | nC |
| Gate to drain charge | Q_{gd} | | - | 70 | - | |
| Gate charge total | Q_g | | - | 150 | 200 | |
| Gate plateau voltage | $V_{plateau}$ | | - | 5.3 | - | V |

¹⁾ Pulse width limited by maximum temperature $T_{j,max}$ only

²⁾ Repetitive avalanche causes additional power losses that can be calculated as $P_{AV}=E_{AR} \cdot f$.

³⁾ $C_{o(er)}$ is a fixed capacitance that gives the same stored energy as C_{oss} while V_{BS} is rising from 0 to 80% V_{BSS} .

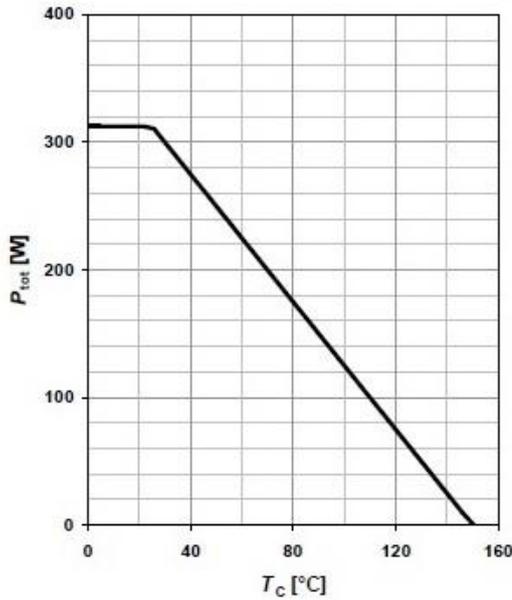
⁴⁾ $C_{o(tr)}$ is a fixed capacitance that gives the same charging time as C_{oss} while V_{BS} is rising from 0 to 80% V_{BSS} .

⁵⁾ $I_{SD} \leq I_D$, $di/dt \leq 200\text{ A/us}$, $V_{DClink}=400\text{ V}$, $V_{peak} < V_{BR, DSS}$, $T_j < T_{j,max}$.
Identical low-side and high-side switch.

⁶⁾ J-STD20 and JESD22

1 Power dissipation

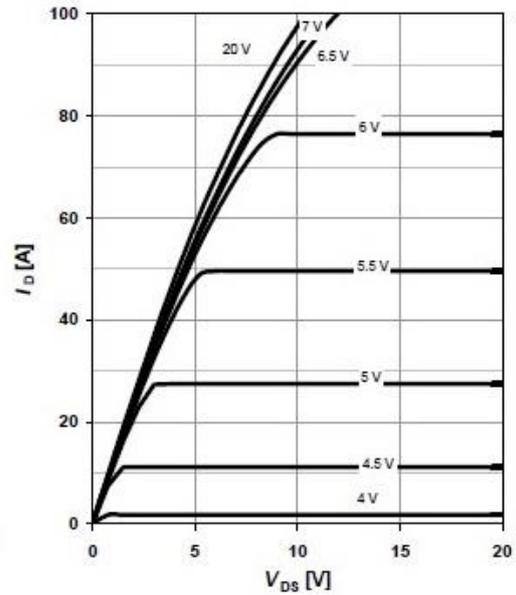
$$P_{tot} = f(T_c)$$



4 Typ. output characteristics

$$I_D = f(V_{DS}); T_J = 25\text{ °C}$$

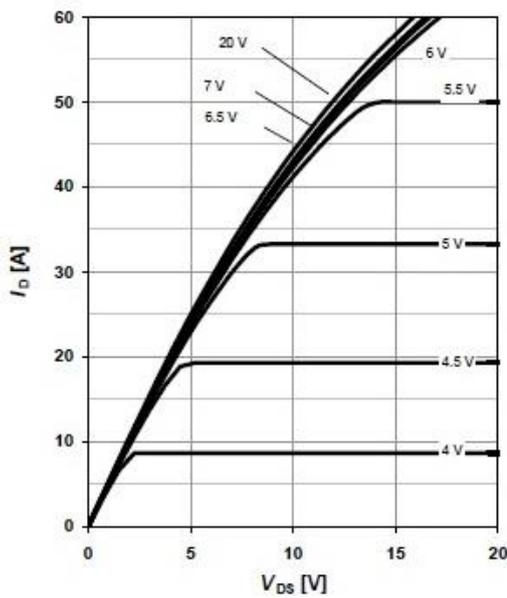
parameter: V_{GS}



5 Typ. output characteristics

$$I_D = f(V_{DS}); T_J = 150\text{ °C}$$

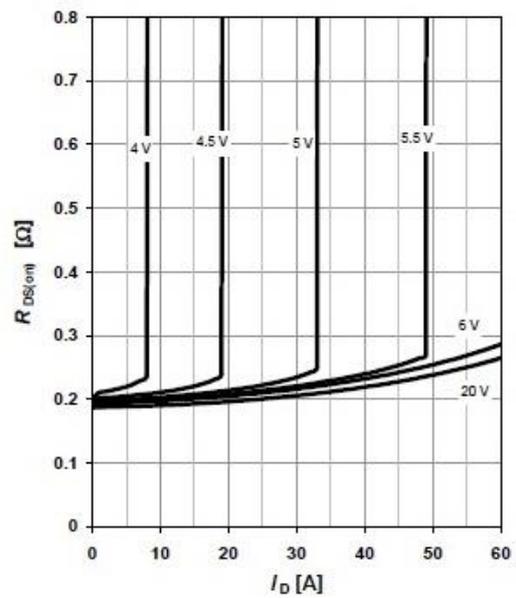
parameter: V_{GS}



6 Typ. drain-source on-state resistance

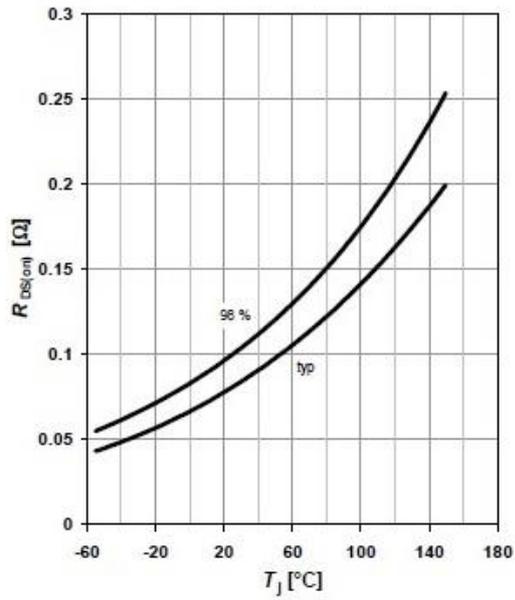
$$R_{DS(on)} = f(I_D); T_J = 150\text{ °C}$$

parameter: V_{GS}



7 Drain-source on-state resistance

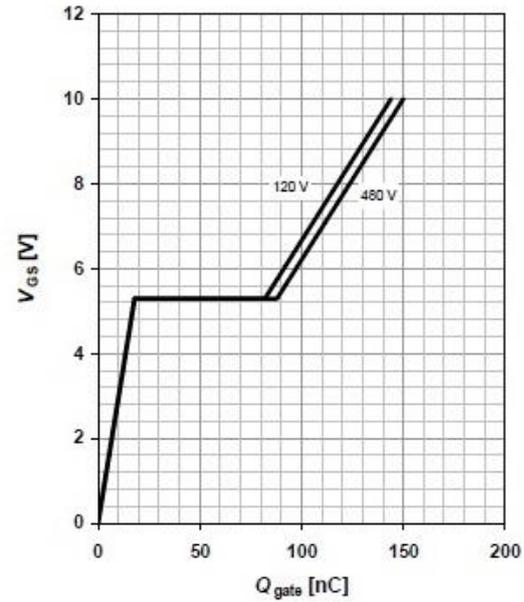
$$R_{DS(on)} = f(T_J); I_D = 21.9 \text{ A}; V_{GS} = 10 \text{ V}$$



9 Typ. gate charge

$$V_{GS} = f(Q_{gate}); I_D = 34.6 \text{ A pulsed}$$

parameter: V_{DD}

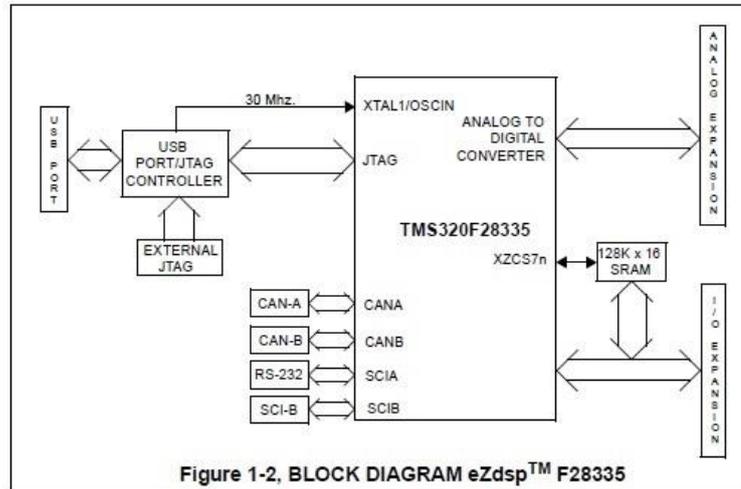


Appendice C

Spectrum Digital, Inc

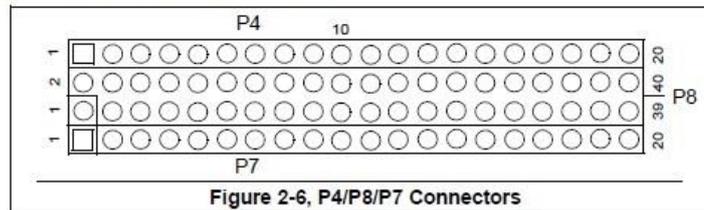
1.2 Functional Overview of the eZdsp™ F28335

Figure 1-1 shows a block diagram of the basic configuration for the eZdsp™ F28335. The major interfaces of the eZdsp are the JTAG interface, and expansion interface.



2.3.3 P4/P8/P7, I/O Interface

The connectors P4, P8, and P7 present the I/O signals from the DSC. The layout of these connectors are shown below.



The pin definition of the P8 connector is shown in the table below.

Table 6: P8, I/O Connectors

| Pin # | Signal | Pin # | Signal |
|-------|----------------------------------|-------|-------------------------------------|
| 1 | +3.3V/+5V/NC * | 2 | +3.3V/+5V/NC * |
| 3 | MUX_GPIO29_SCITXDA_XA19 | 4 | MUX_GPIO28_SCIRXDA_XZCS6n |
| 5 | GPIO14_TZ3n_XHOLD_SCITXDB_MCLKXB | 6 | GPIO20_EAEP1A_MXDA_CANTXB |
| 7 | GPIO21_EQEP18_MDRA_CANRXB | 8 | GPIO23_EQEP1_MFSXA_SCIRXDB |
| 9 | GPIO0_EPWM1A | 10 | GPIO1_EPWM1B/ECAP6/MFSRB |
| 11 | GPIO2_EPWM2A | 12 | GPIO3_EPWM2B_ECAP5_MCLKRB |
| 13 | GPIO4_EPWM3A | 14 | GPIO5_EPWM3B_MFSRA_ECAP1 |
| 15 | GPIO27_ECAP4_EQEP2S_MFSXB | 16 | GPIO6_EPWMN4A_EPWMSYNCl/EPWMSYNCO |
| 17 | GPIO13_TZ2N_CANRXB_MDRB | 18 | GPIO34_ECAP1_XREADY |
| 19 | GND | 20 | GND |
| 21 | GPIO7_EPWM4B_MCLKRA_ECAP2 | 22 | GPIO15TZ4n_XHOLDA_SCIRXDB_MFSXB |
| 23 | GPIO16_SPISIMOA_CANTXB_TZ5n | 24 | GPIO17_SPISOMIA_CANRXB_TZ6n |
| 25 | GPIO18_SPICLKA_SCITXDB_CANRXA | 26 | GPIO19_SPISTAn_SCIRXDB_CANTXA |
| 27 | _MUX_GPIO31_CANRXA_XA17 | 28 | MUX_GPIO30_CANRXA_XA18 |
| 29 | MUX_GPIO11_EPWM6B_SCIRXDB_ECAP4 | 30 | MUX_GPIO8EPWM5A_CANTXB_ADCSOCA0nP3 |
| 31 | MUX_GPIO9_EPWM5B_SCITXDB_ECAP3 | 32 | MUX_GPIO10_EPWM6A_CANRXB_ADCASOCB0n |
| 33 | MUX_GPIO22 | 34 | GPIO25_ECAP2_EPEQ2B_MDRB |
| 35 | GPIO26_ECAP3_EQEP21_MCLKXB | 36 | GPIO32_SDAA_EPWMSYNCl_ADCSOCACOn |
| 37 | GPIO12_TZ1N_CANTXB_MDXB | 38 | GPIO33_SCLA_EPWNSYNCOV0_ADCSOCBOn |
| 39 | GND | 40 | GND |

Indice delle Figure

| | |
|--|----|
| Figura 1.1: Introduzione di diodi di blocco per ogni stringa, e diodi di <i>by-pass</i> per ogni pannello. | 3 |
| Figura 1.2: Generico sistema PV <i>grid-connected</i> | 3 |
| Figura 1.3: Caratteristica I-V al variare dell'irraggiamento [W/m ²] e della temperatura in °C. | 4 |
| Figura 1.4: Ricerca della massima potenza generata sulla caratteristica I-V. | 4 |
| Figura 1.5: Rappresentazione circuitale ramo di inverter..... | 6 |
| Figura 1.6: Rappresentazione della caduta di tensione tra alimentazione e carico..... | 7 |
| Figura 1.7: Relazione angolare tra la potenza attiva (P), apparente (S) e reattiva (Q). | 10 |
| Figura 1.8: Tempo morto come "disturbo" inevitabile, tra la commutazione alta - bassa dell'interruttore T _{A+} e bassa - alta del T _A | 12 |
| Figura 1.9: Rappresentazione della transizione da uno stato all'altro degli interruttori; differenza tra la commutazione ideale e reale. | 13 |
| Figura 1.10: Ramo di Inverter..... | 16 |
| Figura 1.11: Inverter monofase nello stato $s_1s_2 = 10$, $I_o > 0$, $V_o = V_i$ | 17 |
| Figura 1.12: Inverter monofase nello stato $s_1s_2 = 10$, $I_o < 0$, $V_o = V_i$ | 17 |
| Figura 1.13: Inverter monofase nello stato $s_1s_2 = 01$, $I_o > 0$, $V_o = -V_i$ | 18 |
| Figura 1.14: Inverter monofase nello stato $s_1s_2 = 01$, $I_o < 0$, $V_o = -V_i$ | 18 |
| Figura 1.15: Inverter monofase nello stato $s_1s_2 = 11$, $I_o > 0$, $V_o = 0$ | 18 |
| Figura 1.16: Inverter monofase nello stato $s_1s_2 = 11$, $I_o < 0$, $V_o = 0$ | 19 |
| Figura 1.17: Inverter monofase nello stato $s_1s_2 = 00$, $I_o > 0$, $V_o = 0$ | 19 |
| Figura 1.18: Inverter monofase nello stato $s_1s_2 = 00$, $I_o < 0$, $V_o = 0$ | 19 |
| Figura 1.19: Inverter trifase. | 20 |
| Figura 1.20: A sinistra: esempio di convertitore a 2 livelli; a destra: esempio di generico convertitore multilivello (5 livelli). | 22 |
| Figura 1.21: Rappresentazione di una generica forma d'onda delle tensioni concatenate di un inverter trifase tradizionale. | 24 |
| Figura 1.22: Rappresentazione di una generica forma d'onda delle tensioni concatenate di un inverter trifase a tre livelli. | 25 |
| Figura 1.23: Configurazione <i>Flying Capacitor Inverter</i> a 3 livelli. | 26 |
| Figura 1.24: Configurazione <i>Flying Capacitor Inverter</i> 5 livelli. | 27 |
| Figura 1.25: <i>Diode - Clamped Inverter</i> a tre livelli. | 30 |
| Figura 1.26: <i>Diode - Clamped Inverter</i> a cinque livelli. | 32 |
| Figura 1.27: <i>Diode - Clamped Inverter</i> trifase. | 33 |
| Figura 1.28: Ramo <i>H-bridge</i> a tre livelli. | 35 |
| Figura 1.29: Configurazione <i>H-Bridge Inverter</i> a 5 livelli. | 36 |
| Figura 1.30: Configurazione trifase <i>H-Bridge Inverter</i> | 37 |
| Figura 1.31: Ramo di inverter <i>Neutral Point Clamped T-Type</i> | 39 |
| Figura 1.32: <i>Pulse Width Modulation</i> . In blu la modulante costante, in rosso la portante triangolare, in verde la funzione di commutazione. | 41 |
| Figura 1.33: Schema a blocchi di un generico modulatore PWM. | 42 |
| Figura 1.34: A sinistra, due cicli di commutazione e a destra il diagramma a blocchi della PWM unipolare. | 44 |
| Figura 1.35: SPWM; in blu la modulante di periodo T _m confrontata alla portante di periodo T _c . Sotto, l'alternarsi dei valori 0 ed E _{dc} in uscita dall'inverter. | 45 |

| | |
|--|----|
| Figura 1.36: SPWM unipolare. In blu la m_1 , in verde la m_2 , in marrone i tre livelli disponibili all'uscita dell'inverter.... | 46 |
| Figura 1.37: Spettro armonico frutto della modulazione bipolare (a) e unipolare (b). | 47 |
| Figura 1.38: SPWM bipolare. In blu la portante, in rosso la modulante sinusoidale, in viola i due livelli disponibili all'uscita dell'inverter. | 48 |
| Figura 1.39: Legame tra valore efficace della tensione concatenata e il rapporto di modulazione delle ampiezze. | 49 |
| Figura 1.40: Esempio di PSC SPWM implementata su un inverter <i>single leg</i> a tre livelli..... | 51 |
| Figura 1.41: <i>Level – Shifted Carriers</i> SPWM per inverter a 5 livelli. Dall'alto, le portanti sono <i>In Phase Disposition</i> (IPD), <i>Phase Opposition Disposition</i> (POD) e <i>Alternate Phase Opposition Disposition</i> (APOD). | 52 |
| Figura 2.1: Rappresentazione della configurazione a tre livelli <i>NPC T-Type Inverter single leg</i> | 54 |
| Figura 2.2: Rappresentazione delle regioni di lavoro dipendenti dalla tensione, dal verso della corrente in uscita dall'inverter e dal loro reciproco sfasamento..... | 55 |
| Figura 2.3: <i>NPC T-Type</i> Inverter configurazione <i>single leg</i> . Percorso conduttivo in rosso coinvolgente la parte alta del ramo di inverter..... | 56 |
| Figura 2.4: <i>NPC T-Type</i> Inverter configurazione <i>single leg</i> . Percorso conduttivo in rosso coinvolgente il ramo di clamp. | 56 |
| Figura 2.5: <i>NPC T-Type</i> Inverter configurazione <i>single leg</i> . Percorso conduttivo in rosso coinvolgente la parte bassa del ramo di inverter..... | 57 |
| Figura 2.6: Rappresentazione della configurazione trifase <i>NPC T-Type Inverter</i> a tre livelli. | 61 |
| Figura 2.7: A sinistra l' <i>NPC T-Type Inverter</i> e a destra il <i>Diode-Clamped Inverter</i> , entrambi tre livelli di tensione uscente e fase singola..... | 63 |
| Figura 2.8: Grafico frequenza di switching/area occupata dal chip per una temperatura massima di 125°C. | 66 |
| Figura 3.1: Descrizione termica della perdita di conduzione, in base alla tipologia di IGBT (sinistra) e diodo (destra) utilizzata..... | 69 |
| Figura 3.2: Descrizione termica della perdita di switching, in base alla tipologia di IGBT (sinistra) e diodo (destra) utilizzata..... | 70 |
| Figura 3.3: Schema a blocchi di un regolatore PI generico. | 71 |
| Figura 3.4: Schema a blocchi di un regolatore PIR..... | 73 |
| Figura 3.5: Progettazione in SISOtool. Sopra la CETM, sotto il diagramma di Bode delle ampiezze e delle fasi. | 75 |
| Figura 3.6: Risposta del sistema al margine di guadagno 31.9 [dB] e di fase 87.7°, a frequenza di attraversamento di 800 [rad/s]..... | 76 |
| Figura 3.7: Sistema di controllo dell' <i>NPC T-Type</i> . Da sinistra regolatore PI-risonante, modulazione <i>Level - Shifted Carriers</i> SPWM, inverter..... | 77 |
| Figura 3.8: Circuito <i>NPC T-Type Inverter single leg</i> progettato in PLECS. | 78 |
| Figura 3.9: Forma d'onda rappresentante il segnale errore ottenuto dalla differenza tra quello in ingresso e quello elaborato dal sistema; ascissa: tempo in [s], ordinata: corrente in [A]. | 79 |
| Figura 3.10: Componenti frequenziali nel dominio di Fourier. Riduzione del contributo armonico introdotto sulla fondamentale..... | 80 |
| Figura 3.11: Dall'alto in basso: modulante sinusoidale e le due portanti triangolari, rispettivamente dell'IGBT1 e IGBT4 (verde), IGBT2 e IGBT3 (rossa); PWM sul gate della prima coppia di IGBT; PWM sul gate della seconda coppia di IGBT..... | 81 |
| Figura 3.12: Modulazione <i>Level-Shifted Carriers</i> SPWM..... | 81 |
| Figura 3.13: <i>Level-Shifted Carriers</i> SPWM: intervallo di tempo in cui la modulante è maggiore di 0.5..... | 83 |
| Figura 3.14: <i>Level-Shifted Carriers</i> SPWM: intervallo di tempo in cui la modulante è minore di 0.5. | 83 |
| Figura 3.15: <i>Level-Shifted Carriers</i> SPWM: l'onda quadra impulsiva (alto) che determina l'accensione/spegnimenti degli IGBT in un periodo di modulante (sotto)..... | 84 |

| | |
|--|-----|
| Figura 3.16: Commutazione dei segnali ai <i>gates</i> degli interruttori: Dall'alto al basso: modulante, IGBT superiore del ramo di inverter, IGBT esterno del ramo di <i>clamp</i> , IGBT interno del ramo di <i>clamp</i> , IGBT inferiore del ramo di inverter..... | 85 |
| Figura 3.17: Rappresentazione del tempo morto introdotto sull'IGBT1. | 86 |
| Figura 3.18: Sopra: perdite di conduzione dei 4 IGBT e 4 diodi. Sotto: perdite di switching dei componenti. | 87 |
| Figura 3.19: Ingrandimento delle perdite totali di conduzione (sopra) e switching (sotto). | 88 |
| Figura 3.20: Perdite nel ramo di inverter: IGBT1 in verde e IGBT2 in rosso. | 89 |
| Figura 3.21: Perdite nel ramo di clamp: IGBT3 in blu e IGBT4 in giallo. | 90 |
| Figura 3.22: Ingrandimento perdite conduzione (sopra) e switching (sotto), degli IGBT1 in verde e IGBT4 in giallo. ... | 91 |
| Figura 3.23: Ingrandimento perdite conduzione (sopra) e switching (sotto), degli IGBT2 in rosso e IGBT3 in blu. | 91 |
| Figura 3.24: Perdite di conduzione e switching: IGBT1 verde, diodo 1 magenta, IGBT4 giallo e diodo 4 rosso. | 92 |
| Figura 3.25: Perdite di conduzione e switching: diodo 1 magenta e diodo 2 in azzurro. | 93 |
| Figura 3.26: Perdite di tutti e quattro gli switch. | 94 |
| Figura 3.27: Perdite di tutti e quattro i diodi. | 94 |
| Figura 3.28: Rappresentazione delle perdite dell'inverter al variare della corrente sinusoidale. Dall'alto: corrente in uscita, perdite di conduzione, perdite di switching, perdite totali come somma delle precedenti. | 96 |
| Figura 3.29: Confronto tra le perdite totali e la potenza in ingresso all'inverter. | 97 |
| Figura 3.30: Tre livelli di tensione in uscita ben distinti. Carica e scarica dei condensatori del bus DC. Corrente in uscita tendente alla senoide. | 98 |
| Figura 3.31: Ingrandimento delle forme d'onda delle uscite all'inverter a tre livelli. | 100 |
| Figura 3.32: Errore commesso rispetto alla corrente di riferimento a gradino. | 101 |
| Figura 3.33: In alto le perdite per dissipazione di potenza, in basso la <i>source power</i> | 102 |
| Figura 3.34: Dall'alto, la somma delle perdite medie sull'inverter al variare della potenza in ingresso. In basso, l'efficienza del <i>T-Type Inverter</i> | 102 |
| Figura 3.35: Output dell'inverter. Dall'alto: i tre livelli di tensione, la variazione dei potenziali ai capi delle capacità del bus DC, la corrente. | 103 |
| Figura 3.36: A sinistra il blocco implementato nel sistema di regolazione-conversione. A destra le funzioni di trasferimento all'interno del blocco stesso, risonanti fino alla decima armonica. | 104 |
| Figura 3.37: Forma d'onda rappresentante il segnale errore con l'introduzione dei regolatori risonanti; ascissa: tempo in [s], ordinata: corrente in [A]. | 105 |
| Figura 3.38: Componenti frequenziali nel dominio di Fourier. Riduzione del contributo armonico fino alla decima armonica. | 106 |
| Figura 3.39: Sistema di controllo dell' <i>NPC T-Type</i> . Dall'alto: regolatore PI-risonante, funzione CMV, modulazione <i>Level-Shifted Carriers SPWM</i> , inverter trifase. | 107 |
| Figura 3.40: Errore in corrente definito dalla differenza tra le correnti in ingresso al sistema e quella in uscita dall'inverter trifase. | 108 |
| Figura 3.41: Ingrandimento delle forme d'onda descrittive la modulazione <i>Level-Shifted Carriers SPWM</i> . In giallo e magenta le due portanti in fase; in verde, blu e rosso le tre modulanti sfasate di 120°. | 109 |
| Figura 3.42: In alto, la modulazione effettuata su una fase. In basso il segnale conseguente alla modulazione, che controlla la stessa fase. | 111 |
| Figura 3.43: Ingrandimento della modulazione effettuata su di un fase e la conseguente funzione di commutazione. ... | 111 |
| Figura 3.44: Circuito <i>NPC T-Type Inverter</i> trifase progettato in PLECS. | 112 |
| Figura 3.45: Rappresentazione delle perdite dell'inverter trifase al variare della corrente sinusoidale. Dall'alto: corrente in ingresso, perdite di conduzione, perdite di switching, perdite totali come somma delle precedenti. | 114 |
| Figura 3.46: In alto rappresentazione della somma della potenza dissipata, in basso la potenza in ingresso all'inverter. | 115 |

| | |
|---|-----|
| Figura 3.47: Ingrandimento dell'andamento dell'alta efficienza del sistema trifase. | 115 |
| Figura 3.48: Correnti in ingresso ad ogni fase rispetto alla corrente in uscita da una di esse. | 116 |
| Figura 3.49: Dall'alto i livelli della tensione di una fase per $m = 3$, andamento delle tensioni ai capi dei condensatori del bus DC, correnti di linea di ogni fase. | 117 |
| Figura 3.50: Ingrandimento delle forme d'onda in uscita all'inverter trifase. | 118 |
| Figura 3.51: Componenti frequenziali nel dominio di Fourier. Contributo armonico: in alto la tensione e in basso la corrente di uscita all'inverter. | 119 |
| Figura 3.52: Contributo nel dominio di Fourier fino all'armonica 250. | 120 |
| Figura 3.53: Contributo nel dominio di Fourier fino all'armonica 500. | 120 |
| Figura 3.54: Ingrandimento del contributo nel dominio di Fourier fino all'armonica 500. | 121 |
| Figura 3.55: Correnti di linea equilibrate (in alto) e tensioni concatenate simmetriche (in basso) sulla rete. | 122 |
| Figura 3.56: Errore in corrente definito dalla differenza tra i gradini di corrente in ingresso al sistema e quelli in uscita dall'inverter trifase. | 123 |
| Figura 3.57: Rappresentazione delle perdite dell'inverter trifase il cui valore dipende dai gradini di corrente generati. Dall'alto: gradini di corrente in ingresso, perdite di conduzione, perdite di switching, perdite totali come somma delle precedenti. | 124 |
| Figura 3.58: Potenza dissipata stimata sull'inverter trifase (sopra) e potenza in ingresso ad esso (sotto). | 124 |
| Figura 3.59: Uscita all'inverter trifase, dipendente dall'alimentazione con gradini di corrente sinusoidale di 10 [A], 20 [A], 30 [A], 40 [A] di picco. | 125 |
| Figura 3.60: Componenti frequenziali nel dominio di Fourier. Contributo fino all'armonica 250: in alto la tensione e in basso la corrente di uscita all'inverter trifase, alimentato da gradini di corrente sinusoidale. | 126 |
| Figura 3.61: Contributo frequenziale di tensione di fase e correnti concatenate (sinistra) e ingrandimento di quelle in corrente (destra) fino all'armonica 500. | 126 |
| Figura 3.62: In alto le correnti di linea, in basso le tensioni concatenate sulla rete. | 127 |
| Figura 3.63: Ingrandimento delle correnti di linea e tensioni concatenate sulla rete, in fase tra loro. | 127 |
| Figura 4.1: A sinistra il simbolo circuitale e a destra la sezione interna di un IGBT. | 130 |
| Figura 4.2: Caratteristica di funzionamento di un IGBT. | 132 |
| Figura 4.3: A sinistra il simbolo circuitale e a destra la sezione interna di un. | 133 |
| Figura 4.4: Elementi intrinseci e parassiti che caratterizzano la struttura di un <i>power</i> MOSFET. | 133 |
| Figura 4.5: Capacità intrinseche nel <i>power</i> MOSFET (sinistra). Contributi alla R_{DS-ON} nel <i>power</i> MOSFET (destra). | 134 |
| Figura 4.6: Grafico capacità intrinseche vs tensione drain-source. | 136 |
| Figura 4.7: Grafico resistenza normalizzata vs temperatura, a parità di tensione gate-source. | 137 |
| Figura 4.8: Grafico resistenza normalizzata vs tensione di break-down. | 138 |
| Figura 4.9: Grafico rappresentante la <i>Safe Operating Area</i> del <i>power</i> MOSFET <i>Infineon</i> SPW35N60C3. | 139 |
| Figura 4.10: Circuito equivalente di un <i>power</i> MOSFET. | 139 |
| Figura 4.11: Grafico rappresentante la fase di turn-on (ascissa il tempo, ordinata le grandezze tensione e corrente). | 141 |
| Figura 4.12: Grafico rappresentante la fase di turn-off (ascissa il tempo, ordinata le grandezze tensione e corrente). | 142 |
| Figura 4.13: In alto, la tensione ai capi del MOSFET e la corrente che circola su di esso. In basso, V_{GS} in funzione del tempo. | 142 |
| Figura 4.14: Pagina iniziale <i>Altium Designer</i> | 145 |
| Figura 4.15: Finestra per l'inserimento di un nuovo schematico. | 146 |
| Figura 4.16: Esempio di schematico (a sinistra) e di <i>footprint</i> (a destra). | 147 |
| Figura 4.17: Esempio di PCB 2D a sinistra e 3D a destra, prima dello sbroglio. | 148 |
| Figura 4.18: Esempio di PCB 2D a sinistra e 3D a destra, dopo lo sbroglio automatico. | 148 |
| Figura 4.19: Esempio di negativo di un PCB pronto per la fotoincisione. | 149 |

| | |
|--|-----|
| Figura 4.20: Ricevitore differenziale MAX3095 della <i>Maxim Integrated</i> . | 151 |
| Figura 4.21: Filtri RC in ingresso al buffer SN74LV125ADR della <i>Texas Instrument</i> . | 151 |
| Figura 4.22: Circuito di <i>enable</i> per la gestione del segnale di <i>fault</i> . | 152 |
| Figura 4.23: Esempio di driver che pilota l'interruttore Q1 dell'inverter. | 153 |
| Figura 4.24: Inverter <i>single leg NPC T-Type</i> . | 154 |
| Figura 4.25: Rappresentazione 2D della scheda, lato segnale (delimitato dalla cornice nera) e lato potenza. | 155 |
| Figura 4.26 Rappresentazione 3D della scheda, lato segnale delimitato (dalla cornice nera) e lato potenza. | 155 |
| Figura 4.27: Negativo della scheda. | 156 |
| Figura 4.28: Scheda PCB fotoincisa. | 157 |
| Figura 4.29: Scheda PCB assemblata; nel lato potenza risiede l' <i>NPC T-Type Inverter</i> . | 158 |
| Figura 5.1: F28335 EDSP della <i>Texas Instrument</i> . | 160 |
| Figura 5.2: Modulanti associate ai <i>power MOSFET</i> . | 161 |
| Figura 5.3: Segnali PWM in blu e rosso di ampiezza 3.3 [V], associati alla modulante verde. | 162 |
| Figura 5.4: Segnali PWM in blu e rosso di ampiezza 3.3 [V], associati alla modulante gialla. | 162 |
| Figura 5.5: Segnale PWM riferito al <i>power MOSFET</i> Q1 in uscita dal DSP. | 163 |
| Figura 5.6: Segnale PWM uscente dal ricevitore U8, pin 3 (PWM_1_PRE). | 163 |
| Figura 5.7: Segnale di ritardo, introdotto dal filtro RC, prelevato tra l'uscita del ricevitore U8 (pin 3) e l'uscita dal buffer U10 (pin 3). | 164 |
| Figura 5.8: Ingrandimento del segnale di ritardo introdotto dal filtro RC. | 164 |
| Figura 5.9: In rosso il PWM in ingresso al buffer U10 (pin 2) e in blu il PWM elaborato (pin 3). | 165 |
| Figura 5.10: In rosso la corrente uscente dall'inverter di circa 0.5 [A/div] di picco a 50 [Hz] confrontata alle modulanti. | 166 |
| Figura 5.11: In rosso la corrente uscente dall'inverter (0.5 [A/div]) e in blu la tensione ai capi di un condensatore del bus DC (10 [V/div]). | 166 |
| Figura 5.12: In rosso la corrente uscente dall'inverter di 1 [A] di picco a 50 [Hz], e tensione di 15 [V] di picco ai capi del carico. | 167 |
| Figura 5.13: In rosso la corrente uscente dall'inverter di circa 0.5 [A] di picco a 50 [Hz], e tensione di 24 [V] di picco ai capi del carico. | 168 |
| Figura 5.14: Funzionamento da ramo di inverter. In rosso la corrente di uscita di 0.5 [A/div] e in verde e giallo le modulanti. | 169 |
| Figura 5.15: Funzionamento da inverter multilivello. In rosso la corrente di uscita di 0.5 [A/div] e in verde e giallo le modulanti. | 169 |
| Figura 5.16: Due leggi di modulazione (in alto) e relativa corrente di uscita (in basso). | 170 |
| Figura 5.17: Corrente in uscita dal convertitore. A sinistra funzionamento da convertitore multilivello, a destra funzionamento da ramo di inverter. | 170 |
| Figura 5.18: Dall'alto le due leggi di modulazione e relativa corrente e tensione di uscita. | 171 |
| Figura 5.19: Corrente sinusoidale di 5 [A/div], tensione di 40 [V/div] di picco e frequenza di commutazione a 15 [kHz], in uscita dall'inverter a tre livelli. | 172 |
| Figura 5.20: Ingrandimento del ripple della corrente (rosso) e della tensione (blu), sulla parte alta e bassa del periodo. | 173 |
| Figura 5.21: Contributo spettrale della corrente in uscita dall'inverter multilivello alla frequenza di commutazione di 15 [kHz]. | 174 |
| Figura 5.22: Contributo frequenziale della corrente di uscita nel dominio di Fourier fino alla ventesima armonica. | 174 |
| Figura 5.23: Contributo spettrale della tensione in uscita dall'inverter multilivello alla frequenza di commutazione di 15 [kHz]. | 175 |

| | |
|--|-----|
| Figura 5.24: Particolare della temperatura in °C raggiunta dagli IGBT in equilibrio termico..... | 176 |
| Figura 5.25: Corrente sinusoidale di 5 [A/div], tensione di 40 [V/div] di picco e frequenza di commutazione a 25 [kHz], in uscita dall'inverter a tre livelli..... | 177 |
| Figura 5.26: Ingrandimento del ripple della corrente (rosso) e della tensione (blu)..... | 177 |
| Figura 5.27: Contributo spettrale della corrente in uscita dall'inverter multilivello alla frequenza di commutazione di 25 [kHz]..... | 178 |
| Figura 5.28: Contributo frequenziale della corrente di uscita nel dominio di Fourier fino alla ventesima armonica..... | 178 |
| Figura 5.29: Contributo spettrale della tensione in uscita dall'inverter multilivello alla frequenza di commutazione di 25 [kHz]..... | 179 |
| Figura 5.30: Particolare della temperatura in °C raggiunta dagli IGBT in equilibrio termico..... | 179 |
| Figura 5.31: Corrente sinusoidale di 5 [A/div], tensione di 40 [V/div] di picco e frequenza di commutazione a 35 [kHz], in uscita dall'inverter a tre livelli..... | 180 |
| Figura 5.32: Ingrandimento del ripple della corrente (rosso) e della tensione (blu)..... | 181 |
| Figura 5.33: Contributo spettrale della corrente in uscita dall'inverter multilivello alla frequenza di commutazione di 35 [kHz]..... | 182 |
| Figura 5.34: Contributo frequenziale della corrente di uscita nel dominio di Fourier fino alla ventesima armonica..... | 182 |
| Figura 5.35: Contributo spettrale della tensione in uscita dall'inverter multilivello alla frequenza di commutazione di 35 [kHz]..... | 183 |
| Figura 5.36: Particolare della temperatura in °C raggiunta dagli IGBT in equilibrio termico..... | 183 |
| Figura 5.37: Corrente sinusoidale di 5 [A/div], tensione di ±50 [V] picco-picco e frequenza di commutazione a 15 [kHz], in uscita dal ramo di inverter..... | 184 |
| Figura 5.38: Ingrandimento del ripple della corrente (rosso) e della tensione (blu)..... | 185 |
| Figura 5.39: Contributo spettrale della corrente in uscita dal ramo di inverter alla frequenza di commutazione di 15 [kHz]..... | 186 |
| Figura 5.40: Contributo frequenziale della corrente di uscita nel dominio di Fourier fino alla ventesima armonica..... | 186 |
| Figura 5.41: Contributo spettrale della tensione in uscita dal ramo di inverter alla frequenza di commutazione di 15 [kHz]..... | 187 |
| Figura 5.42: Particolare della temperatura in °C raggiunta dagli IGBT in equilibrio termico..... | 187 |
| Figura 5.43: Corrente sinusoidale in rosso, tensione oscillante in blu e frequenza di commutazione a 25 [kHz], in uscita dal ramo di inverter..... | 188 |
| Figura 5.44: Ingrandimento del ripple della corrente (rosso) e della tensione (blu)..... | 189 |
| Figura 5.45: Contributo spettrale della corrente in uscita dal ramo di inverter alla frequenza di commutazione di 25 [kHz]..... | 189 |
| Figura 5.46: Contributo frequenziale della corrente di uscita nel dominio di Fourier fino alla ventesima armonica..... | 190 |
| Figura 5.47: Contributo spettrale della tensione in uscita dal ramo di inverter alla frequenza di commutazione di 25 [kHz]..... | 190 |
| Figura 5.48: Particolare della temperatura in °C raggiunta dagli IGBT in equilibrio termico..... | 191 |
| Figura 5.49: Corrente sinusoidale in rosso, tensione oscillante in blu e frequenza di commutazione a 35 [kHz], in uscita dal ramo di inverter..... | 192 |
| Figura 5.50: Ingrandimento del ripple della corrente (rosso) e della tensione (blu)..... | 192 |
| Figura 5.51: Contributo spettrale della corrente in uscita dal ramo di inverter alla frequenza di commutazione di 35 [kHz]..... | 193 |
| Figura 5.52: Contributo frequenziale della corrente di uscita nel dominio di Fourier fino alla ventesima armonica..... | 193 |
| Figura 5.53: Contributo spettrale della tensione in uscita dal ramo di inverter alla frequenza di commutazione di 35 [kHz]..... | 194 |

Figura 5.54: Particolare della temperatura in °C raggiunta dagli IGBT in equilibrio termico. 194

Indice delle Tabelle

| | |
|--|----|
| Tabella 1.1: Descrizione dei possibili stati inverter monofase. | 17 |
| Tabella 1.2: Descrizione dei possibili stati inverter trifase e tensione ai morsetti. | 21 |
| Tabella 1.3: Descrizione dei possibili stati degli interruttori del <i>Flying Capacitor Inverter</i> a 5 livelli. | 28 |
| Tabella 1.4: Riepilogo componenti inverter <i>Flying Capacitor</i> trifase. | 29 |
| Tabella 1.5: Descrizione dei possibili stati degli interruttori del <i>Diode - Clamped Inverter</i> | 30 |
| Tabella 1.6: Riepilogo componenti <i>Diode - Clamped Inverter</i> trifase. | 34 |
| Tabella 1.7: Descrizione delle possibili configurazioni degli interruttori <i>H-bridge Inverter</i> | 35 |
| Tabella 1.8: Riepilogo componenti inverter <i>H-Bridge</i> trifase. | 38 |
| Tabella 2.1: Descrizione degli stati per gli interruttori dell' <i>NPC T-Type Inverter</i> a tre livelli. | 58 |
| Tabella 2.2: Possibili stati ottenibili mediante 4 interruttori; in verde le configurazioni permesse, in rosso quelle non permesse. | 58 |
| Tabella 2.3: Riassunto pro/contro dell' <i>NPC T-Type 3L</i> rispetto all'inverter tradizionale 2L. | 62 |
| Tabella 2.4: Riassunto pro/contro dell' <i>NPC T-Type 3L</i> rispetto al <i>Diode-Clamped Inverter 3L</i> | 64 |

Bibliografia

- [1] M. Mengoni, Corso di *Sistemi di Conversione dell'Energia Elettrica LM*. A.A. 2013/2014
- [2] R. Teodorescu, M. Liserre and P. Rodríguez, *Grid Converters For Photovoltaic And Wind Power Systems*. John Wiley & Sons, Ltd. 2011
- [3] J. Klein, *Synchronous Buck MOSFET Loss Calculations with Excel Model*. Power Management Applications, Fairchild Semiconductor, Application Note, v. 1.0.2. 11/21/2014
- [4] V. Barkhordarian, *Power MOSFET Basics*. International Rectifier, El Segundo, Ca.
- [5] I. Volodymyr, Z. Volodymyr, I. Olga, *Estimation of Semiconductor Switching Losses under Hard Switching using Matlab/Simulink Subsystem*. Electrical, Control and Communication Engineering, 2013/2
- [6] J. Dodge, P.E., *Power MOSFET Tutorial*. Advanced Power Technology, 03/02/2006
- [7] J. Brown, *Power MOSFET Basics: Understanding Gate Charge and Using It To Assess Switching Performance*. Vishay Siliconix, 12/02/04
- [8] U. M. Choi, J. S. Lee, K. B. Lee, *New Modulation Strategy to Balance the Neutral-Point Voltage for Three-Level Neutral-Clamped Inverter Systems*. IEEE Transactions on Energy Conversion, Vol. 29, N.o 1, 03/2014
- [9] Y. Wang, W. W. Shi, N. Xie, C. M. Wang, *Diode-Free T-Type Three-Level Neutral-Point-Clamped Inverter for Low-Voltage Renewable Energy System*. IEEE Transactions on Industrial Electronics, Vol. 61, N.o 11, 11/2014
- [10] J. S. Lee, K. B. Lee, *Open-Switch Fault Tolerance Control for a Three-Level NPC/T-Type Rectifier in Wind Turbine Systems*. IEEE Transactions on Industrial Electronics, Vol. 62, N.o 2, 02/2015
- [11] J. S. Lee, U. M. Choi, K. B. Lee, *Comparison of Tolerance Controls for Open-Switch Fault in a Grid-Connected T-Type Rectifier*. IEEE Transactions on Power Electronics. This

article has been accepted for publication in a future issue of this journal, but has not been fully edited.

[12] M. Schweizer, T. Friedli, J. W. Kolar, *Comparative Evaluation of Advanced 3-Level Inverter/Converter Topologies against 2-Level Systems*. ETH Zurich, Power Electronic Systems Laboratory

[13] S. S. Fazel, S. Bernet, D. Krug, K. Jalili, *Design and Comparison of 4-kV Neutral-Point-Clamped, Flying Capacitor, and Series-Connected H-Bridge Multilevel Converters*. IEEE Transactions on Industry Applications, Vol. 43, N.o 4, pp. 1032-1040, July-Aug. 2007

[14] I. Staudt, *3L NPC & TNPC Topology*. Semikron, Application Note AN-11001, Rev.4, 09/03/2012

[15] L. Zarri, *Corso di Azionamenti Elettrici LM*, A.A. 2009/2010

[16] U. M. Choi, K. B. Lee, F. Blaabjerg, *Power Electronics for Renewable Energy Systems: Wind Turbine and Photovoltaic Systems*. IEEE International Conference on Renewable Energy Research and Applications, 11/2012.

Ringraziamenti

In primis, l'Ing. Mengoni. Non credo, anzi, sono certa che non potesse esistere un modo migliore di gestire la mole di lavoro svolto in questi mesi, merito dei Suoi preziosi consigli e della Sua professionalità, che la contraddistinguono. Purtroppo le posso solo dire GRAZIE.

Un GRAZIE all'Ing. Rizzoli per il progetto, all'Ing. Pontara per la pazienza che ha avuto con me nell'assemblaggio ed in realtà, un GRAZIE al meraviglioso ambiente che tutti, personale o 'semplicemente' persone, avete creato nel laboratorio.

Ora, un GRAZIE a Voi. A coloro che mi stanno vicino, che mi staranno vicino o che purtroppo non possono più accompagnarci nella vita. Per lo meno non da vicino. Perché devo a tutti questo giorno. Dal momento che ho finito le parole dopo un tomo di più di 200 pagine, passo alle immagini.

