

SCUOLA DI INGEGNERIA E ARCHITETTURA

DIPARTIMENTO DI INGEGNERIA DELL'ENERGIA ELETTRICA E  
DELL'INFORMAZIONE

***CORSO DI LAUREA MAGISTRALE IN INGEGNERIA  
ELETTRONICA***

**TESI DI LAUREA**

in

ELETTRONICA DELLE TELECOMUNICAZIONI

**IDENTIFICAZIONE DI MODELLI ESTRINSECI  
DI DISPOSITIVI ELETTRONICI AD EFFETTO DI CAMPO  
IN NITRURO DI GALLIO**

**CANDIDATO:**

Sharareh Seyedyahyalavizani

**RELATORE:**

Chiar.mo Prof. Alberto Santarelli

**CORRELATORI:**

Chiar.mo Prof. Fabio Filicori

Dott. Rafael Cignani

Dott. Daniel Niessen

Anno Accademico 2013/2014

Sessione III



<b>INTRODUZIONE .....</b>	<b>5</b>
<b>1    <b>CAPITOLO 1: PARAMETRI PARASSITI E LA LORO IDENTIFICAZIONE.....</b></b>	<b>7</b>
1.1 <b>ORIGINE FISICA DEI PARAMETRI PARASSITI.....</b>	<b>7</b>
1.2 <b>LE TECNICHE CLASSICHE DI ESTRAZIONE .....</b>	<b>9</b>
1.2.1 <i>Il metodo di Fukui.....</i>	<i>9</i>
1.2.2 <i>Il metodo a FET freddo .....</i>	<i>10</i>
1.2.3 <i>Il Metodo a FET caldo.....</i>	<i>13</i>
1.3 <b>MODERNE TECNICHE DI ESTRAZIONE .....</b>	<b>17</b>
1.3.1 <i>Il metodo di Costa.....</i>	<i>17</i>
1.3.2 <i>Il metodo di Tayrani .....</i>	<i>19</i>
1.3.3 <i>Il metodo di Kim, Nam e Seo .....</i>	<i>22</i>
1.3.4 <i>Progressi nella modellazione lineare dei transistori microne .....</i>	<i>25</i>
1.3.5 <i>Descrizione del metodo dc.....</i>	<i>27</i>
1.3.6 <i>Breve storia della tecnica a FET-Freddo .....</i>	<i>29</i>
1.3.7 <i>Estrazione dei parametri di modello del circuito equivalente di transistor .....</i>	<i>30</i>
1.4 <b>PROBLEMATICHE DI MODELING NEI DISPOSITIVI HFET BASATI SU ALGAN/GAN .....</b>	<b>31</b>
1.4.1 <i>Nuovo metodo a Fet-Freddo specifico per GaN.....</i>	<i>33</i>
1.4.2 <i>Limitazioni del metodo .....</i>	<i>40</i>
1.4.3 <i>I risultati sperimentali .....</i>	<i>41</i>
1.5 <b>CONCLUSIONI.....</b>	<b>50</b>
<b>2    <b>CAPITOLO 2 TECNICA DI ESTRAZIONE DEI PARAMETRI PARASSITI BASATA SU MISURE A</b></b>	
<b>DISPOSITIVO SPENTO .....</b>	<b>51</b>
2.1 <b>CIRCUITI ED EQUAZIONI.....</b>	<b>52</b>
2.1.1 <i>Circuito equivalente parassita.....</i>	<i>52</i>
2.1.2 <i>Circuito intrinseco.....</i>	<i>53</i>
2.1.3 <i>Le equazioni riassuntive del modello.....</i>	<i>54</i>
2.1.4 <i>Circuito modello completo .....</i>	<i>55</i>
2.2 <b>LA NUOVA TECNICA DI ESTRAZIONE .....</b>	<b>57</b>
2.2.1 <i>Identificazione degli elementi del dispositivo intrinseco .....</i>	<i>58</i>
2.2.1.1 <i>Identificazione degli elementi conduttivi .....</i>	<i>59</i>
2.2.1.2 <i>Identificazione degli elementi capacitivi del dispositivo intrinseco .....</i>	<i>60</i>
2.2.2 <i>Identificazione dei parametri parassiti.....</i>	<i>61</i>
2.2.2.1 <i>Identificazione degli elementi parassiti capacitivi.....</i>	<i>64</i>
2.3 <b>CONCLUSIONI.....</b>	<b>67</b>
<b>3    <b>CAPITOLO 3: IMPLEMENTAZIONE DEL NOSTRO METODO IN AMBIENTE MATLAB .....</b></b>	<b>68</b>

3.1	ALGORITMO IMPLEMENTATO .....	68
3.2	VALIDAZIONE DELLA PROCEDURA MATEMATICA.....	70
3.2.1	<i>Parte intrinseca</i> .....	71
3.2.2	<i>Parte estrinseca</i> .....	75
<b>4</b>	<b>CAPITOLO 4: ESTRAZIONE DEL MODELLO EQUIVALENTE A PICCOLO SEGNALE DI UN DISPOSITIVO</b>	
<b>GAN</b>	.....	<b>78</b>
4.1	LA TECNOLOGIA GH25-10.....	78
4.1.1	<i>Introduzione della tecnologia</i> .....	78
4.1.2	<i>Tecnologia – Panoramica</i> .....	78
4.2	MODELLING.....	79
4.3	CONFRONTO DEI RISULTATI.....	89
4.3.1	<i>Caso 1</i> .....	90
4.3.2	<i>Caso 2</i> .....	100
<b>5</b>	<b>CAPITOLO 5: METODO MODIFICATO PER L’ESTRAZIONE DEI PARAMETRI PARASSITI DI UN</b>	
<b>DISPOSITIVO GAN</b>	.....	<b>109</b>
5.1	METODO DI ESTRAZIONE DEI PARASSITI MODIFICATO.....	110
5.1.1	<i>Parte Intrinseca</i> .....	114
5.1.2	<i>Parte Estrinseca</i> .....	115
5.2	VALIDAZIONE .....	116
<b>6</b>	<b>CONCLUSIONE</b> .....	<b>123</b>
<b>7</b>	<b>BIBLIOGRAFIA</b> .....	<b>124</b>

# Introduzione

---

In questa tesi di laurea si descriverà un metodo per l'estrazione dei parametri di modelli estrinseci (parassiti) di dispositivi attivi per l'elettronica delle telecomunicazioni.

L'estrazione dei parametri parassiti è un passaggio fondamentale per riuscire ad ottenere un modello accurato di un transistor implementabile in un CAD di simulazione. Grazie alla conoscenza dei parametri parassiti si riesce a descrivere in maniera più precisa il comportamento del dispositivo intrinseco.

In letteratura sono diversi i metodi proposti per estrarre i parassiti di un dispositivo. Nel capitolo 1 si descriveranno i più importanti, evidenziando vantaggi e svantaggi. Sebbene questi metodi siano stati utilizzati in passato ampiamente con la tecnologia FET in Arseniuro di Gallio, essi sono impiegati nell'ambito di questa tesi per la nuova tecnologia di realizzazione di FET in GaN.

Si è quindi implementato un metodo per l'estrazione di parassiti utilizzando misure a dispositivo spento, descritto nel capitolo 2. Il metodo è basato su alcune ipotesi fondamentali quali la linearità della rete parassita e la descrizione del dispositivo intrinseco nello stato interdetto con una semplice matrice di ammettenze e conduttanze. Sotto queste ipotesi i parametri parassiti sono ricavati dalla soluzione lineare di un sistema sovradeterminato con il metodo dei minimi quadrati. Il metodo è applicabile su diverse tipologie di dispositivi elettronici. Tale metodo di estrazione è implementato nel linguaggio MATLAB. L'algoritmo implementato è descritto accuratamente nel capitolo 3 della tesi di laurea, dove sono anche presenti alcuni test di validazione della procedura di estrazione dei parametri per la stima dell'accuratezza del metodo.

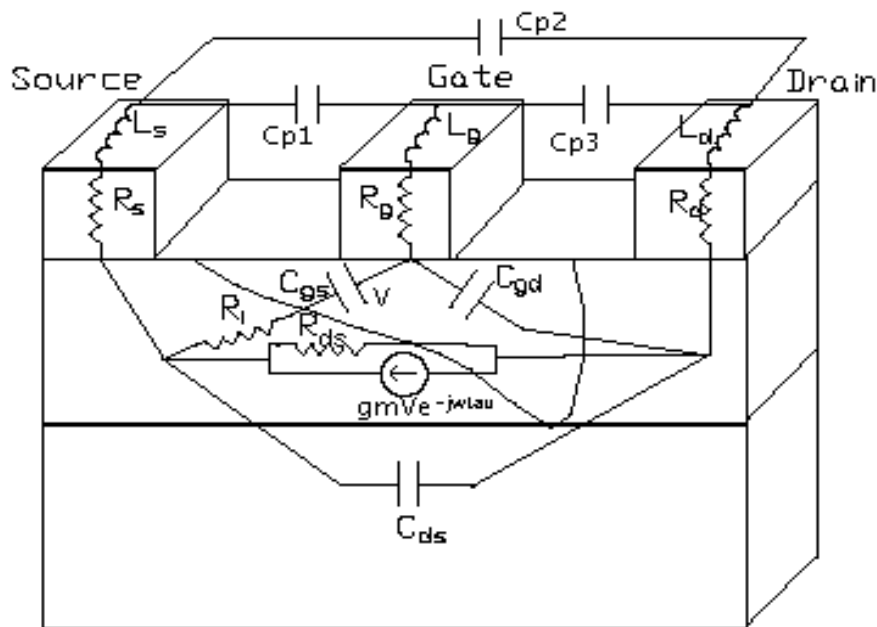
Infine, nel capitolo 4, il metodo per l'estrazione di parametri parassiti descritto in precedenza viene applicato ad un dispositivo GaN della fonderia francese UMS. Tale dispositivo è stato misurato presso il laboratorio di EDM-LAB (Laboratorio di Progettazione Elettronica e Misure per Applicazioni Industriali e a Radio frequenza) del DEI. Nel capitolo, si applica il metodo per estrarre i parassiti e si identifica, sulla base di questi parassiti, un modello del dispositivo intrinseco. Le simulazioni del modello sono convalidate sperimentalmente da misure di parametri di diffusione in diversi punti di polarizzazione.

Infine nel capitolo 5 si propone una modifica al metodo di estrazione dei parassiti per la determinazione, in maniera più accurata, della resistenza di source di un dispositivo GaN.

# 1 Capitolo 1:

## Parametri Parassiti e la loro Identificazione

Nel presente capitolo parleremo dei parametri parassiti, che compongono la parte estrinseca lineare del circuito equivalente. Il loro esame, ai fini modellistici, è fondamentale, in quanto rappresentano ciò che si trova tra i morsetti accessibili esternamente e il circuito intrinseco attivo del transistor che vogliamo modellare.



*Figura 1.1: Struttura fisica del MESFET e parametri circuitali (intrinseci ed estrinseci)*

### 1.1 Origine fisica dei parametri parassiti

Partendo dallo schema fisico della struttura del MESFET, concentriamoci sullo studio dei parametri estrinseci (Figura 1.1).

Le induttanze parassite ( $L_g$ ,  $L_s$ ,  $L_d$ ) sono dovute alle metallizzazioni e ai pad che, posti sulla superficie del transistor, permettono, in tal modo, un contatto col dispositivo: sono quindi funzione del *layout*, del materiale usato, e della geometria ( $L \propto l/l$ ). Con le attuali

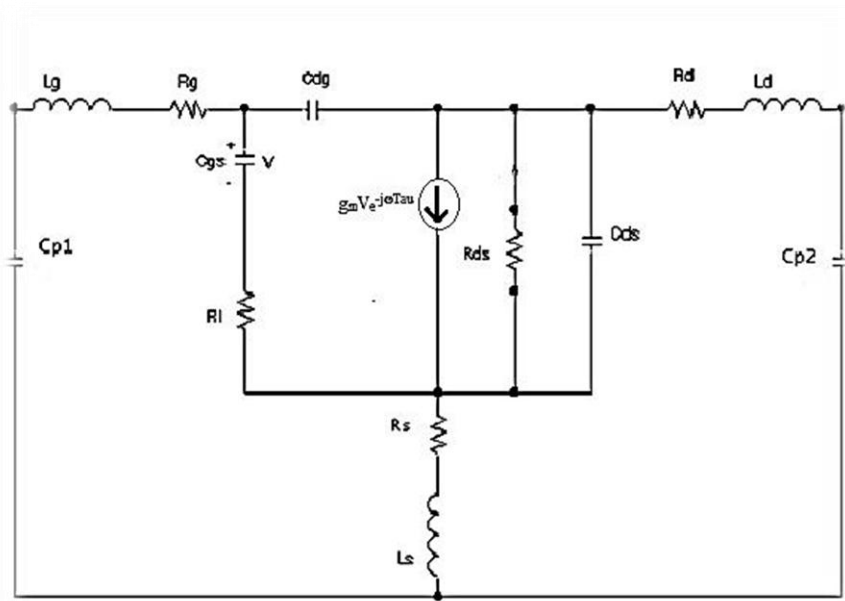
tecniche, che riducono la lunghezza di gate, l'induttanza  $L_g$  relativa a tale porta risulta essere la maggiore. Inoltre, per dispositivi che utilizzano *via holes* per portare a massa il terminale di source, l'induttanza parassita relativa  $L_s$  risulta essere la minore. Gli ordini di grandezza vanno dal decimo al centinaio di  $pH$ . Inoltre, è da ricordare che l'esistenza di tali induttanze prescinde dalla presenza di fenomeni induttivi addizionali (p.e. linee di trasmissione, package del dispositivo, etc.), e laddove tali fenomeni fossero presenti, dovranno essere tenuti in conto separatamente.

Le resistenze parassite ( $R_g, R_s, R_d$ ) hanno motivazioni tra loro differenti: le resistenze relative a drain e source,  $R_s$  e  $R_d$ , sono introdotte per tener conto delle resistenze dovute ai contatti ohmici nonché di qualsiasi altra resistenza di *bulk* verso il canale attivo; invece, quella di gate  $R_g$  è la resistenza della metallizzazione di giunzione Schottky relativa a tale porta. Gli ordini di grandezza sono gli stessi: qualche  $\Omega$ . Tali resistenze, inoltre, oltre ad essere influenzate dalla geometria del dispositivo, mostrano una lieve dipendenza dalla polarizzazione, che, tuttavia, viene trascurata nei modelli equivalenti più comuni.

Le capacità parassite ( $C_{p1}, C_{p2}, C_{p3}$ ) nascono tra le metallizzazioni relative alle porte del dispositivo:  $C_{p1}$  e  $C_{p2}$  sono, rispettivamente, relative ai fenomeni capacitivi tra le metallizzazioni di gate e drain e quella di massa;  $C_{p3}$  è, invece, relativa a quella parte di fenomeni capacitivi presenti tra le metallizzazioni di gate e drain, che avendo come dielettrico l'aria non sono stati tenuti in conto nel modellare il canale. Nella maggioranza dei casi quest'ultima può essere trascurata, e gli ordini di grandezza delle due capacità rimanenti sono, normalmente, inferiori al  $pF$ .

Si ottiene, in conclusione, il circuito equivalente a piccoli segnali che ripresentiamo in Figura 1.2.





*Figura 1.2: Circuito equivalente a piccoli segnali di un MESFET/HEMT*

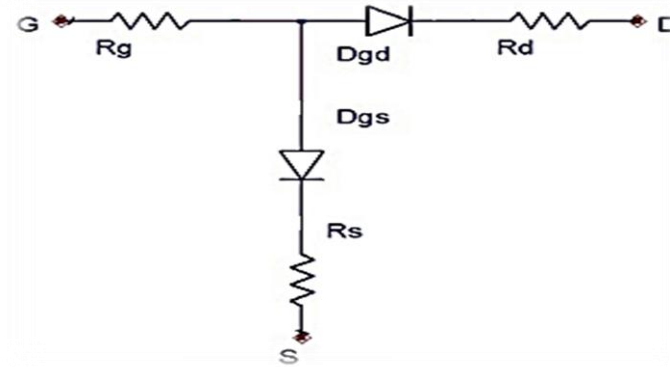
## 1.2 Le tecniche classiche di estrazione

### 1.2.1 Il metodo di Fukui

Questo metodo del 1979 [1] permette l'estrazione dei parametri parassiti resistivi, ed è basato su tre misure delle resistenze in serie alla giunzione Schottky di gate, nelle tre configurazioni seguenti:

1. Terminale di drain aperto, source a massa;
2. Terminale di drain a massa, source aperto;
3. Terminale di drain a massa, source a massa.

Le misure sono da eseguirsi in DC, e si può fare riferimento alla Figura 1.3 per il calcolo del sistema risultante.



**Figura 1.3:** Schematizzazione del circuito equivalente relativo al metodo di Fukui

In particolare, per le tre misure sopra descritte si ottiene:

- 1)  $R_{serie} = R_1 = R_g + R_s$
- 2)  $R_{serie} = R_2 = R_g + R_d$
- 3)  $R_{serie} = R_3 = R_g + R_s \parallel R_d$

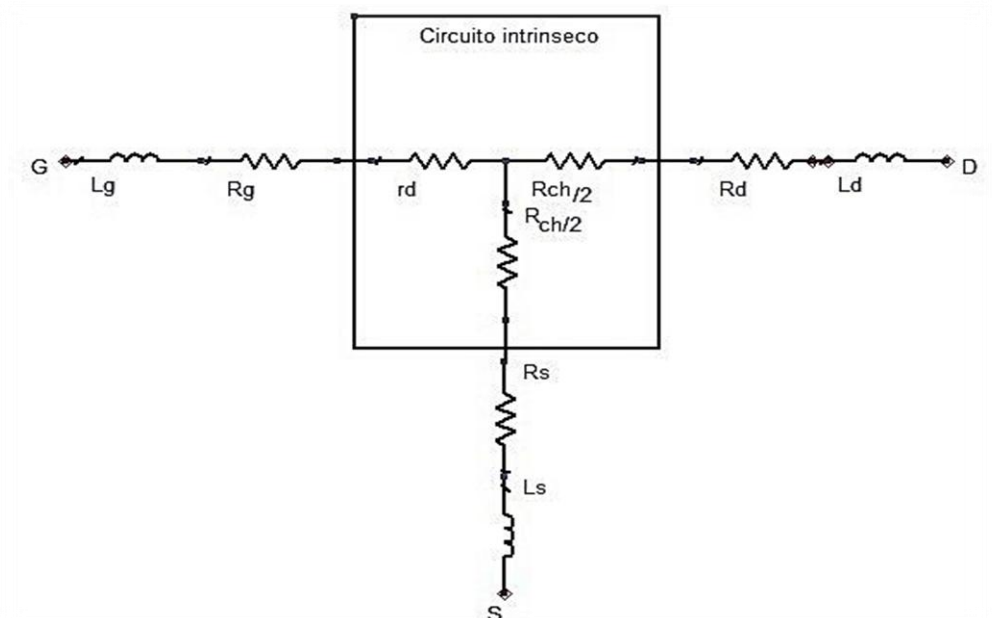
Risolvendo il sistema si ottengono i tre parassiti cercati. I limiti della seguente tecnica sono molteplici: si utilizzano condizioni di bias diretta della giunzione Schottky, quando invece le normali condizioni di utilizzo sono nella regione inversa; non si estraggono induttanze e capacità parassite. È impossibile, inoltre, applicare questo metodo su dispositivi con source connesso a massa con *via holes*, data l'impossibilità di rendere flottante tale terminale.

## 1.2.2 Il metodo a FET freddo

Questa tecnica si basa sulle misure dei parametri S, effettuate con polarizzazione di drain nulla. Sebbene introdotta da Diamant e Leviron [2], la vera tecnica di estrazione fu proposta da Dambrine e altri [3]. Dambrine dimostra la possibilità di estrarre gli otto parametri parassiti ( $C_3$  viene trascurata) da due misurazioni effettuate a  $V_{ds}=0$  e da una relazione aggiuntiva che legghi tra loro le resistenze di gate e drain (ad esempio Fukui).

Nella prima misurazione è previsto  $V_{gs}$  ad un valore maggiore della tensione di soglia della giunzione Schottky sotto al gate (in pratica il gate è in conduzione diretta). In tal modo si ottiene un circuito equivalente come in Figura 1.4, dove  $r_d$  è la resistenza

differenziale del diodo in conduzione diretta, e  $R_{ch}$  la resistenza di canale. E' possibile trascurare gli effetti capacitivi del canale, in quanto ci troviamo in polarizzazione diretta di gate.



**Figura 1.4:** Circuito equivalente relativo alla prima misurazione del metodo a Fet freddo ( $V_{gs} >$  tensione di soglia)

Da tale misura si ricava la matrice dei parametri S e quindi, per trasformazione, la matrice impedenza estrinseca che ha tale forma:

$$Z_{11} = R_g + \frac{nkT}{qI_g} + \frac{R_{ch}}{2} + R_s + j\omega(L_g + L_s) \quad (1.1)$$

$$Z_{12} = \frac{R_{ch}}{2} + R_s + j\omega L_s \quad (1.2)$$

$$Z_{21} = Z_{12} \quad (1.3)$$

$$Z_{22} = R_d + R_{ch} + R_s + j\omega(L_d + L_s) \quad (1.4)$$

Ora si separano nelle equazioni la parte immaginaria da quella reale: con l'utilizzo della prima si ottengono direttamente i valori delle tre induttanze; usando la seconda insieme alla relazione aggiuntiva si ricavano i valori delle resistenze. La seconda misurazione prevede di avere  $V_{gs}$  minore della tensione di *pinch-off* del dispositivo (in pratica il dispositivo è spento). Si ottiene un circuito equivalente come in Figura 1.5, in cui le due capacità  $C_b$  rappresentano le capacità di *pinch-off* sotto al gate, dovute ai contributi (considerati identici) delle giunzioni Schottky gate/source e gate/drain. E' possibile trascurare gli effetti resistivi di canale, vista la situazione di assenza di conduzione di corrente nel canale. Inoltre, è possibile trascurare anche le induttanze parassite, visto che si procede ad un'estrazione a bassa frequenza tale da rendere trascurabili le relative impedenze.

Da tale misura, ancora una volta, ricaviamo la matrice dei parametri S, e quindi, tramite trasformazione, la matrice delle ammettenze estrinseca, la cui parte immaginaria assume tale forma:

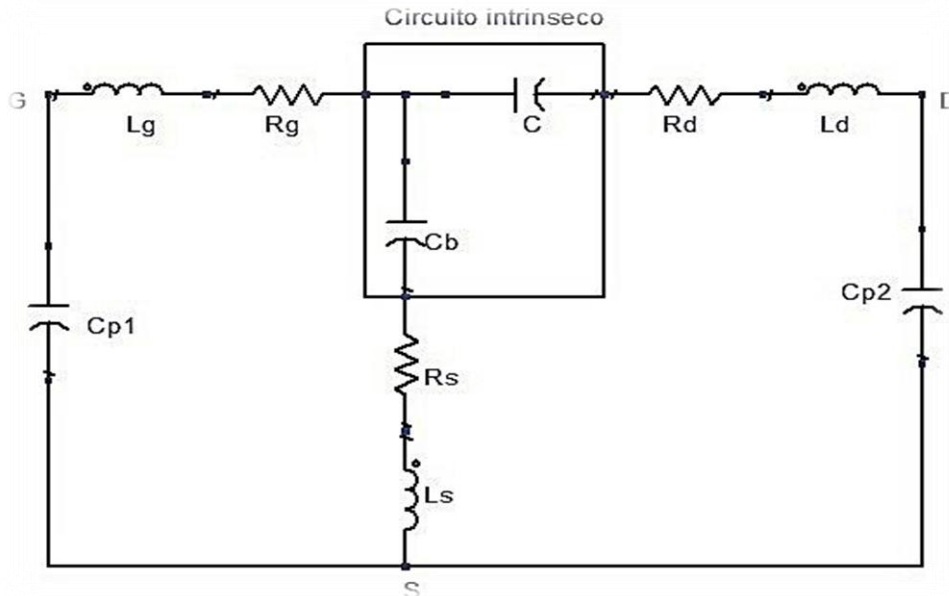
$$Im(Y_{11}) = \omega(C_{p1} + 2C_b) \quad (1.5)$$

$$Im(Y_{12}) = -\omega(C_b) \quad (1.6)$$

$$Im(Y_{21}) = Im(Y_{12}) \quad (1.7)$$

$$Im(Y_{22}) = \omega(C_b + C_{p2}) \quad (1.8)$$

In tal caso ricavare le capacità parassite è un semplice problema algebrico.



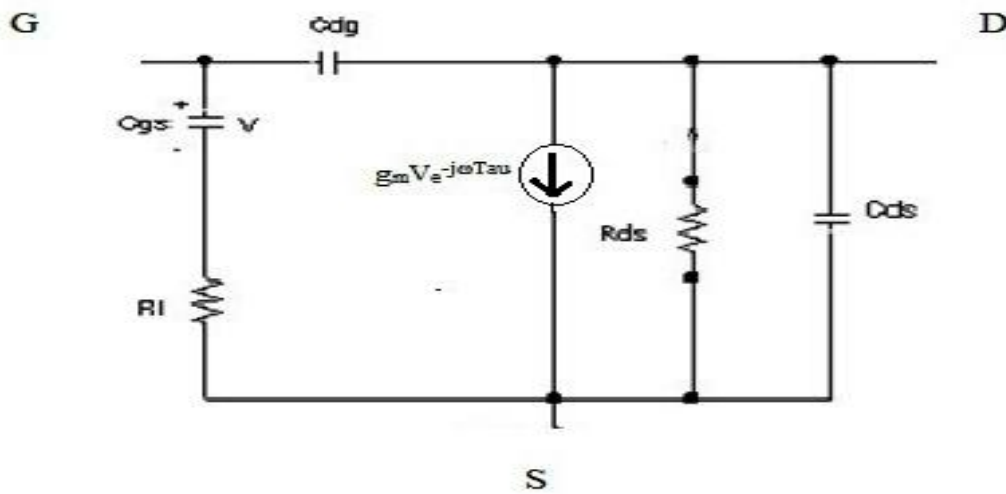
**Figura 1.5:** Circuito equivalente relativo alla seconda misurazione del metodo a Fet freddo ( $V_{gs} < \text{pinch-off}$ )

Anche se tale metodo permette l'estrazione di tutti i parametri parassiti, ancora, ha il difetto visto precedentemente nel metodo di Fukui: la polarizzazione diretta di gate. È necessario ricordare che questa situazione, per il dispositivo, non rappresenta una condizione normale, e questo potrebbe, al componente elettronico in questione, causare danni e quindi falsare il valore di alcuni parametri estratti. Oltre a ciò, tale problema, già di per sé fastidioso nel caso del MESFET, diventa grave nel caso del HEMT: in questo caso, polarizzare in diretta il gate significa accendere il MESFET parassita parallelo al canale conduttivo, con i problemi ad esso conseguenti. È da notare, inoltre, come molti moderni software di estrazione parametri, come HP IC-CAP, utilizzano il metodo FET freddo nelle estrazioni dei parassiti. E' auspicabile quindi la ricerca di metodologie innovative di estrazione che vadano a risolvere il problema del gate in diretta e, inoltre, che siano facilmente implementabili via software. Nel capitolo seguente, vedremo, una possibile soluzione a tale problema, attraverso la presentazione di un nuovo metodo di estrazione dei parametri parassiti.

### 1.2.3 Il Metodo a FET caldo

Tra i primi ricercatori interessati alle metodologie di estrazioni del circuito equivalente di MESFET e HEMT, sia per la parte intrinseca che per quella estrinseca, è stato J.M.

Golio, e nel suo libro del 1990 espone tale tecnica [4]. L'estrazione diretta degli elementi intrinseci, dedotti direttamente dalle misure dei parametri S, in condizioni di normale utilizzo del transistor ( $V_{ds} > 0$ ,  $V_{gs} < 0$ ) è il primo passo. Le induttanze parassite, inizialmente, non vengono considerate, supponendo di considerare frequenze sufficientemente basse, e le resistenze si suppongono ricavate con diversi metodi (tipo Fukui). È possibile, in tal modo, *de-embeddare* dalle misure S, i parametri parassiti noti, ed ottenere la matrice ammettenze  $Y_{int}$  misurata dell'intrinseco.



**Figura 1.6:** Circuito intrinseco equivalente di un MESFET/HEMT

Dallo studio del circuito equivalente intrinseco del transistor (Figura 1.6) è possibile ricavare le seguenti espressioni matematiche per l'estrazione dei parametri intrinseci:

$$C_{gd} = -\text{Im}[Y_{int12}]/\omega \quad (1.9)$$

$$C_{ds} = \text{Im}[Y_{int22}]/\omega - C_{gd} \quad (1.10)$$

$$C_{gs} = \text{Im}[Y_{int11}]/\omega - C_{gd} \quad (1.11)$$

$$g_{ds} = \text{Re}[Y_{int22}] \quad (1.12)$$

$$g_m = \text{Re}[Y_{int21}] \quad (1.13)$$

valide per estrazioni a bassa frequenza, e

$$R_i = \frac{1 - \left(1 - \frac{4 \operatorname{Re}^2[Y_{\text{int}11}]}{\omega^2 C_{gs}^2}\right)^{1/2}}{2 \operatorname{Re}[Y_{\text{int}11}]} \quad (1.14)$$

$$\tau = -\frac{1}{\omega} \tan^{-1}\left(\frac{g_{mi}}{g_{mr}}\right) \quad (1.15)$$

valide per estrazioni ad alta frequenza, dove

$$g_{mi} = \operatorname{Re}[Y_{\text{int}21}]R_i C_{gs} \omega + \operatorname{Im}[Y_{\text{int}21}] + \omega C_{gd} \quad (1.16)$$

$$g_{mr} = \operatorname{Re}[Y_{\text{int}21}] - \operatorname{Im}[Y_{\text{int}21}]R_i C_{gs} \omega - \omega^2 C_{gd} C_{gs} R_i \quad (1.17)$$

Da questa tesi sono state ricavate, sempre a partire dal circuito intrinseco, delle equazioni più semplici per  $R_i$  e  $\tau$ :

$$R_i = \operatorname{Re}\left[\frac{1}{Y_{\text{int}11} - j\omega C_{gd}}\right] \quad (1.18)$$

$$\tau = -\frac{1}{\omega} \arg[(Y_{\text{int}21} + j\omega C_{gd})(1 + jR_i C_{gs} \omega)] \quad (1.19)$$

In sede sperimentale, da queste due nuove espressioni è risultato più facile, estrarre i relativi parametri intrinseci, che non dalle equazioni originariamente proposte dal Golio. Identificato il circuito intrinseco del transistor, è ora possibile estrarre le induttanze parassite: ciò avviene partendo dalle stesse misure dei parametri S usate per il calcolo dei parametri intrinseci, valutando, però, a frequenze decisamente più elevate. Le espressioni degli elementi della matrice impedenze  $Z_{est}$  estrinseca, rifacendoci al circuito equivalente globale del MESFET/HEMT, possono essere scritte:

$$Z_{est11} = Z_{\text{int}11} + (R_g + R_s) + j\omega(L_g + L_s) \quad (1.20)$$

$$Z_{est12} = Z_{int12} + R_s + j\omega L_s \quad (1.21)$$

$$Z_{est21} = Z_{int21} + R_s + j\omega L_s \quad (1.22)$$

$$Z_{est22} = Z_{int22} + (R_d + R_s) + j\omega(L_d + L_s) \quad (1.23)$$

La chiave del procedimento consiste nel fatto che siccome le induttanze a basse frequenze hanno minimi effetti sulla risposta del modello a piccoli segnali, e siccome il circuito intrinseco è stato estratto a sufficientemente basse frequenze, è possibile assumere che i valori dei parametri intrinseci siano stati estratti in assenza delle induttanze parassite (ecco il perché delle averle trascurate in partenza).

A questo punto è possibile estrarre tali induttanze, uguagliando le parti immaginarie delle equazioni (1.20) ... (1.23) ed estraendone i valori ad alte frequenze (nelle quali hanno effetti rilevanti):

$$\text{Im}[Z_{est11}] - \text{Im}[Z_{int11}] = \omega(L_g + L_s) \quad (1.24)$$

$$\text{Im}[Z_{est12}] - \text{Im}[Z_{int12}] = \omega L_s \quad (1.25)$$

$$\text{Im}[Z_{est21}] - \text{Im}[Z_{int21}] = \omega L_s \quad (1.26)$$

$$\text{Im}[Z_{est22}] - \text{Im}[Z_{int22}] = \omega(L_d + L_s) \quad (1.27)$$

Adesso rimane il problema concernente le resistenze parassite, per le quali sarebbe desiderabile una estrazione partendo dalle identiche misure dei parametri S usate fino adesso. Da ricordare il fatto che non esiste un solo circuito equivalente estraibile da un set di misure dei parametri S: fissando, unicamente, un set di resistenze parassite è possibile estrarne uno unico. C'è bisogno, quindi, di un algoritmo di ottimizzazione che per ogni set di resistenze  $R_s$ ,  $R_g$ ,  $R_d$  e di parametri S, fornisca un set di parametri intrinseci e di induttanze parassite. Tale algoritmo ha bisogno soltanto di variazioni nei valori delle resistenze e si deve basare sulla minimizzazione dell'errore tra misure e modello, definito come:



$$E_{ij} = \frac{1}{n} \sum_{k=1}^n \frac{|S_{ijmisur}^k - S_{ijmodel}^k|}{|S_{ijmisur}^k|} \quad (1.28)$$

dove  $n$  è il numero di frequenze usate.

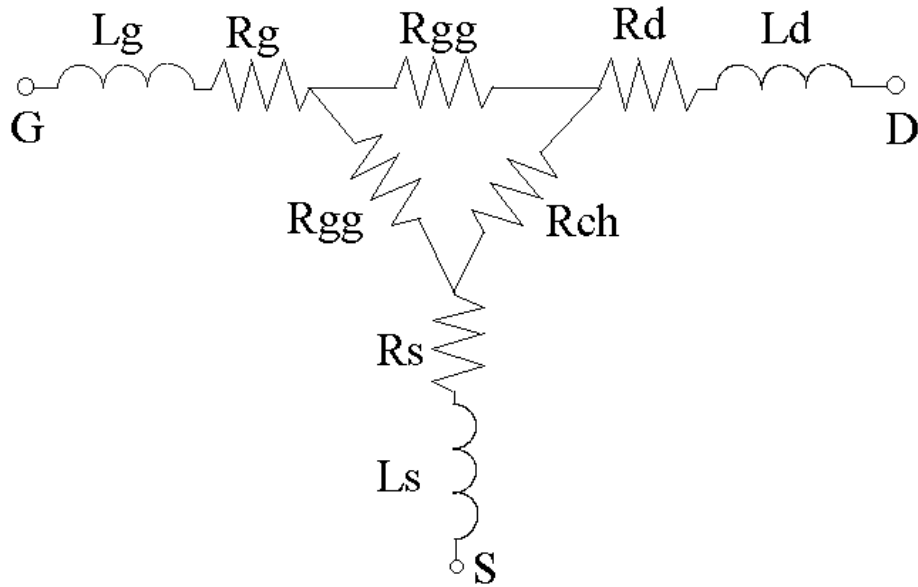
Sebbene il metodo a FET caldo rappresenti un passo avanti rispetto al FET freddo, e fornisca un buon punto di partenza per l'estrazione del circuito intrinseco, risulta comunque essere strettamente legato all'algoritmo di ottimizzazione per l'estrazione delle resistenze parassite. Per di più, non si è tenuto conto delle capacità parassite, che non vengono estratte per nulla. Per estrazioni più semplici, più rapide e più complete, è fondamentale cercare nuove metodologie.

## 1.3 Moderne tecniche di estrazione

### 1.3.1 Il metodo di Costa

Questo metodo, proposto nel 1992 da un gruppo di ricercatori tra i quali ritroviamo J.M. Golio e J.Costa, presenta una nuova soluzione per l'estrazione delle resistenze e induttanze parassite, e tuttavia, sebbene abbia quale punto di partenza il metodo a FET freddo, ne dà una interpretazione diversa, fornendo un'abile estensione anche per dispositivi HEMT [5].

Il punto di partenza è la misura dei parametri  $S$  in situazione di  $V_{ds}=0$  e con  $V_{gs}$  settato ad un valore più grande della barriera di Schottky presente sotto al gate: in questo modo si eliminano le capacità intrinseche  $C_{gs}$  e  $C_{gd}$ , ottenendo così un circuito equivalente come in Figura 1.7.



**Figura 1.7:** Circuito equivalente relativo al metodo di Costa

In tale figura,  $R_{ch}$  è la resistenza di canale,  $R_{gg}$  è la resistenza del diodo della giunzione Schottky nel caso del MESFET, la resistenza Schottky insieme alla resistenza attraverso il materiale ad ampio *bandgap* nel caso dell'HEMT. Da questo schema è possibile ricavare le seguenti espressioni della matrice impedenza  $Z$  estrinseca:

$$Z_{11} = R_g + (2R_{gg}) \parallel (2R_{gg} + R_{ch}) + R_s + j\omega(L_g + L_s) \quad (1.29)$$

$$Z_{21} = Z_{12} = \left(\frac{1}{2}\right)(R_{ch} \parallel 4R_{gg}) + R_s + j\omega L_s \quad (1.30)$$

$$Z_{22} = R_d + (R_{ch}) \parallel (4R_{gg}) + R_s + j\omega(L_d + L_s) \quad (1.31)$$

Le induttanze parassite possono estrarsi direttamente dalla parte immaginaria delle equazioni (1.29) ... (1.31) ad alte frequenze, in maniera simile a quanto visto precedentemente col metodo FET freddo.

Per ciò che riguarda l'estrazione delle resistenze esaminiamo meglio il circuito equivalente risultante: abbiamo le tre resistenze parassite lineari  $R_g$ ,  $R_s$ ,  $R_d$ , e due resistenze non lineari  $R_{ch}$  e  $R_{gg}$  dipendenti dalla polarizzazione. Quindi, polarizzando in

tre diversi punti il transistor ( $V_{g1}$ ,  $V_{g2}$ ,  $V_{g3}$ ), otterremo 9 equazioni indipendenti, cioè le parti reali delle equazioni (1.29) ... (1.31), in 9 incognite:  $R_g$ ,  $R_s$ ,  $R_d$ ,  $R_{ch}(V_{g1})$ ,  $R_{ch}(V_{g2})$ ,  $R_{ch}(V_{g3})$ ,  $R_{gg}(V_{g1})$ ,  $R_{gg}(V_{g2})$ ,  $R_{gg}(V_{g3})$ . E' così possibile estrarre i valori delle resistenze parassite risolvendo un semplice sistema lineare. Tale tecnica è, inoltre, applicabile per MESFET e per HEMT: il MESFET parassita, dove a causa della polarizzazione del gate in diretta, si accende in parallelo al canale di quest'ultimo tipo di dispositivo, viene di fatto inglobato dentro alla resistenza  $R_{gg}$  e tenuto, quindi, in conto nella metodologia applicata.

Il metodo di Costa prova, in conclusione, a risolvere il problema del gate in diretta, non usando polarizzazioni diverse, bensì tenendo conto degli effetti secondari che provoca tale polarizzazione. E', quindi, un metodo sia semplice che veloce, ma, tuttavia, incompleto, dato che non si occupa delle capacità parassite.

### 1.3.2 Il metodo di Tayrani

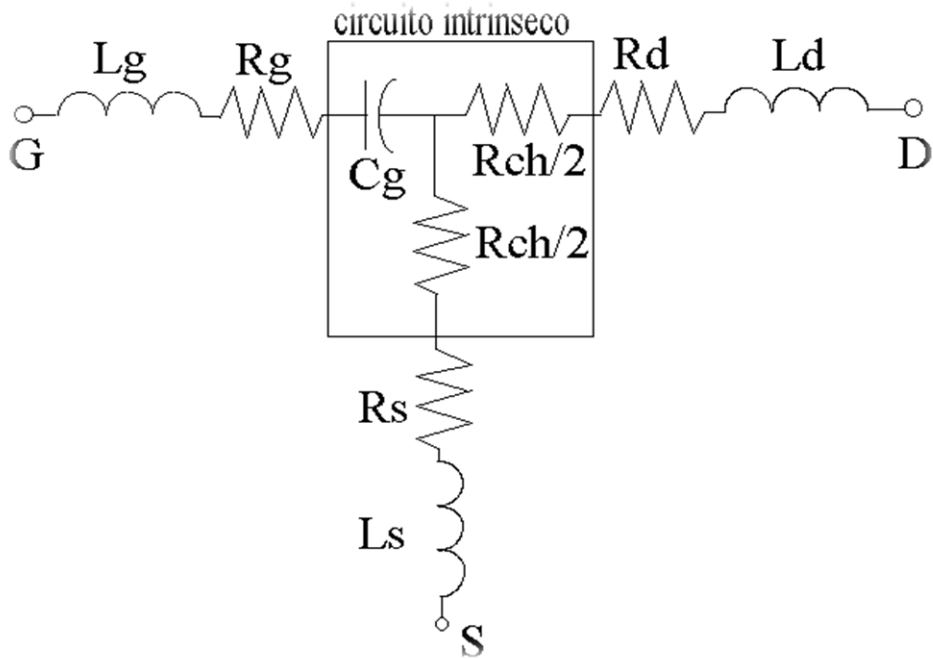
Proposto nel 1993 da Tayrani ed altri, tale metodo, propone una delle prime tecniche di estrazione dei parassiti non polarizzando in diretta il gate del dispositivo [6]: si prevede, la sostituzione della misura in diretta del gate, con misure effettuate a dispositivo non polarizzato e a dispositivo spento.

A dispositivo non polarizzato si ricava un circuito equivalente come in Figura 1.8. Le relative equazioni alle impedenze sono:

$$Z_{11} = R_g + R_s + \frac{R_{ch}}{2} + j(\omega(L_g + L_s) - \frac{1}{\omega C_g}) \quad (1.32)$$

$$Z_{12} = Z_{21} = R_s + \frac{R_{ch}}{2} + j\omega L_s \quad (1.33)$$

$$Z_{22} = R_d + R_s + R_{ch} + j\omega(L_d + L_s) \quad (1.34)$$

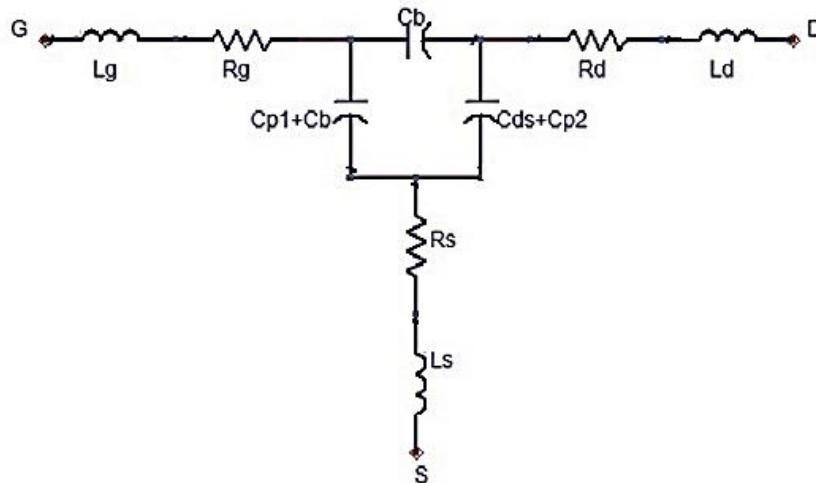


**Figura 1.8:** Circuito equivalente relativo al metodo di Tavrani per il dispositivo non polarizzato

E' possibile ricavare dalla parte immaginaria di tali equazioni le induttanze parassite:  $L_s$  si estrae dalla (1.33),  $L_d$  dalla (1.34),  $L_g$  e  $C_g$  dalla (1.32) usandola per due punti in frequenza. Invece, per trovare le resistenze parassite oltre alle parti reali delle equazioni date, sono, inoltre, necessarie anche le parti reali delle equazioni relative alle misure a dispositivo spento: otteniamo così un circuito come in Figura 1.9. Seppur in altri metodi di estrazione in tale configurazione di bias le resistenze e le induttanze parassite sono considerate, per semplicità, ininfluenti, in questo metodo vengono tenute in conto, salvo poi discutere il limite minimo di frequenza al di là del quale sono poi effettivamente trascurabili. Nello schema vengono combinate insieme le capacità parassite di pad,  $C_{p1}$  e  $C_{p2}$ , con le capacità intrinseche  $C_b$  e  $C_{ds}$ , senza introdurre errore. Si ottengono due ulteriori equazioni reali, da combinare insieme alle parti reali delle (1.32) ... (1.34):

$$Re[ Z_{11} ] = R_s + R_g \quad (1.35)$$

$$Re[ Z_{12} ] = R_s \quad (1.36)$$



**Figura 1.9:** Circuito equivalente relativo al metodo di Tayrani

Dalla (1.36) ricaviamo la  $R_s$ , ma risulta sperimentalmente un valore accurato per piccoli dispositivi, cioè gate  $< 100 \mu\text{m}$ , e usando la calibrazione TRL. Altrimenti si usa la (1.35) che assieme alle altre tre equazioni fa ricavare le resistenze parassite. Da rilevare che il valore di questi parametri resistivi estrinseci è legato all'accuratezza del sistema di misurazione. È inoltre, interessante osservare come la matrice della rete di figura (1.9) è essenzialmente capacitiva a bassa frequenza (reattanze induttive trascurabili e resistenze serie piccole rispetto alle resistenze parallelo del dispositivo intrinseco spento): si calcola che per un HEMT, il limite inferiore di frequenze entro il quale resistenze e induttanze sono ancora considerabili, sia di 6 Ghz.

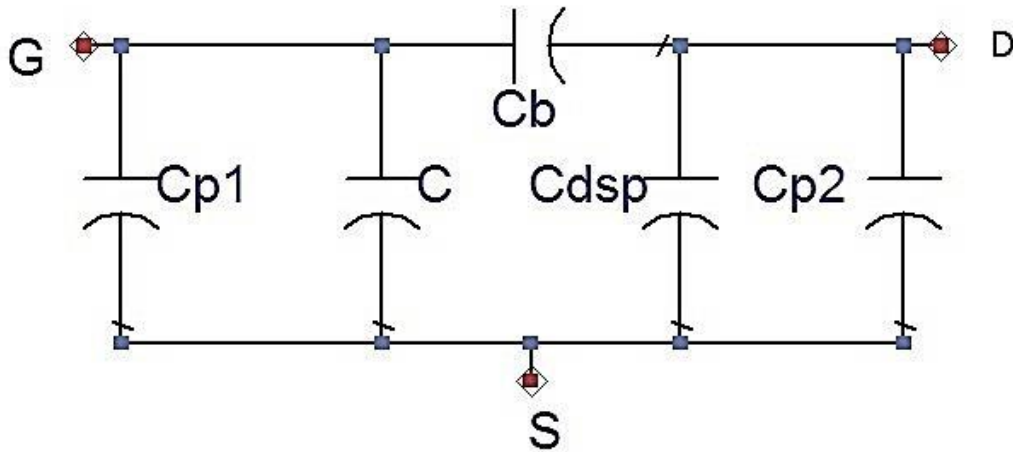
Infine, le capacità di pad si estraggono dalle misure a dispositivo spento, precedentemente depurate dal valore dei parassiti resistivi e induttivi appena estratti, usando delle equazioni come le (1.5) ... (1.8) nelle quali si introduce la  $C_{ds}$  aggiungendovi l'assunto sperimentale che  $C_{p2} = 0.25 * C_{ds}$ .

Il metodo di Tayrani non polarizza il gate in diretta, è sia semplice che completo, ma troppo sensibile alle imprecisioni sulle misure, costringendo ad una scelta critica del range di frequenza da utilizzare per una corretta estrazione dei parametri.

### 1.3.3 Il metodo di Kim, Nam e Seo

Il metodo presentato nel 1994, cercando di risolvere tutti i problemi visti finora, relativi alle metodologie di estrazione dei parametri parassiti [7]. Si propone come metodo sia per MESFET sia per HEMT, e si basa essenzialmente su due passi procedurali.

Il primo passo è relativo all'estrazione delle capacità parassite. Si polarizza il dispositivo con  $V_{ds}=0$  e  $V_{gs}$  inferiore alla tensione di *pinch-off*. In tali condizioni di bias, il circuito intrinseco resistivo può essere rimosso, e le resistenze e le induttanze parassite possono essere trascurate. Si ottiene un circuito come in Figura 1.10, dove le  $C_b$  sono le capacità di *pinch-off* sotto al gate, la  $C_{dsp}$  si introduce come capacità di *pinch-off* per evitare di sovrastimare  $C_{p2}$ , e infine  $C_{p1}$  e  $C_{p2}$  sono le capacità parassite da estrarre. In tal caso, dati i valori molto piccoli di queste ultime, rispetto alle capacità di *pinch-off* dell'intrinseco, è possibile porre  $C_{p1} = C_{p2}$ .



**Figura 1.10:** Circuito intrinseco relativo al primo passo procedurale del metodo di Kim, Nam, Seo

E' possibile estrarre le capacità parassite dalla misura dei parametri S relativi a tale configurazione di bias, trasformandoli nella matrice ammettenze  $Y$  e considerando la parte immaginaria degli elementi. Si ottiene, infatti, il seguente sistema lineare di tre equazioni in tre incognite:

$$\text{Im}[Y_{11}] = \omega(C_{p1} + 2C_b) \quad (1.37)$$

$$\text{Im}[Y_{12}] = \text{Im}[Y_{21}] = -\omega C_b \quad (1.38)$$

$$\text{Im}[Y_{22}] = \omega(C_{p2} + C_{dsp} + C_b) \quad (1.39)$$

Il secondo passo, relativo all'estrazione dei parametri parassiti rimanenti, cambia le condizioni di bias: mettendo  $V_{gs}=0$  e  $V_{ds}=0$ , e si sfruttano le equazioni analitiche semplificate che, sotto tali condizioni di polarizzazione, sono state proposte da Roblin ed altri per la matrice delle ammettenze intrinseca [8] (modello fisico-analitico identificato in modo empirico):

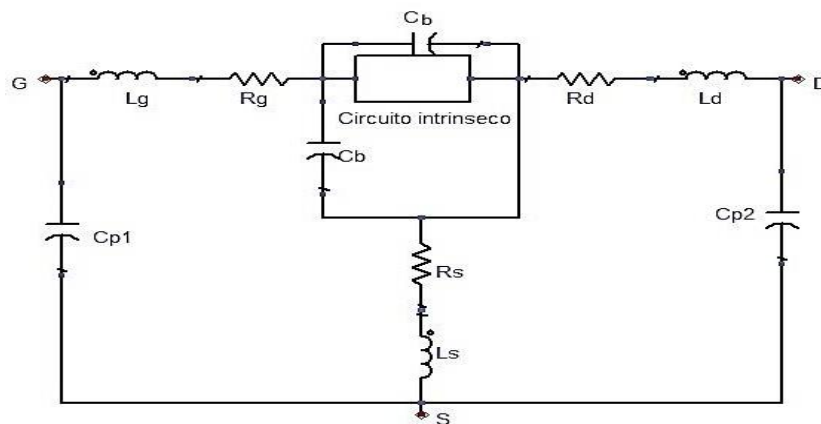
$$Y_{11}^{\text{int}} = \frac{\omega^2 C_0^2}{12g_0} + j\omega C_0 \quad (1.40)$$

$$Y_{12}^{\text{int}} = Y_{21}^{\text{int}} = -\frac{\omega^2 C_0^2}{24g_0} - j\omega \frac{C_0}{2} \quad (1.41)$$

$$Y_{22}^{\text{int}} = g_0 + \frac{\omega^2 C_0^2}{45g_0} + j\omega \frac{C_0}{3} \quad (1.42)$$

dove  $C_0$  e  $g_0$  sono parametri fisici che descrivono il dispositivo intrinseco. Tali equazioni ci serviranno per modellare il circuito intrinseco della Figura 1.11.

Ricavando le misure dei parametri S per questa seconda configurazione di bias, ci si accorge di avere un sistema con dati insufficienti: abbiamo 8 incognite, i sei parassiti e i due parametri intrinseci introdotti da Roblin, in solo 6 equazioni, parte reale e immaginaria degli elementi della matrice ammettenza estrinseca misurata (considerata simmetrica).



**Figura 1.11:** Circuito equivalente relativo al secondo passo procedurale del metodo di Kim Nam Seo

Per risolvere tale problema bisogna usare una tecnica iterativa. Innanzi tutto a sufficientemente basse frequenze possiamo considerare nulli gli effetti delle induttanze, e inizialmente consideriamo nulle anche le resistenze. Questo ci permette di estrarre dei valori di partenza per il circuito intrinseco:

$$C_0 = \text{Im}[Y_{11}^{est}] / \omega - (C_{p1} + 2C_b) \quad (1.43)$$

$$g_0 = \text{Re}[Y_{22}^{est}] \quad (1.44)$$

Con tali valori, molto approssimativi, dei parametri di Roblin, possiamo dare inizio al procedimento iterativo, che si compone dei seguenti passi:

Si trasformano i parametri S misurati all'estrinseco, nella matrice  $Y^{est}$  misurata, si sottraggono le capacità parassite  $C_{p1}$  e  $C_{p2}$ , e si trasforma tutto nella matrice  $Z$  ;

Usando i valori di  $C_0$  e  $g_0$  si costruisce il modello del circuito intrinseco dalle equazioni di Roblin, cioè una matrice  $Y^{int}$  modellata; si aggiungono quindi le capacità  $C_b$  e  $C_{dsp}$  e si trasforma la matrice  $Y$  così ottenuta nella matrice  $z$  ;

Si determinano i valori delle resistenze e induttanze parassite, usando le parti reali e immaginarie delle seguenti equazioni:

$$Z_{11} = z_{11} + R_g + R_s + j\omega(L_g + L_s) \quad (1.45)$$

$$Z_{21} = z_{21} + R_s + j\omega L_s \quad (1.46)$$

$$Z_{22} = z_{22} + R_d + R_s + j\omega(L_d + L_s) \quad (1.47)$$

Le resistenze parassite si estrarranno mediando i valori ottenuti su tutte le frequenze; le induttanze invece mediando i valori sulle frequenze alte (nelle quali hanno effetto).

Si sottraggono tutti i parassiti così ottenuti dalle misure dei parametri S iniziali, ottenendo una matrice  $Y^{int}$  misurata;

Si aggiornano i valori di  $C_0$  e  $g_0$  usando tale matrice  $Y^{int}$  misurata, inserita nelle formule di Roblin:



$$C_{0new} = \text{Im}[Y_{11}^{\text{int}}] / \omega \quad (1.48)$$

$$\text{Re}[Y_{22}^{\text{int}}] = g_{0new} + \frac{\omega^2 C_{0new}^2}{45 g_{0new}} \quad (1.49)$$

Per ambedue i valori si procede a una media su tutte le frequenze, Se i nuovi valori  $C_{0new}$  e  $g_{0new}$  non differiscono dai valori precedenti di oltre una data soglia, si termina l'iterazione; altrimenti si ripete il procedimento usando questi nuovi valori estratti dei parametri intrinseci, che a loro volta aggiorneranno i valori dei parassiti che vogliamo estrarre.

Il metodo proposto è abbastanza semplice e veloce, visto che l'iterazione necessaria termina in non molti *step*. Sebbene si basi su alcune assunzioni, relative alle capacità del circuito equivalente, non del tutto corrette, ha il vantaggio di essere un metodo di estrazione completo, visto che estrae tutti i parametri parassiti, ed è assente da polarizzazioni in diretta del gate, quindi applicabile su dispositivi MESFET ed HEMT indifferentemente. Visti i pregi di tale metodologia.

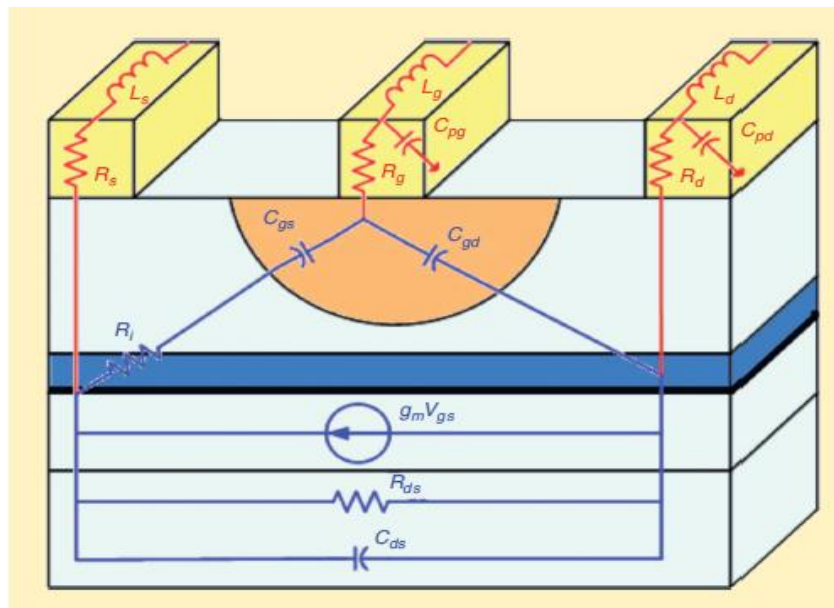
### 1.3.4 Progressi nella modellazione lineare dei transistori microne

I transistori ad effetto di campo (HFET) basati su nitruro di gallio (AlGaN/GaN) ed i transistori ad effetto di campo metallo-semiconduttore (MESFET) basati su silicio carburo (SiC) sono i transistori preferiti per disegnare i circuiti degli amplificatori ad alta potenza invece che i MESFET, i transistori ad alta mobilità elettronica (HEMT) basati su arseniuro di gallio (GaAs) o indio fosforo (InP), la tecnologia dei semiconduttori. Mentre AlGaN/GaN e SiC sono buoni candidati per applicazioni ad alta potenza, tecnologie dei semiconduttori GaAs e InP sono i transistori preferiti a bassa Potenza, bassa tensione e l'applicazione a basso rumore[9].

(CAD) software utilizzato per l'analisi e la simulazione di amplificatori a basso rumore e bassa potenza include i modelli lineare (piccolo segnale) e non lineare del circuito equivalente di transistor. Questo è mostrato nel modello di transistor ad effetto di campo

(FET) nella Figura 1.12, dove i pedici g, s, d, sono collegati a terra, sorgente e scarico rispettivamente. Il pedice di p è per parassita.

Per ottenere un modello del circuito equivalente lineare o non lineare, è necessario un metodo affidabile di estrazione degli elementi parassiti. Il modello del circuito equivalente di un transistor FET costituito dai parassiti ( $R_g$ ,  $R_s$ ,  $R_d$ ,  $L_g$ ,  $L_s$ ,  $L_d$ , e  $C_{pd}$ ) ed gli elementi intrinseci ( $C_{gs}$ ,  $C_{gd}$ ,  $C_d$ ,  $R_i$ ,  $R_{gd}$ ,  $G_{ds}$ ,  $G_m$ , e  $\tau$ ). Mentre gli elementi intrinseci dipendono da bias, gli elementi parassiti sono indipendenti dalla tensione di bias ma dipendono dalla confezione e dalla dimensione di pad.



**Figura 1.12:** Approssimazione di ciascun elemento del modello del circuito equivalente con l'origine fisica del dispositivo [26]© 2009 IEEE.

Diversi metodi basati sulle tecniche dc 11-17 e RF 18-23 per determinare gli elementi parassiti sono state riportate (vedi “Descrizione del metodo dc”). Tuttavia, questi metodi non sono adatti per i transistori GaN, in particolare per determinare i parassiti di  $R_g$  e  $L_g$  e  $C_{pd}$ . Per superare questo problema un nuovo metodo basato su una tecnica RF è presentato per ottenere i valori accurati degli elementi parassiti del circuito equivalente elettrico del FET basato su GaN. Questi sono necessari per entrambi modellazione lineare e nonlineare. L'obiettivo principale di questo lavoro è spiegare la nuova tecnica sviluppata per estrarre gli elementi parassiti del FET.

### 1.3.5 Descrizione del metodo dc

Le resistenze parassite di gate, source e drain possono essere determinate utilizzando un metodo dc [15], [23]. Il metodo dc è basato sul modello del diodo Schottky piana formato da gate-source o gate-drain contatti. Nella condizione diretta del bias ( $V_G > \phi_{bi} > 0$ ), per qualsiasi valore positivo del  $V_G$ , la corrente  $I_{gs}$  o  $I_{gd}$  scorre attraverso il circuito della Figura 1.13 calcolata da:

$$I_{gs,gd} = I_S \cdot \exp\left( V_G - I_R / nU_T \right) \quad (1.50)$$

Dove  $I_S$  è la corrente di saturazione (A);  $V_g$  è il bias diretta applicato (V);  $n$  è il fattore dell' idealità del diodo;  $U_T$  è il potenziale termico (V), dove  $U_T = kT/q$ ;  $k$  è la costante di Boltzmann (J/K);  $T$  è la temperatura assoluta (K); e  $q$  è la carica dell'elettrone (C). La corrente di saturazione è data da:

$$I_S = S \cdot A^* \cdot T^2 \cdot \exp\left( \frac{-\phi_{bi}}{U_T} \right) \quad (1.51)$$

Dove  $S$  è la superficie di gate (cm<sup>2</sup>);  $A^*$  è la costante Richardson (Am<sup>-2</sup>K<sup>-2</sup>);  $\phi_{bi}$  è la barriera Schottky (V).

Supponendo che il drain o il source sia flottante,  $V_G$  è uguale  $V_{gs}$  o  $V_{gd}$  e  $I_G$  è uguale  $I_{gs}$  o  $I_{gd}$ . In questo caso  $V_g$  è data da:

$$V_G = RI_G + nU_T \ln \left( I_G - nU_T \ln(I_S) \right) \quad (1.52)$$

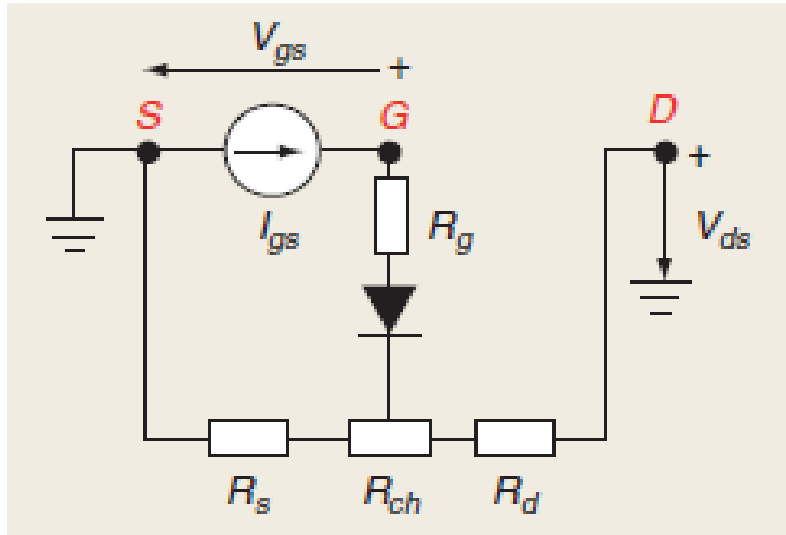


Figura 1.13: Il modello del diodo schottky [26]© 2009 IEEE.

Sia  $R(S)$  che  $R(D)$  definiscono i valori della resistenza in serie  $R$  associata al diodo Schottky reale, con drain o source flottante, rispettivamente. Nel caso del transistor, si presume che  $R$  può essere scritto come:

$$R^{(S)} = R_S + R_g + R_{CH} / \alpha_i \quad (1.53)$$

$$R^{(D)} = R_d + R_g + R_{CH} / \alpha_i \quad (1.54)$$

Dove  $R_{ch}$  è la resistenza del canale e  $\alpha_i$  rappresenta un fattore uguale a 0. Basato sulle misurazioni di  $I_{gs}(V_{gs})$  o  $I_{GD}(V_{GD})$  con il drain o il source flottante, rispettivamente, un metodo della regressione dei minimi quadrati viene utilizzato per calcolare i coefficienti del (1.52), in cui vi è la resistenza in serie  $R(S)$  o  $R(D)$  a seconda dei casi. La funzione analitica da ottimizzare è derivata da (1.52) e può essere scritta come segue:

$$X = \sum_{i=0}^m [R I_{Gi} + a \ln | I_{Gi} | + b - V_{Gi}]^2 \quad (1.55)$$

Dove  $a=nU_T$  e  $b=-\ln(I_S)$ . Il minimo di  $X$  si verifica quando le derivate parziali rispetto a  $R$ ,  $a$ , e  $b$  siano uguali a zero. Queste condizioni determinano una serie di tre simultanea

equazione lineare dove R, a, e b sono le incognite. L'equazione risultante può essere scritta in forma matriciale come:

$$\begin{bmatrix} R \\ a \\ b \end{bmatrix} = \begin{bmatrix} \sum_{i=1}^m I_{Gi}^2 & \sum_{i=1}^m I_{Gi} \ln|I_{Gi}| & \sum_{i=1}^m I_{Gi} \\ \sum_{i=1}^m I_{Gi} \ln|I_{Gi}| & \sum_{i=1}^m (\ln|I_{Gi}|)^2 & \sum_{i=1}^m \ln|I_{Gi}| \\ \sum_{i=1}^m I_{Gi} & \sum_{i=1}^m \ln|I_{Gi}| & m \end{bmatrix}^{-1} \begin{bmatrix} \sum_{i=1}^m I_{Gi} V_{Gi} \\ \sum_{i=1}^m \ln|I_{Gi} V_{Gi}| \\ \sum_{i=1}^m V_{Gi} \end{bmatrix} \quad (1.56)$$

### 1.3.6 Breve storia della tecnica a FET-Freddo

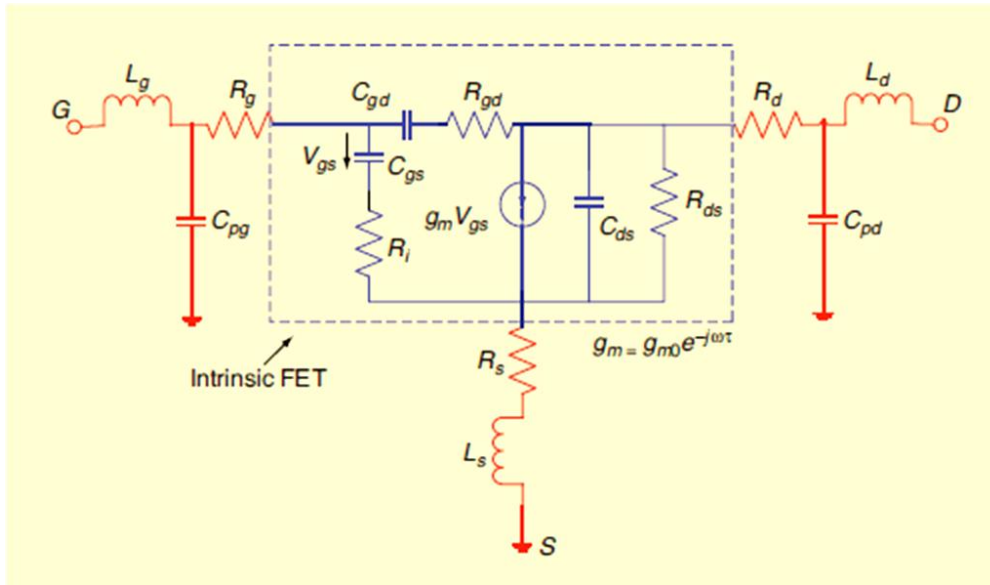
Il primo metodo della determinazione delle resistenze e delle induttanze parassite dai parametri S e  $V_{ds}=0$  è stato introdotto prima che è stato nominato Fet-freddo . Il metodo di Dambrine richiede l'applicazione di una elevata corrente diretta al gate per eliminare l'effetto della resistenza differenziale del diodo Schottky. Questo porta ad un calcolo diretto della resistenza e l'induttanza parassita di gate  $R_g$  e  $L_g$  ,rispettivamente. Piu tardi in [23] il metodo a Fet-freddo RF è stato modificato dal cambiamento della condizione di bias  $V_{ds}= 0$  V ad uno drain flottante che supera le incoerenze tra i metodi dc e RF . Per i MESFET ed i HEMT basati sulla base di GaAs o SiC, i metodi RF e dc possono essere applicati correttamente per determinare le resistenze parassite. Oltre a calcolare le resistenze parassite, il metodo Fet-freddo è usato per determinare le induttanze parassite di gate, source e drain  $L_g$  ,  $L_s$  e  $L_d$ , rispettivamente.

Tuttavia, quando si tratta di AlGaIn/GaN HEMT, il Diod Schottky di transistor presenta un comportamento capacitivo intrinsecamente forte , che è difficile da sopprimere anche adottando una grande corrente diretta dc al gate. Pertanto né il dc né il RF del metodo classico di Fet-freddo possono essere applicati per il calcolo di  $R_g$  e  $L_g$  . In effetti una corrente elevata in diretta al gate potrebbe produrre irreversibile e i danni catastrofici alla proprietà del diodo Schottky.

Quindi, negli ultimi anni, gli studi di transistor GaN sono stati condotti per sviluppare dei metodi affidabili per determinare sia  $R_g$  che  $L_g$ , così come le capacità parassite. Calcolare gli elementi parassiti utilizzando la tecnica a Fet-freddo, seguito da un processo dell'ottimizzazione è difficile e richiede il tempo per implementare. D'altra parte, un metodo in cui gli elementi parassiti sono stati calcolati utilizzando la tecnica a Fet-freddo con la polarizzazione diretta del gate con la struttura dummy per il calcolo delle capacità parassite è stato riportato in [24]. Nel articolo pubblicato da Crupi et al. [25], gli elementi parassiti sono stati determinati sotto la tensione di gate inversa e  $V_{ds} = 0$  V, insieme con la struttura dummy per il calcolo delle capacità parassite. Il problema che hanno dei metodi di sopra è che hanno bisogno di una struttura passiva supplementare da realizzare. Inoltre, richiedono il tempo e anche sono difficile da implementare. Nel caso di AlGaIn/GaN HEMT la resistenza di gate  $R_g$  e l'induttanza di gate  $L_g$  sono difficili da estrarre. L'originalità del metodo proposto sta nella bassa corrente dc del gate utilizzando il metodo a Fet-freddo classica. Pertanto, un nuovo metodo per estrazione le resistenze parassite e Le induttanze parassite è introdotto polarizzato in diretta che è utilizzato per estrarre gli elementi parassiti. Inoltre tramite de-embedding delle induttanze parassite di gate e drain dalla misurazione di pinch-off del Fet-freddo e tenendo conto sulla capacità del diodo Schottky, un metodo perfezionato per l'estrazione capacità parassita  $C_{PD}$  è presentato. Dopo varie prove, si è riscontrato che questo metodo non è utile solo per i transistori basati su AlGaIn/GaN, ma anche può essere applicato ai MESFET e HEMT basati su GaAs, SiC. La resistenza e l'induttanza di gate  $R_g$  e  $L_g$  possono essere ottenuti da un unico insieme dei parametri S misurati a bassa corrente dc del gate in diretta.

### 1.3.7 Estrazione dei parametri di modello del circuito equivalente di transistor

Come discusso in precedenza, il modello del circuito equivalente di transistor è costituito dagli elementi parassiti intrinseci come raffigurato nelle Figure 1.12 e 1.14.



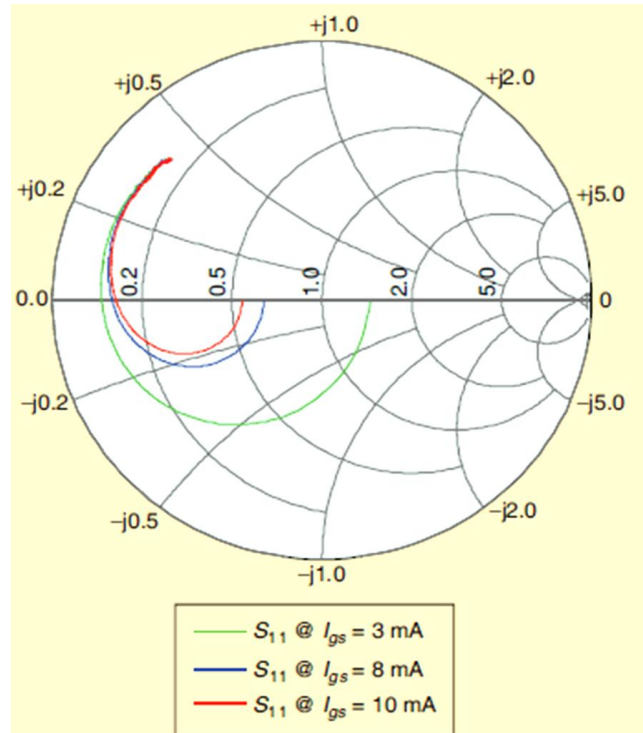
**Figura 1.14:** Il modello del circuito equivalente a piccoli segnali per il FET [26]© 2009 IEEE.

Gli elementi parassiti sono calcolati dalle misure Fet-freddo. La tecnica a Fet-freddo consiste un bias del transistor  $V_{bi} > V_{gs} > 0$  ( $V_{bi}$  è la tensione built-in) e il drain aperto per ottenere le capacità e le resistenze parassite. Le capacità parassite sono calcolate dai parametri misurati di Y del Fet-freddo polarizzato a  $V_{gs} > V_p > 0$  ( $V_p$  è la tensione di pinche-off) e  $V_{ds} = 0$  V. Crupi et al [25] hanno spiegato che Questa tecnica è chiamata Fet-freddo perché sotto la condizione zero della polarizzazione di drain-source l'energia cinetica media dell'elettrone è caratterizzata da una temperatura equivalente 2DEG, che è fredda rispetto alla condizione operativa tipica. Vale la pena commentare che la regione di svuotamento sotto il gate viene presa nella considerazione durante la modellazione del Fet-freddo.

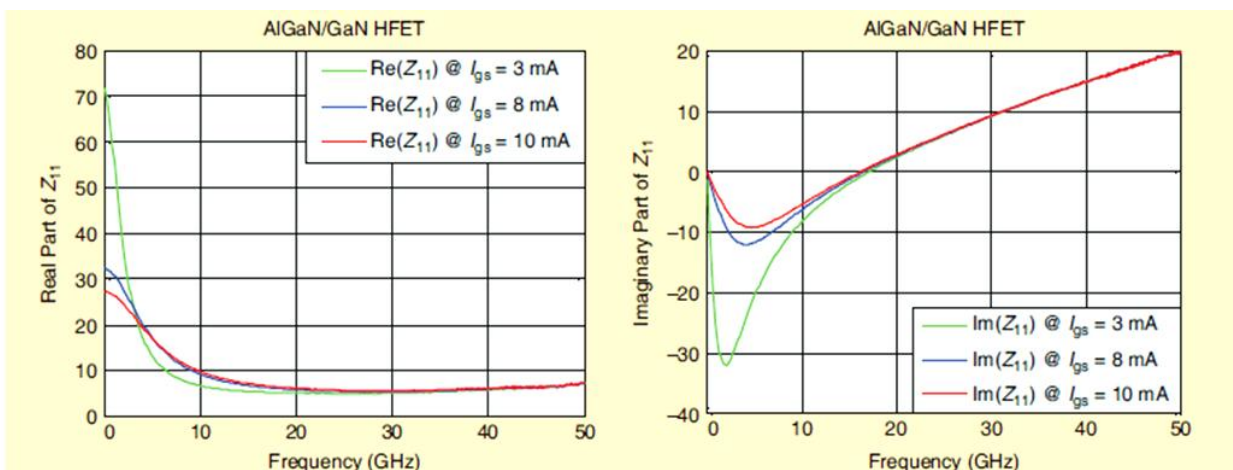
## 1.4 Problematiche di modeling nei dispositivi HFET basati su AlGaIn/GaN

Per determinare la resistenza di gate, il metodo a Fet-Freddo classico richiede che la parte reale di  $Z_{11}$  sia costante a bassa frequenza (meno di 5GHz). Questo è ottenuto utilizzando una grande corrente diretta di gate-source ( $0 > V_{gs} > V_{bi}$ ) per sopprimere il comportamento capacitivo del diodo Schottky. Poiché  $R_g$  è determinata mediante la regressione lineare, sono necessari almeno due serie delle misure dei parametri S con le diverse correnti di

polarizzazione del gate. Dopo aver eliminato l'influenza capacitiva del diodo Schottky sul gate, il comportamento della parte immaginaria della  $Z_{11}$  è induttivo. Infatti,  $L_g$  è calcolata dalla pendenza della parte immaginaria di  $Z_{11}$ .



**Figura 1.15:** Il comportamento capacitivo presente al gate del transistor GaN sotto le correnti grandi di gate-source [26]© 2009 IEEE.



**Figura 1.16:** Le Parti reale ed immaginaria di  $Z_{11}$  di un transistor  $300 \mu\text{m}$  GaN per le diverse correnti del bias. Al 10 mA il gate è stato danneggiato [26]© 2009 IEEE.



Tuttavia, i risultati sperimentali nei AlGaIn/GaN HEMT, illustrati nella Figura 1.15 e Figura 1.16, indicano che, anche utilizzando una grande corrente diretta di gate-source, il comportamento capacitivo del diodo Schottky non può essere soppresso. Questo comportamento capacitivo esclude la determinazione di  $R_g$  e  $L_g$  usando il metodo a Fet-freddo classico. Per questo motivo gli autori nei Progressi nella modellazione lineare dei transistori microne (Advances in Linear Modeling of Microwave Transistors) propongono, per questa tecnologia, il seguente metodo [26].

### 1.4.1 Nuovo metodo a Fet-Freddo specifico per GaN

Dopo aver spiegato i vincoli del metodo a Fet-freddo classico per determinare  $R_g$  e  $L_g$  nei HEMT basati su AlGaIn/GaN, un nuovo metodo Fet-freddo viene presentato, che permette la determinazione accurata di non solo gli elementi parassiti, ma anche la capacità del diodo Schottky e la resistenza dinamica. Il metodo richiede solo una singola misurazione a banda larga dei parametri S del transistore, misurata in un punto di polarizzazione ad una bassa corrente dc del gate con un drain flottante. La Figura 1.17 mostra un esempio di come selezionare, dalla curva del Fet-freddo  $I(V)$ , la corrente che verrà applicata al gate.

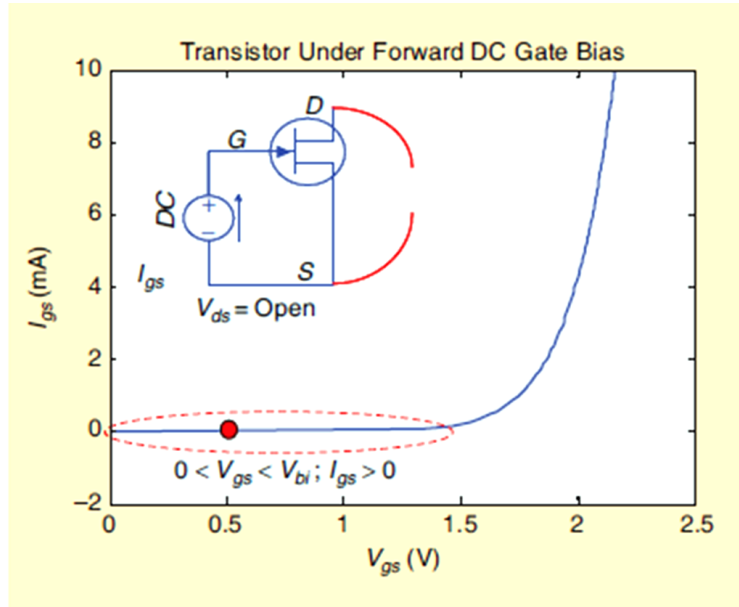
È molto importante notare la scelta di una bassa corrente di  $I_{gs}$ , che non danneggi il transistore, contrariamente alla grande corrente diretta utilizzata nel metodo Fet-freddo classico. Il circuito equivalente del Fet-freddo proposto prevede quindi una bassa polarizzazione in diretta del gate  $0 < V_{gs} < V_{bi}$  con un drain flottante mostrata in Figura 1.18.

$$R_g^* = R_g - R_{CH} / 6 \quad (1.56)$$

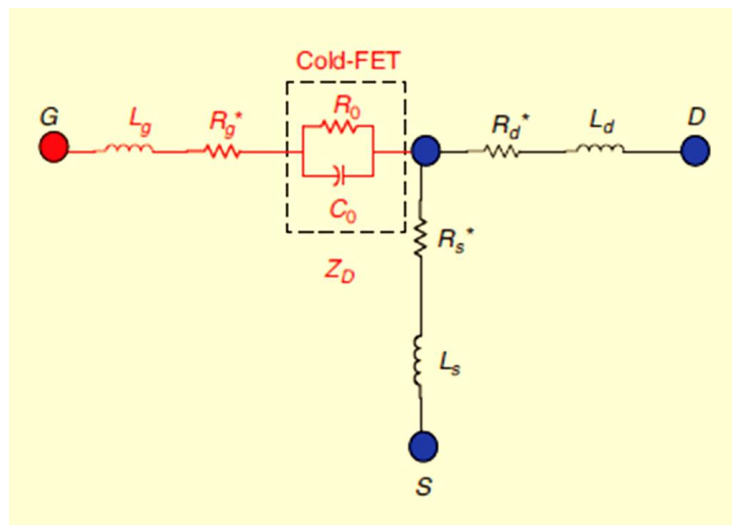
$$R_S^* = R_S + R_{CH} / 2 \quad (1.57)$$

$$R_d^* = R_d + R_{CH} / 2' \quad (1.58)$$

Dove  $R_{ch}$  è la resistenza di canale.



**Figura 1.17:** Esempio delle curve di  $I(V)$  del modello Fet-freddo [26]© 2009 IEEE.



**Figura1.18:** Il circuito equivalente del transistor a piccoli segnali sotto bassa corrente dc el gate polarizzato in iretta con il rain flottante [26]© 2009 IEEE.

I parametri  $Z$  del circuito mostrato in Figura 1.18 sono espressi come:

$$Z_{11} = R_g^* + R_s^* + \frac{R_0}{1 + \omega^2 C_0^2 R_0^2} + j\omega \left[ \frac{L_g + L_s - C_0 R_0^2}{1 + \omega^2 C_0^2 R_0^2} \right] \quad (1.59)$$

$$Z_{12} = Z_{21} = R_s^* + j \omega L_s \quad (1.60)$$

$$Z_{22} = R_d^* + R_s^* + j \omega (L_d + L_s) \quad (1.61)$$

Utilizzando (1.60) e (1.61),  $L_s$  e  $L_d$  possono essere estratte dalle pendenze delle parti immaginarie  $Z_{12}$  e  $Z_{22}$ , rispettivamente. D'altra parte, a causa delle condizioni  $R_0$  e  $C_0$  nella parte immaginaria di  $Z_{11}$  espressa da (1.59), il calcolo diretto di  $L_g$  è ancora difficile.  $L_g$  potrebbe essere calcolato dalla parte immaginaria  $Z_{11}$ , purché  $L_s$ ,  $R_0$ , e  $C_0$  sono noti. Per superare questo problema, abbiamo prossima revisione di una procedura per il calcolo di  $L_g$  e  $C_0$  dalla parte immaginaria di  $Z_{11}$ , prima introdotto in [27]. Basato su questo, la parte immaginaria di  $Z_{11}$  può essere espressa come

$$\text{Im}[Z_{11}] = \omega (L_g + L_s) - \frac{\omega}{C_0} \frac{1}{\omega_0^2 + \omega^2} \quad (1.62)$$

Dove

$$\omega_0 = \frac{1}{R_0 C_0} \quad (1.63)$$

Si è visto dalla (1.63) che  $\omega_0$  dipende dai valori  $R_0$  e  $C_0$ , che a loro volta dipendono dalla polarizzazione in diretta del gate. Inoltre, è importante commentare che se la corrente diretta della polarizzazione del gate aumenta diminuisce  $R_0$  e  $C_0$  è quasi costante [28]. Pertanto, dovrebbe essere previsto i valori bassi di  $\omega_0$  quando polarizziamo il gate con una bassa corrente dc del gate polarizzato in diretta. Dalla dipendenza della frequenza dalla parte immaginaria di  $Z_{11}$ , i Risultati sperimentali indicano che, durante la conduzione del gate con una bassa corrente dc del gate polarizzato in diretta, vi è un punto di frequenza indicato come  $\omega_R$  dove la parte immaginaria di  $Z_{11}$  viene soppressa, il che significa che la parte immaginaria di  $Z_{11}$  sperimenta una risonanza alla frequenza  $\omega_R$ . La frequenza di risonanza può essere determinata dalla (1.62) e viene espresso in:

$$\omega_R^2 = \omega_x^2 - \omega_0^2 \quad (1.64)$$

$$\omega_x^2 = \frac{1}{(L_g + L_s) C_0} \quad (1.65)$$

Inoltre, alla bassa corrente dc del gate polarizzato in diretta e in accordo con (1.63) e (1.65), è ovvio che  $\omega_0$  sarebbe inferiore da  $\omega_x$ . Quindi, assumendo che  $\omega_x \gg \omega_0$ , la frequenza di risonanza  $\omega_R$  diventa:

$$\omega_R^2 = \omega_x^2 = \frac{1}{LC_0} \quad (1.66)$$

$$L = L_g + L_s. \quad (1.67)$$

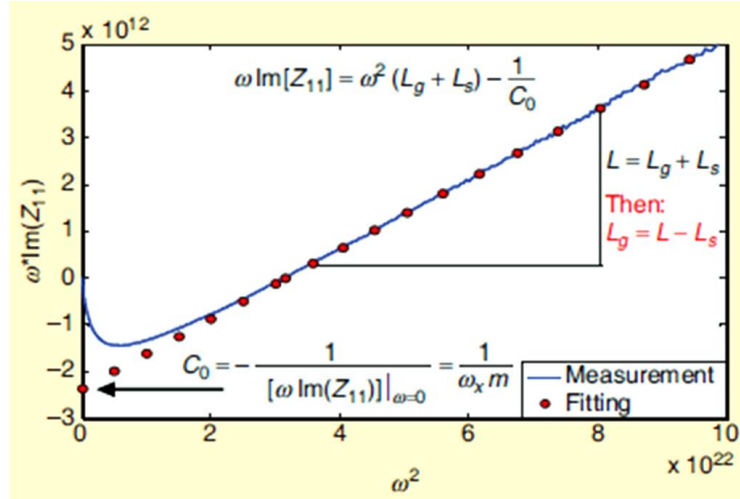
La espressione (1.66) permette il calcolo di  $C_0$  finché  $L$  è noto. Un'espressione per  $L$  e  $C_0$  può anche essere derivata da (1.62) se  $\omega^2 \gg \omega_0^2$ , e viene espresso in:

$$\omega \text{Im}(Z_{11}) = \omega^2 L - \frac{1}{C_0} \quad (1.68)$$

Va notato dalla (1.68) che  $L_g$  e  $C_0$  possono essere calcolati utilizzando la regressione linear dove  $L_g$  è determinata una volta che  $L$  è ottenuto dalla pendenza della retta e con la conoscenza di  $L_s$ . Quindi, viene calcolato  $C_0$  dall' intercetta della retta con l'asse  $\omega \text{Im}(Z_{11})$  o dall'espressione  $\omega_x$  una volta che  $L$  è noto. La figura 1.8 mostra la trama di  $\omega \text{Im}(Z_{11})$  rispetto alla  $\omega$  utilizzata per estrarre  $L_g$  e  $C_0$ . Una volta che  $\omega_x$  e  $L$  sono calcolati dalla Figura 1.19,  $L_g$  e  $C_0$  sono determinati come segue:

$$L_g = L - L_s \quad (1.69)$$

$$C_0 = \frac{1}{\omega_x^2 L} = \frac{1}{\omega \text{Im}(Z_{11})|_{\omega \rightarrow 0}} \quad (1.70)$$



**Figura 1.19:** Il diagramma della  $\omega \text{Im}(Z_{11})$  rispetto a  $\omega^2$  per calcolare  $L$  e  $C_0$  [26]© 2009 IEEE.

Le resistenze parassite  $R_S$  e  $R_d$  sono determinate direttamente dalle parti reali di  $Z_{12}$  e  $Z_{22}$ , rispettivamente, del metodo Fet-freddo modificato mostrato nella Figura 1.18. Un' espressione per l'identificazione  $R_g$  può essere derivata dalla parte reale di  $Z_{11}$  e è espressa come:

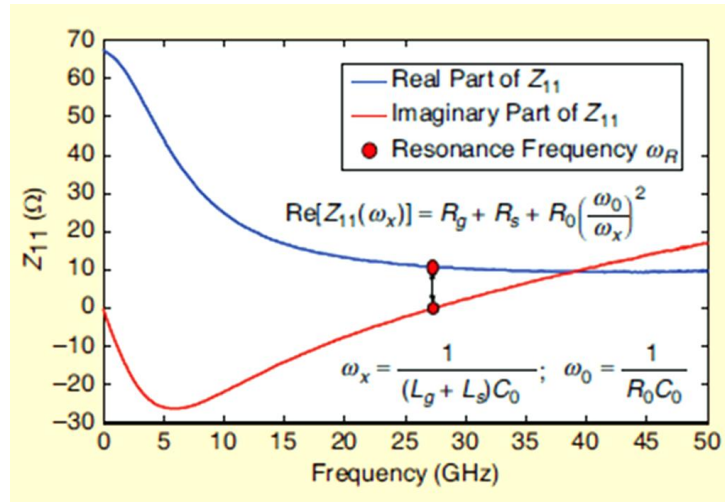
$$R_g^* = \text{Re}(Z_{11}) - R_S^* - \frac{R_0}{1 + \omega^2 C_0^2 R_0^2} \quad (1.71)$$

Si è visto che  $R_g$  può essere determinata dalla (1.71) finché  $R_S$ ,  $C_0$ , e  $R_0$  sono noti. Va inoltre notato dalla (1.71) che l'unica incognita è  $R_0$ , che può essere derivata dalla parte immaginaria di  $Z_{11}$  come:

$$R_0 = \sqrt{\frac{\omega L - \text{Im}(Z_{11})}{\omega C_0 - \omega^2 C_0^2 [\omega L - \text{Im}(Z_{11})]}} \forall \omega < \omega_0 \quad (1.72)$$

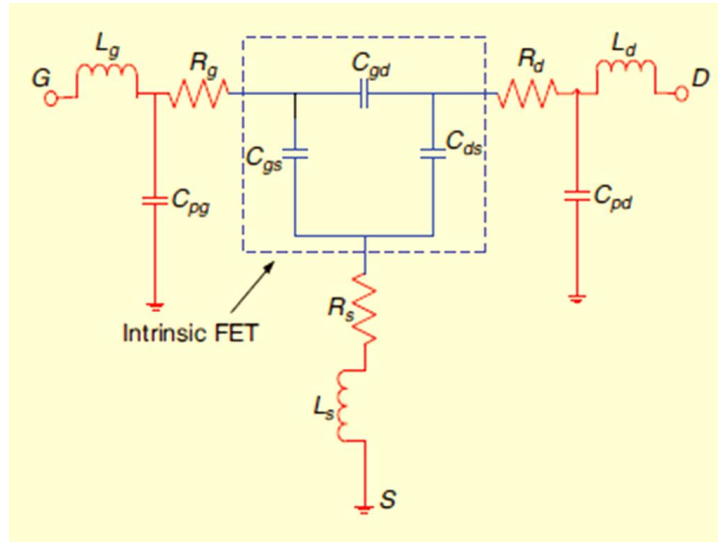
Una volta che  $R_0$  è determinata, il calcolo di  $R_g$  può essere realizzato sia mediante (1.71) che dalla valutazione della  $Z_{11}$  alla frequenza di risonanza  $\omega_R$ . La Figura 1.20 descrive come  $R_g$  può essere estratta quando la parte reale di  $Z_{11}$  viene valutata alla frequenza di risonanza. Supponendo che il valore  $R_{ch}$  sia trascurabile, l'espressione  $R_g$  è data come:

$$R_g = \text{Re}[Z_{11}]|_{\omega=\omega_x} - R_s - R_0 \left( \frac{\omega_0}{\omega_x} \right). \quad (1.73)$$



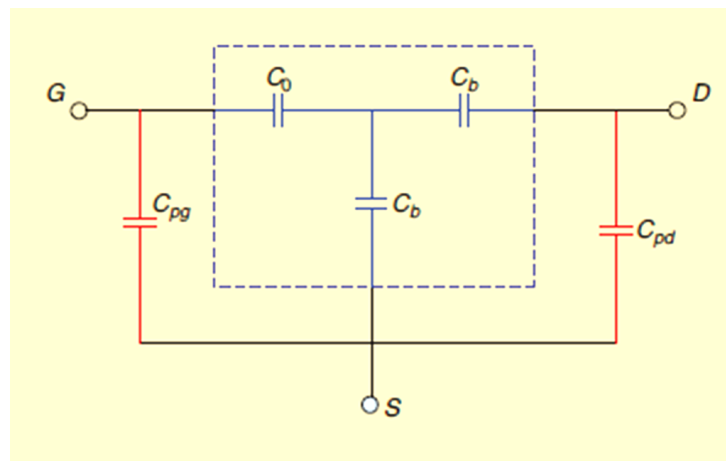
**Figura 1.20:** La Parte reale di  $Z_{11}$  valutata alla frequenza di risonanza [26]© 2009 IEEE.

Estrazione della capacità parassita si è basata sui parametri  $Y$  calcolati dai parametri  $S$  per un polarizzazione dc del gate oltre la tensione  $V_P$  del pinch-off, con il source e il drain entrambi a terra ( $V_{gs} \ll V_P$ ;  $V_{ds} = 0$  V). Poiché gli elettrodi del drain e del source sono allo stesso potenziale, la regione di svuotamento sotto il gate dovrebbe essere uniforme e simmetrica. La Figura 1.21 mostra il modello del circuito equivalente del transistor sotto la polarizzazione pinch-off. Prima del calcolo della capacità parassita e secondo l'algoritmo presentato in [29], un de-embedding delle induttanze parassite del gate e del drain  $L_g$  e  $L_d$  deve essere eseguito per eliminare il loro effetto sulla parte immaginaria dei parametri  $Y$  di pinch-off del Fet-freddo. I modelli presentati da Dambrine et al [3] e White e Healy [30] sono stati sviluppati per la stima delle capacità parassite  $C_{PG}$  e  $C_{Pd}$ .



**Figura 1.21:** Il modello equivalente del transistore sotto il pinch-off ( $V_{gs} \ll V_p, V_{ds} = 0V$ )  
 [26]© 2009 IEEE.

Recentemente, è stato dimostrato da Caddemi et al [31] che con un Fet-freddo a pinch-off ( $V_{ds} = 0V; V_{gs} \ll V_P$ ) la regione di svuotamento sotto il gate può essere modellata utilizzando una rete T. Questo lavoro utilizza il circuito mostrato in Figura 1.22 per determinare  $C_{pg}$  e  $C_{pd}$ .



**Figura 1.22:** Trasformazione da T alla rete  $\Pi$  del pinch-off del modello del circuito equivalente  
 [26]© 2009 IEEE.

Le capacità parassite  $C_{pg}$ ,  $C_{pd}$ , e  $C_b$  sono calcolate dai parametri Y della rete mostrata nella Figura 1.22. Le espressioni per le capacità parassite seguono come:

$$C_{Pg} = \frac{\text{Im}(Y_{11}) + 2 \text{Im}(Y_{12})}{\omega'} \quad (1.74)$$

$$C_{Pd} = \frac{\text{Im}(Y_{22}) + \text{Im}(Y_{12})}{\omega} \frac{C_b}{C_0} \frac{\text{Im}(Y_{12})}{\omega'} \quad (1.75)$$

$$C_b = \frac{-C_0 \text{Im}[Y_{12}]}{\omega C_0 + 2 \text{Im}[Y_{12}]^*} \quad (1.76)$$

È molto importante commentare che l'espressione per calcolare  $C_{Pg}$  è esattamente la stessa come pubblicata da Dambrine [3]. Tuttavia, la novità di questo metodo è il termine  $C_b / C_0$  nell'espressione  $C_{Pd}$  perché se  $C_b \ll C_0$  calcolo del  $C_{Pd}$  sarebbe lo stesso come l'espressione introdotta da Dambrine, ma se  $C_b = C_0$ , allora  $C_{Pd}$  può essere ottenuta dall'equazione presentata da White [30]. Tuttavia, abbiamo scoperto che per i transistori basati su GaN abbiamo  $C_b \neq C_0$ , in modo che né il Dambrine né il metodo di White può estrarre con la precisione il valore di  $C_{Pd}$  per questo tipo del transistor. Ricordiamo che l'espressione per calcolare  $C_0$  è stata già presentata nella sezione precedente.

Una volta che gli elementi parassiti sono estratti, un processo de-embedding viene eseguito sui parametri  $S$  misurati del Fet-caldo per determinare gli elementi intrinseci ( $C_{gs}$ ,  $C_{gd}$ ,  $C_d$ ,  $R_i$ ,  $R_{gd}$ ,  $g_{ds}$ ,  $g_{m0}$ , e  $\tau$ ). Gli elementi intrinseci vengono estratti secondo il metodo presentato da Berroth e Bosh [32].

## 1.4.2 Limitazioni del metodo

Il metodo descritto sopra è molto preciso e facile da applicare. Tuttavia, vi sono alcune limitazioni che dovrebbe essere preso in considerazione. Una di queste limitazioni è quello di modellare un FET basato su GaN di piccole dimensioni, che la frequenza di risonanza avviene ad una frequenza molto alta. Questo implica che l'apparecchiature in grado di misurare i parametri  $S$  deve essere utilizzato a frequenze molto alte.

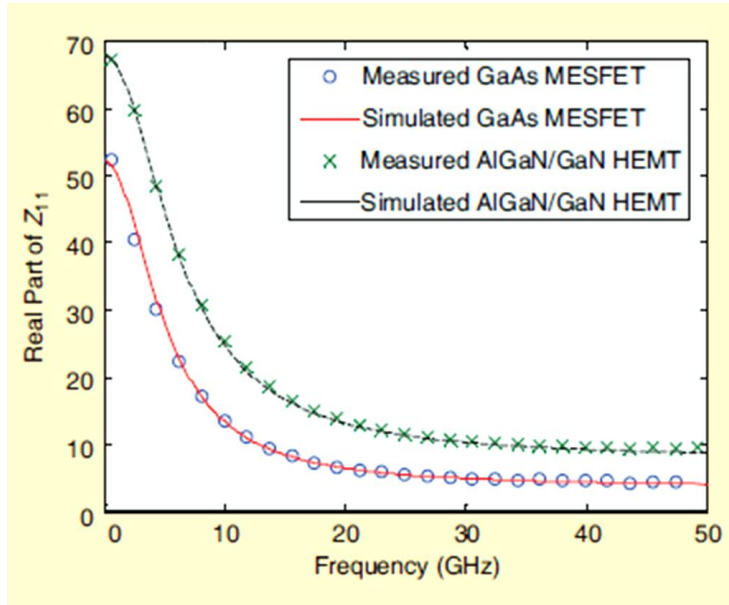


Un'altra limitazione è che, il metodo per essere applicato, deve avere le condizioni  $\omega_0 \ll \omega_x$  e  $\omega_0 \ll \omega_R$  soddisfatte. Questo può essere facilmente realizzato polarizzando il transistoro con bassa corrente dc del gate polarizzato in diretta.

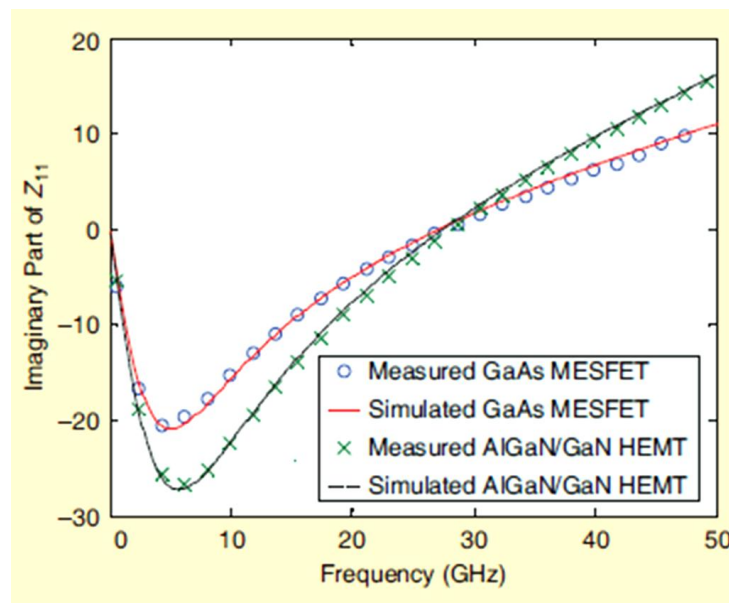
### 1.4.3 I risultati sperimentali

Per convalidare il metodo proposto, sono stati utilizzati diversi transistori on-wafer e packaged. Usando il metodo, gli elementi parassiti per i transistori AlGaIn /GaIn, SiC, e GaAs sono stati estratti e usati per costruire i circuiti equivalenti a piccolo segnale. I risultati per ciascun tipo del transistoro sono riportati nel seguito.

Il metodo è stato applicato ai HFET basati su AlGaIn/GaIn e i transistori on-wafer MESFET basati su GaAs. Prima delle misure RF nell'intervallo della frequenza di ( da 0.045 a 50GHz), una calibrazione LRM migliorata [33] è stata eseguita sull'analizzatore della rete HP8510C utilizzando il modello standard della calibrazione GGB Industrie CS-5 e il modello di probe 50A-GSG-150P. Per verificare la validità di modello del circuito equivalente a piccoli segnali dei FET(un AlGaIn/GaIn HFET e GaAs MESFET) sotto bassa corrente dc del gate polarizzato in diretta con un drain flottante, mostrato in Figura 1.18 , le parti reale e immaginaria di  $Z_{11}$ , misurate in  $I_{gs} = 1$  mA, sono state simulate e tracciate nelle Figure 1.23 e 1.24, rispettivamente. In accordo con questi risultati, insieme con il buon accordo tra i dati sperimentali e simulati, la validità del metodo proposto per estrarre le resistenze e le induttanze parassite del gat è verificata. Le capacità parassite  $C_{pg}$  e  $C_{pd}$  sono state estratte dai parametri Y, calcolati dai dati dei parametri S misurati a polarizzazione dc del gate oltre il pinch-off e con  $V_{ds} = 0$  V. Per calcolare  $C_{Pg}$  e  $C_{Pd}$  con (1.74) e (1.75), sono necessarie conoscenze di  $C_0$  e  $C_b$ . Ricordiamo che  $C_0$  è stato determinata precedentemente (1.70).



**Figura 1.23:** Il diagramma delle parti reali misurate e calcolate di  $Z_{11}$  per i transistori basati su AlGaIn/GaAs [26]© 2009 IEEE.



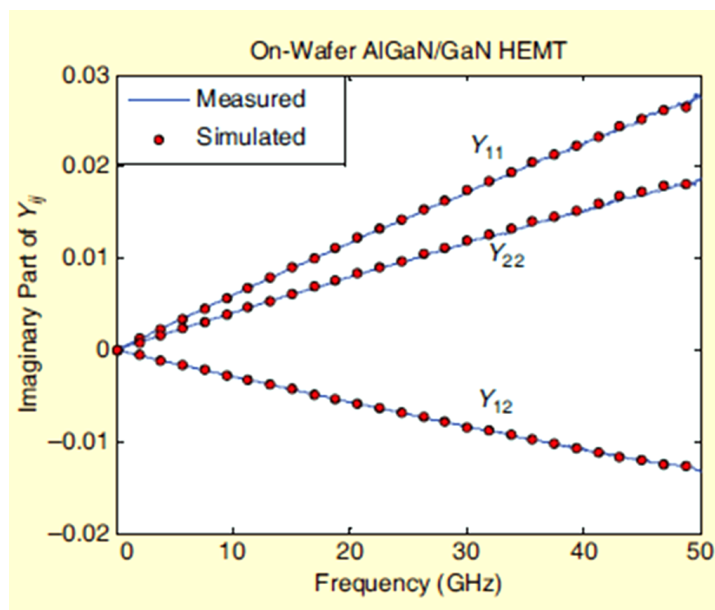
**Figura 1.24:** Il diagramma delle parti immaginarie misurate e calcolate di  $Z_{11}$  per i transistori basati su AlGaIn/GaN e GaAs [26]© 2009 IEEE.

Le Figure 1.25 e 1.26 mostrano la  $\text{Im}(Y_{ij})$  di un HEMT basato su AlGaIn/GaN e un MESFET basato su GaAs, rispettivamente, in funzione della frequenza. Ancora una volta, il modello prevede i dati sperimentali molto bene, che verifica la validità del metodo proposto per determinare le capacità parassite. I valori degli elementi parassiti sono riassunti in Tabella 1.1. Per determinare se gli elementi parassiti sono stati

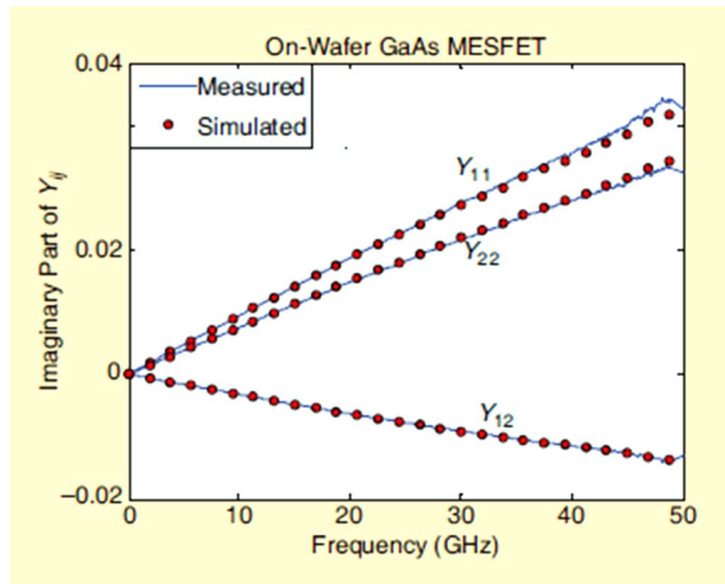
adeguatamente estratti, il circuito equivalente intrinseco a piccoli segnali del FET è stato utilizzato.

Element	AlGaIn/GaN HFET	GaAs MESFET
$I_{gs}$ (mA)	1.0	1.0
$R_0$ ( $\Omega$ )	59.99	48.57
$R_g$ ( $\Omega$ )	0.61	1.32
$R_s$ ( $\Omega$ )	7.26	2.29
$R_d$ (V)	13.36	2.84
$L_g$ (pH)	67.91	43.27
$L_s$ (pH)	6.59	6.90
$L_d$ (pH)	64.07	56.71
$C_0$ (pF)	0.43	0.66
$C_{pg}$ (fF)	7.82	46.87
$C_{pd}$ (fF)	15.67	63.23

**Tabella 1.1:** Gli elementi parassiti dei transistori basati su AlGaIn/GaN e GaAs  
[26]© 2009 IEEE.

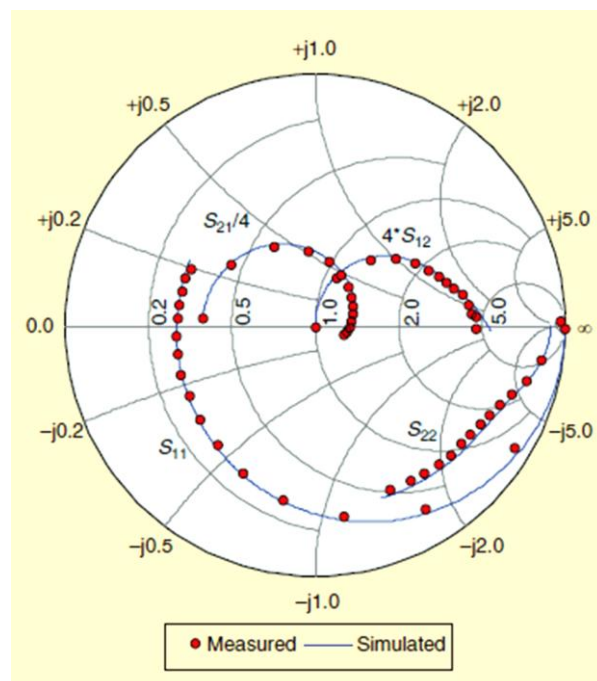


**Figura 1.25:** I parametri  $Y$  misurati e calcolati del Pinche-off del modello del circuito equivalente dei HEMT basati su AlGaIn/GaN [26]© 2009 IEEE.

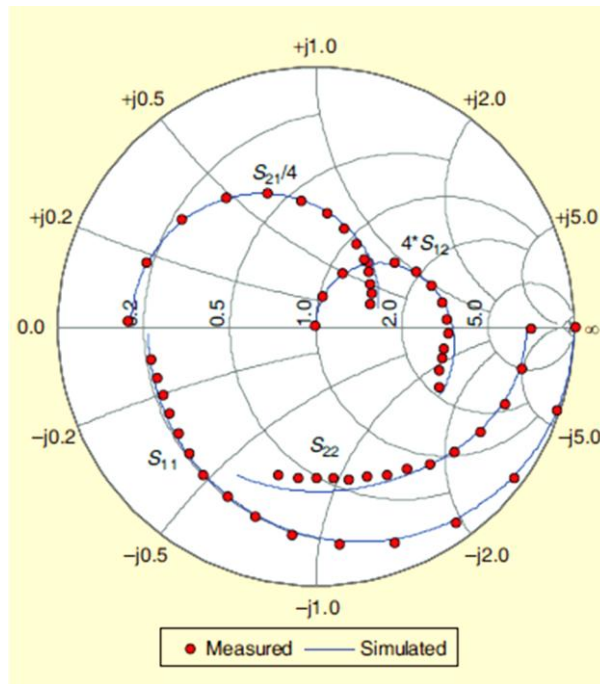


**Figura 1.26:** I parametri  $Y$  misurati e calcolati del Pinche-off del modello del circuito equivalente dei HEMT basati su AlGaN/GaN [26]© 2009 IEEE.

Le Figure 1.27 e 1.28 mostrano un confronto tra i dati dei parametri  $S$  previsti e sperimentali del transistore misurati a  $V_{gs} = -2.2$  V;  $V_{ds} = 18$  V;  $I_{ds} = 4.202$  mA per il HEMT basato su AlGaN/GaN e  $V_{gs} = 0$  V;  $V_{ds} = 3$  V;  $I_{ds} = 35.0$  mA per il MESFET basato su GaAs rispettivamente.

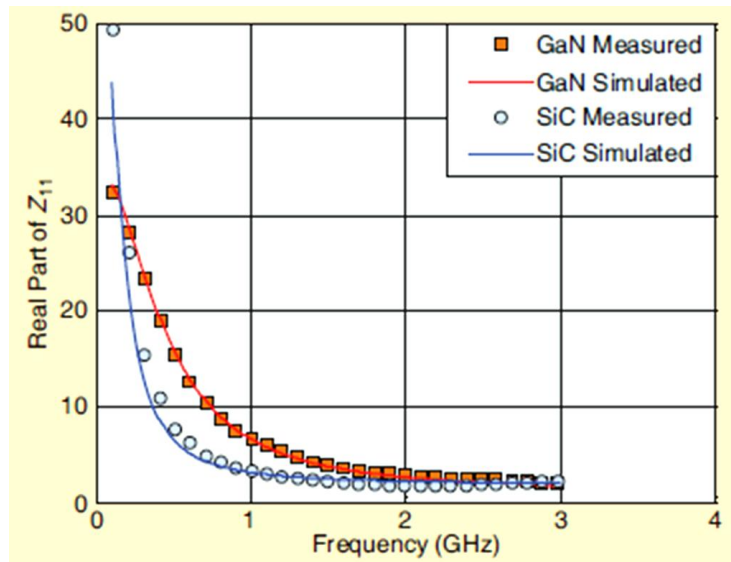


**Figura 1. 27:** Il Confronto tra i parametri  $S$  simulati e misurati del HEMT basato su AlGaN/GaN ed a  $V_{gs} = -2.2$  V;  $V_{ds} = 18$  V;  $I_{ds} = 4.202$  mA [26]© 2009 IEEE.

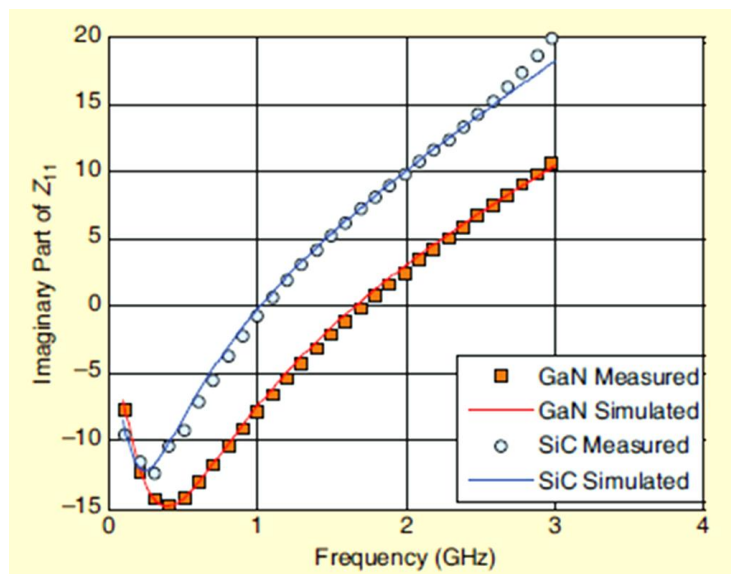


**Figura 1.28:** Il Confronto tra i parametri  $S$  simulati e misurati del MESFET basato su GaAs a  $V_{gs}=0V$ ;  $V_{ds}=3V$ ;  $I_{ds}=35.0mA$  [26]© 2009 IEEE.

I transistori di potenza packaged GaN(CHG35015) e SiC(CRF24010F) sono stati studiati per dimostrare l'utilità del calcolo parassitaria del metodo proposto. Un dispositivo di prova con standard di calibrazione multilinea TRL è stato costruito utilizzando un substrato a basso prezzo [33]. Prima di effettuare le misure RF, una calibrazione a due livelli è stata eseguita utilizzando l'analizzatore della rete HP8510C nell'intervallo della frequenza di (da 0.045GHz a 3GHz). Il primo livello della calibrazione è stata effettuata con la tecnica della calibrazione SOLT. Il secondo livello della calibrazione è stata eseguita utilizzando una calibrazione migliore di multilinea TRL [34]. Una volta che gli errori sistematici del VNA sono stati corretti e il piano di riferimento è stato posizionato correttamente, i parametri  $S$  del DUT (GaN o SiC) sono stati misurati. Le parti reale e immaginaria di  $Z_{11}$ , misurate e previste dal modello per  $I_{gs}=1\text{ mA}$ , e un drain flottante per il HEMT basato su GaN e i MESFET basati su SiC confezionati sono tracciate nella Figura 1.29 e Figura 1.30, rispettivamente.

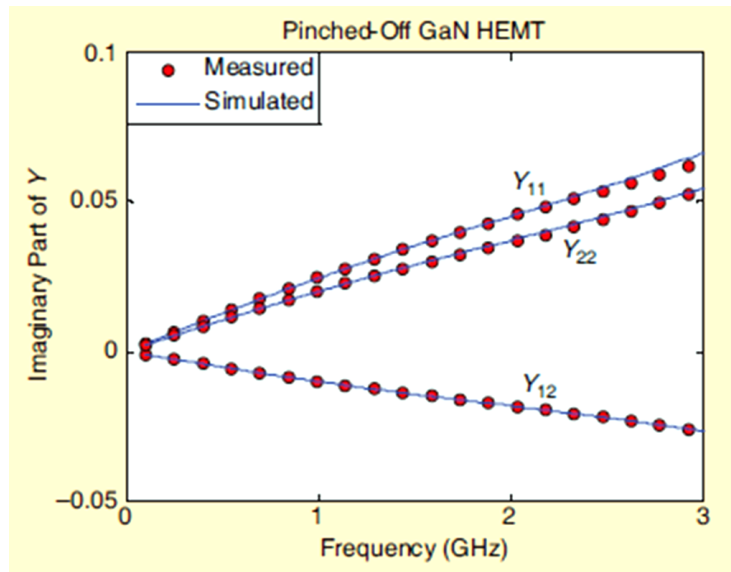


**Figura 1.29:** Il diagramma delle parti reali misurate e calcolate di  $Z_{11}$  per i transistori confezionati basati su GaN e SiC [26]© 2009 IEEE.

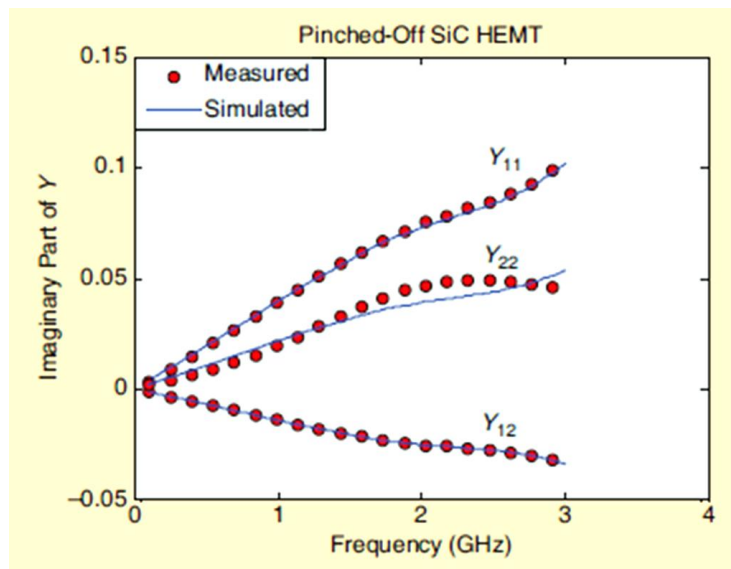


**Figura 1.30:** Il diagramma delle parti immaginarie misurate e calcolate di  $Z_{11}$  per i transistori confezionati basati su GaN e SiC [26]© 2009 IEEE.

I risultati mostrano che il metodo proposto parassitario è anche utile per caratterizzare i transistori di potenza confezionati. Le capacità parassite del HEMT basato su GaN e MESFET basato su SiC confezionati sono state anche determinate secondo la procedura di cui sopra. Il confronto tra i parametri  $Y_{ij}$  misurati e modellati del pinche-off dei transistori basati su GaN e SiC è rappresentato nelle Figure 1.31e 1.32.



**Figura 1.31:** I parametri  $Y$  misurate e simulate del pinch-off del modello del circuito equivalente di HEMT basato su GaN [26]© 2009 IEEE.



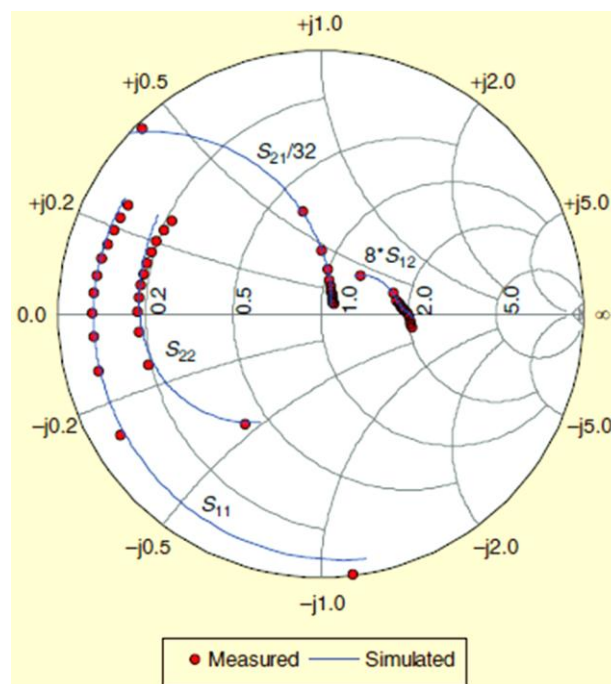
**Figura 1. 32:** I parametric  $Y$  misurate e simulate del pinch-off del modello del circuito equivalente di MESFET basato su SiC [26]© 2009 IEEE.

La Tabella 1.2 mostra i valori degli elementi parassiti estratti per i transistori GaN e SiC confezionati.

Element	GaN HEMT	SiC MESFET
$R_g$ ( $\Omega$ )	0.56	2.22
$R_s$ ( $\Omega$ )	0.26	0.74
$R_d$ ( $\Omega$ )	0.60	1.42
$R_0$ ( $\Omega$ )	69.09	27.95
$L_g$ (pH)	777.97	1,031.65
$L_s$ (pH)	53.76	66.61
$L_d$ (pH)	858.62	1,225.26
$C_0$ (pF)	9.75	20.63
$C_{pg}$ (fF)	694.15	1,810.70
$C_{pd}$ (fF)	1,193.30	855.77

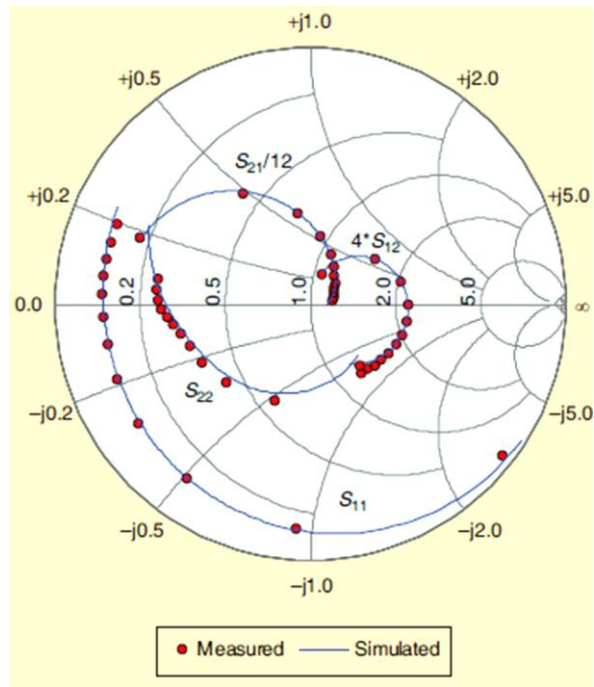
**Tabella 1.2:** Gli elementi parassiti dei transistori confezionati basati su GaN e SiC [26]© 2009 IEEE.

In aggiunta, Le Figure 1.33 e 1.34 mostrano un confronto tra i dati dei parametri S previsti e sperimentali del transistore misurato a  $V_{gs} = -2.0$  V ;  $V_{ds} = 15$  V per il HEMT basato su GaN e  $V_{gs} = -9$  V ;  $V_{ds} = 20$  V per il MESFET basato su GaAs, rispettivamente. Infine, l'estrazione degli elementi intrinseci è stata eseguita per 300 punti diversi di bias ( $0 < V_{ds} < 20$ ;  $-3 < V_{gs} < 0$ ). In Figura 1.35, si segnala la dipendenza del bias dai elementi intrinseci ( $C_{gs}$ ,  $C_{gd}$ ,  $R_i$ ,  $R_{gd}$ ,  $g_{ds}$ , e  $g_m$ ). Si può notare che il comportamento degli elementi intrinseci corrisponde ai teorici fisichi aspettativi.

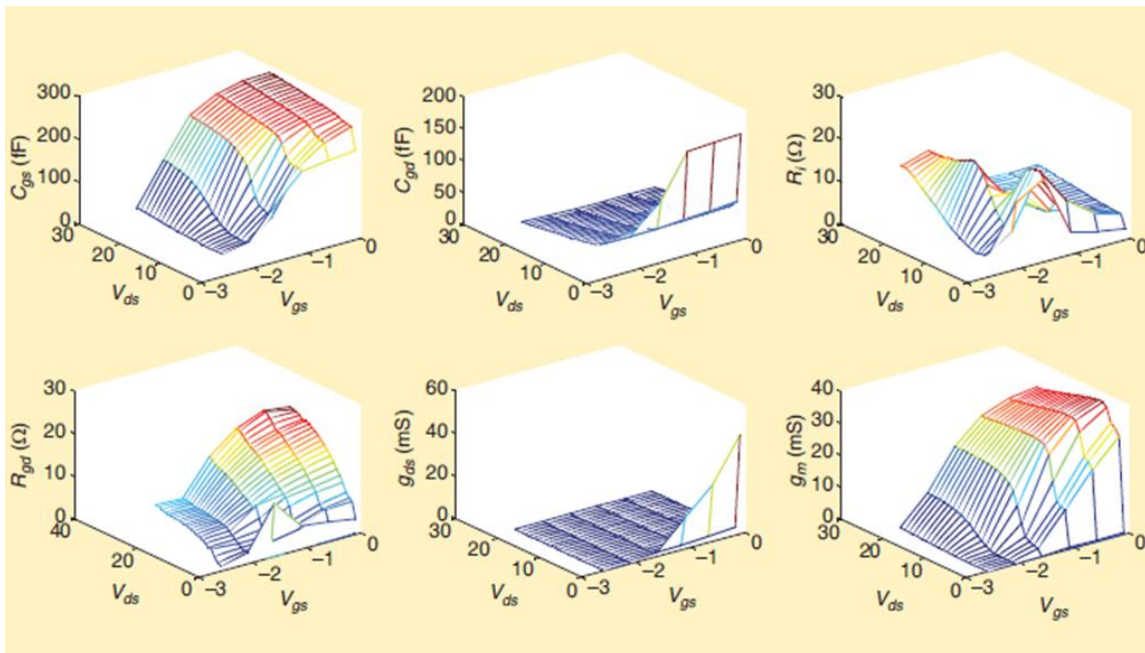


**Figura 1.33:** Confronto tra i parametri S misurati e simulati del HEMT basato su GaN ( $V_{ds} = 15$  V ;  $V_{gs} = -2$  V) [26]© 2009 IEEE.





**Figura 1.34:** Confronto tra i parametri  $S$  misurati e simulati del MESFET basato su SiC ( $V_{ds}=20\text{ V}$ ;  $V_{gs}=-9\text{ V}$ ) [26]© 2009 IEEE.



**Figura 1.35:** Il diagramma 3D di  $C_{gs}$ ,  $C_{gd}$ ,  $R_i$ ,  $R_{gd}$ ,  $g_{ds}$  e  $g_m$  rispetto alla tensione del gate e drain del HEMT basato su GaN [26]© 2009 IEEE.

## 1.5 Conclusioni

Un metodo analitico semplice e veloce di estrarre gli elementi parassiti di un modello del circuito equivalente a piccoli segnali dei transistori on-wafer e confezionati è stato presentato. Le seguenti conclusioni si possono dire:

- 1) La resistenza e l'induttanza del gate  $R_g$  e  $L_g$  possono essere ottenute da un singolo insieme dei parametri  $S$  misurati alla bassa corrente dc del gate polarizzato in diretta;
- 2) Una nuova espressione per determinare la capacità parassita  $C_{pd}$  è stata presentata;
- 3) Questo metodo è stato convalidato per diversi tipi delle tecnologie come ad esempio i HEMT e i MESFET basati su AlGaIn/GaN, SiC, e GaAs on-wafer e confezionati. Gli autori ritengono che questo metodo può essere utile anche per la tecnologia MOS come LDMOS.

## 2 Capitolo 2

# Tecnica di estrazione dei parametri parassiti basata su misure a dispositivo spento

---

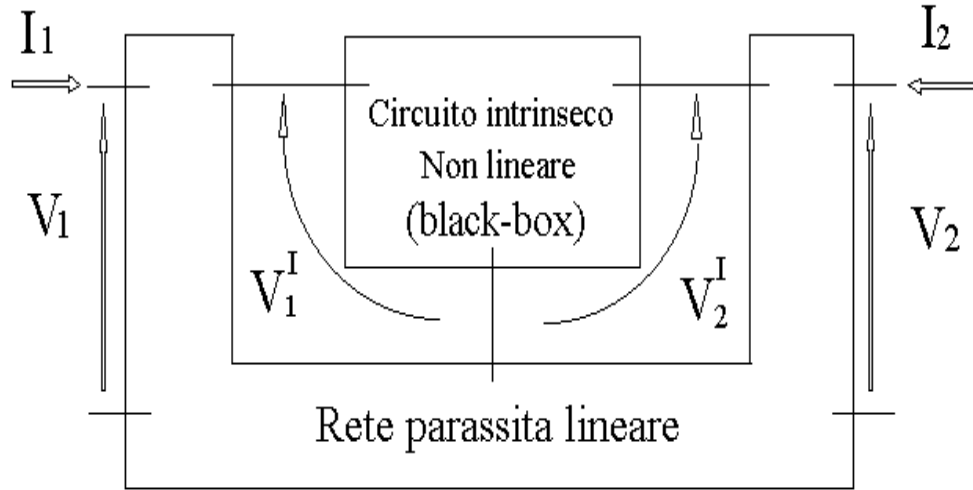
In questo capitolo viene presentata una tecnica di estrazione dei parametri parassiti, che tenta non solo di dare una soluzione a quelle problematiche riscontrate nei metodi precedentemente esposti ma anche di trovare una soluzione il più possibile generale al problema in esame [35]. In particolar modo il nostro procedimento si baserà su alcune ipotesi di base:

- Linearità della rete parassita;
- Indipendenza dei parametri dalla polarizzazione del dispositivo.

Si basa su un'importante caratteristica ovvero quella di riuscire ad estrarre i parassiti grazie a misure di parametri  $S$  del dispositivo non polarizzato, sempre spento e mai in regione diretta.

La prima delle ipotesi su indicate è irrinunciabile dato che parte dal concetto stesso di parametro estrinseco parassita, vale a dire parametro indipendente dal bias. L'utilizzo di un dispositivo spento viene introdotta per non incorrere nei problemi derivanti dall'utilizzo della giunzione di gate polarizzata in diretta, esaminata esaustivamente nel precedente capitolo.

In Figura 2.1 introduciamo uno schema circuitale del tutto generale valido per qualsiasi tipo di dispositivo: gli effetti parassiti sono modellati come un circuito lineare a quattro porte; il circuito intrinseco come una rete non lineare di tipo black-box.



*Figura 2.1: Circuito equivalente generalizzato di un dispositivo*

## 2.1 Circuiti ed equazioni

### 2.1.1 Circuito equivalente parassita

Sulla base di considerazioni di tipo tecnologico, e ponendo l'attenzione su un particolare dispositivo elettronico è possibile, rilevare una rete di elementi parassiti che approssimi in modo sufficientemente accurato la realtà. Ma procedendo in tal modo è possibile che si perda la possibilità di generalizzare un procedimento di estrazione per svariate famiglie di dispositivi elettronici. Il metodo indicato in seguito, vuole essere indipendente dalla conoscenza fisica e tecnologica del dispositivo in esame, e quindi propone una rete parassita il più possibile generale, di tipo resistivo induttivo, come quella di Figura 2.2. Utilizzando la seguente notazione matriciale

$$\bar{V} = \begin{bmatrix} V_1 \\ V_2 \end{bmatrix} \quad \bar{I} = \begin{bmatrix} I_1 \\ I_2 \end{bmatrix} \quad \bar{V}^I = \begin{bmatrix} V_1^I \\ V_2^I \end{bmatrix} \quad (1.1)$$

e ponendo

$$\bar{R} = \begin{bmatrix} R_{11} & R_{12} \\ R_{21} & R_{22} \end{bmatrix} = \begin{bmatrix} R_g + R_s & R_s \\ R_s & R_d + R_s \end{bmatrix} \quad (2.2)$$

$$\bar{L} = \begin{bmatrix} L_{11} & L_{12} \\ L_{21} & L_{22} \end{bmatrix} = \begin{bmatrix} L_g + L_s & L_s \\ L_s & L_d + L_s \end{bmatrix} \quad (2.3)$$

scriviamo l'equazione matriciale alle impedenze della rete parassita:

$$\bar{V} - \bar{V}^I = (\bar{R} + j\omega\bar{L}) * \bar{I} \quad (2.4)$$

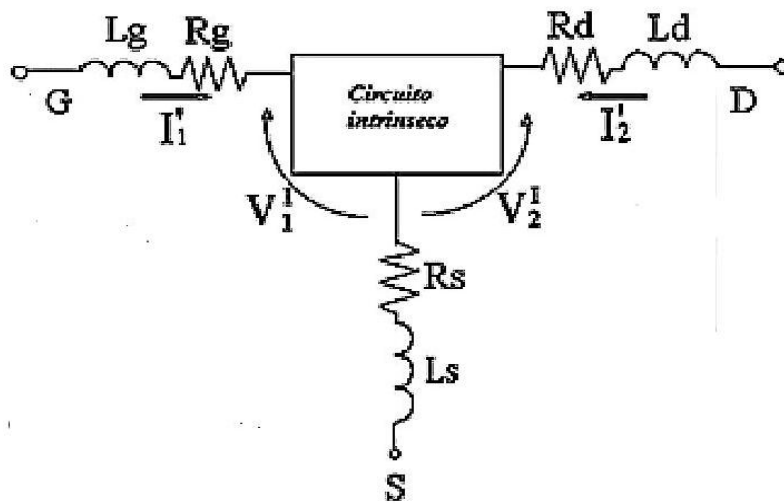


Figura 2.2: Circuito equivalente parassita generalizzato

### 2.1.2 Circuito intrinseco

Tenendo presente che come ipotesi base del metodo c'è la polarizzazione a dispositivo spento, la rete intrinseca si può pensare costituita da sole capacità. Utilizzando la notazione matriciale possiamo porre:

$$\bar{C} = \begin{bmatrix} C_{11} & C_{12} \\ C_{21} & C_{22} \end{bmatrix} \quad (2.5)$$

Al fine di ottenere una maggiore generalità, non si suppone nulla sulla forma di tale matrice (come ad esempio  $C_{12}=C_{21}$ ), e perciò si lasciano 4 gradi di libertà sull'identificazione della rete intrinseca.

Al fine di migliorare la precisione del modello, verrà introdotto un minimo effetto di conduzione di tipo resistivo che porterà a tener conto di eventuali correnti di perdita e permetterà così di inserire nel procedimento di estrazione punti di polarizzazione al confine tra regione inversa e diretta. Sempre in notazione matriciale scriviamo:

$$\bar{G} = \begin{bmatrix} G_{11} & G_{12} \\ G_{21} & G_{22} \end{bmatrix} \quad (2.6)$$

È bene osservare che potrebbe non essere più vero che  $\bar{L}$  è trascurabile, laddove  $\bar{G}$  fosse “troppo grande”, anche se la frequenza è bassa ( per un monoporta deve valere  $C \gg G_p^2 L$ , ossia  $R_p C \gg \frac{L}{R_p}$  ). E’ possibile adesso scrivere l’equazione matriciale alle ammettenze della rete intrinseca:

$$\bar{I} = (\bar{G} + j\omega\bar{C}) * \bar{V}^I \quad (2.7)$$

### 2.1.3 Le equazioni riassuntive del modello

Impostati i circuiti per la rete lineare parassita e per la rete non-lineare intrinseca, è possibile riassumere le equazioni del modello, e a partire da questi, risolvere il problema dell’identificazione dei parametri parassiti. Tutti i dati ottenuti dalle misurazioni sul dispositivo, rappresentano dei termini noti a nostra disposizione, rappresentabili dalla matrice  $\bar{Y}$  alle porte estrinseche, una matrice 2x2 contenente le misure sul dispositivo in un particolare punto di polarizzazione e per varie frequenze:

$$\bar{I} = \bar{Y} * \bar{V} \quad (2.8)$$

Ora è possibile impostare un sistema con le equazioni matriciali (2.4), (2.7) e (2.8) che descriva il circuito estrinseco, quello intrinseco, e i dati:

$$\begin{cases} \bar{V} - \bar{V}' = (\bar{R} + j\omega \bar{L}) * \bar{I} \\ \bar{I} = (\bar{G} + j\omega \bar{C}) * \bar{V}' \\ \bar{I} = \bar{Y} * \bar{V} \end{cases} \quad (2.9)$$

Risolvendo il sistema in forma matriciale, e semplificando la matrice  $\bar{V}$  che viene a moltiplicare tutti i termini risultanti, si ottiene la soluzione:

$$\bar{Y} = (\bar{G} + j\omega \bar{C}) * [1 - (\bar{R} + j\omega \bar{L}) * \bar{Y}] \quad (2.10)$$

L'equazione (2.10) riassume 4 uguaglianze complesse e contiene 5 matrici:

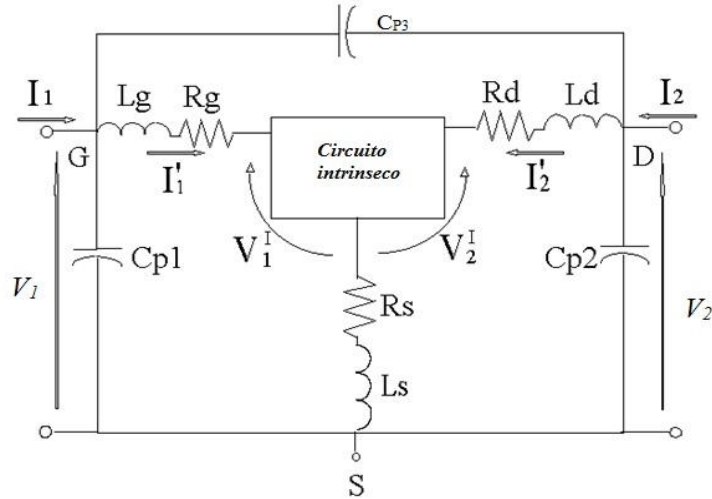
- $\bar{Y}$ , è la matrice delle misure ovvero dei termini noti, funzione del bias e della frequenza;
- $\bar{R}$  ed  $\bar{L}$ , sono le matrici incognite, costanti al variare del bias e della frequenza;
- $\bar{G}$  e  $\bar{C}$ , matrici del circuito intrinseco, dipendenti dal bias, e necessarie ai fini dell'individuazione delle incognite del problema.

È bene notare che nell'equazione (2.10), rappresentante il dispositivo nella sua globalità, si è rinunciato ad esplicitare l'espressione in  $\bar{Y}$ : così si è evitato una impostazione risolutiva di tipo non-lineare.

## 2.1.4 Circuito modello completo

Un discorso a parte meritano gli effetti parassiti di tipo capacitivo che nella schematizzazione non sono stati ancora messi in conto. Questi tengono in conto di fenomeni di accoppiamento capacitivo tra le metallizzazioni, soprattutto a struttura interdigitata, del dispositivo stesso. Assieme agli altri elementi della rete parassita consentono, inoltre, di tenere conto, seppur in modo estremamente semplificato, di fenomeni elettromagnetici tendenzialmente distribuiti, al crescere della frequenza, delle strutture di accesso al dispositivo. È possibile notare la similitudine della rete parassita con il modello di una sezione infinitesima di una linea di trasmissione. Gli elementi parassiti di tipo capacitivo possono, infine, anche tenere in conto di accoppiamenti superficiali dei pad di contattazione sul wafer. Per cui, sebbene sia chiaro che prescindere

dagli effetti di tali elementi estrinseci non è possibile, è ragionevole introdurli separatamente dal resto degli altri, dato che la loro identificazione può essere fatta in maniera più semplice e indipendente dal resto del problema.



**Figura 2.3:** Circuito equivalente completo

Schematizzando il circuito equivalente completo di tutti i parassiti, otteniamo uno schema come nella Figura 2.3, nel quale abbiamo inserito due nuove matrici:

$$\bar{I}' = \begin{bmatrix} I_1' \\ I_2' \end{bmatrix} \quad (2.11)$$

che rappresenta la corrente che dall'estrinseco va verso il circuito intrinseco;

$$\bar{C}_p = \begin{bmatrix} C_{p1} + C_{p3} & -C_{p3} \\ -C_{p3} & C_{p2} + C_{p3} \end{bmatrix} \quad (2.12)$$

che rappresenta le capacità parassite di pad. Potremo scrivere una nuova equazione matriciale che tenga conto di tali due nuove componenti:

$$\bar{I} = \bar{I}' + j\omega \bar{C}_p * \bar{V} \quad (2.13)$$

Il sistema complessivo si ottiene modificando il sistema (2.9) secondo il nuovo schema, e affiancandovi questa nuova equazione (2.13):



$$\begin{cases} \bar{V} - \bar{V}' = (\bar{R} + j\omega\bar{L}) * \bar{I}' \\ \bar{I}' = (\bar{G} + j\omega\bar{C}) * \bar{V}' \\ \bar{I} = \bar{Y} * \bar{V} \\ \bar{I} = \bar{I}' + j\omega\bar{C}_p * \bar{V} \end{cases} \quad (2.14)$$

che risolto in forma matriciale, e semplificando la matrice  $\bar{V}$  che viene a moltiplicare tutti i termini risultanti, ha tale espressione:

$$(\bar{Y} - j\omega\bar{C}_p) = (\bar{G} + j\omega\bar{C}) * [1 - (\bar{R} + j\omega\bar{L}) * (\bar{Y} - j\omega\bar{C}_p)] \quad (2.15)$$

Andando a confrontare questa equazione con la (2.10) è possibile procedere all'identificazione degli elementi  $\bar{R}$  e  $\bar{L}$  del circuito parassita per un certo valore di  $\bar{C}_p$ , continuando ad usare l'equazione (2.10), in cui al posto di  $\bar{Y}$  si consideri

$$\bar{Y}' = \begin{bmatrix} Y_{11} & Y_{12} \\ Y_{21} & Y_{22} \end{bmatrix} - j\omega \begin{bmatrix} C_{p1} + C_{p3} & -C_{p3} \\ -C_{p3} & C_{p2} + C_{p3} \end{bmatrix}$$

Proseguendo faremo riferimento al sistema (2.9) ed alla sua soluzione (2.10), ripetendo il procedimento per differenti valori di  $\bar{C}_p$  fino ad ottenere in tal modo una soluzione ottimale.

## 2.2 La nuova tecnica di estrazione

La tecnica che verrà di seguito esposta parte dall'equazione (2.10), che rappresenta 4 equazioni complesse, e dalle considerazioni fatte su di essa, che qui riproponiamo:

$$\bar{Y} = (\bar{G} + j\omega\bar{C}) * [1 - (\bar{R} + j\omega\bar{L}) * \bar{Y}] \quad (2.16)$$

- $\bar{Y}$ , la matrice dei termini noti, funzione del bias e della frequenza;
- $\bar{R}$  ed  $\bar{L}$ , matrici incognite, costanti al variare del bias e della frequenza;

- $\bar{G}$  e  $\bar{C}$ , matrici del circuito intrinseco, dipendenti dal bias, e necessarie ai fini dell'individuazione delle incognite del problema.

La metodologia applicata sarà composta da 3 passi risolutivi:

- Da considerazioni sulla matrice  $\bar{Y}$  a dispositivo spento, si individuano le matrici intrinseche  $\bar{G}$  e  $\bar{C}$ ;
- Note le matrici intrinseche, la (2.10) diviene lineare e si ricavano le matrici estrinseche  $\bar{R}$  ed  $\bar{L}$  risolvendo un sistema con tecniche note (minima quadrati);
- Si ripetono i passi 1 e 2 per differenti valori di  $\bar{C}_p$  fino ad ottenere una soluzione “ad errore minimo di approssimazione”.

## 2.2.1 Identificazione degli elementi del dispositivo intrinseco

La matrice  $\bar{Y}$  rappresenta i dati forniti dalle misure sul dispositivo. Ogni elemento è noto per ogni valore di frequenza e di polarizzazione che si è misurato. L'equazione matriciale (2.8),  $\bar{I} = \bar{Y} * \bar{V}$ , esprime le relazioni tra tensioni e correnti alle porte esterne del dispositivo:

$$\begin{bmatrix} I_1 \\ I_2 \end{bmatrix} = \begin{bmatrix} Y_{11} & Y_{12} \\ Y_{21} & Y_{22} \end{bmatrix} * \begin{bmatrix} V_1 \\ V_2 \end{bmatrix} \quad (2.17)$$

Osservando un singolo punto di polarizzazione a dispositivo spento, è possibile sviluppare in serie di Taylor ogni singolo elemento della matrice  $\bar{Y}(j\omega)$  nell'intorno di  $\omega=0$ :

$$\begin{aligned} Y_{ij}(\omega) &= \alpha_{0ij} + \alpha_{1ij}(j\omega) + \alpha_{2ij}(j\omega)^2 + \alpha_{3ij}(j\omega)^3 + \alpha_{4ij}(j\omega)^4 + \dots \\ &= \alpha_{0ij} + j\omega\alpha_{1ij} - \omega^2\alpha_{2ij} - j\omega^3\alpha_{3ij} + \omega^2\alpha_{4ij} + \dots \end{aligned} \quad (2.18)$$

In regione di pinch-off e a frequenze sufficientemente basse non si ha passaggio di corrente, è possibile ritenere trascurabili gli effetti delle resistenze e delle induttanze estrinseche parassite. In tale caso la matrice  $\bar{Y}$  misurata ai contatti esterni coincide con la matrice  $\bar{Y}^{\text{int}}$ , e ricordando l'equazione (2.7) dell'intrinseco, possiamo porre:

$$\lim_{\omega \rightarrow 0} \Re[Y_{ij}(\omega)] = \alpha_{0ij} = G_{ij} \quad (2.19)$$

$$\lim_{\omega \rightarrow 0} \frac{\Im[Y_{ij}(\omega)]}{\omega} = \alpha_{1ij} = C_{ij} \quad (2.20)$$

L'implementazione via software della procedura risolutiva di tali equazioni avviene approssimando i dati misurati con un polinomio in  $(j\omega)$ , ed estrapolando il valore per  $\omega \rightarrow 0$ . Per una migliore robustezza del metodo come curva interpolatrice si arriva ad una di terzo grado. Non è opportuno spingersi molto in alto con il range di frequenze, giacché si vuole approssimare la curva nell'intorno dell'origine. Occorre tuttavia disporre di un insieme di misure su un range di frequenze sufficientemente ampio per ben condizionare l'identificazione dei coefficienti polinomiali. Dal compromesso di queste due esigenze contrapposte è possibile determinare l'estensione frequenziale ottimale su cui basare il calcolo di  $\bar{G}$  e  $\bar{C}$ .

### 2.2.1.1 Identificazione degli elementi conduttivi

Considerando la parte reale dello sviluppo (2.18), fino al termine di secondo grado:

$$\tilde{Y}_{ij}^r(\omega) = a_{0ij} - \omega^2 a_{2ij} \quad (2.21)$$

Questa rappresenta le parti reali delle misure sviluppate con serie di Taylor intorno all'origine, relativa alla parte conduttiva del circuito intrinseco. Supponendo di conoscere  $M$  misure in frequenza (il punto di bias è fissato in pinch-off),  $Y_{ij}^r(\omega_1)$ ,  $Y_{ij}^r(\omega_2)$ , ...,  $Y_{ij}^r(\omega_M)$ , l'errore quadratico risultante tra funzione polinomiale e misure, per  $N < M$  misure, può essere scritto:

$$e_N^r(a_0, a_2) = \sum_{ij} \frac{\sum_{k=1}^N [(a_{0ij} - \omega_k^2 a_{2ij}) - Y_{ij}^r(\omega_k)]^2}{\sum_{k=1}^N [Y_{ij}^r(\omega_k)]^2} \quad (2.22)$$

che minimizzato nei suoi argomenti e risolto analiticamente porta alle soluzioni seguenti:

$$a_{2ij} = \frac{\sum_{k=1}^N Y_{ij}^r(\omega_k) * \sum_{k=1}^N \omega_k^2 - N \sum_{k=1}^N [\omega_k^2 Y_{ij}^r(\omega_k)]}{N \sum_{k=1}^N \omega_k^4 - \left(\sum_{k=1}^N \omega_k^2\right)^2} \quad (2.23)$$

$$a_{0ij} = \frac{\sum_{k=1}^N Y_{ij}^r(\omega_k) + a_{2ij} \sum_{k=1}^N \omega_k^2}{N} \quad (2.24)$$

I valori trovati per  $a_{0ij}$  corrispondono ai valori cercati per le conduttanze intrinseche:

$$\bar{G} = \begin{bmatrix} G_{11} & G_{12} \\ G_{21} & G_{22} \end{bmatrix} = \begin{bmatrix} a_{011} & a_{012} \\ a_{021} & a_{022} \end{bmatrix} \quad (2.25)$$

### 2.2.1.2 Identificazione degli elementi capacitivi del dispositivo intrinseco

Consideriamo la parte immaginaria dello sviluppo (2.18), fino al termine di terzo grado:

$$\tilde{Y}_{ij}^i(\omega) = \omega a_{1ij} - \omega^3 a_{3ij} \quad (2.26)$$

Questa rappresenta le parti immaginarie delle misure sviluppate con serie di Taylor intorno all'origine, riguardanti la parte capacitiva del circuito intrinseco. Supponendo di conoscere  $M$  misure in frequenza (il punto di bias è fissato in pinch-off),  $Y_{ij}^i(\omega_1)$ ,  $Y_{ij}^i(\omega_2)$ , ...,  $Y_{ij}^i(\omega_M)$ , l'errore quadratico risultante tra l'approssimazione e misure, per  $N < M$  misure, può essere scritto:

$$e_N^i(a_1, a_3) = \sum_{ij} \frac{\sum_{k=1}^N [(\omega_k a_{1ij} - \omega_k^3 a_{3ij}) - Y_{ij}^i(\omega_k)]^2}{\sum_{k=1}^N [Y_{ij}^i(\omega_k)]^2} \quad (2.27)$$

che minimizzato nei suoi argomenti e risolto analiticamente porta alle soluzioni seguenti:

$$a_{3ij} = \frac{\sum_{k=1}^N (\omega_k^3 Y_{ij}^i(\omega_k))^* \sum_{k=1}^N \omega_k^2 - \sum_{k=1}^N (\omega_k Y_{ij}^i(\omega_k))^* \sum_{k=1}^N \omega_k^4}{\sum_{k=1}^N \omega_k^4 - (\sum_{k=1}^N \omega_k^6)^* (\sum_{k=1}^N \omega_k^2)} \quad (2.28)$$

$$a_{1ij} = \frac{\sum_{k=1}^N \omega_k Y_{ij}^i(\omega_k) + a_{3ij} \sum_{k=1}^N \omega_k^4}{\sum_{k=1}^N \omega_k^2} \quad (2.29)$$

I valori trovati per  $a_{1ij}$  corrispondono ai valori cercati per le capacità intrinseche:

$$\bar{C} = \begin{bmatrix} C_{11} & C_{12} \\ C_{21} & C_{22} \end{bmatrix} = \begin{bmatrix} a_{111} & a_{112} \\ a_{121} & a_{122} \end{bmatrix} \quad (2.30)$$

È possibile osservare che tali due procedimenti, per l'estrazione delle conduttanze e delle capacità, sono da ripetersi per ogni punto di bias che si vuole includere nel procedimento di identificazione. Come si vedrà più avanti, l'inclusione di più punti di polarizzazione porta a una maggiore sovradeterminazione del sistema risolutivo per  $\bar{R}$  ed  $\bar{L}$ , ed in ultima analisi ad una maggiore accuratezza di estrazione. Quindi, i valori così trovati sono dipendenti dalla polarizzazione, come di fatto devono essere i parametri intrinseci.

## 2.2.2 Identificazione dei parametri parassiti

Precedentemente sono state ottenute le matrici intrinseche per le conduttanze e le capacità:  $\bar{G}$  e  $\bar{C}$ . Ora, l'equazione di partenza del nostro problema, la (2.10), diviene lineare nelle incognite  $\bar{R}$  ed  $\bar{L}$ ; nello specifico si ha un problema sovradeterminato, avendo a disposizione 8 equazioni reali (2 equazioni reali per ogni elemento della matrice) in 6 incognite lineari ( $R_g, R_d, R_s, L_g, L_d, L_s$ ). Si utilizza una tecnica risolutiva ai minimi quadrati: si cerca la soluzione che minimizza l'errore globale definito come scarto quadratico tra le ammettenze misurate e predette.

Impostiamo un sistema complessivo che riscriva l'equazione (2.10) evidenziando i dati disponibili e le incognite:

$$\begin{matrix}
\overbrace{\begin{bmatrix} a_{11} & a_{12} & a_{13} & a_{14} & a_{15} & a_{16} \\ a_{21} & a_{22} & a_{23} & a_{24} & a_{25} & a_{26} \\ a_{31} & a_{32} & a_{33} & a_{34} & a_{35} & a_{36} \\ a_{41} & a_{42} & a_{43} & a_{44} & a_{45} & a_{46} \\ a_{51} & a_{52} & a_{53} & a_{54} & a_{55} & a_{56} \\ a_{61} & a_{62} & a_{63} & a_{64} & a_{65} & a_{66} \\ a_{71} & a_{72} & a_{73} & a_{74} & a_{75} & a_{76} \\ a_{81} & a_{82} & a_{83} & a_{84} & a_{85} & a_{86} \end{bmatrix}}^{A_{(bias, freq)}} & * & \begin{bmatrix} R_g \\ R_d \\ R_s \\ L_g \\ L_d \\ L_s \end{bmatrix} & = & \overbrace{\begin{bmatrix} b_1 \\ b_2 \\ b_3 \\ b_4 \\ b_5 \\ b_6 \\ b_7 \\ b_8 \end{bmatrix}}^{B_{(bias, freq)}}
\end{matrix} \quad (2.31)$$

La matrice  $A_{(bias, freq)}[8 \times 6]$  e il vettore  $B_{(bias, freq)}[8 \times 1]$  che compaiono nella (3.31) rappresentano la matrice del sistema e il vettore dei termini noti per un certo bias e per una certa frequenza. Per ottenere una ottimizzazione su  $N_b$  punti di polarizzazione è necessario ripetere le matrici  $A$  e  $B$  per ognuno di questi punti:

$$\begin{matrix}
\overbrace{\begin{bmatrix} A_{(bias1, freq)} \\ A_{(bias2, freq)} \\ \vdots \\ A_{(biasN_b, freq)} \end{bmatrix}}^{A_{(freq)}} & * & \begin{bmatrix} R_g \\ R_d \\ R_s \\ L_g \\ L_d \\ L_s \end{bmatrix} & = & \overbrace{\begin{bmatrix} B_{(bias1, freq)} \\ B_{(bias2, freq)} \\ \vdots \\ B_{(biasN_b, freq)} \end{bmatrix}}^{B_{(freq)}}
\end{matrix} \quad (2.32)$$

In questo caso abbiamo due nuove matrici: la matrice  $A_{(freq)}[(N_b \times 8) \times 6]$ , formata da  $N_b$  matrici precedenti  $A_{(bias, freq)}$ , e la matrice colonna  $B_{(freq)}[(N_b \times 8) \times 1]$  formata da  $N_b$  matrici precedenti  $B_{(bias, freq)}$ .

Infine, per ottenere una ottimizzazione su  $N_b$  bias e su  $N$  frequenze, è utile ripetere ancora le matrici appena viste:

$$\begin{array}{c}
 \overbrace{\left[ \begin{array}{c} A_{(freq1)} \\ A_{(freq2)} \\ \vdots \\ A_{(freqN)} \end{array} \right]}^A * \overbrace{\left[ \begin{array}{c} R_g \\ R_d \\ R_s \\ L_g \\ L_d \\ L_s \end{array} \right]}^x = \overbrace{\left[ \begin{array}{c} B_{(freq1)} \\ B_{(freq2)} \\ \vdots \\ B_{(freqN)} \end{array} \right]}^B
 \end{array} \quad (2.33)$$

Otteniamo le matrici finali: la matrice  $A[(N \times N_b \times 8) \times 6]$ , formata da  $N$  matrici precedenti  $A_{(freq)}$ , e la matrice colonna  $B[(N \times N_b \times 8) \times 1]$ , formata da  $N$  matrici precedenti  $B_{(freq)}$ . Sintetizzando il tutto è possibile scrivere:

$$A * x = B \quad (2.34)$$

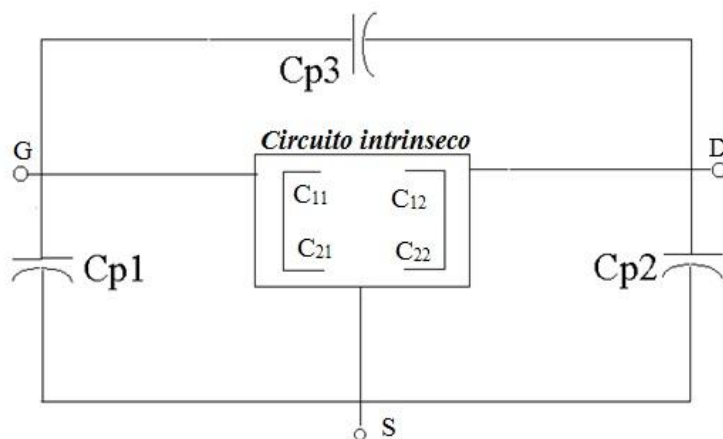
In conclusione si è ottenuto un sistema sovradeterminato, dove le dimensioni sono dipese dal numero di punti di bias considerati e dal range di frequenza che si è scelto di esaminare. In relazione ai primi è opportuno scegliere diversi punti di polarizzazione: questo permette di aumentare l'insensibilità della procedura di identificazione rispetto a ipotetici imprecisioni nelle misure. È opportuno che sia il più ampio possibile anche il range di frequenze utilizzato per l'estrazione, in modo compatibile con la strumentazione di misura di cui si dispone. Di fatti, ammesso che il circuito equivalente del dispositivo intrinseco in condizione di dispositivo spento si conservi valido anche al crescere della frequenza (ipotesi verificata entro limiti accettabili fino a frequenze di qualche decina di Ghz), l'insorgere di fenomeni risonanti, per combinazione con gli elementi parassiti di tipo serie, consente di condizionare meglio il sistema lineare sovradeterminato (2.10). L'esperienza suggerisce comunque che l'accuratezza della identificazione di  $\bar{R}$  ed  $\bar{L}$  non aumenta significativamente considerando più di "qualche" punto di bias (ad esempio 3 o 4), opportunamente scelti nella regione di pinch-off. L'errore della soluzione ai minimi quadrati è esprimibile come:

$$\mathcal{E} = \frac{\sum_{bias} \sum_{freq} \sum_{ij} |Y_{ij}^{misur} - Y_{ij}^{calcol}|^2}{\sum_{bias} \sum_{freq} \sum_{ij} |Y_{ij}^{misur}|^2} \quad (2.35)$$

dove  $Y^{calcol}$  è la matrice ammettenze che si ottiene dalla (2.10) una volta sostituiti i valori trovati per le matrici  $\bar{G}$ ,  $\bar{C}$ ,  $\bar{R}$  e  $\bar{L}$ .

### 2.2.2.1 Identificazione degli elementi parassiti capacitivi

La determinazione degli elementi parassiti capacitivi  $C_{p1}$ ,  $C_{p2}$ ,  $C_{p3}$ , indicati in Figura 2.4, può avvenire in modo “disgiunto” dal resto dei parametri. Nello specifico è possibile applicare una procedura iterativa di estrazione degli elementi serie  $\bar{R}$  e  $\bar{L}$ , al variare delle scelte di tentativo per gli elementi capacitivi parassiti su un opportuno dominio di ricerca. La terna delle  $C_{pi}$  che equivale all’errore “minimo fra i minimi” è quella prescelta. In questo modo si semplifica il problema risolutivo: inserire le capacità  $C_{p1}$ ,  $C_{p2}$ ,  $C_{p3}$  nella rete parassita non comporta complessità computazionale al problema, se non le necessarie iterazioni della procedura delineata nel precedente paragrafo. A dispositivo interdetto si è visto come sia possibile trascurare gli effetti dei parametri parassiti resistivi e induttivi: in questo modo si ottiene un circuito equivalente del dispositivo come in Figura 2.4.



**Figura 2.4:** Circuito equivalente globale in pinch-off



Nel procedimento di identificazione della parte capacitiva dell'intrinseco, dato che sono state utilizzate le misure ai morsetti esterni, la matrice realmente determinata è:

$$\overline{C}^e = \begin{bmatrix} C_{p1} + C_{p3} + C_{11} & C_{12} - C_{p3} \\ C_{21} - C_{p3} & C_{22} + C_{p2} + C_{p3} \end{bmatrix} \quad (2.36)$$

Al fine di stabilire dei limiti entro cui eseguire le scansioni delle  $C_{pi}$  ( $i=1,2,3$ ), è possibile sviluppare le considerazioni seguenti.

Qualora la rete capacitiva rappresentativa del dispositivo intrinseco polarizzato in pinch-off dovesse assumere una topologia circuitale a  $\pi$ , si potrebbe avere:

$$\begin{cases} C_{11} = C_{gs} + C_{gd} \geq 0 \\ C_{12} = -C_{gd} \leq 0 \\ C_{21} = -C_{gd} \leq 0 \\ C_{22} = C_{ds} + C_{gd} \geq 0 \end{cases} \quad (2.37)$$

Pertanto ritenendo validi i segni degli elementi  $C_{ij}$  anche nel caso più generale di  $C_{12} \neq C_{21}$ , è possibile dimostrare le seguenti disuguaglianze, dove l'apice "e" indica i termini capacitivi valutati con la procedura indicata nei precedenti paragrafi, cioè a partire dalle misure  $Y$  alle porte estrinseche:

$$\begin{cases} C_{p1} + C_{p3} \leq C_{11}^e \\ C_{p3} \leq \min \left\{ |C_{12}^e|, |C_{21}^e| \right\} \\ C_{p2} + C_{p3} \leq C_{22}^e \end{cases} \quad (2.38)$$

e dunque la ricerca può essere condotta sul dominio tridimensionale:

$$\begin{cases} 0 \leq C_{p3} \leq \min \left\{ |C_{12}^e|, |C_{21}^e| \right\} \\ 0 \leq C_{p1} \leq C_{11}^e - C_{p3} \\ 0 \leq C_{p2} \leq C_{22}^e - C_{p3} \end{cases} \quad (2.39)$$

## DIMOSTRAZIONE DELLE DISUGUAGLIANZE

Dalla (2.36) si ha:

$$C_{11}^e = C_{11} + C_{p1} + C_{p3} \quad (a)$$

$$C_{12}^e = C_{12} - C_{p3} \quad (b)$$

$$C_{21}^e = C_{21} - C_{p3} \quad (c)$$

$$C_{22}^e = C_{22} + C_{p2} + C_{p3} \quad (d)$$

Supponiamo che per le  $C_{ij}$  valgano le assunzioni sui segni che competerebbero al caso di una rete a  $\Pi$ , ma per maggiore generalità supponiamo che possa essere  $C_{12} \neq C_{21}$ . Si ottiene che:

$$(a) \quad \Rightarrow \quad C_{p1} + C_{p3} = C_{11}^e - C_{11}:$$

se  $C_{11} > 0$  allora anche  $C_{11}^e > 0$ , altrimenti avremmo  $C_{p1} + C_{p3} < 0$ , quindi  $C_{p1} + C_{p3} \leq C_{11}^e$ , che coincide con la prima disuguaglianza della (2.38);

$$(b) \quad \Rightarrow \quad C_{p3} = C_{12} - C_{12}^e:$$

se  $C_{12} < 0$  allora anche  $C_{12}^e < 0$ , infatti affinché  $C_{p3} \geq 0$ , deve essere  $C_{12} \geq C_{12}^e$ , quindi si ottiene  $C_{p3} = -|C_{12}| + |C_{12}^e| \leq |C_{12}^e|$ ;

$$(c) \quad \Rightarrow \quad C_{p3} = C_{21} - C_{21}^e:$$

con ragionamento analogo al caso precedente si ottiene  $C_{p3} \leq |C_{21}^e|$ , che combinato assieme al risultato caso precedente verifica la seconda disuguaglianza della (2.38);

$$(d) \quad \Rightarrow \quad C_{p2} + C_{p3} = C_{22}^e - C_{22}:$$

con ragionamento analogo al caso (a) si ottiene  $C_{p2} + C_{p3} \leq C_{22}^e$  che coincide con la terza disuguaglianza della (2.38).

## 2.3 Conclusioni

Se comparato con le tecniche descritte nel capitolo 1, il metodo proposto in questo capitolo, ha numerosi vantaggi:

- Non polarizza mai in diretta la giunzione di gate del dispositivo;
- Estrae in modo completo il circuito intrinseco per il dispositivo in pinch-off e i parametri parassiti, compresi gli elementi di tipo capacitivo;
- Non attua assunzioni restrittive sulla forma delle matrici;
- Si basa su un problema risolutivo lineare sovradeterminato e su una serie di semplici ottimizzazioni lineari, quindi è risolvibile per via analitica in forma chiusa;
- E' applicabile su diverse tipologie di dispositivi elettronici;
- E' facilmente implementabile via software.

Nel seguito della trattazione si userà l'implementazione del nuovo metodo per estrarre i parametri parassiti di dispositivi elettronici basati su GaN e verranno confrontati i parassiti ottenuti dal circuito Test e quelli dal metodo proposto al fine di dimostrare la validità della metodologia di estrazione proposta.

Al fine di non cadere in confusione nell'utilizzo della varia terminologia, nella parte a seguire della tesi verrà fatto riferimento al metodo proposto definendolo "metodo a dispositivo spento".

## 3 Capitolo 3:

# Implementazione del nostro metodo in ambiente MATLAB

---

Abbiamo conosciuto nei capitoli precedenti diverse tecniche di estrazione dei parametri parassiti per transistori e le abbiamo classificate in due: tecniche classiche (Fukui, Fet-freddo, Fet-caldo) e tecniche moderne (Costa, Tayrani, Kim Nam Seo). Abbiamo evidenziato le criticità di questi metodi per dispositivi GaN ed infine abbiamo presentato un metodo a FET-freddo migliorato, abbiamo illustrato una nuova tecnica che chiamiamo il "metodo a dispositivo spento", introdotta per risolvere i problemi visti nelle altre metodologie e dare una soluzione più possibile generale al problema dell'estrazione dei parametri estrinseci.

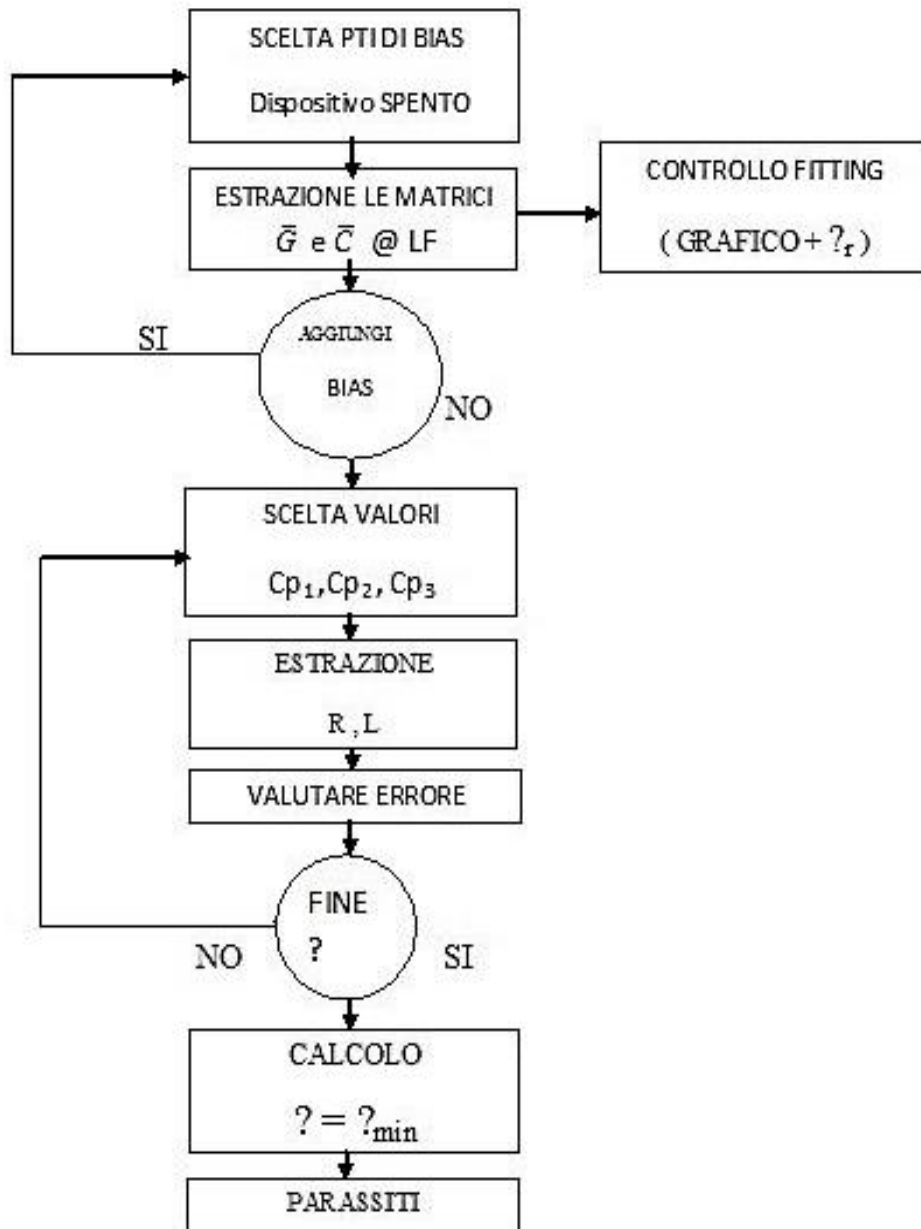
In questo capitolo implementeremo il nostro metodo in ambiente MATLAB tramite l'algoritmo che più avanti presenterò.

### 3.1 Algoritmo implementato

Come primo passo dovremo scegliere i punti di bias a partire dal file delle misure chiamato CITI-FILE. Occorrono delle misure dei parametri di Scattering (parametri S), ottenute nel LABORATORIO EDM-LAB grazie ad un VNA (analizzatore vettoriale di rete). Il file delle misure viene letto in MATLAB con una funzione (codice.m) e mette a disposizione le misure S dipendenti dal BIAS: ( $V_D, V_G$ ). Abbiamo quindi una griglia di  $(\overbrace{NV1 \times NV2}^{bias} \times Nf^{freq})$  elementi.

Una volta lette le misure inizio il processo di estrazione dei parametri.

Vedere di seguito il diagramma di flusso della procedura implementata in MATLAB che consente di individuare i parametri parassiti.



*Figura 3.1: L' algoritmo della prima fase del nostro metodo*

Dopo aver scelto uno o più punti di bias a dispositivo spento, è possibile trovare le matrici  $\bar{G}$ ,  $\bar{C}$  che dipenderanno dal BIAS. Se i grafici di Fitting e l'errore dalla (2.22) alla (2.27) è contenuto ( $<10^{-4}$ ) per ogni punto di bias allora è possibile passare alla successiva fase della metodologia di estrazione dei parassiti.

Come si nota dall'equazione (2.15), per procedere occorre fissare i valori della terna delle capacità esterne ( $C_{p1}, C_{p2}, C_{p3}$ ). I range in cui scegliere queste capacità sono fissate dalle

(2.39). L'algoritmo prevede di dividere i range suddetti in N intervalli e provare tutte le  $N^3$  combinazioni. Si fissano pertanto tre valori di Cp1 , Cp2 e Cp3.

La  $Y^{misurata}$  viene quindi deembeddata dalle capacità esterne arrivando ad una matrice delle ammettenze che chiamiamo  $Y^{intermedia}$ .

A questo punto, conoscendo già le matrici intrinseche  $\overline{G}$  e  $\overline{C}$  dei punti di bias selezionati, potremo costruire la matrice del sistema e il vettore dei termini noti che compaiano nella (2.31). Considerando quindi tutti i punti di bias e tutte le frequenze avremo a disposizione un sistema lineare sovradeterminato della forma:

$$\underline{\vec{b}} = \underline{A}\vec{x}$$

Dove:

- la matrice nota  $A$  sarà di dimensioni:  $(8 \times N_{freq} \times N_b) \times 6$ ;
- il vettore dei termini noti  $(8 \times N_{freq} \times N_b) \times 1$ ;
- il vettore delle incognite delle dimensioni di  $6 \times 1$ ;

Risolvendo il sistema con il metodo dei minimi quadrati è possibile individuare i valori del vettore delle incognite  $x$  che rappresentano i 6 elementi parassiti mancanti ovvero.

Con tutti i parassiti noti ed a disposizione è possibile calcolare ora l'errore grazie alla formula:

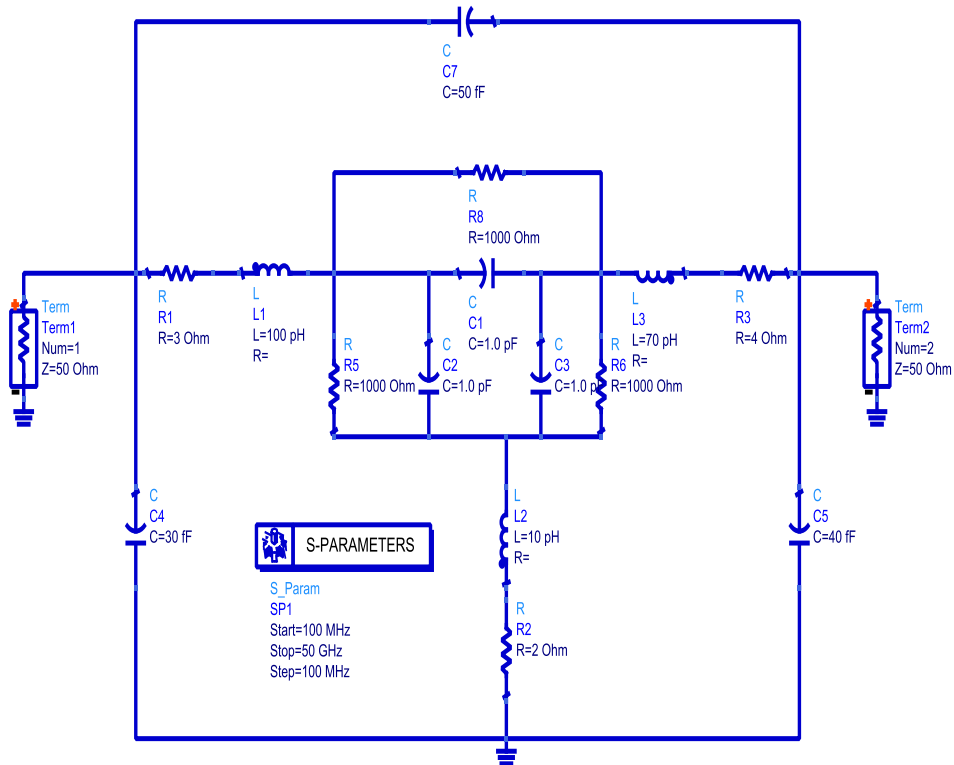
$$\mathcal{E} = \frac{\sum_{bias} \sum_{freq} \sum_{ij} |Y_{ij}^{misur} - Y_{ij}^{calcol}|^2}{\sum_{bias} \sum_{freq} \sum_{ij} |Y_{ij}^{misur}|^2} \quad (2.35)$$

A questo punto questo calcolo andrà ripetuto per diversi valori di Cp1 , Cp2 , Cp3. Tali valori dovranno rispettare le condizioni imposte dalla (2.36) alla (2.39). La terna che individuerà l'errore inferiore sarà presa come ottimale. Da questa si ricavano  $R_g, R_d, R_s, L_g, L_d, L_s$  ottimi.

## 3.2 Validazione della procedura matematica

Ora metteremo a prova il nostro metodo con un circuito Test. Si simula un'analisi a piccoli segnali a parametri S e Y sul circuito in esame. In particolare il circuito Test con i parametri noti è visualizzato in Figura 3.1. I passi che sono stati attuati sono:

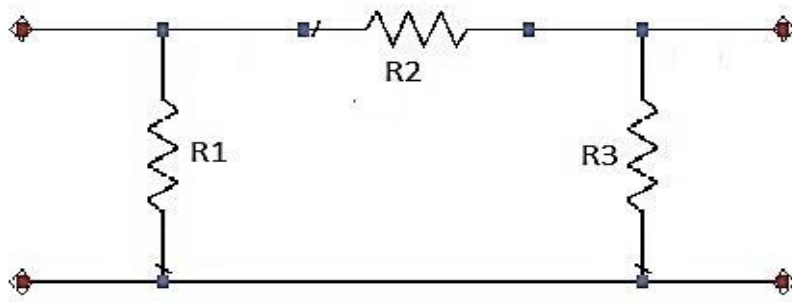
Prendiamo di seguito in esame la parte intrinseca e quella estrinseca vedendo passo per passo la procedura ed il codice che ho implementato in MATLAB. Lo scopo di questo Test sarà soltanto di valutare l'accuratezza matematica del nostro metodo.



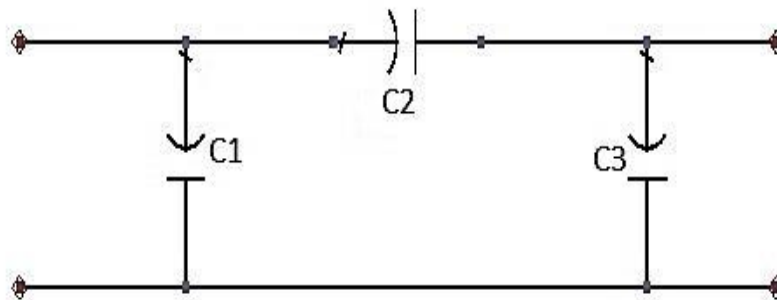
**Figura 3.1:** Il circuito Test

### 3.2.1 Parte intrinseca

Le simulazioni sul circuito Test sono fatte da 100Mhz a 50Ghz con un step a 100Mhz. In approssimazione accurata del circuito interinseco il range della frequenza conta tanto e per cui lo dovremo scegliere in un modo da avere gli errori reali e immaginari ( $\epsilon_r$ ,  $\epsilon_i$ ) meno di  $10^{-4}$ . La parte interinseca del circuito Test Figura 3.1 costituisce da due matrici  $\overline{G}$  e  $\overline{C}$  ognuno di dimensione  $(2 \times 2)$  nella forma II come Figura 3.2 e Figura 3.3. Con le resistenze identiche da  $1000\Omega$  e le capacità identiche da  $1.0\text{pF}$ .



**Figura 3.2:** Il circuito intrinseco resistivo



**Figura 3.3:** Il circuito intrinseco capacitivo

Nel caso di estrazione dei parametri intrinseci i passi che sono stati attuati sono:

Scelta BIAS (nel circuito Test solo un punti di BIAS ).

Valutazione  $Y^{misurata}$  ( le parti  $Re\{Y\}$  e  $Im\{Y\}$  ).

1. Regressione lineare dei parametri della matrice  $Y \rightarrow$  individuazione  $\alpha_0$  e  $\alpha_1$
2. In questo passo dobbiamo estrapolare i parametri diretti in bassa frequenza di  $(Y_{ij} \omega \rightarrow 0)$ .
3. Con le formule (2.19) e (2.20) e usando le formule dalla (2.23) alla (2.29) potremo approssimare la parte reale ed immaginaria dei parametri  $Y$  tramite un polinomio. Infatti la Figure 3.4 e la Figura 3.5 fanno vedere che la parte reale della  $\tilde{Y}_{ij}^r(\omega)$  ha una curva quasi costante ( polinomio d'ordine 2 ) e invece la Figure 3.6 e la Figura 3.7 fanno vedere che la parte immaginaria della  $\tilde{Y}_{ij}^i(\omega)$  ha una pendenza lineare ( polinomio d'ordine 3 ):

$$\tilde{Y}_{ij}^r(\omega) = a_{0ij} - \omega^2 a_{2ij} \cong Q_{0ij}$$

$$\tilde{Y}_{ij}^i(\omega) \cong \omega a_{1ij} - \omega^3 a_{3ij} \cong Q_{1ij} \omega$$



Nelle figure portate, la curva Blue è quella della misura e la curva Rossa è quella dell'approssimazione polinomiale. Inoltre dalla Figure 3.4 alla 3.7 si vedono che nel range basso della frequenza coincidono le curve, validando le nostre equazioni.

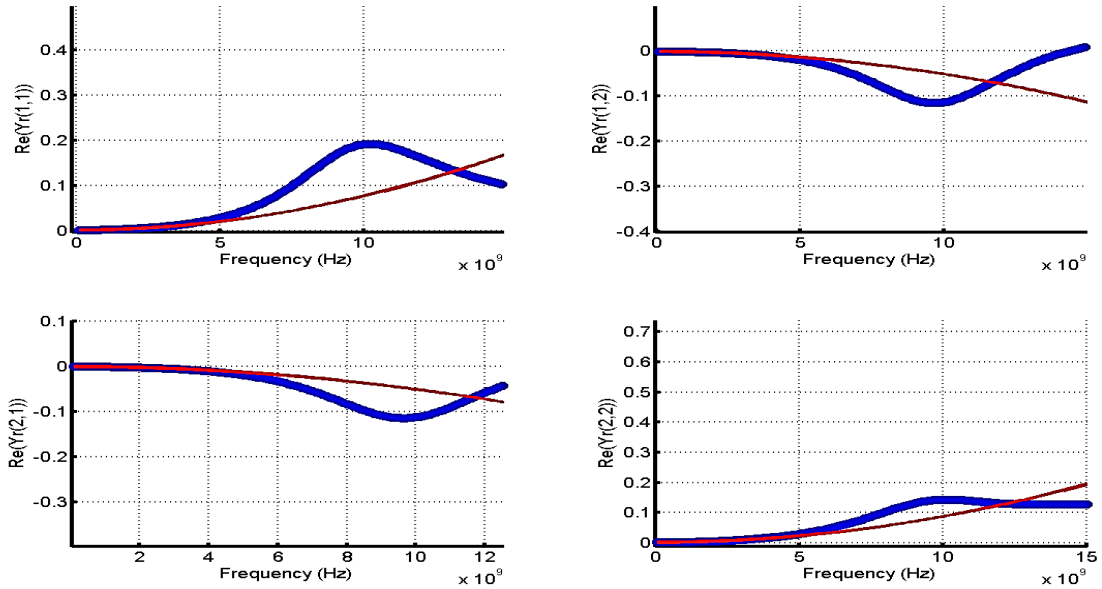


Figura 3.4: Il confronto tra le parti reali di  $Y^{mis}$  (blue) e  $Y^{calcolata}$  tramite gli  $\alpha$  (rosso)

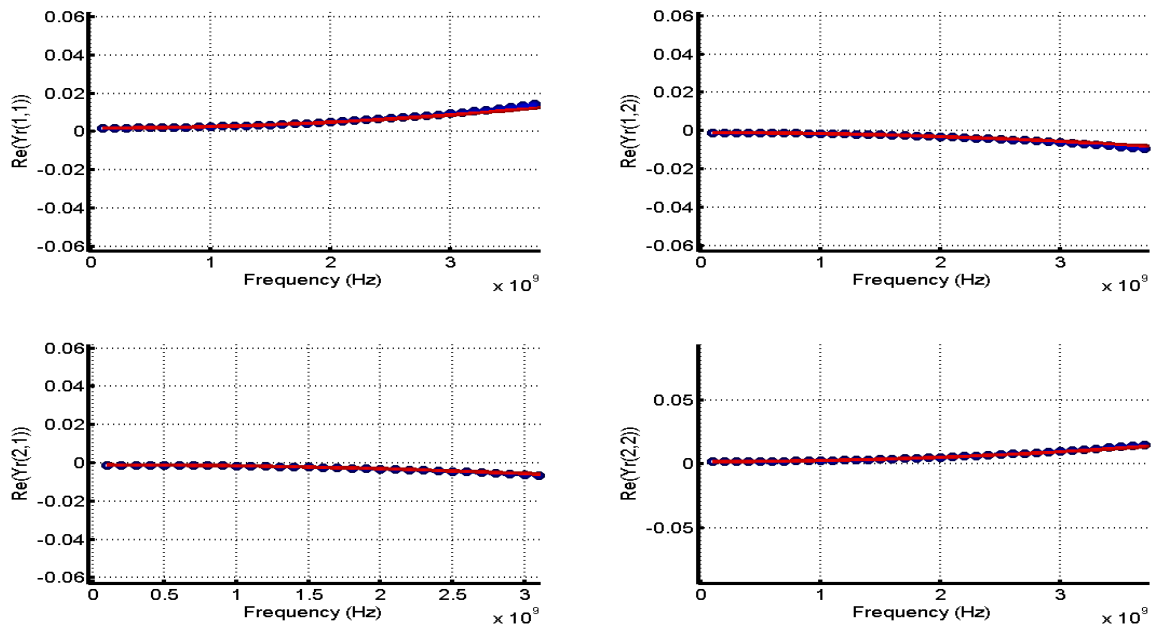
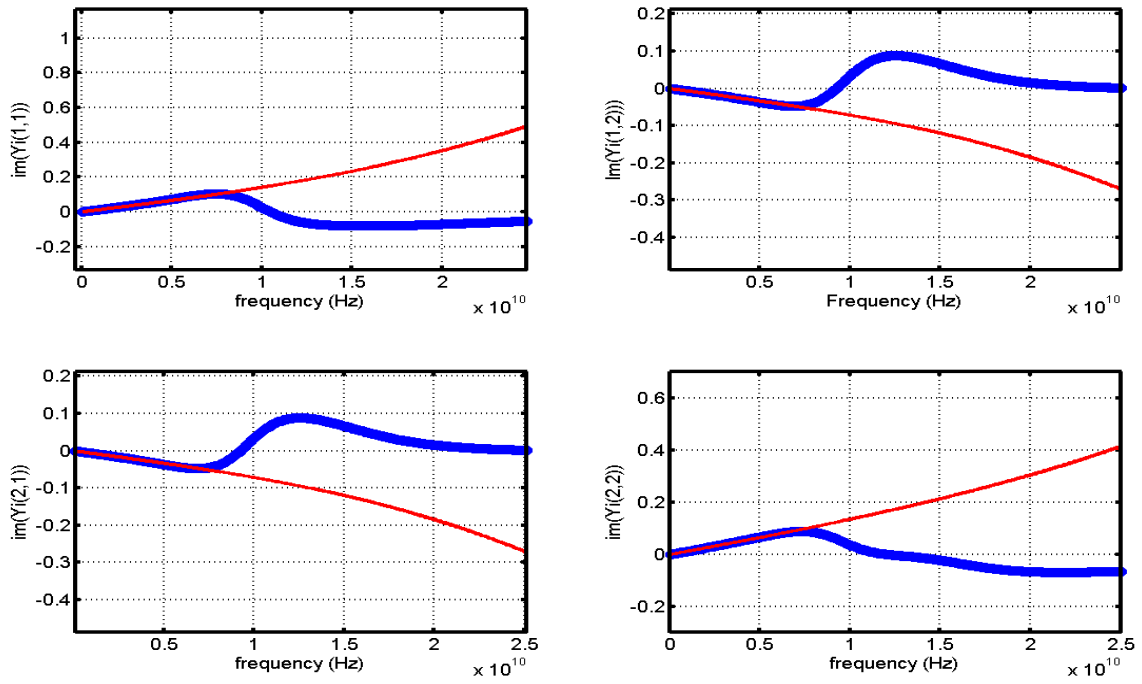
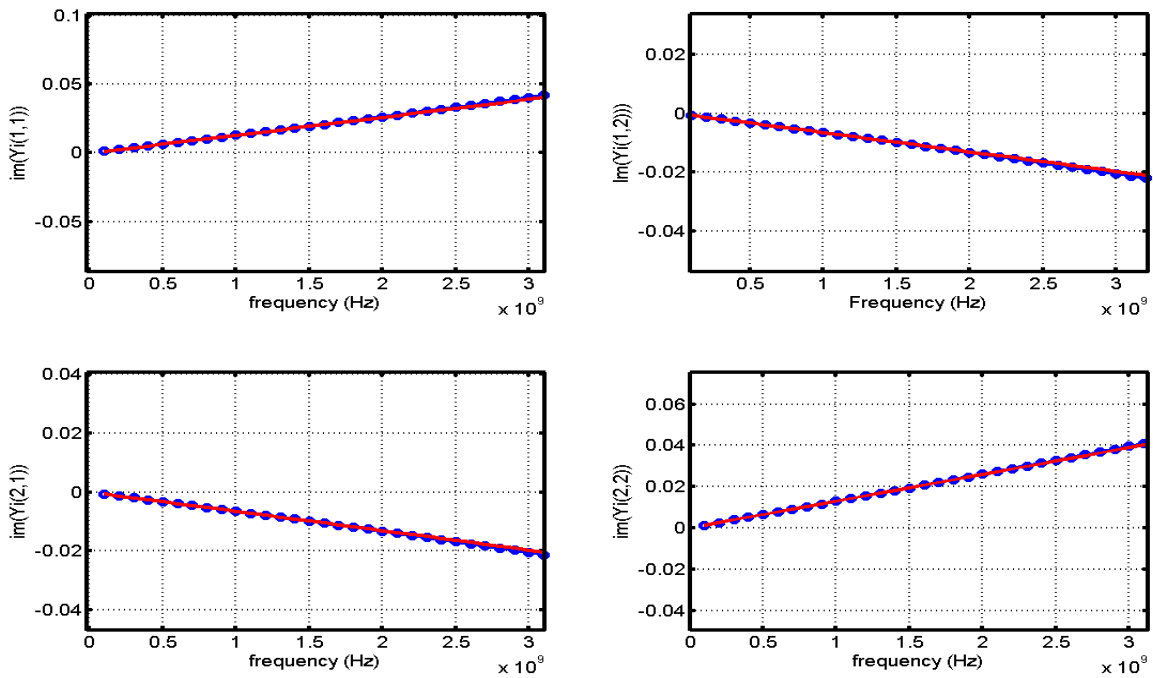


Figura 3.5: La scala del confronto tra le parti reali di  $Y^{mis}$  (blue) e  $Y^{calcolata}$  tramite gli  $\alpha$  (rosso)



*Figura 3.6: Il confronto tra le parti immaginarie di  $Y^{mis}$  (blue) e  $Y^{calcolata}$  tramite gli  $\alpha$  (rosso)*



*Figura 3.7: La scala del confronto tra le parti immaginarie di  $Y^{mis}$  (blue) e  $Y^{calcolata}$  tramite gli  $\alpha$  (rosso)*

4. Confronto le matrici  $\bar{G}$  e  $\bar{C}$  con gli elementi noti del circuito Test. Si ricava la matrice delle conduttanze intrinseche:

$$\bar{G} = \begin{bmatrix} G_{11} & G_{12} \\ G_{21} & G_{22} \end{bmatrix} = \begin{bmatrix} a_{011} & a_{012} \\ a_{021} & a_{022} \end{bmatrix} = \begin{bmatrix} 0.002 & -0.001 \\ -0.001 & 0.002 \end{bmatrix}$$

e la matrice delle capacità :

$$\bar{C} = \begin{bmatrix} C_{11} & C_{12} \\ C_{21} & C_{22} \end{bmatrix} = \begin{bmatrix} a_{111} & a_{112} \\ a_{121} & a_{122} \end{bmatrix} = \begin{bmatrix} 0.2050 & -0.1030 \\ -0.1030 & 0.2052 \end{bmatrix}$$

Confrontando con le misure vere del circuito Test , notiamo perfetto accordo. L'errore minimo uguale  $\varepsilon_r=1.181e^{-006}$  della parte reale (2.22) e  $\varepsilon_i=7.53e^{-006}$  della parte immaginaria (2.27). Possiamo quindi ritenere valida la prima parte del codice. Si passerà ora a descrivere la parte estrinseca.

### 3.2.2 Parte estrinseca

Per identificare la parte estrinseca del circuito Test prima di tutto dovremo scegliere un vettore per ciascun delle capacità con un valore minimo e un valore massimo del vettore (2.39) e dovremo riuscire a definire un numero dei intervalli su ogni vettore delle capacità ( $N_1, N_2, N_3$ ). Il circuito equivalente è strettamente dipendente dalla qualità dei parassiti usati per identificarlo, e il confronto tra approssimazione e misure reali puo indicare l'attendibilità della tecnica di estrazione dei parassiti usata. I passi che sono stati attuati sono:

1. Scelta di 3 valori  $C_{P1}^*, C_{P2}^*, C_{P3}^*$ .
2. De-embedding dalle  $Y$  misurata delle  $C_{P1}^*, C_{P2}^*, C_{P3}^*$  e calcolo della  $Y^{intermedia}$ .
3. Applico il metodo min. quadrati dalla (2.31) alla (2.39) per trovare  $R_g, R_d, R_S, L_g, L_d, L_S$ .
4. Partiamo dalle matrici  $\bar{G}$  e  $\bar{C}$ , potremo trovare  $Y^{interinseca}$  tramite questa formula  $Y^{interinseca} = \bar{G} + j\omega \bar{C}$ . Come si vede nella Figura 2.2 aggiungendo la matrice parassiti ( $M^{Parassiti}$ ) alla matrice  $Y^{interinseca}$  troveremo  $Y^{intermedia}$ . Ora aggiungiamo anche le capacità esterne già scelte nel passo 1 e arriviamo alla  $Y^{esterinseca-calcolata}$ .

5. Confronto tra  $Y^{\text{estrinseca-calcolata}}$  e  $Y^{\text{misurata}}$  e calcolo dell'errore  $\varepsilon$  relativo alla scelta dei valori delle capacità  $C_{P1}, C_{P2}, C_{P3}$  tramite la formula (2.35)
6. Ritorno al passo 1 con altri valori delle  $C_{P1}, C_{P2}, C_{P3}$  fino al completamento di tutti i valori delle capacità  $N_1C_{P1}, N_2C_{P2}, N_3C_{P3}$
7. Valutazione  $\varepsilon$  e scelta  $\varepsilon_{\min}$  tramite il quale individuerò la matrice di parassiti ( $M^{\text{Parassiti}}$ ) ottima. Nel nostro caso  $\varepsilon_{\min}$  della soluzione viene circa 0.54.

Inoltre dalla Figura 3.8 e Figura 3.9 si vedono che in tutto range della frequenza (100Mhz - 50Ghz ) le matrici  $Y^{\text{misurata}}$  e  $Y^{\text{estrinseca-calcolata}}$  coincidono. Si ritiene valido l'argomento ed il metodo implementato. Infatti dalla Tabella 3.1 si nota perfetto accordo tra i parametri presenti nel circuito Test e quelli ricavato dal metodo proposto.

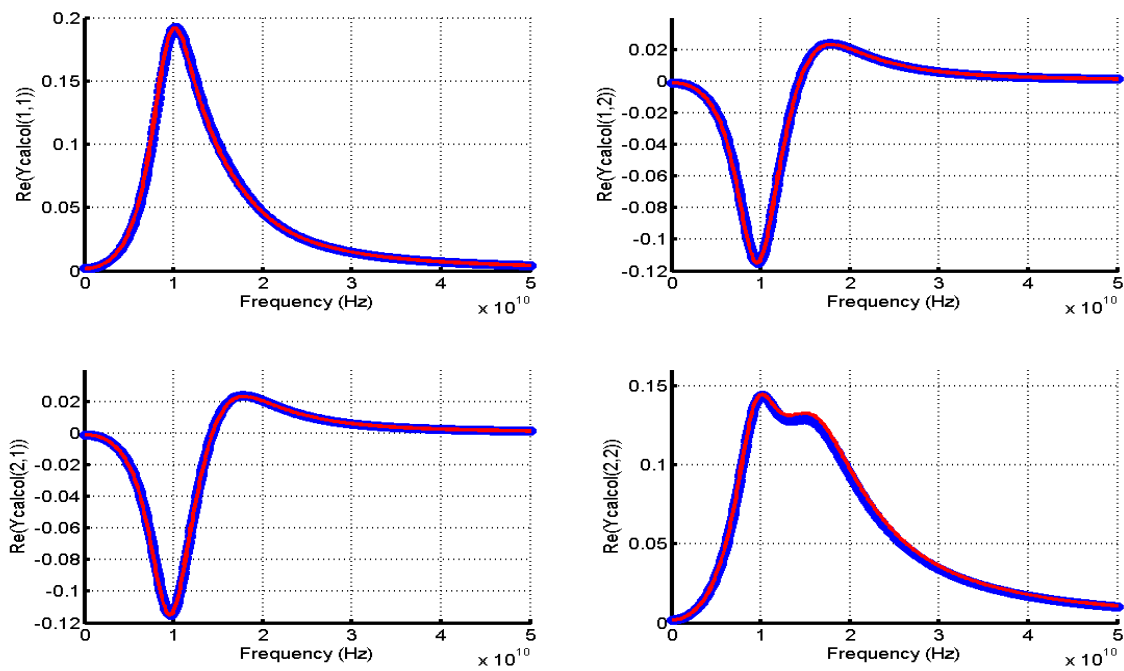


Figura 3.8: Il confronto tra le parti reali di  $Y^{\text{estrinseca-calcolata}}$  (rosso) e  $Y^{\text{misurata}}$  (blue)

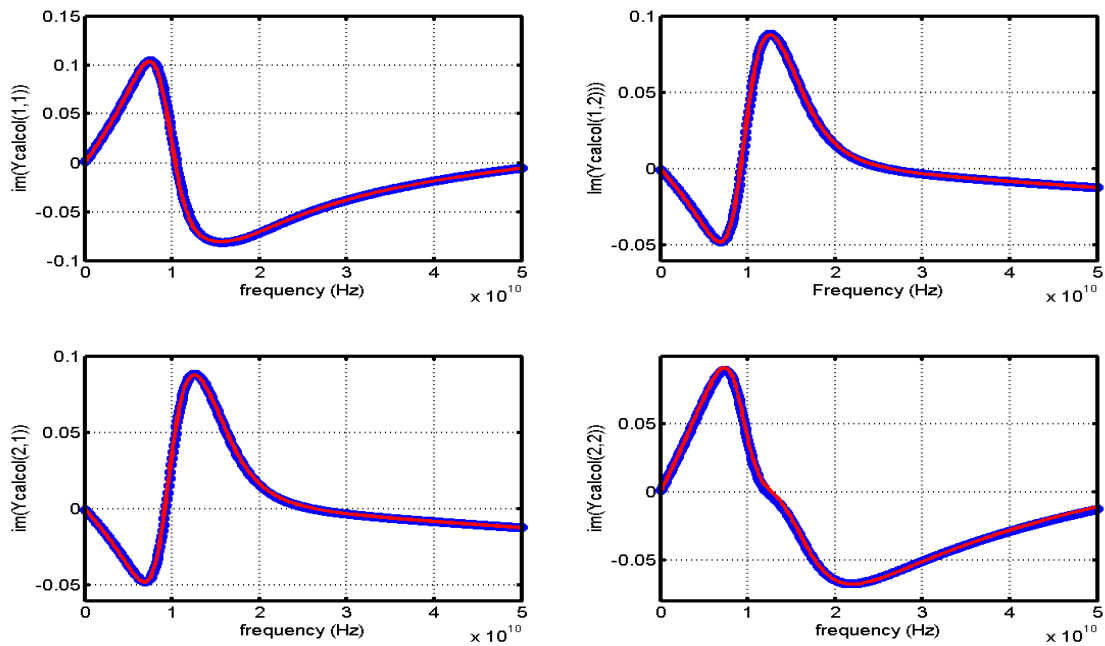


Figura 3.9: Il confronto tra le parti immaginarie di  $Y^{estrinseca-calcolata}$  (rosso) e  $Y^{misurata}$  (blue)

Il confronto tra simulazione e misure reali è portato nella tabella 3.1:


	$R_g$ ( $\Omega$ )	$R_d$ ( $\Omega$ )	$R_S$ ( $\Omega$ )	$L_g$ (pH)	$L_d$ (pH)	$L_S$ (pH)	$C_{p1}$ (fF)	$C_{p2}$ (fF)	$C_{p3}$ (fF)
<b>Circuito Test</b>	<b>3</b>	<b>4</b>	<b>2</b>	<b>100</b>	<b>70</b>	<b>10</b>	<b>30</b>	<b>40</b>	<b>50</b>
<b>Metodo proposto</b>	<b>3.04</b>	<b>4.04</b>	<b>2.03</b>	<b>99.74</b>	<b>69.73</b>	<b>9.82</b>	<b>30</b>	<b>40</b>	<b>50</b>

Tabella 3.1: Il confronto tra i parassiti ottenuti dal circuito Test e quelli dal metodo proposto

E come si vedono dai risultati, il nostro metodo è un metodo perfetto.

# 4 Capitolo 4: Estrazione del modello equivalente a piccolo segnale di un dispositivo GaN

---

## 4.1 La tecnologia GH25-10

La tecnologia del dispositivo su cui è stato estratto il modello tramite il metodo proposto nel capitolo precedente, è detta GH25-10 ed è un nuovo processo qualificato per i dispositivi HEMT in GaN ad alta potenza della fonderia francese UMS Semiconductors. Questa tecnologia potrebbe essere il primo processo della lunghezza di gate qualificato in Europa.

### 4.1.1 Introduzione della tecnologia

I dispositivi a RF basati sui semiconduttori GaN a larga banda sono ampiamente impiegati in ambito industriale ormai da molti anni. Nonostante questo si sta ancora procedendo per un ulteriore miglioramento delle performance della tecnologia. Gli obiettivi principali di questi sviluppi sono dedicati a trovare il miglior compromesso tra la linearità, la densità della potenza e l'affidabilità, offrendo una tecnologia competitiva per gli utenti finali.

### 4.1.2 Tecnologia – Panoramica

Il processo è stato sviluppato su un substrato SiC con un diametro di 4 pollice. L'epitassia di AlGaIn/GaN, l'intero processo e gli strati della passivazione sono stati ottimizzati per trovare il migliore compromesso tra densità della corrente (quindi la densità della potenza) e l'affidabilità. Le principali caratteristiche di questo processo sono:

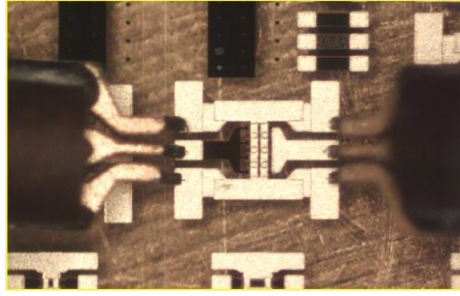
- lunghezza di gate di  $0.25\mu\text{m}$ .
- field plate che è un accorgimento che viene utilizzato per ridurre la capacità del gate-drain ad alta tensione migliorando le prestazioni in termini di potenza. La progettazione di questa è stata progressivamente modificata per compensare l'aumento della capacità parassita di gate-source.

- un gate asimmetrico per ottenere una tensione adeguata di breakdown ( $BV_{ds0}$ ) che attualmente per il GH25 è di circa 150V.
- due distanze sono state definite e qualificate: 1.7 $\mu$ m e 2.7 $\mu$ m. Essa offre un compromesso tra la potenza e l'efficienza e larghezza della banda. Il dispositivo che studieremo ha la distanza di 2.7 $\mu$ m.
- Un valore basso del contatto ohmico, vicino a 0.2\_0.3 ohm/mm utile per ottenere le buone prestazioni ad alta frequenza.
- Un pinch-off  $V_p$  (valore medio) di -4.5V è tipica della Schottky.
- La tensione breakdown di source-drain  $V_{BDS}$  (definito @  $I_d=1$  mA/mm) è sopra di 150V per una distanza dal gate al drain di 2.7 $\mu$ m . L'uniformità del processo è ben supportata dalla diffusione di  $I_{ds}^+$  ( $V_{gs}=+1V$  e  $V_{ds}=10V$ ), la massima della transconduttanza  $G_m$  e la potenza RF misurata a 2 GHz in CW. Rispettivamente, i valori medi misurati nella produzione sono: 0,9 A/mm per la densità di corrente, 280 ms/mm per la transconduttanza e 4,5 W/mm per la potenza a RF.
- Il wafer è assottigliata fino a 100 $\mu$ m.

## 4.2 Modelling

Il dispositivo utilizzato ha una larghezza del gate di 125  $\mu$ m ed ha in tutto 8 dita per un totale di 1mm di periferia. Nella figura 4.1 è possibile vederne fotografia al microscopio. Il dispositivo è stato analizzato e caratterizzato nel laboratorio EDM LAB (Laboratorio di Progettazione Elettronica e Misure per Applicazioni Industriali e a Radiofrequenza) del DEI. In particolare il dispositivo è stato caratterizzato attraverso:

- Misure IV statiche attraverso un dispositivo dell'HP chiamato HP4142.
- Analisi a small signal multibias tramite un VNA (Vector Network Analyzer) dell'Anritsu.
- Analisi a Large Signal (alla tensione del funzionamento  $V_{ds}$  di 30V e 80mA di corrente di drain) tramite banco di Load Pull.
- Misure IV impulsate tramite un banco appositamente implementato nell'EDM LAB.



*Figura 4.1: Fotografia al microscopio della tecnologia usata del dispositivo*

Abbiamo misurato i parametri S di un dispositivo di UMS realizzato con la tecnologia appena spiegata in diversi punti di Bias. Come detto larghezza del dito di gate di  $125\mu\text{m}$  e avendo 8 dita abbiamo una periferia di 1mm.

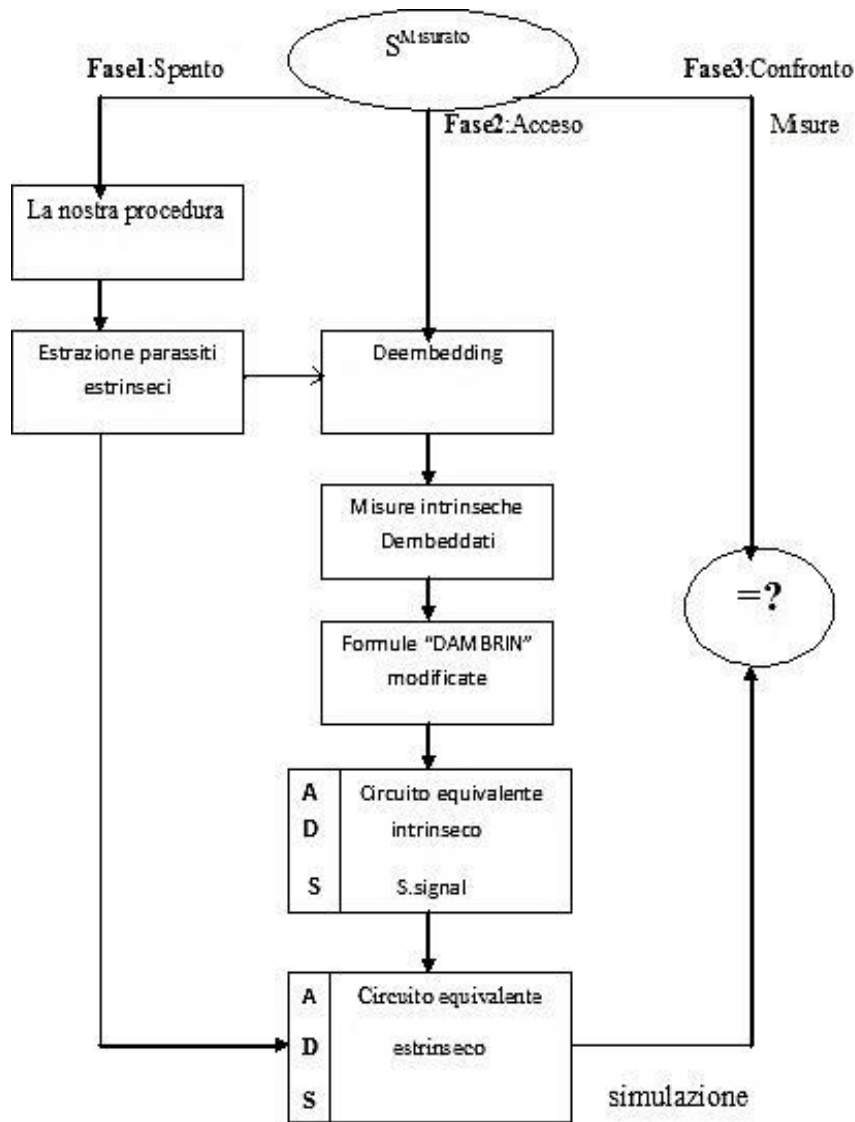
Abbiamo cercato di identificare il circuito equivalente a piccolo segnale adottando due passi successivi per l'identificazione dei parametri estrinseci e quelli intrinseci.

Per ottenere i parassiti estrinseci abbiamo adottato il metodo descritto in questa tesi di laurea, mentre per l'estrazione degli elementi del circuito equivalente intrinseco ( $C_{gd}$ ,  $C_{ds}$ ,  $C_{gs}$ ,  $G_{ds}$ ,  $R_i$ ,  $g_m$ ,  $\tau$ ) si sono utilizzate le formulazioni presenti in letteratura di Dambrine dalla(4.2) alla (4.8).

Il circuito del modello completo è visualizzato in figura 4.3, dove sono rappresentati i parametri parassiti e in figura 4.15 dove ci sono gli elementi che costituiscono il circuito intrinseco.

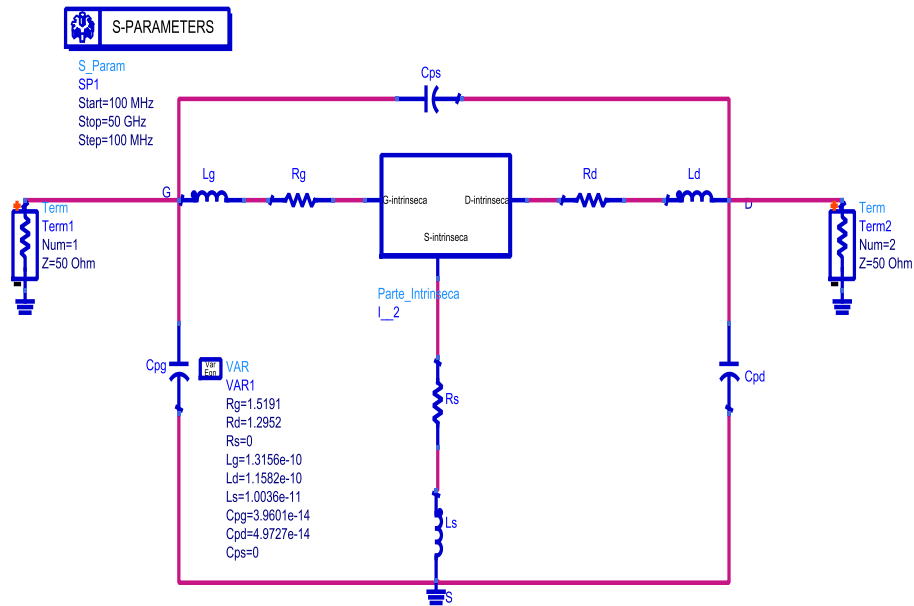
Di seguito spiegherò meglio la procedura presentando l'algoritmo del nostro progetto che viene fatto dalle varie fasi. Nella prima fase lavoriamo con il dispositivo spento e nella seconda fase invece lavoriamo con il dispositivo acceso e nell'ultima fase del progetto dovremo fare un confronto.





**Figura 4.2:** L' algoritmo della seconda fase del nostro progetto

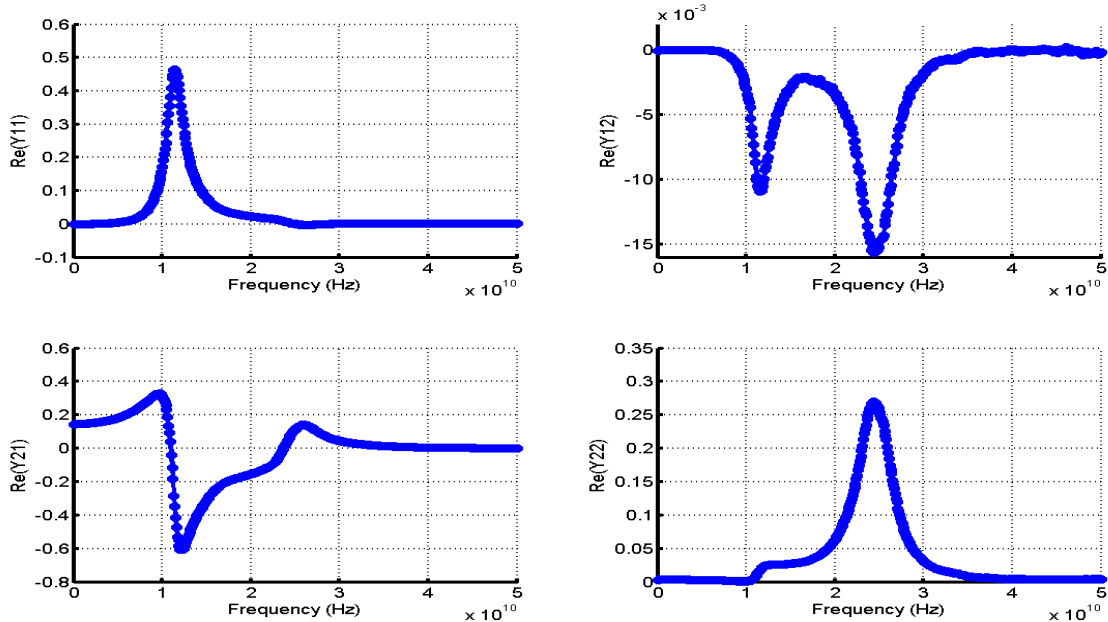
Praticamente nella prima fase del progetto abbiamo utilizzato i parametri S del dispositivo spento e abbiamo trovato i parassiti estrinseci del dispositivo ( $R_g, R_d, R_S, L_g, L_d, L_S, C_{p1}, C_{p2}, C_{p3}$ ). Tali parassiti non dipendono dal punto di polarizzazione. La Figura 4.3 fa vedere il circuito estrinseco del dispositivo con i componenti estrinseci appena elencati. In particolare si tratta di uno schematico implementato nel simulatore della KeySight ADS (Advanced Design System). Come si nota la simulazione dei parametri S viene fatta a diverse frequenze che variano da 100MHz a 50GHz con un step da 100MHz.



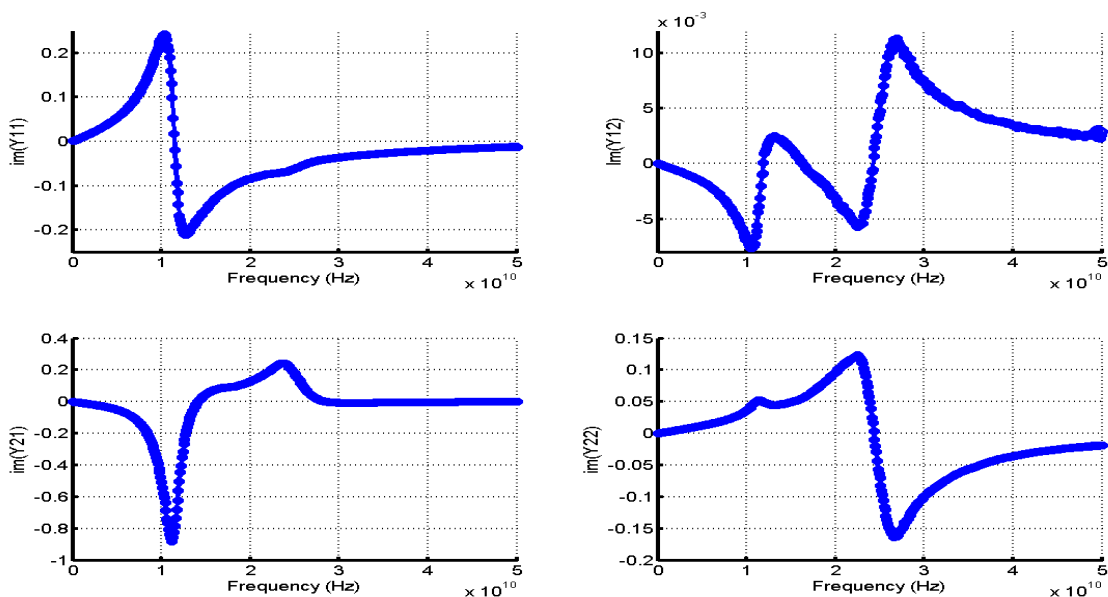
**Figura 4.3:** Modello equivalente del circuito estrinseco

Dopo aver trovato gli elementi parassiti cominciamo la seconda fase dell'identificazione del modello che consiste nel deembedding dei parassiti per ottenere così le “misure” all'intrinseco. Per fare questa operazione i passi che sono stati attuati sono:

1. Scegliere la matrice misurata in un punto di bias di lavoro desiderato ovvero la matrice  $Y^{estrinseca}$  calcolata dai parametri di scattering. Nella Figura 4.4 e la Figura 4.5 sono visualizzate le matrici in un caso particolare con dispositivo acceso in classe A.
2. Dembeddare le capacità esterne  $C_{p1}$ ,  $C_{p2}$ ,  $C_{p3}$  (le capacità esterne che corrispondono con l'errore minimo della soluzione (2.35) nella prima fase del progetto) dalle  $Y^{estrinseca}$  del punto acceso ottenendo una matrice delle ammettenze che chiamiamo  $Y^{intermedia}$  del punto acceso (Figura 2.2).



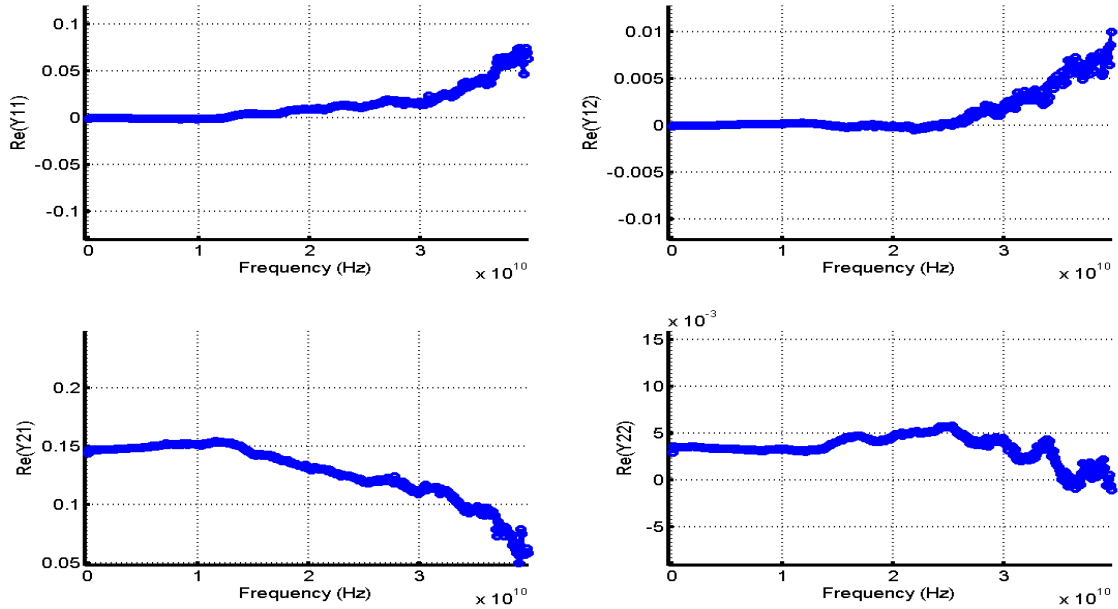
**Figura 4.4:** La parte reale della  $Y^{extrinseca}$  del punto acceso



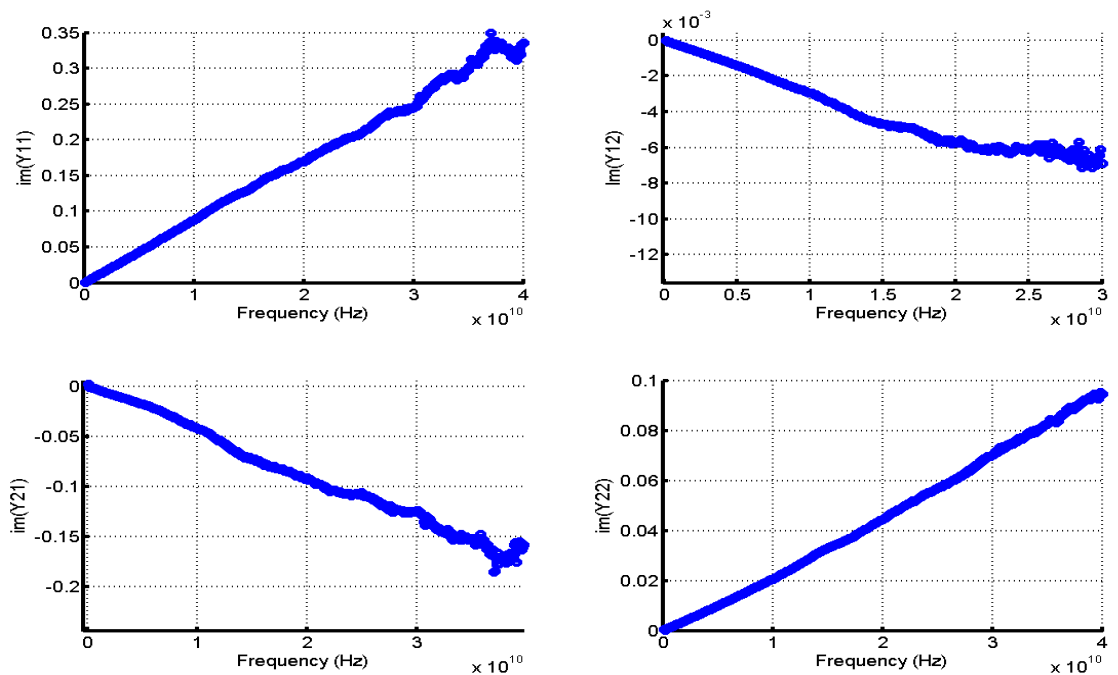
**Figura 4.5:** La parte immaginaria della  $Y^{extrinseca}$  del punto acceso

3. Dembeddare gli elementi parassiti ( $R_g$ ,  $R_d$ ,  $R_S$ ,  $L_g$ ,  $L_d$ ,  $L_S$ , già trovati con il metodo minimi quadrati con le formule dalla (2.31) alla (2.39) nella prima fase del progetto) dalla  $Y^{intermedia}$  del punto acceso per ottenere così la matrice  $Y^{intrinseca}$  del punto acceso. Come si vede dalla Figura 4.6 e dalla Figura 4.7 la parte reale

di  $Y^{\text{interinseca}}$  del punto acceso è quasi costante e invece la parte immaginaria di  $Y^{\text{interinseca}}$  del punto acceso ha una pendenza lineare.



*Figura 4.6: La parte reale della  $Y^{\text{interinseca}}$  del punto acceso*

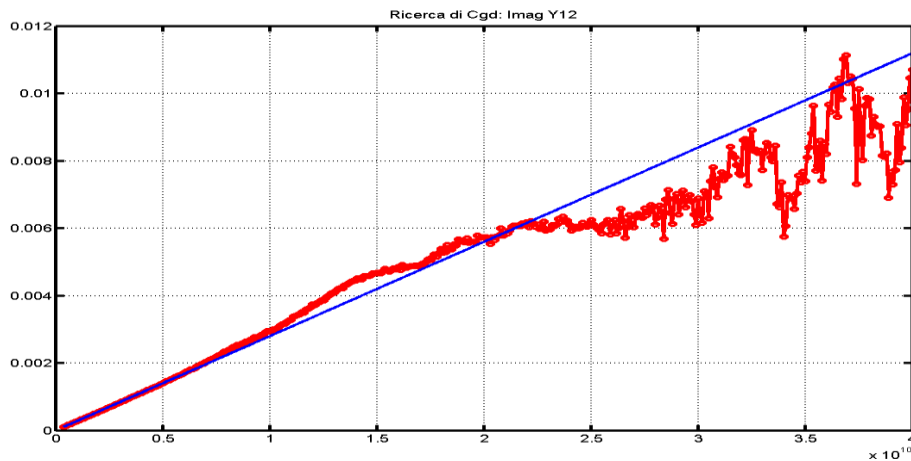


*Figura 4.7: La parte immaginaria della  $Y^{\text{interinseca}}$  del punto acceso*

4. A partire dalla  $Y^{\text{intrinseco}}$  del punto acceso, trovare gli elementi del circuito equivalente intrinseco con le formule di "Damberin" [3] modificate. Le formule utilizzate e le spiegazioni "grafiche" sono di seguito riportate.

Dalla matrice intrinseca e noto il circuito di figura 4.15 che vogliamo identificare è facile ricavare le formule seguenti con le quali abbiamo identificato, in forma chiusa, tutti gli elementi intrinseci. Il primo elemento che dovremo trovare è  $C_{gd}$  con la formula (4.2). Come si vede dalla Figura 4.8 è possibile ricavare il termine della capacità in questione minimizzando l'errore della retta approssimante (blu in figura 4.8) con la misura della parte immaginaria della  $Y_{12}^{\text{int}}$  del punto acceso con il metodo dei minimi quadrati. Dalla figura 4.8, si può dire che l'approssimazione usata nella 4.2 è valida in un range basso della frequenza (da 0Hz a 5GHz).

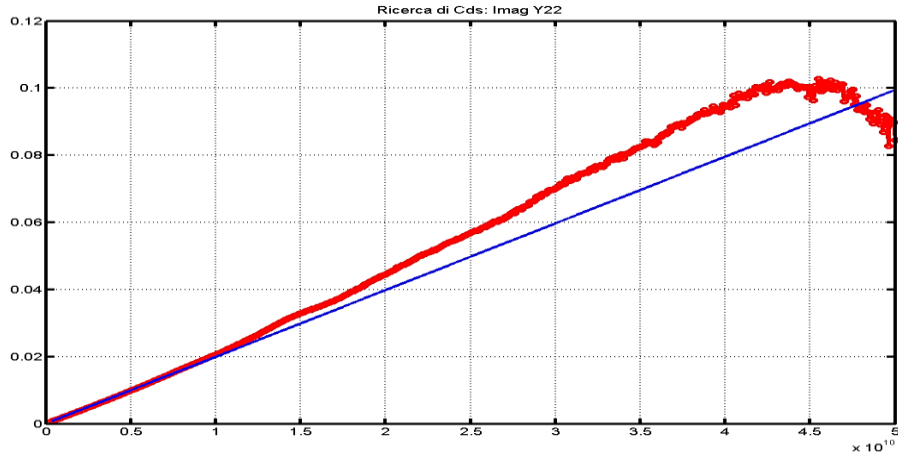
$$C_{gd} = \frac{-\text{Im}[Y_{12}]}{\omega} \quad (4.2)$$



**Figura 4.8:** La ricerca di  $C_{gd}$  sulla parte immaginaria di  $Y_{12}$

Una volta noto il termine  $C_{gd}$  è facile ricavare il secondo elemento  $C_{ds}$  con la formula (4.3). Anche in questo caso, come si vede dalla Figura 4.9, occorre approssimare la parte immaginaria della  $Y_{22}^{\text{int}}$  con una retta a "bassa frequenza".

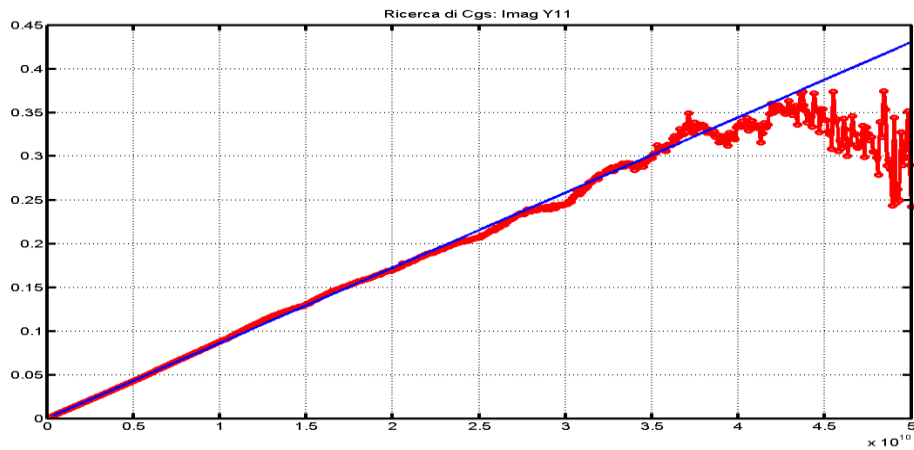
$$C_{ds} = \frac{\text{Im}[Y_{22}]}{\omega} - C_{gd} \quad (4.3)$$



**Figura 4.9:** La ricerca di  $C_{ds}$  sulla parte immaginaria di  $Y_{22}$

Per trovare  $C_{gs}$  con la formula (4.4), come si vede dalla Figura 4.10, occorre approssimare la parte immaginaria della  $Y_{11}^{int}$  del del punto acceso con una retta a “bassa frequenza”.

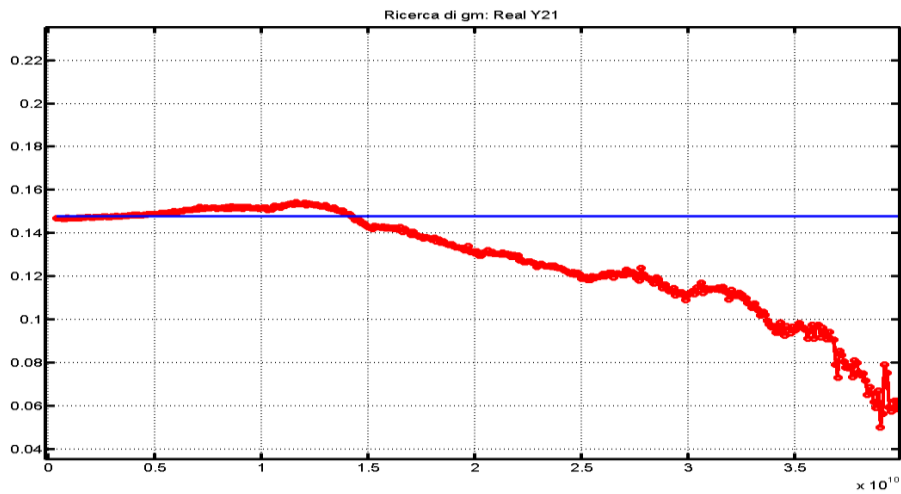
$$C_{gs} = \frac{\text{Im}[Y_{11}]}{\omega} - C_{gd} \quad (4.4)$$



**Figura 4.10:** La ricerca di  $C_{gs}$  sulla parte immaginaria di  $Y_{11}$

Nella Figura 4.11 si è fatto vedere come abbiamo preso un valore medio della parte  $\text{Re}[Y_{21}^{int}]$  del punto acceso per identificare la trasconduttanza  $g_m$  con la forula (4.5).

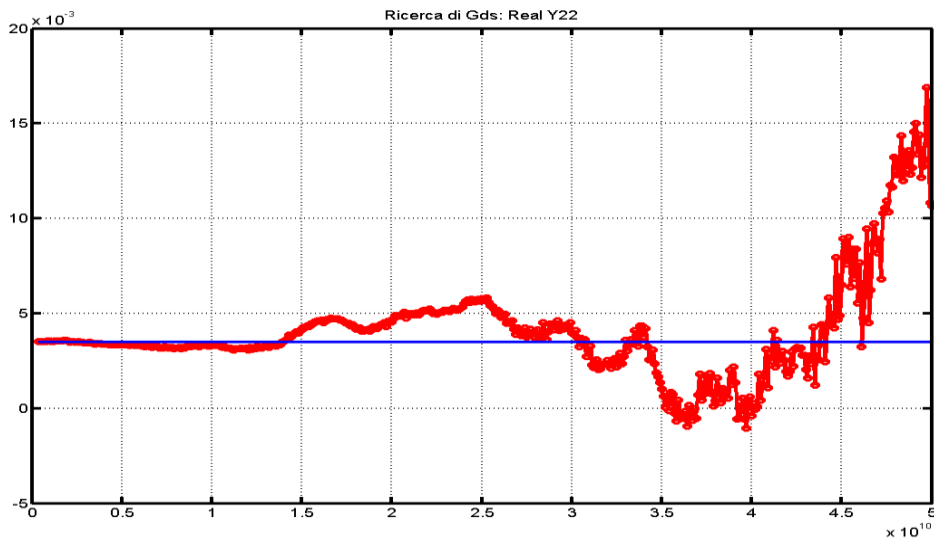
$$g_m = \text{Re}[Y_{21}] \quad (4.5)$$



*Figura 4.11: La ricerca di  $g_m$  sulla parte reale di  $Y_{21}$*

Anche in questo caso per trovare  $g_{ds}$  con la formula (4.6). Dovremo prendere in considerazione un valore medio della parte  $\text{Re}[Y_{22}^{\text{int}}]$  del punto acceso come si è fatto vedere nella Figura 4.12.

$$g_{ds} = \text{Re}[Y_{22}] \quad (4.6)$$



*Figura 4.12: La ricerca di  $g_{ds}$  sulla parte reale di  $Y_{22}$*

Rimangono infine da estrarre Tau e Ri. Questi elementi sono sicuramente il più difficili da estrarre accuratamente dai dati misurati e ciò a causa del fatto che le misure da cui dipendano ( $Y_{11}$ ) sono quasi sempre meno rumorosi a bassa frequenza. Come si vede le

misure rosse della Figura 4.13. Inoltre il loro stesso significato “fisico” è piuttosto incerto e per certi versi discutibile.  $R_i$  ad esempio influisce sulla parte reale della impedenza del modello, nonché sul tempo richiesto alla corrente del canale a rispondere a variazioni delle tensioni di gate. D’altra parte entrambi questi effetti sono già modificabili agendo su altri parametri come  $R_g$  per le impedenze di ingresso e il  $\tau$  per i ritardi. Questo mette in evidenza che l’estrazione di questi parametri è di per sé problematica e non ben condizionata. Una pratica comune è quella di utilizzare le espressioni riportate in seguito(4.7) e (4.8). Ma facendo ricorso in modo disomogeneo con il resto del procedimento di identificazione, a valori di ammettenze misurati ad alta frequenza anziché a bassa frequenza. Questo perché la misura della parte reale  $Y_{11}$  tende ad essere bassa rumorosa ad alta frequenza. Le Figure 4.13 e 4.14 fanno vedere l’approssimazione di  $R_i$  e  $\tau$ .

$$R_i = \text{Re} \left[ \frac{1}{Y_{11} - j\omega C_{gd}} \right] \quad (4.7)$$

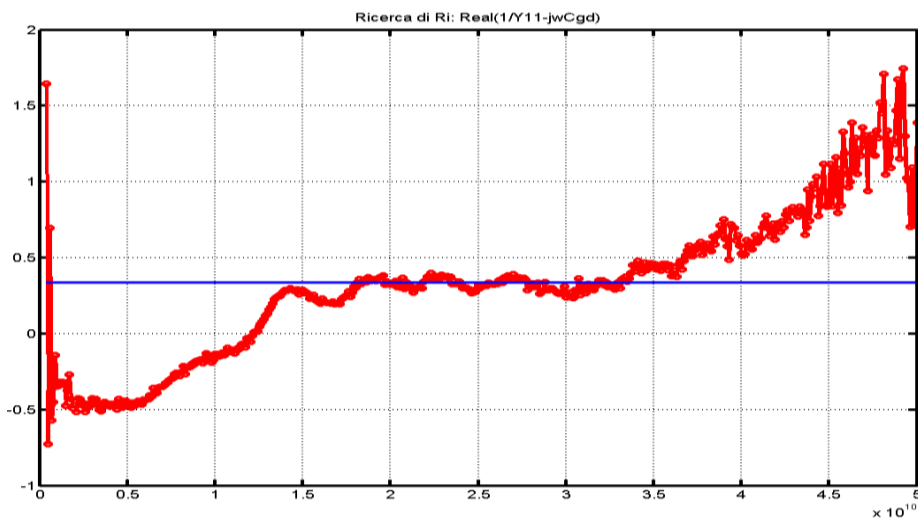
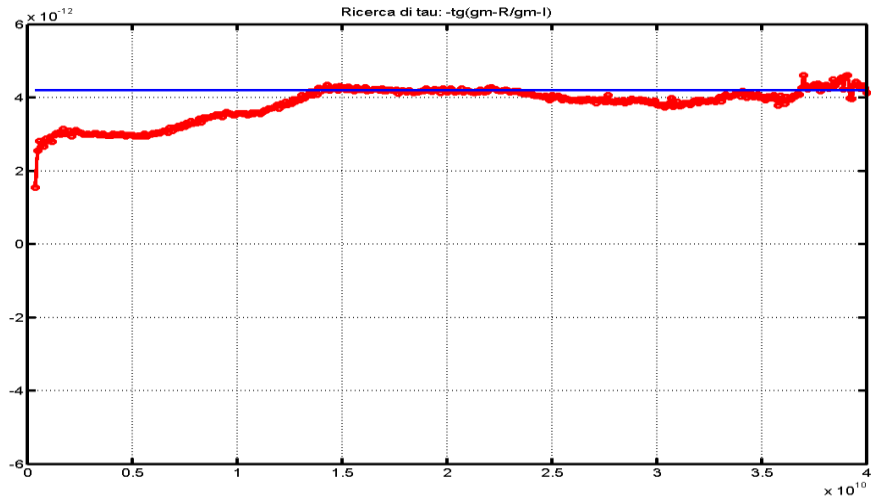


Figura 4.13: La ricerca di  $R_i$

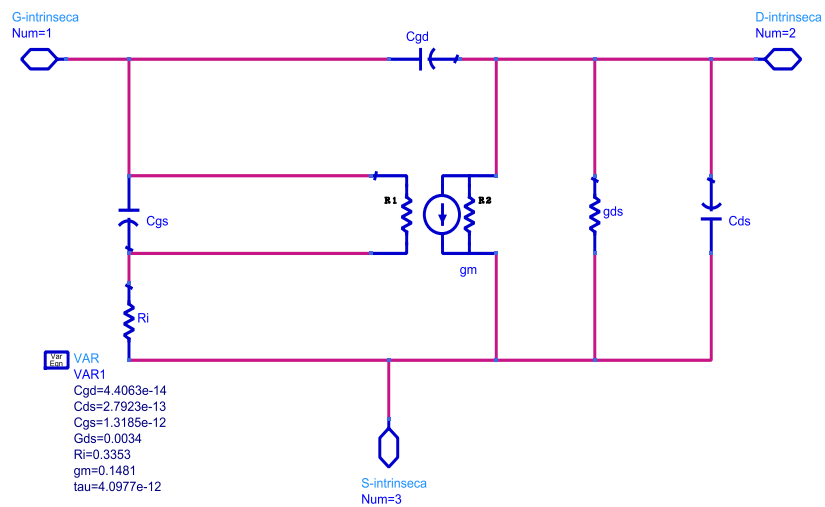
$$\tau = -\frac{1}{\omega} \text{tg}^{-1} \left( \frac{g_m^I}{g_m^R} \right) \quad (4.8)$$





**Figura 4.14:** La ricerca di Tau

Una volta calcolati i 7 parametri sono stati inseriti nel circuito equivalente intrinseco in ambiente ADS, come si vede nella Figura 4.15.



**Figura 4.15:** Il circuito equivalente intrinseco

Bisogna poi confrontare le simulazioni e le misure.

### 4.3 Confronto dei risultati

Il vantaggio del nostro metodo rispetto ad altri già introdotti finora è quello di poter utilizzare tanti punti di bias e la possibilità di fare un swit sulle tre capacità parassite ( $C_{p1}$

e  $C_{p2}$  e  $C_{p3}$  ). Nel laboratorio presso cui ho sviluppato la tesi (EDM LAB) è stato sviluppato un metodo che permetteva solamente l'utilizzo di 1 punto di bias e delle capacità  $C_{p1}$  e  $C_{p2}$ . L'utilizzo tanti punti di bias ci porta l'aumento del numero delle equazioni rendendo più solido la soluzione dei minimi quadrati. L'utilizzo la terza capacità potrebbe portare un risultato più accurato. Si sono presi in considerazione diversi casi e situazioni per estrarre il circuito equivalente a small signal del dispositivo di UMS. In particolare si possono vedere i diversi casi analizzati nella Tabella che ho portato di seguito.

	<i>N. Punti di Bias</i>	<i>Capacità Prese in Considerazione</i>	<i>Tempo di Calcolo</i>
<b>Caso 1</b>	1	3	20 min
<b>Caso 2</b>	4	3	30 min
<b>Caso 3</b>	1	2	5 min

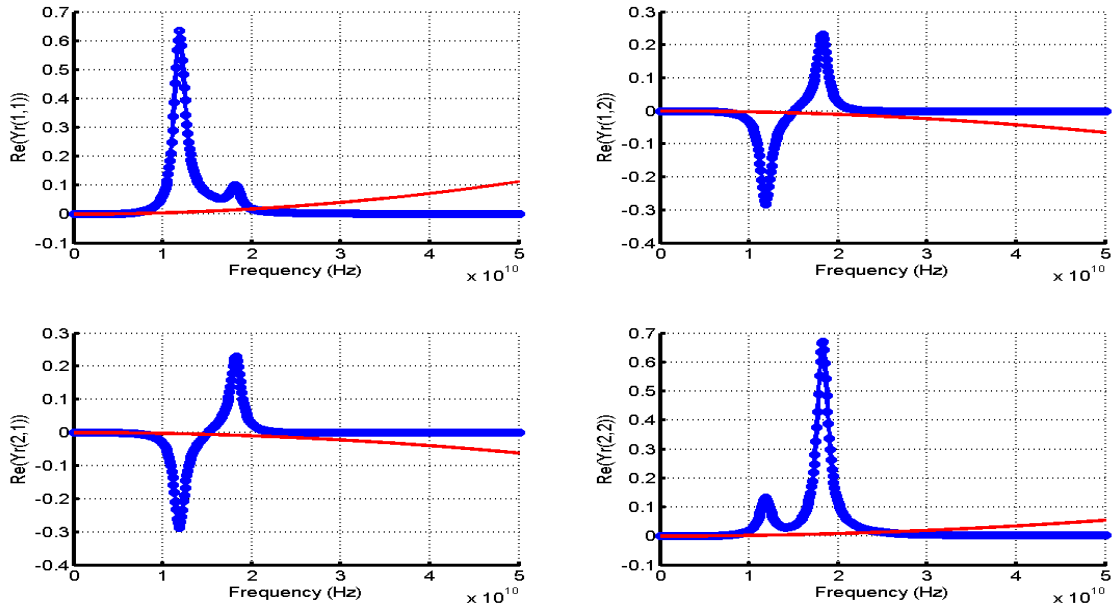
### 4.3.1 Caso 1

In questo caso prenderemo un solo punto di bias spento ( $V_g=-4.5$ ,  $V_d=0$ ), poi cominciamo ad estrarre la matrice  $\bar{G}$  (il circuito intrinseco resistivo) che si è fatta vedere dalla Figura 4.16 e la matrice  $\bar{C}$  (il circuito intrinseco capacitivo) che si è fatta vedere dalla Figura 4.17. I valori secondo le formule dette vengono:

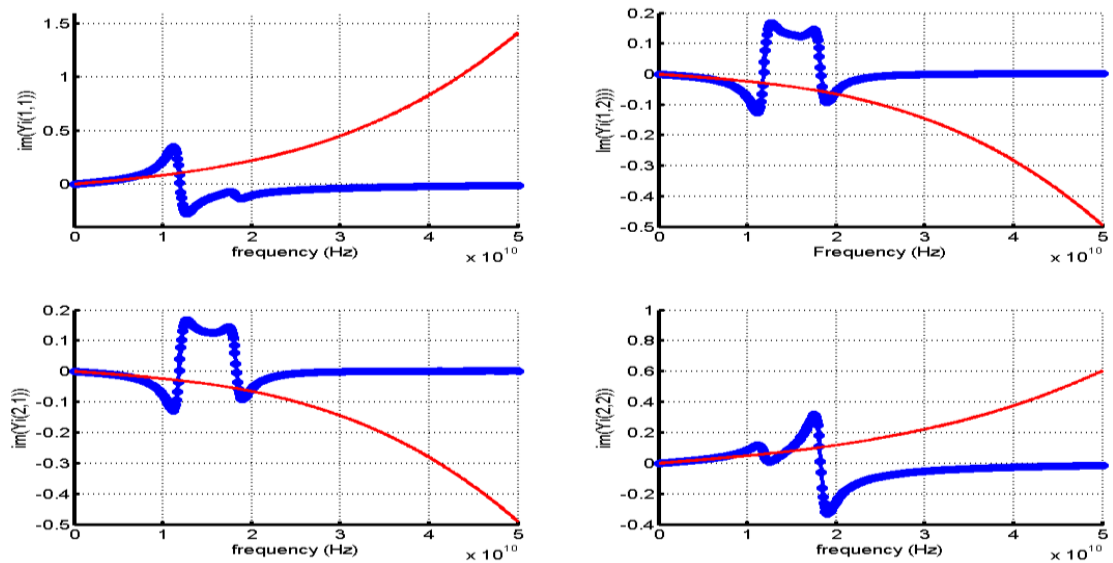
$$\bar{G} = \begin{bmatrix} G_{11} & G_{12} \\ G_{21} & G_{22} \end{bmatrix} = \begin{bmatrix} a_{011} & a_{012} \\ a_{021} & a_{022} \end{bmatrix} = \begin{bmatrix} 1.270e^{-5} & 8.282e^{-7} \\ -2.330e^{-6} & 6.490e^{-6} \end{bmatrix}$$

Abbiamo un grado di libertà. Come si vede dalla matrice, che i valori della matrice non devono essere per forza simmetrica.

$$\bar{C} = \begin{bmatrix} C_{11} & C_{12} \\ C_{21} & C_{22} \end{bmatrix} = \begin{bmatrix} a_{111} & a_{112} \\ a_{121} & a_{122} \end{bmatrix} = \begin{bmatrix} 1.214e^{-12} & -3.232e^{-13} \\ -3.226e^{-13} & 7.549e^{-13} \end{bmatrix}$$



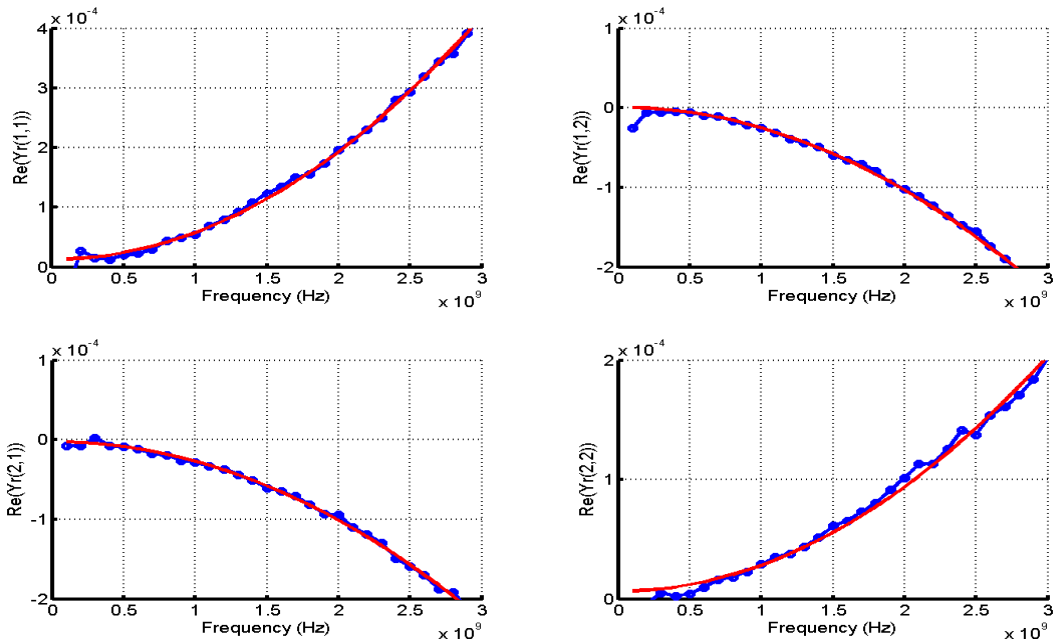
**Figura 4.16:** Il confronto tra le parti reali di  $Y^{mis}$  (blue) e  $Y^{calcolata}$  tramite gli  $\alpha$  (rosso) per il punto di bias ( $V_g = -4.5V$ ,  $V_d = 0V$ ).



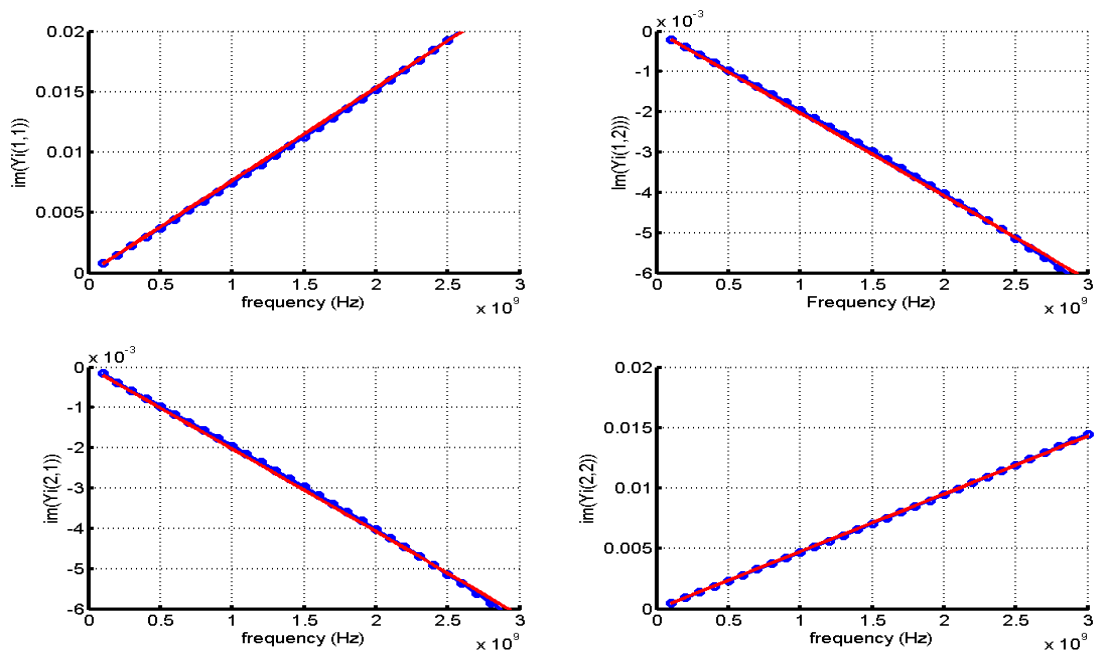
**Figura 4.17:** Il confronto tra le parti immaginarie di  $Y^{mis}$  (blue) e  $Y^{calcolata}$  tramite gli  $\alpha$  (rosso) per il punto di bias ( $V_g = -4.5V$ ,  $V_d = 0V$ ).

Poi facciamo un controllo dei grafici Fitting tra la matrice delle ammettenze approssimata e quella misurata che si sono mostrate nella Figura 4.18 ( la parte reale ) e nella Figura 4.19 ( la parte immaginaria). In particolare i punti in blu rappresentano le misure mentre le linee rosse il polinomio approssimante. Per controllare se l'errore sulla parte reale (2.22) e sulla parte immaginaria (2.27) è contenuto ( $<10^{-4}$ ) e come lo aspettavamo nel range basso della frequenza (da 0Hz a 3GHz) le curve corrispondono,

con un errore uguale a 0.1334 sulla parte reale e un errore uguale a 0.0285 sulla parte immaginaria.



*Figura 4.18: La parte reale del controllo Fitting*



*Figura 4.19: La parte immaginaria del controllo Fitting*

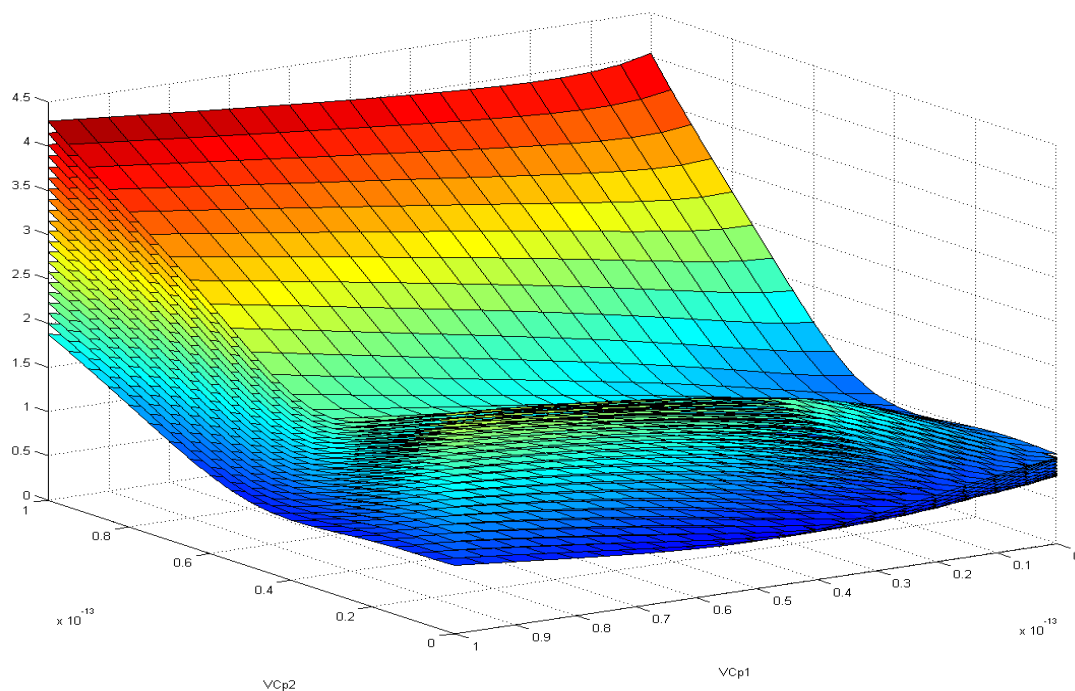
Poi dovremo fare una griglia sulle tre capacità esterne, dembeddandole dalla  $Y^{misurata}$  ed arrivare a  $Y^{intermedia}$  e dopo aver applicato il metodo dei minimi quadrati troveremo i parassiti ( $R_g, R_d, R_S, L_g, L_d, L_S$ ).

I valori delle capacità sono stati individuati in due cicli di iterazioni a causa delle difficoltà computazionali. In questo modo è possibile scegliere il valore delle capacità con più raffinatezza. Per ogni terna si applica il metodo illustrato precedentemente e si calcolano i parassiti ( $R_g, R_d, R_S, L_g, L_d, L_S$ ). Ogni terna di capacità individua un errore. Tale errore è quindi una funzione delle tre capacità, per questo motivo è stato plottato in un grafico tridimensionale, illustrato in figura 4.20.

Si sceglie la terna che da il minimo errore che è uguale a 0.0226 e che corrisponde a  $C_{p1}= 40.0$  fF e  $C_{p2}= 60.0$  fF e  $C_{p3}= 0$  fF ed estraiamo i parassiti relativi alle capacità selezionate che sono riassunti nella Tabella4.1 .

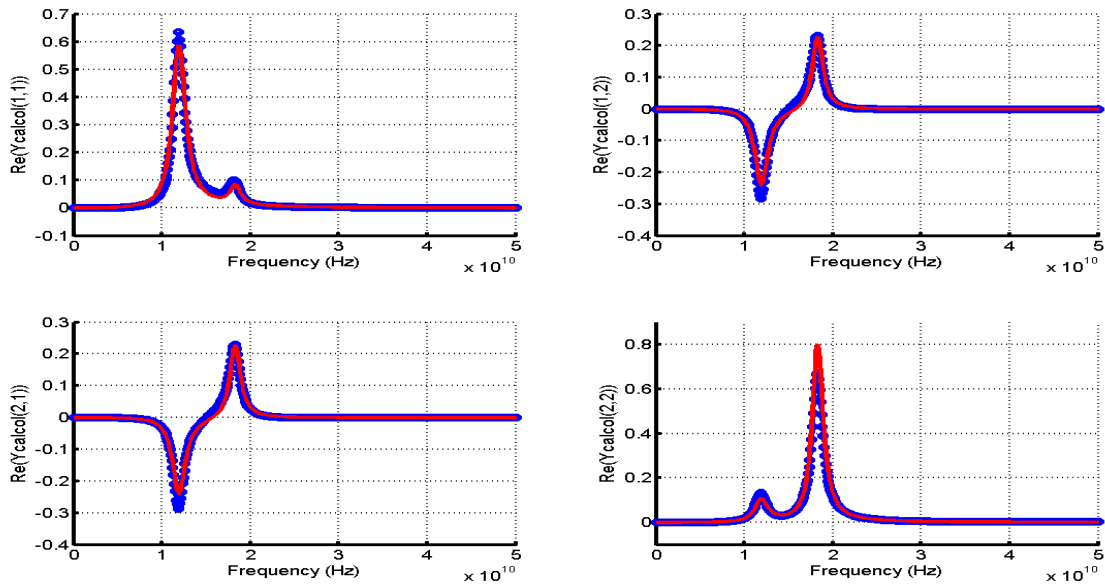
$R_g(\Omega)$	$R_d(\Omega)$	$R_S(\Omega)$	$L_g(pH)$	$L_d(pH)$	$L_S(pH)$	$C_{p1}(fF)$	$C_{p2}(fF)$	$C_{p3}(fF)$
1.512	1.119	0	130.9	109.7	9.719	40.00	60.00	0

**Tabella 4.1:** I parassiti per il punto di bias ( $V_g = -4.5V, V_d = 0V$ ).

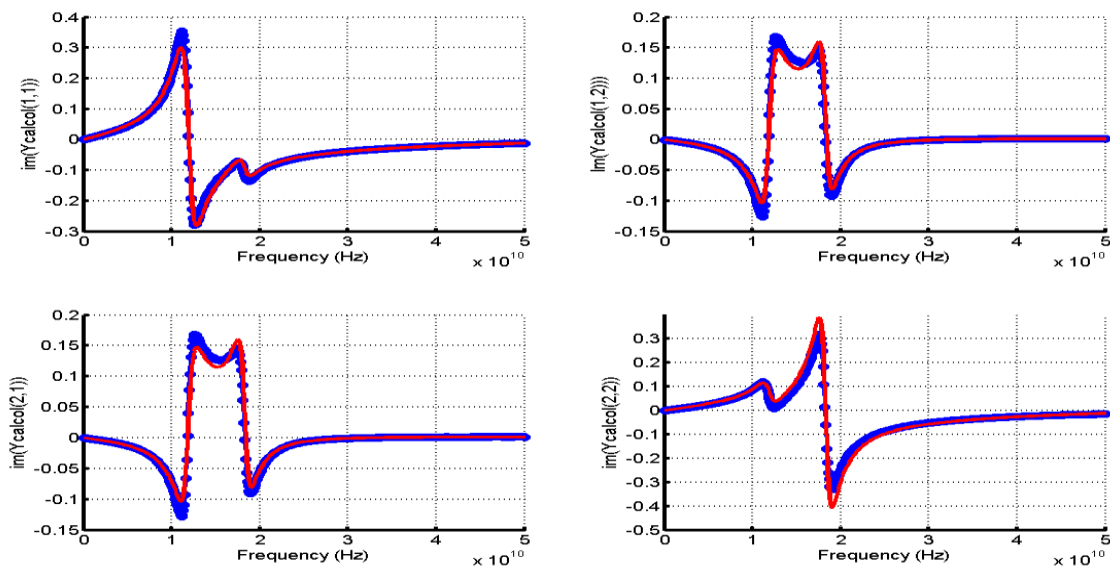


**Figura 4.20:** Errore in 3D

Inoltre dalla Figura 4.21 e Figura 4.22 si vedono che nel tutto range della frequenza (100Mhz - 50Ghz) le matrici  $Y^{misurata}$  (blue) e  $Y^{estrinseca-calcolata}$  (rossa) coincidono.



**Figura 4.21:** Il confronto tra le parti reali di  $Y^{estrinseca-calcolata}$  (rosso) e  $Y^{misurata}$  (blue) per il punto di bias ( $V_g = -4.5V$ ,  $V_d = 0V$ ).



**Figura 4.22:** Il confronto tra le parti immaginarie di  $Y^{estrinseca-calcolata}$  (rosso) e  $Y^{misurata}$  (blue) per il punto di bias ( $V_g = -4.5V$ ,  $V_d = 0V$ ).

Nella seconda fase del progetto prendiamo un punto di bias con il dispositivo acceso ( $V_g = -3V$ ,  $V_d = 30V$ ). Dembeddando i parametri parassiti già trovati nella Tabella 4.1 dalla  $Y^{estrinseca}$  del punto acceso seconda la procedura già spiegata nel paragrafo 4.2,

troviamo  $Y$  all'intrinseco. Nella Figura 4.23 e Figura 4.24 si vedono il confronto tra  $Y^{estrinseca}$  e  $Y^{intrinseca}$  del punto acceso. Come si vedono dalle figure che la parte reale di  $Y^{intrinseca}$  del punto acceso ha una curva quasi costante e la parte immaginaria di  $Y^{intrinseca}$  del punto acceso ha una pendenza lineare.

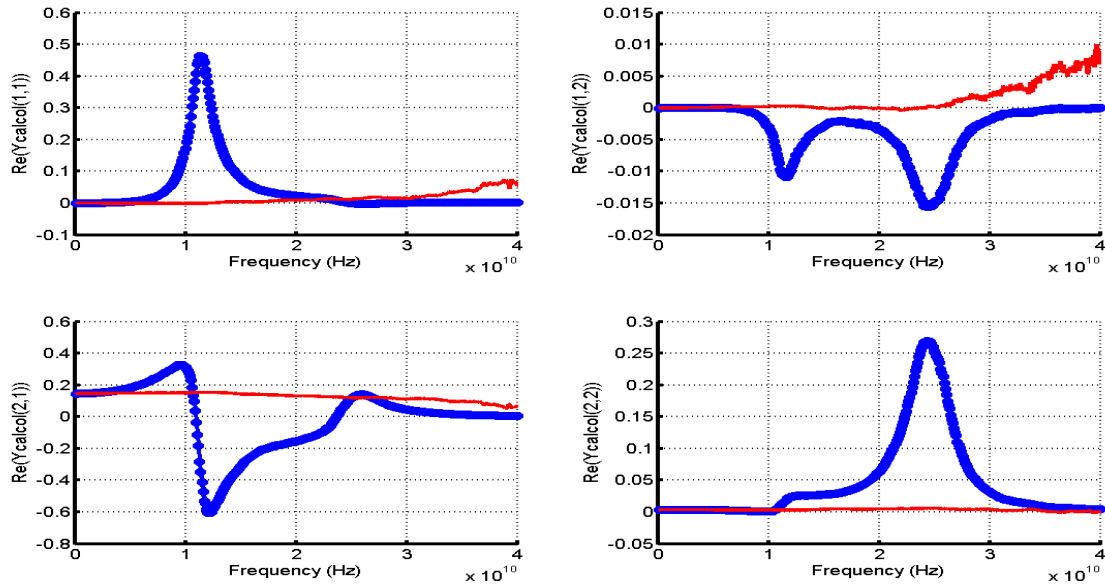


Figura 4.23: La parte reale della  $Y^{estrinseca}$  del punto acceso (blue) e  $Y^{intrinseca}$  del punto acceso (rossa) per il punto di bias ( $V_g = -3V$ ,  $V_d = 30V$ ).

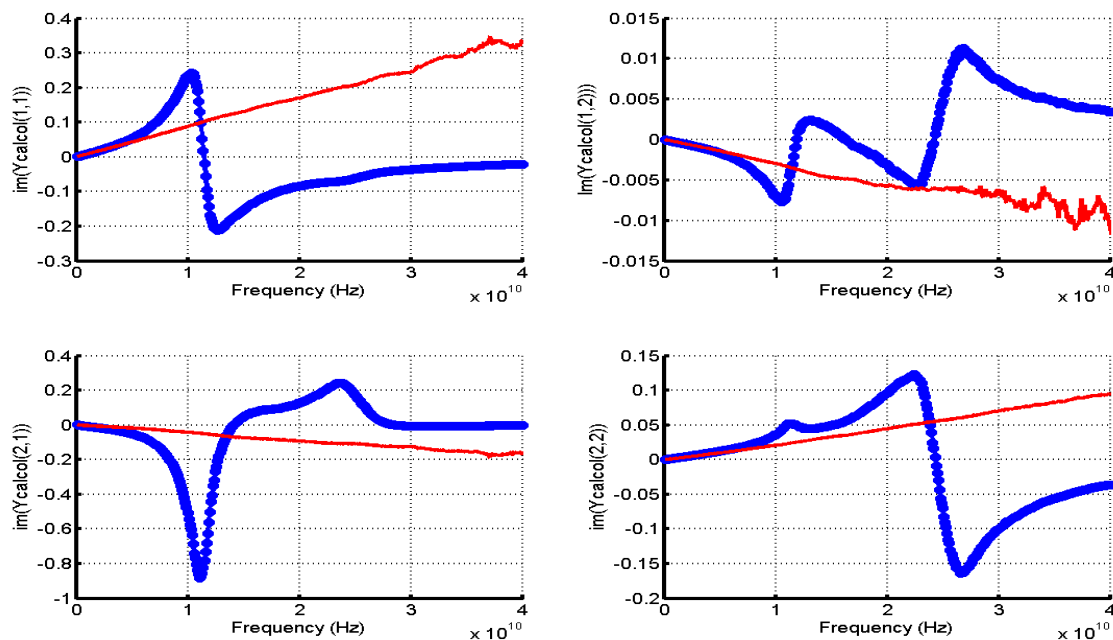


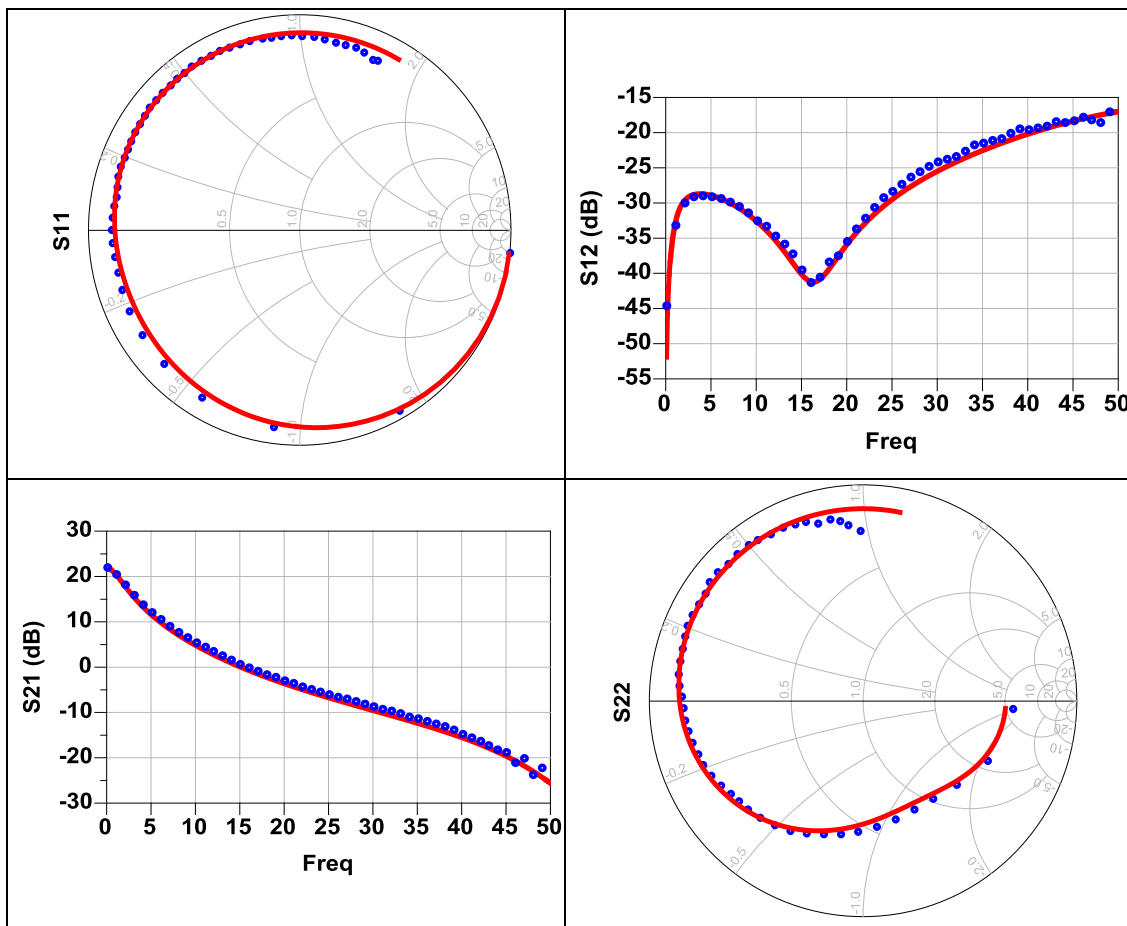
Figura 4.24: La parte immaginaria della  $Y^{estrinseca}$  del punto acceso (blue) e  $Y^{intrinseca}$  del punto acceso (rossa) per il punto di bias ( $V_g = -3V$ ,  $V_d = 30V$ ).

I valori del circuito equivalente intrinseco (  $C_{gd}$  ,  $C_{ds}$  ,  $C_{gs}$  ,  $G_{ds}$  ,  $R_i$  ,  $g_m$  ,  $\tau$  ) ricavati dalla  $Y^{intrinseca}$ , visualizzata nelle due figure appena descritte con le formule dalla (4.2) alla (4.8), sono riassunti nella Tabella 4.2:

$C_{gd}(fF)$	$C_{ds}(fF)$	$C_{gs}(fF)$	$G_{ds}(S)$	$R_i(\Omega)$	$g_m(S)$	$\tau(pS)$
<b>48.53</b>	<b>315.61</b>	<b>1320.6</b>	<b>0.0033</b>	<b>0.3364</b>	<b>0.1477</b>	<b>4.09</b>

**Tabella 4.2:** I parametri del circuito equivalente intrinseco nel punto acceso ( $V_g = -3V$ ,  $V_d = 30V$ )

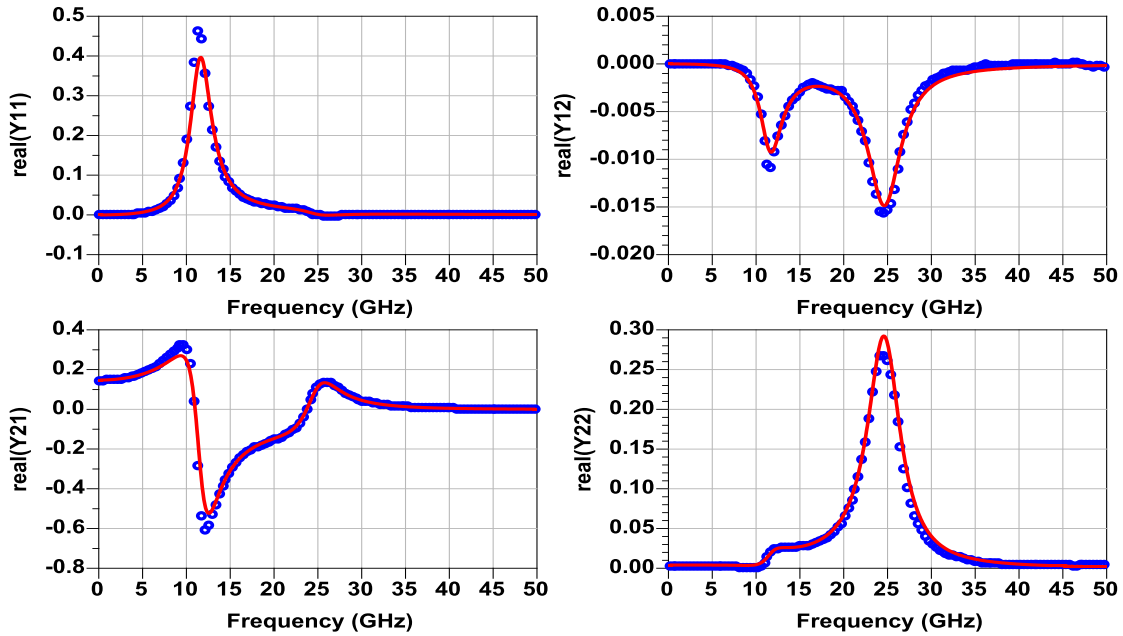
Applicheremo i valori della Tabella 4.1 al circuito estrinseco simulato (Figura 4.3) e i valori della Tabella 4.2 al circuito intrinseco simulato (Figura 4.15) e vediamo il confronto tra le misure e la simulazione che si vede nella Figura 4.25.



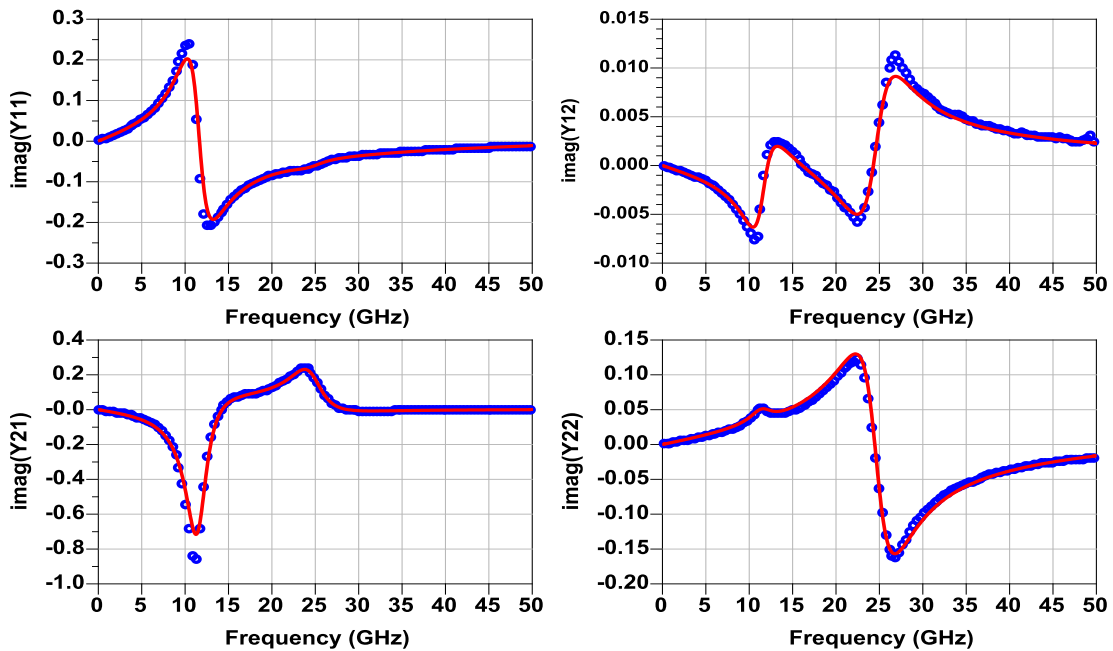
**Figura 4.25:** Il confronto tra misure  $S$  ( blue ) e simulazione ( rossa ) su 1 punto di bias ( $V_g = -3V$ ,  $V_d = 30V$ ).



Inoltre facciamo vedere il confronto tra  $Y^{misurata}$  (blue) e  $Y^{simulata}$  (rossa) con la Figura 4.26 (la parte reale del confronto) e la Figura 4.27 (la parte immaginaria del confronto), e come si vedono dalle Figure abbiamo una simulazione perfetta.

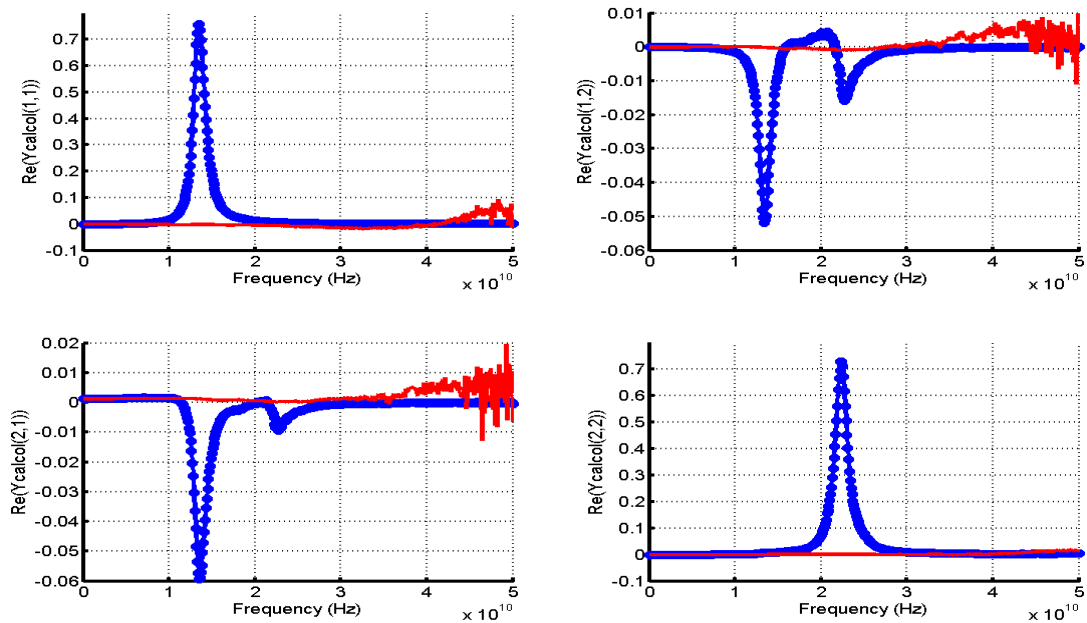


**Figura 4.26:** Il confronto della parte reale di  $Y_{ij}$  misurata (blue) e la  $Y_{ij}$  simulata (rossa) per il punto di bias ( $V_g = -3V$ ,  $V_d = 30V$ ).

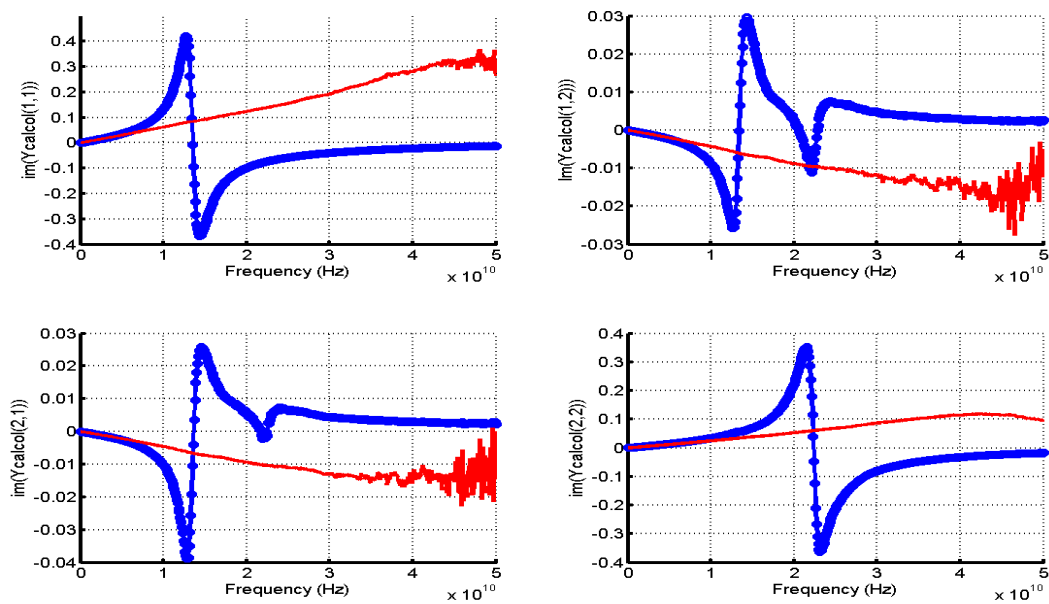


**Figura 4.27:** Il confronto della parte immaginaria di  $Y_{ij}$  misurata (blue) e la  $Y_{ij}$  simulata (rossa) per il punto di bias ( $V_g = -3V$ ,  $V_d = 30V$ ).

Questa volta prendiamo in considerazione un altro punto di bias con il dispositivo acceso ( $V_g = -4V$ ,  $V_d = 30V$ ) e dembeddando i parametri parassiti già trovati nella Tabella 4.1 dalla  $Y^{estrinseca}$  del punto acceso seconda la procedura già spiegata nel paragrafo 4.2, troviamo  $Y$  all'intrinseco. Nella Figura 4.28 e Figura 4.29 si vedono il confronto tra  $Y^{estrinseca}$  e  $Y^{intrinseca}$  del punto acceso.



**Figura 4.28:** La parte reale della  $Y^{estrinseca}$  del punto acceso (blue) e  $Y^{intrinseca}$  del punto acceso (rossa) per il punto di bias ( $V_g = -4V$ ,  $V_d = 30V$ ).



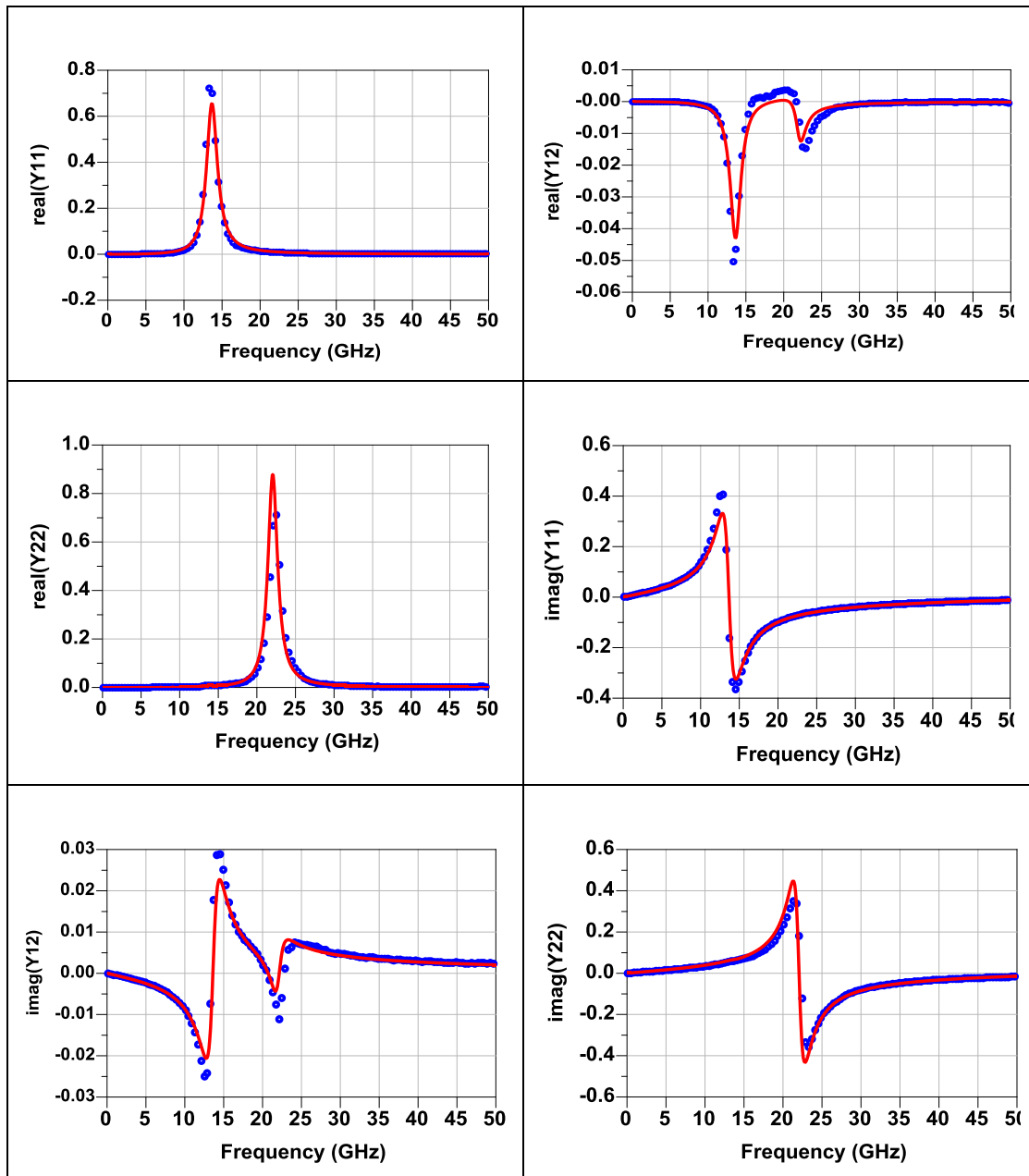
**Figura 4.29:** La parte immaginaria della  $Y^{estrinseca}$  del punto acceso (blue) e  $Y^{intrinseca}$  del punto acceso (rossa) per il punto di bias ( $V_g = -4V$ ,  $V_d = 30V$ ).

E quindi i valori del circuito equivalente intrinseco (  $C_{gd}$  ,  $C_{ds}$  ,  $C_{gs}$  ,  $G_{ds}$  ,  $R_i$  ,  $g_m$  ,  $\tau$  ) ricavati dalla  $Y^{intrinseca}$  del punto di bias con il dispositivo acceso ( $V_g=-4V$ ,  $V_d=30V$ ) seconda la procedura appena fatta con le formule dalla (4.2) alla (4.8) sono riassunti nella Tabella4.3:

$C_{gd}(fF)$	$C_{ds}(fF)$	$C_{gs}(fF)$	$G_{ds}(S)$	$R_i(\Omega)$	$g_m(S)$	$\tau(pS)$
<b>69.926</b>	<b>372.30</b>	<b>915.66</b>	<b><math>\approx 0</math></b>	<b>0</b>	<b>0.0013</b>	<b>6.56</b>

**Tabella 4.3:** I parametri del circuito equivalente intrinseco nel punto acceso( $V_g=-4V$ ,  $V_d=30V$ )

Dopo aver implementato il modello in ADS è possibile notare il confronto tra le misure e la simulazione nelle seguenti immagini nella Figura 4.30 e Come si vedono dalle immagini della Figura 4.30 i risultati sono molto simili.



**Figura 4.30:** Il confronto tra le parti reali e immaginarie delle  $Y_{ij}$  misurata (blue) e la  $Y_{ij}$  simulata (rossa) per il punto di bias ( $V_g = -4V$ ,  $V_d = 30V$ ).

### 4.3.2 Caso 2

In questo caso invece prenderemo 4 punti di bias con il dispositivo spento mostrati nella Tabella 4.4 e per ogni punto di bias calcoleremo le matrici  $\bar{G}$  e  $\bar{C}$  con la dimensione

(2×2) e dipendenti dal punto di bias ( $V_g, V_d$ ). Nella Tabella 4.4 sono riportate i valori ottenuti per le matrici  $\bar{C}$  con diversi punti di bias con il nostro metodo.

<b>Punti di bias</b>	<b>(<math>V_d=0V, V_g=-4.5V</math>)</b>	<b>(<math>V_d=0V, V_g=-4.25V</math>)</b>	<b>(<math>V_d=1V, V_g=-4.5V</math>)</b>	<b>(<math>V_d=1V, V_g=-4.5V</math>)</b>
<b><math>C_{11}(pF)</math></b>	<b>1.214</b>	<b>1.21</b>	<b>1.20</b>	<b>1.20</b>
<b><math>C_{12} \approx</math> <math>C_{21}(pF)</math></b>	<b>-0.32</b>	<b>-0.32</b>	<b>-0.31</b>	<b>-0.31</b>
<b><math>C_{22}(pF)</math></b>	<b>0.75</b>	<b>0.75</b>	<b>0.74</b>	<b>0.74</b>

**Tabella 4.4:** Le matrici di  $\bar{C}$  relative ai 4 punti di bias

A questo punto prendiamo le misure per il primo punto di bias con il dispositivo spento, dembeddando le capacità già fissate troveremo  $Y_{(1)}^{intermedia}$  (relativa al primo punto di bias) costruendo la matrice  $A_{(bias1, freq)} [8 \times 6]$  e il vettore  $B_{(bias1, freq)} [8 \times 1]$  che compaiono nella (2.31) rappresentano la matrice del sistema e il vettore dei termini noti per il primo punto di bias e per una certa frequenza. Nel nostro caso ripetendo le matrici su 4 punti di polarizzazione avremo le matrici  $A$  e  $B$  :

$$\overbrace{\begin{bmatrix} A_{(bias1, freq)} \\ A_{(bias2, freq)} \\ A_{(bias3, freq)} \\ A_{(bias4, freq)} \end{bmatrix}}^{A_{(freq)}} * \begin{bmatrix} R_g \\ R_d \\ R_s \\ L_g \\ L_d \\ L_s \end{bmatrix} = \overbrace{\begin{bmatrix} B_{(bias1, freq)} \\ B_{(bias2, freq)} \\ B_{(bias3, freq)} \\ B_{(bias4, freq)} \end{bmatrix}}^{B_{(freq)}}$$

In questo caso abbiamo due nuove matrici: la matrice  $A_{(freq)} [(4 \times 8) \times 6]$ , formata da 4 matrici precedenti  $A_{(bias, freq)}$  e la matrice colonna  $B_{(freq)} [(4 \times 8) \times 1]$  formata da 4 matrici precedenti  $B_{(bias, freq)}$ . E ripetendo la procedura per numero delle frequenze (N) otteniamo le matrici finali: la matrice  $A [(N \times 4 \times 8) \times 6]$ , formata da N matrici precedenti  $A_{(freq)}$ , e la

matrice colonna  $B[(N \times 4 \times 8) \times 1]$ , formata da  $N$  matrici precedenti  $B_{(freq)}$ . Quindi è possibile scrivere:

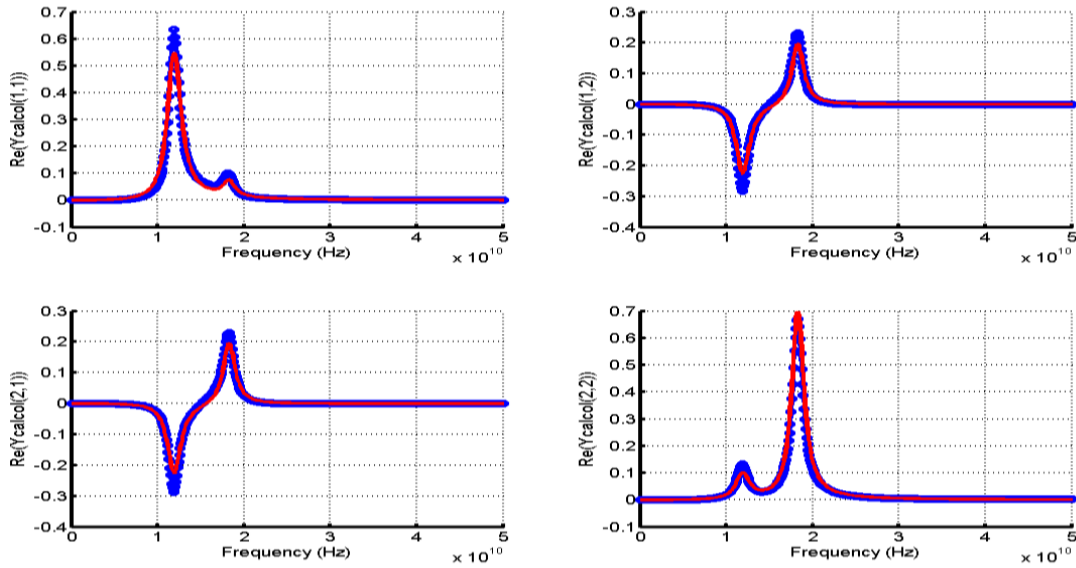
$$A * x = B$$

Si è ottenuto un sistema sovradeterminato, dove le dimensioni dipendono dal numero di punti di bias (considerato 4) e dal range di frequenza che si è scelto di esaminare. Risolvendo il sistema potremo trovare i parassiti ( $R_g$ ,  $R_d$ ,  $R_S$ ,  $L_g$ ,  $L_d$ ,  $L_S$ ) che sono portati nella Tabella 4.5. Poi vediamo la matrice l'errore per tutti i punti di bias che viene uguale a  $\begin{bmatrix} errBias1 & errBias2 \\ errBias3 & errBias4 \end{bmatrix} = \begin{bmatrix} 0.0181 & 0.0187 \\ 0.0209 & 0.0209 \end{bmatrix}$ , con un l'errore medio di 0.0197 per tutti punti di bias e ovviamente scegliamo l'errore minimo che è uguale a 0.0181 e corrisponde con il primo punto di bias ( $V_d = 0V$ ,  $V_g = -4.5V$ ). In questo caso abbiamo visto che anche l'errore minimo della soluzione si è diminuito a 0.0789.

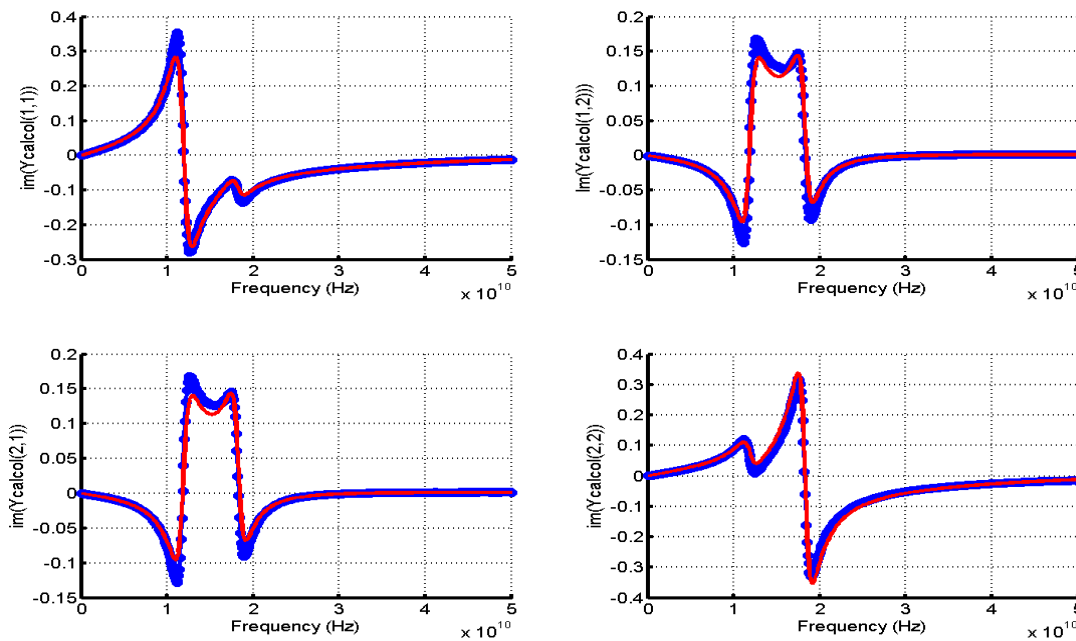
$R_g(\Omega)$	$R_d(\Omega)$	$R_S(\Omega)$	$L_g(pH)$	$L_d(pH)$	$L_S(pH)$	$C_{p1}(fF)$	$C_{p2}(fF)$	$C_{p3}(fF)$
<b>1,594</b>	<b>1,297</b>	<b>0</b>	<b>131.1</b>	<b>109.75</b>	<b>9,720</b>	<b>40.00</b>	<b>60.00</b>	<b>0</b>

*Tabella 4.5: I parassiti ottenuti del caso due avendo 4 punti di bias*

Abbiamo visto che il migliore punto di bias con il dispositivo spento nel caso2 corrisponde con ( $V_d = 0V$ ,  $V_g = -4.5V$ ) che esattamente è il punto di bias scelto nel caso1. Nel confronto delle parti reali del caso1(solo un punto di bias spento) con la Figura 4.21 ed il caso2(4 punti di bias spento) con la Figura 4.31, e le parti immaginarie dei tutti i due casi con la Figura 4.22 e la Figura 4.32, si nota subito che nel caso di 4 punti di bias con il dispositivo spento la simulazione viene molto più accurata rispetto il caso di solo un punto di bias con il dispositivo spento.



**Figura 4.31:** Il confronto della parte reale di  $Y^{estrinseca-calcolata}$  (rosso) e  $Y^{misurata}$  (blue) per il punto di bias ( $V_g = -4.5V$ ,  $V_d = 0V$ ).



**Figura 4.32:** Il confronto della parte immaginaria di  $Y^{estrinseca-calcolata}$  (rosso) e  $Y^{misurata}$  (blue) per il punto di bias ( $V_g = -4.5V$ ,  $V_d = 0V$ ).

Ora prendiamo un punto di bias con il dispositivo acceso ( $V_g = -3V$ ,  $V_d = 30V$ ) e dembeddando i parametri parassiti già trovati nella Tabella 4.5 dalla  $Y^{estrinseca}$  del punto acceso seconda la procedura, arriviamo a  $Y$  all'intrinseca del punto acceso. La Figura 4.33 e la Figura 4.34 fanno vedere il confronto tra la parte reale e immaginaria di  $Y^{est}$  e  $Y^{int}$  del punto acceso rispettivamente.

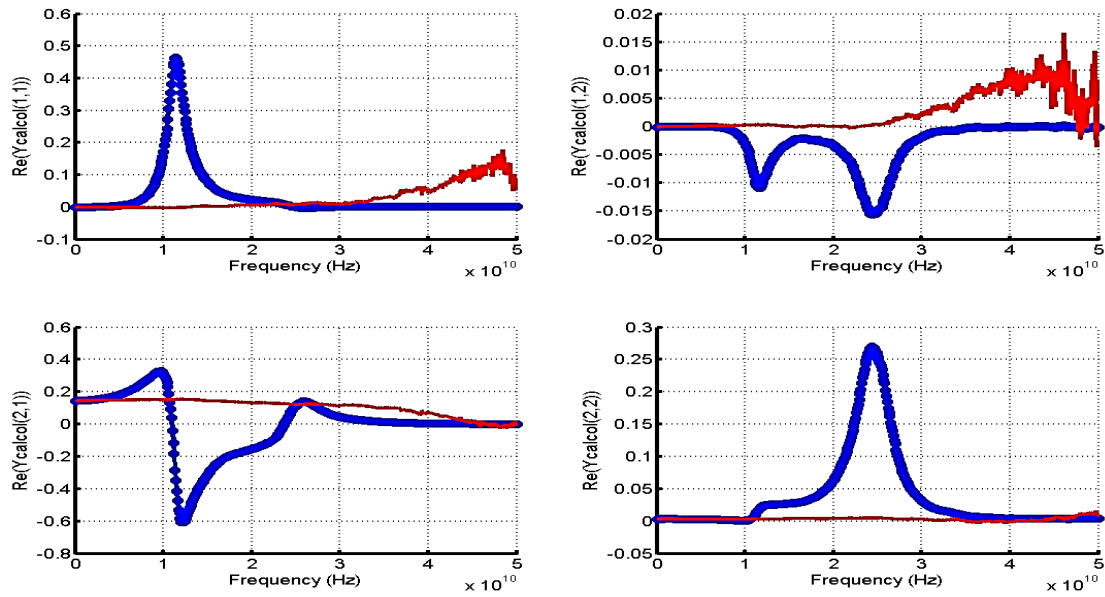


Figura 4.33: La parte reale della  $Y^{estrinseca}$  del punto acceso (blue) e  $Y^{intrinseca}$  del punto acceso (rossa) per il punto di bias ( $V_g = -3V$ ,  $V_d = 30V$ ).

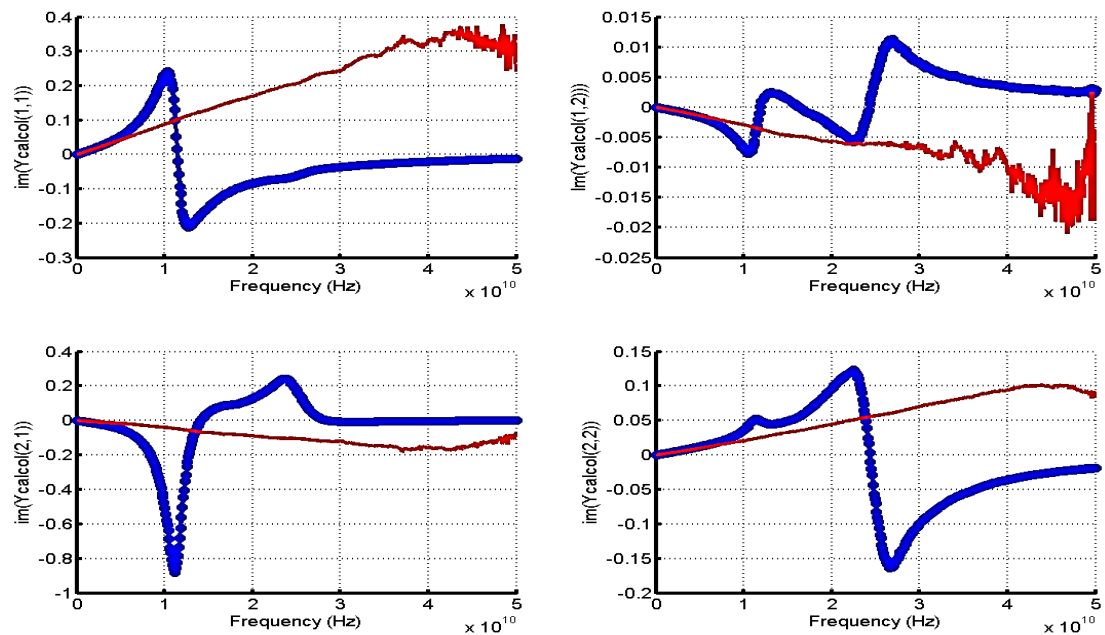


Figura 4.34: La parte immaginaria della  $Y^{estrinseca}$  del punto acceso (blue) e  $Y^{intrinseca}$  del punto acceso (rossa) per il punto di bias ( $V_g = -3V$ ,  $V_d = 30V$ ).

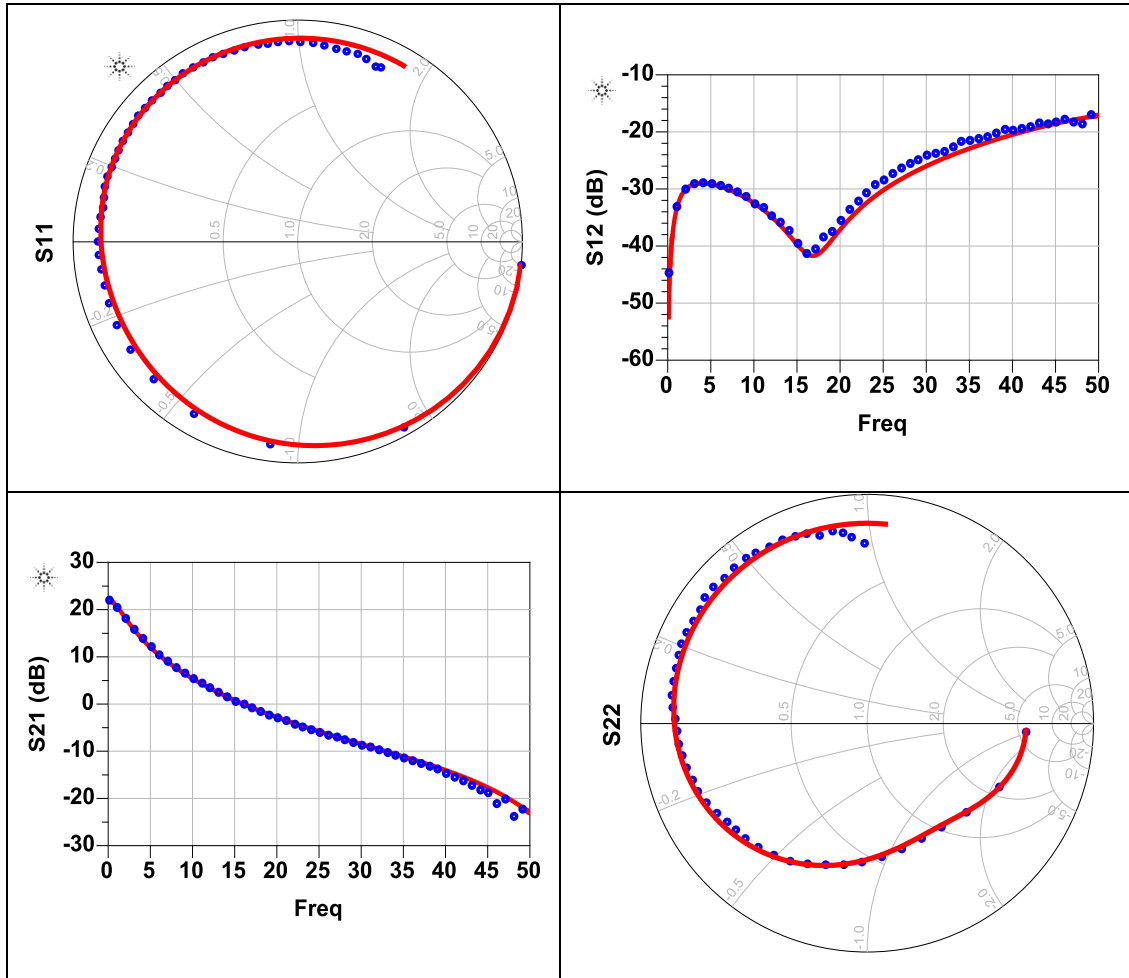
Poi utilizzando le formule dalla (4.2) alla (4.8), potremo ricavare i valori del circuito equivalente intrinseco ( $C_{gd}$ ,  $C_{ds}$ ,  $C_{gs}$ ,  $G_{ds}$ ,  $R_i$ ,  $g_m$ ,  $\tau$ ) dalla  $Y^{intrinseca}$  del punto acceso. Questi valori sono riassunti nella Tabella 4.6.



$C_{gd}(fF)$	$C_{ds}(fF)$	$C_{gs}(fF)$	$G_{ds}(mS)$	$R_i(\Omega)$	$g_m(mS)$	$\tau(pS)$
51.21	310	1400	3.6	0.251	149.5	4.11

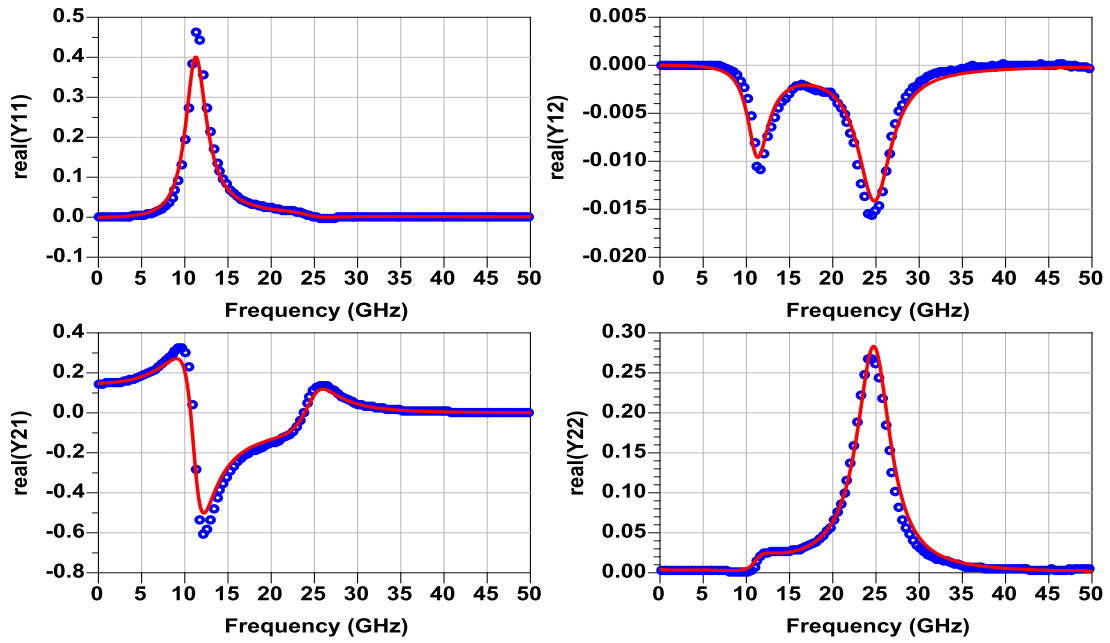
**Tabella 4.6:** I parametri del circuito equivalente intrinseco nel punto acceso ( $V_g=-3V$ ,  $V_d=30V$ ) per il caso di 4 punti di bias.

Dopo aver implementato in modello in ADS è possibile notare il confronto tra i parametri S delle misure(blue) e la simulazione (rossa) con le seguenti immagini nella Figura 4.35.

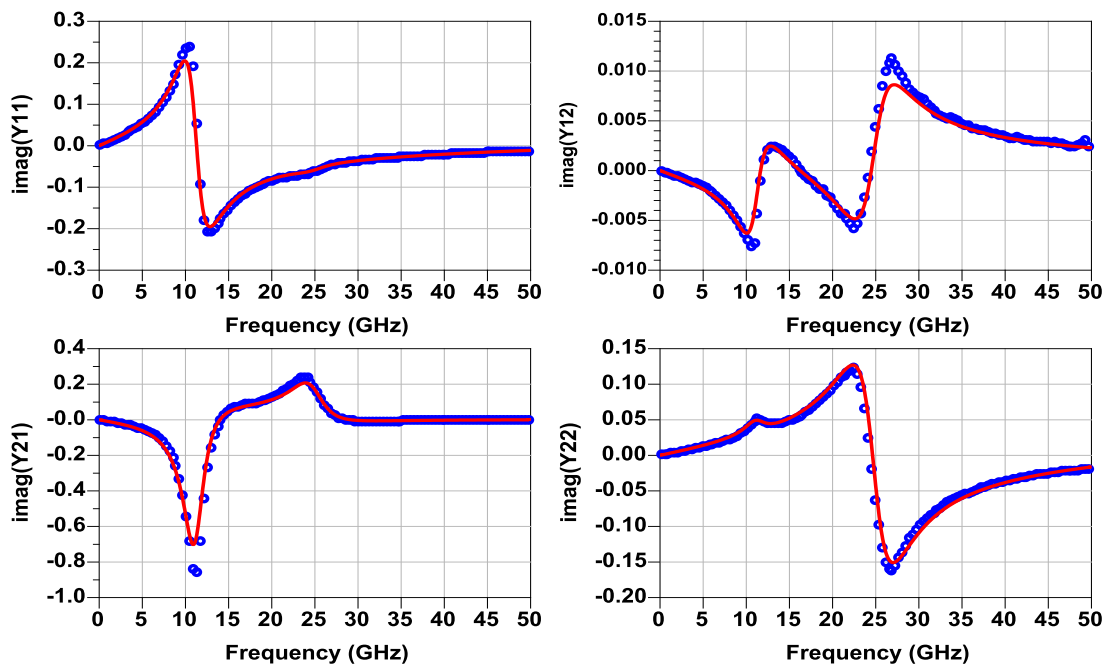


**Figura 4.35:** Il confronto tra misure S(blue) e la simulazione(rossa) per il punto di bias ( $V_g=-3V$ ,  $V_d=30V$ ).

Facciamo vedere con le Figure 4.36 e 4.37 la parte reale e la parte immaginaria del confronto tra  $Y^{misurata}$  e  $Y^{simulata}$ , rispettivamente per il punto di bias con il dispositivo acceso ( $V_g = -3V$ ,  $V_d=30V$ ).



**Figura 4.36:** La parte reale della  $Y^{misurata}$  del punto acceso(blue) e  $Y^{calcolata\_estrinseca}$  del punto acceso(rossa) per il punto di bias ( $V_g = -3V$ ,  $V_d = 30V$ ).



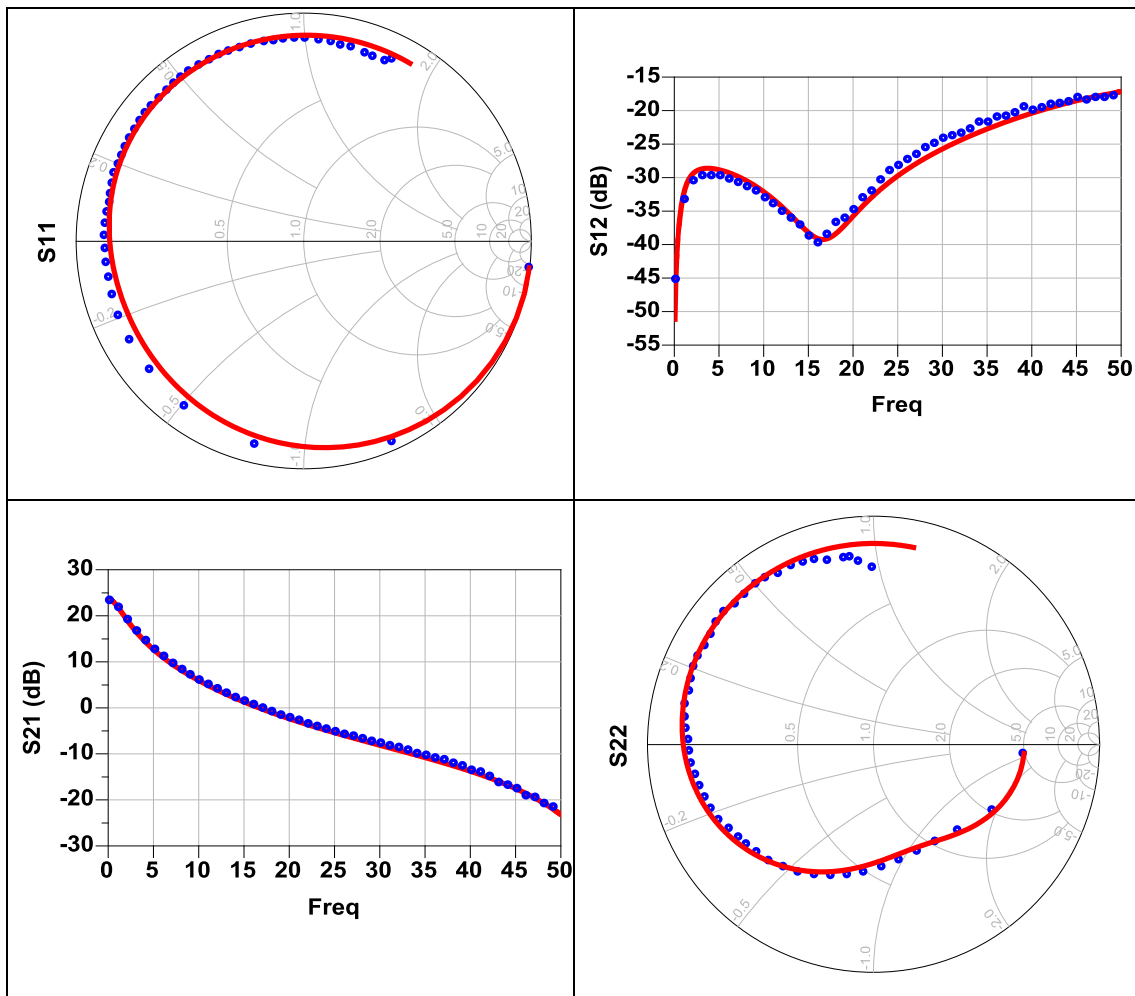
**Figura 4.37:** La parte immaginaria della  $Y^{misurata}$  del punto acceso(blue) e  $Y^{calcolata\_estrinseca}$  del punto acceso(rossa) per il punto di bias ( $V_g = -3V$ ,  $V_d = 30V$ ).

Per la seconda condizione del caso2, prendiamo in considerazione un punto di polarizzazione in zona triodo ( $V_g = -2.5V$ ,  $V_d = 30V$ ) e troveremo i parametri del circuito equivalente intrinseco in questo punto di bias, i valori sono riassunti nella Tabella 4.7.

$C_{gd}(fF)$	$C_{ds}(fF)$	$C_{gs}(fF)$	$G_{ds}(mS)$	$R_i(\Omega)$	$g_m(mS)$	$\tau(pS)$
52.92	320.01	1360	4.0	0.627	181.3	4.32

**Tabella 4.7:** I parametri del circuito equivalente intrinseco in zona triodo ( $V_g=-2.5V$ ,  $V_d=30V$ ) per il caso di 4 punti di bias.

Applicheremo i valori della Tabella 4.7 in ADS e troviamo il confronto tra i parametri S della misura(blue) e i parametri S simulata(rossa) nella Figura 4.38.



**Figura 4.38:** Il confronto tra misure S(blue) e la simulazione(rossa) per il punto di bias ( $V_g=-2.5V$ ,  $V_d=30V$ ).

Poi facciamo vedere con le Figure 4.39 e 4.40 la parte reale e la parte immaginaria del confronto tra  $Y^{misurata}$  e  $Y^{simulata}$ , rispettivamente per il punto di bias con il dispositivo in zona triodo ( $V_g = -2.5V$ ,  $V_d = 30V$ ).

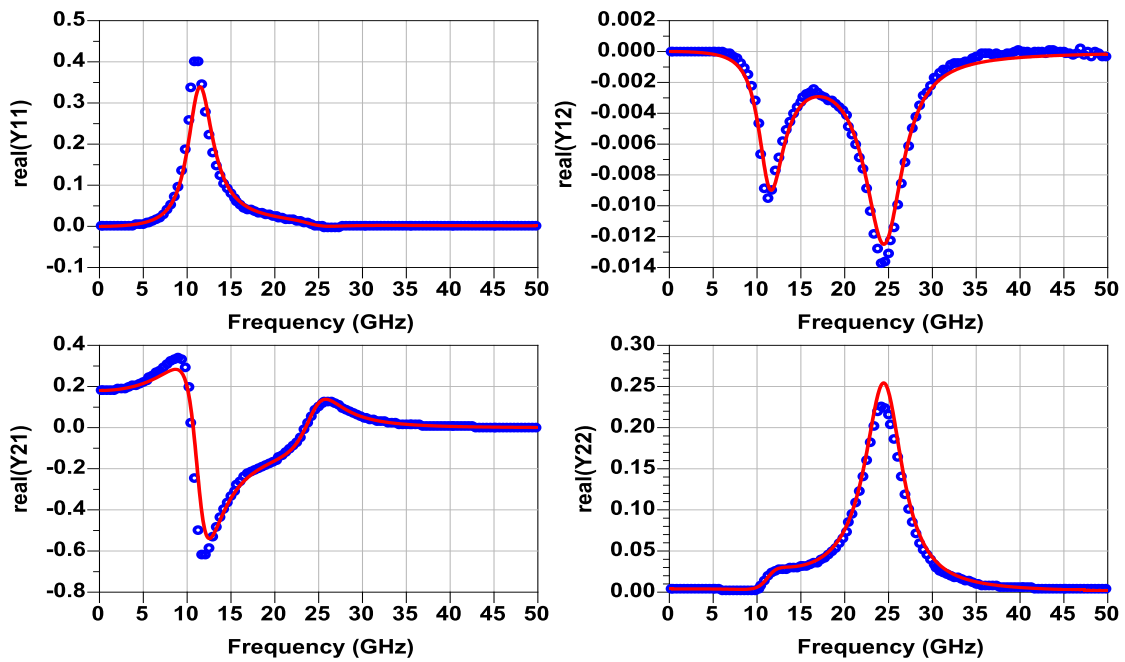


Figura 4.39: La parte reale della  $Y^{misurata}$  del punto acceso(blue) e  $Y^{calcolata\_estrinseca}$  del punto acceso(rossa) per il punto di bias ( $V_g = -2.5V$ ,  $V_d = 30V$ ).

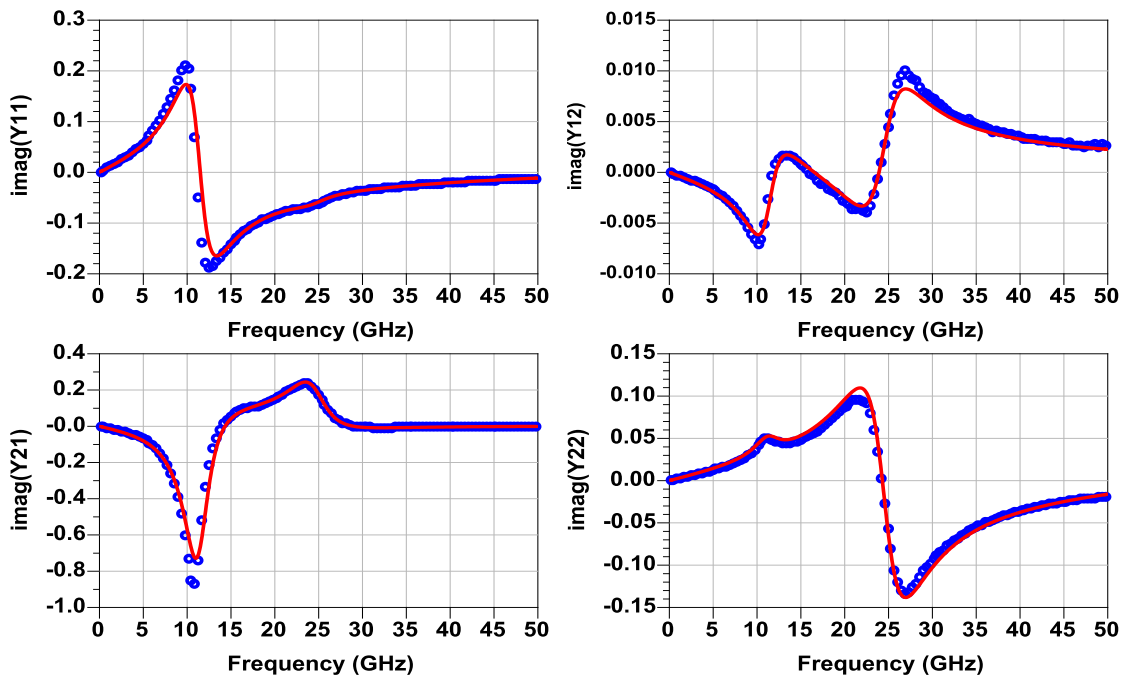


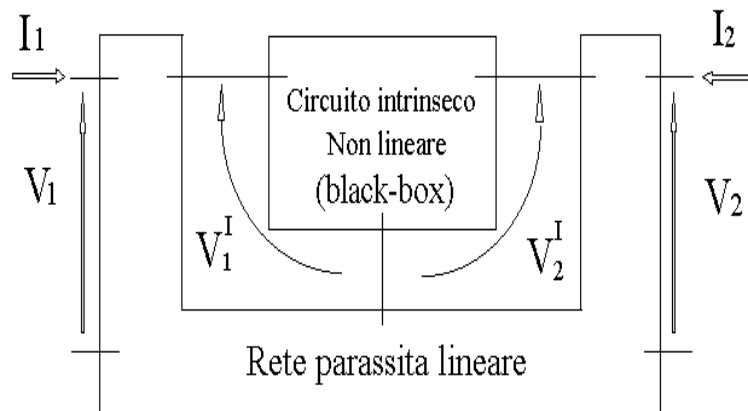
Figura 4.40: La parte immaginaria della  $Y^{misurata}$  del punto acceso(blue) e  $Y^{calcolata\_estrinseca}$  del punto acceso(rossa) per il punto di bias ( $V_g = -2.5V$ ,  $V_d = 30V$ ).

## 5 Capitolo 5: Metodo Modificato per l'estrazione dei parametri parassiti di un dispositivo GaN

Come abbiamo visto nel capitolo precedente, il nostro metodo introdotto riesce ad estrarre accuratamente i parassiti. Abbiamo notato che il metodo, per il dispositivo in questione, identifica una resistenza parassita del source ( $R_s$ ) nulla.

Questo potrebbe essere dovuto al fatto che le resistenze di drain e di source sono tra loro in serie ed il sistema potrebbe non identificarle dando tutto il peso alla resistenza di drain. Per questo motivo si è pensato di adottare una piccola modifica al metodo di estrazione dei parassiti, che si descriverò in questo capitolo. Si tratterà di imporre la resistenza di source anziché ritenerla una incognita del problema. Inoltre si cercherà di condizionare meglio il problema lineare aggiungendo delle equazioni note che “provengono” da informazioni sul dispositivo da acceso (classe A).

Come avevo già detto il circuito con la Figura 5.1 è uno schema circuitale del tutto generale valido per qualsiasi tipo di dispositivo e gli effetti parassiti sono modellati come un circuito lineare a quattro porte; il circuito intrinseco come una rete non lineare di tipo black-box.



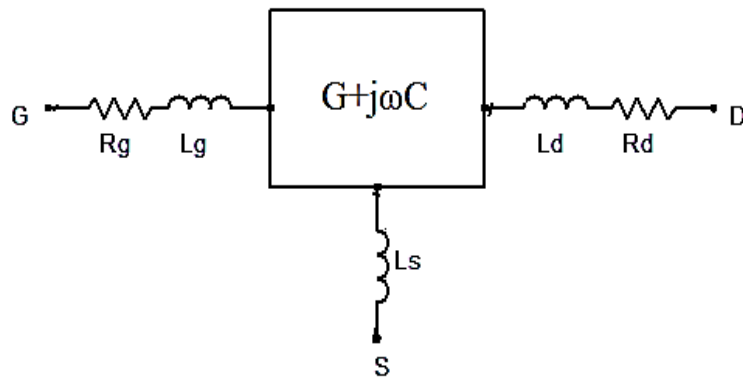
**Figura 5.1:** Circuito equivalente generalizzato di un dispositivo

## 5.1 Metodo di estrazione dei parassiti Modificato

In questa nuova versione considereremo il termine  $C_{p3}$  sempre nullo. Imponiamo invece i valori di  $C_{p1}$ ,  $C_{p2}$  e quello della resistenza di source  $R_s$ . Quindi una volta imposti questi tre valori, il circuito può essere generalizzato come in Figura 5.2. Gli elementi da identificare sono 5, ovvero:  $(R_g, R_d, L_g, L_d, L_s)$ .

Inoltre cercheremo di condizionare meglio il problema lineare aggiungendo delle equazioni note che “provengono” da informazioni sul dispositivo da acceso (classe A), ovvero analizziamo il dispositivo in due condizioni:

- 1) Con il dispositivo spento
- 2) Con il dispositivo acceso



*Figura 5.2: Il circuito equivalente parassita generalizzato*

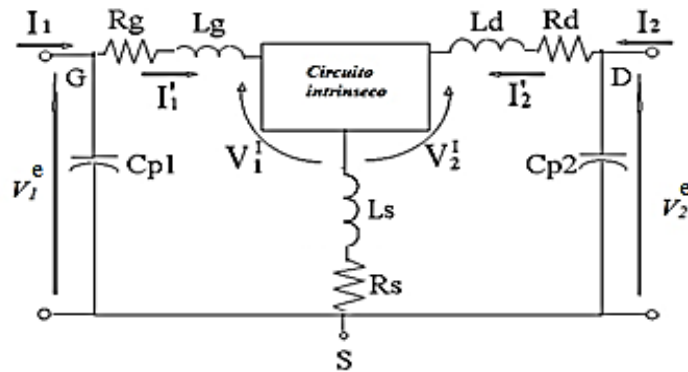
Una volta imposti i tre valori  $C_{p1}$ ,  $C_{p2}$ ,  $R_s$ , il circuito equivalente si riduce alla figura 5.2. In questo caso le equazioni che si ricavano sono:

$$\bar{V} = \begin{bmatrix} V_1 \\ V_2 \end{bmatrix} \quad \bar{I} = \begin{bmatrix} I_1 \\ I_2 \end{bmatrix} \quad \bar{V}^I = \begin{bmatrix} V_1^I \\ V_2^I \end{bmatrix} \quad (5.1)$$

Dove:

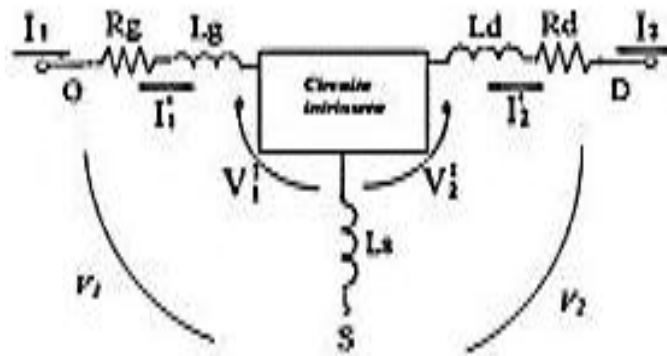
$$\bar{R} = \begin{bmatrix} R_{11} & R_{12} \\ R_{21} & R_{22} \end{bmatrix} = \begin{bmatrix} R_g & 0 \\ 0 & R_d \end{bmatrix} \quad (5.2)$$

$$\bar{L} = \begin{bmatrix} L_{11} & L_{12} \\ L_{21} & L_{22} \end{bmatrix} = \begin{bmatrix} L_g + L_s & L_s \\ L_s & L_d + L_s \end{bmatrix} \quad (5.3)$$



*Figura 5.3: Il circuito equivalente completo*

Partendo dal circuito di figura 5.3, dembeddiamo le due capacità esterne Cp1 e Cp2. Successivamente, attraverso alcune operazioni di inversioni della matrice, si dembedda anche la resistenza Rs e quindi il circuito diventa come Figura 5.4.



*Figura 5.4: Il circuito equivalente dembeddata*

Le equazioni del circuito della Figura 5.4 diventano:

$$\begin{cases} \bar{V} - \bar{V}^I = (\bar{R} + j\omega\bar{L}) * \bar{I} \\ \bar{I} = (\bar{G} + j\omega\bar{C}) * \bar{V}^I \\ \bar{I} = \bar{Y}^{Deembeddati} * \bar{V} \end{cases} \quad (5.5)$$

Dove le varie matrici hanno il significato delle formule 5.2 e 5.3.

Dopo una serie di passaggi arriviamo alla soluzione della sistema (5.6):

$$\bar{Y} = (\bar{G} + j\omega\bar{C}) * [1 - (\bar{R} + j\omega\bar{L}) * \bar{Y}] \quad (5.6)$$

Dove:

- $\bar{Y}$ , la matrice dei termini noti, funzione del bias e della frequenza, deembeddata da valori di  $C_{p1}$ ,  $C_{p2}$ ,  $R_s$ ;
- $\bar{R}$  ed  $\bar{L}$ , matrici incognite, costanti al variare del bias e della frequenza;
- $\bar{G}$  e  $\bar{C}$ , matrici del circuito intrinseco, dipendenti dal bias, e necessarie ai fini dell'individuazione delle incognite del problema.

Per identificazione dei parametri parassiti, dopo identificare le matrici intrinseche  $\bar{G}$  e  $\bar{C}$  l'equazione della nostra soluzione (5.6), diviene lineare nelle incognite  $\bar{R}$  ed  $\bar{L}$ , nello specifico si ha un problema sovradeterminato, avendo a disposizione 8 equazioni reali (2 equazioni reali per ogni elemento della matrice) in 5 incognite lineari ( $R_g$ ,  $R_d$ ,  $L_g$ ,  $L_d$ ,  $L_s$ ). Si utilizza una tecnica risolutiva ai minimi quadrati. Si cerca la soluzione che minimizza l'errore globale definito come scarto quadratico tra le ammettenze misurate e predette.

Impostiamo un sistema complessivo che riscriva l'equazione (5.6) evidenziando i dati disponibili e le incognite:



$$\begin{matrix}
\overbrace{\begin{bmatrix} a_{11} & a_{12} & a_{13} & a_{14} & a_{15} \\ a_{21} & a_{22} & a_{23} & a_{24} & a_{25} \\ a_{31} & a_{32} & a_{33} & a_{34} & a_{35} \\ a_{41} & a_{42} & a_{43} & a_{44} & a_{45} \\ a_{51} & a_{52} & a_{53} & a_{54} & a_{55} \\ a_{61} & a_{62} & a_{63} & a_{64} & a_{65} \\ a_{71} & a_{72} & a_{73} & a_{74} & a_{75} \\ a_{81} & a_{82} & a_{83} & a_{84} & a_{85} \end{bmatrix}}^{A_{(bias, freq)}} & * & \begin{bmatrix} R_g \\ R_d \\ L_g \\ L_d \\ L_s \end{bmatrix} & = & \overbrace{\begin{bmatrix} b_1 \\ b_2 \\ b_3 \\ b_4 \\ b_5 \\ b_6 \\ b_7 \\ b_8 \end{bmatrix}}^{B_{(bias, freq)}}
\end{matrix} \quad (5.7)$$

La matrice  $A_{(bias, freq)}[8 \times 5]$  e il vettore  $B_{(bias, freq)}[8 \times 1]$  che rappresentano la matrice del sistema e il vettore dei termini noti per un certo bias e per una certa frequenza ed è necessario ripetere le matrici  $A$  e  $B$  per ognuno di questi punti:

$$\begin{matrix}
\overbrace{\begin{bmatrix} A_{(bias1, freq)} \\ A_{(bias2, freq)} \\ \vdots \\ A_{(biasN_b, freq)} \end{bmatrix}}^{A_{(freq)}} & * & \begin{bmatrix} R_g \\ R_d \\ L_g \\ L_d \\ L_s \end{bmatrix} & = & \overbrace{\begin{bmatrix} B_{(bias1, freq)} \\ B_{(bias2, freq)} \\ \vdots \\ B_{(biasN_b, freq)} \end{bmatrix}}^{B_{(freq)}}
\end{matrix} \quad (5.8)$$

Come prima ora abbiamo due nuove matrici: la matrice  $A_{(freq)}[(N_b \times 8) \times 5]$ , formata da  $N_b$  matrici precedenti  $A_{(bias, freq)}$ , e la matrice colonna  $B_{(freq)}[(N_b \times 8) \times 1]$  formata da  $N_b$  matrici precedenti  $B_{(bias, freq)}$ .

Infine, per ottenere una ottimizzazione su  $N_b$  bias e su  $N$  frequenze, è utile ripetere ancora le matrici appena viste:

$$\begin{matrix} \text{A} \\ \left[ \begin{array}{c} A_{(freq1)} \\ A_{(freq2)} \\ \vdots \\ A_{(freqN)} \end{array} \right] \end{matrix} * \begin{matrix} \left[ \begin{array}{c} R_g \\ R_d \\ L_g \\ L_d \\ L_s \end{array} \right] \end{matrix} = \begin{matrix} \text{B} \\ \left[ \begin{array}{c} B_{(freq1)} \\ B_{(freq2)} \\ \vdots \\ B_{(freqN)} \end{array} \right] \end{matrix} \quad (5.9)$$

Otteniamo le matrici finali: la matrice  $A[(N \times N_b \times 8) \times 5]$ , formata da  $N$  matrici precedenti  $A_{(freq)}$ , e la matrice colonna  $B[(N \times N_b \times 8) \times 1]$ , formata da  $N$  matrici precedenti  $B_{(freq)}$ . allora è possibile scrivere:

$$A * x = B$$

### 5.1.1 Parte Intrinseca

Come primo passo dovremo scegliere un punto di bias con il dispositivo spento ed un altro punto di bias con il dispositivo acceso. Dopo aver scelto i punti di bias, dovremo definire un vettore su tutti i valori di  $R_s$ . Ora potremo trovare le matrici  $\bar{G}$  e  $\bar{C}$  (che dipenderanno da BIAS) per tutti punti di bias. Per procedere occorre fissare i valori della terna delle capacità esterne e la resistenza  $R_s$  che sarebbe  $(C_{p1}, C_{p2}, R_s)$ . Si fissano pertanto tre elementi della terna e cominciamo la procedura :

- 1) Da partire dalle misure Scattering troviamo  $Y$  all'estrinseco.
- 2) Regressione lineare dei parametri della matrice  $Y^{\text{intermedia}} \rightarrow$  individuazione  $\alpha_0$  e  $\alpha_1$  che dipendono dai punti di bias selezionati.
- 3) Con le formule (2.19) e (2.20) e usando le formule dalla (2.23) alla (2.29) potremo approssimare la parte reale ed immaginaria dei parametri  $Y^{\text{intermedia}}$  tramite un polinomio.

$$\tilde{Y}_{ij}^r(\omega) = a_{0ij} - \omega^2 a_{2ij} \cong Q_{0ij}$$

$$\tilde{Y}_{ij}^i(\omega) \cong \omega a_{1ij} - \omega^3 a_{3ij} \cong Q_{1ij} \omega$$

- 4) Fare un confronto tra  $Y^{\text{intermedia}}$  e  $Y^{\text{calcolata}}$  con gli alfa per vedere che errore viene meno di ( $10^{-4}$ ).

## 5.1.2 Parte Estrinseca

Per identificare la parte estrinseca del circuito prima di tutto dovremo scegliere un vettore per ciascun delle due capacità e la resistenza  $R_s$  con un valore minimo e un valore massimo e dovremo riuscire a definire un numero dei intervalli su ogni vettore, quindi avremo una griglia ( $N_1, N_2, N_3$ ). I passi che sono stati attuati sono:

- 1) scelta punti di bias.
- 2) scelta di 3 valori fissi  $R_s, C_{p1}^*, C_{p2}^*$ .
- 3) De-embedding dalle  $Y^{\text{misurata}}$  delle  $C_{p1}^*, C_{p2}^*$ , calcolo della  $Y^{\text{intermedia}}$ . Questo si può fare attraverso alcuni passaggi: convertire  $Y^{\text{intermedia}}$  alla  $Z^{\text{intermedia}}$  e de-embedding la resistenza  $R_s$  dalla  $Z^{\text{intermedia}}$  ed arrivare alla  $Z^{\text{intermedia-dembeddataRs}}$  e di nuovo convertirla alla  $Y^{\text{intermedia-dembeddataRs}}$ .
- 4) Applico il metodo minimi quadrati alla  $Y^{\text{intermedia-dembeddataRs}}$  dalla (5.7) alla (5.9) per trovare gli elementi parassiti ( $R_g, R_d, L_g, L_d, L_s$ ).
- 5) Partiamo dalle matrici  $\bar{G}$  e  $\bar{C}$ . potremo trovare  $Y^{\text{interinseca}}$  tramite questa formula  $Y^{\text{interinseca}} = \bar{G} + j\omega \bar{C}$ . Convertiamo  $Y^{\text{interinseca}}$  alla  $Z^{\text{interinseca}}$  e aggiungendo la matrice parassiti ( $M^{\text{Parassiti}}$ ) e la resistenza  $R_s$  già scelta nel passo 2 alla matrice  $Z^{\text{interinseca}}$ , poi convertila alle ammettenze troveremo  $Y^{\text{intermedia}}$ . Ora aggiungeremo le capacità esterne già scelte nel passo 2 ed arriviamo alla  $Y^{\text{esterinseca-calcolata}}$ .
- 6) Confronto tra  $Y^{\text{estrinseca-calcolata}}$  e  $Y^{\text{misurata}}$ . Calcolo dell'errore  $\epsilon$  relativo alla scelta dei valori delle capacità  $C_{p1}, C_{p2}, R_s$  tramite la formula (2.35).
- 7) Ritorno al passo 1 con altri valori delle  $C_{p1}, C_{p2}, R_s$  fino al completamento di tutti i valori delle capacità  $N_1 C_{p1}, N_2 C_{p2}, N_3 R_s$ .
- 8) Si sceglie la combinazione che fornisce l'errore minimo.

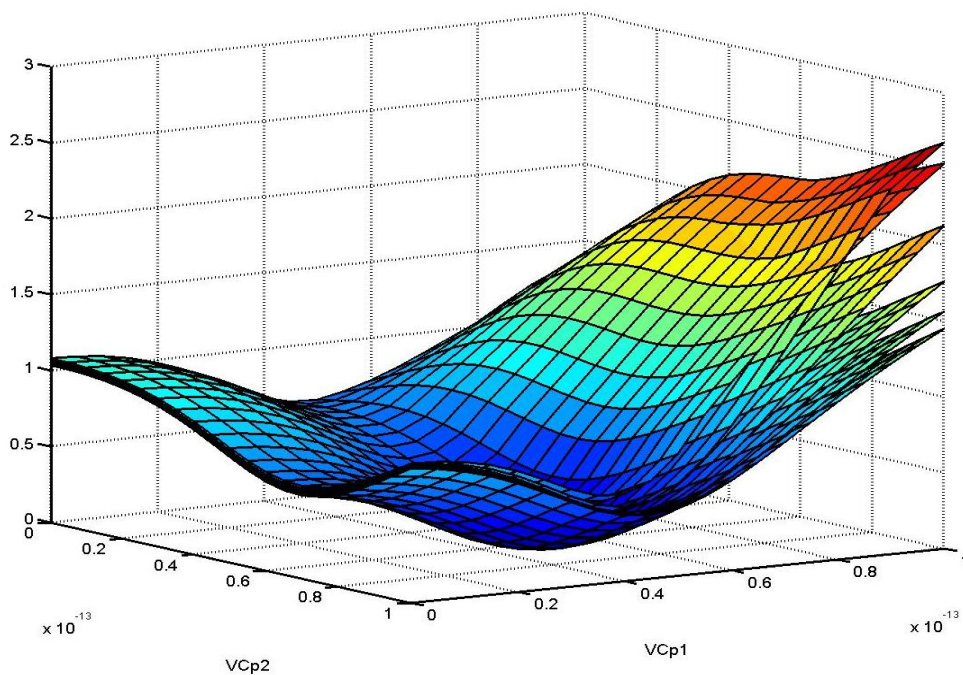
## 5.2 Validazione

Per verificare il nostro metodo modificato, lo imposto in ambiente MATLAB e prendo due punti di bias ( $V_g=-4V$  e  $V_d=0V$ ) e ( $V_g=-2V$  e  $V_d=20V$ ) e con la procedura modificata comincio a trovare i parassiti. I valori ottenuti sono riportati in Tabella 5.1.

Al termine della procedura possiamo visualizzare l'errore in funzione dei tre valori scelti come in Figura 5.5. Come si nota l'errore è funzione delle  $C_{p1}$  e  $C_{p2}$  ed è parametrizzata in  $R_s$ .

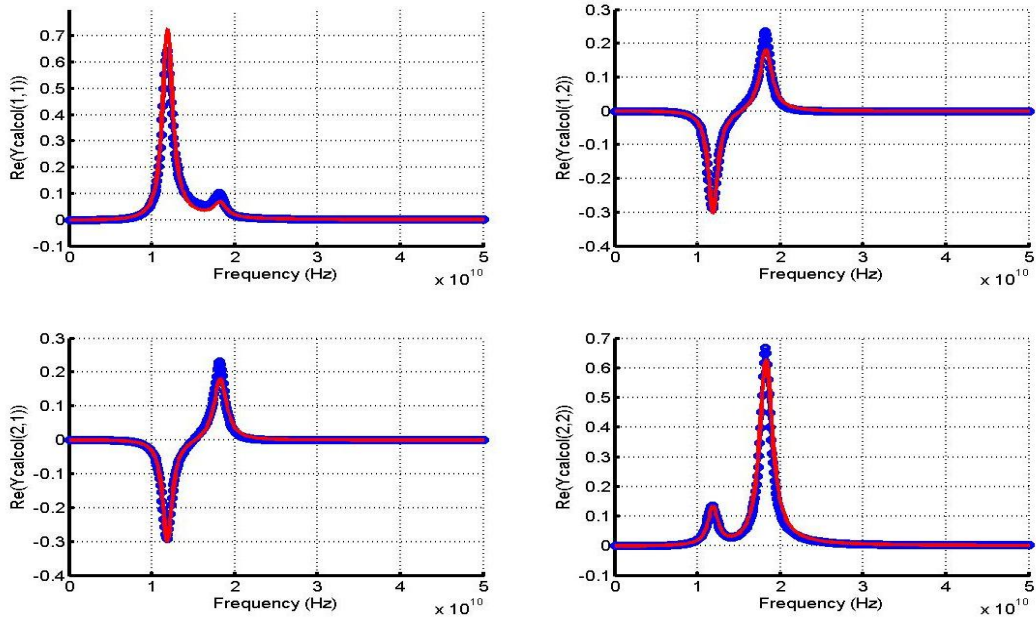
$R_g(\Omega)$	$R_d(\Omega)$	$R_s(\Omega)$	$L_g(pH)$	$L_d(pH)$	$L_s(pH)$	$C_{p1}(fF)$	$C_{p2}(fF)$	$C_{p3}(fF)$
0.97	1.24	0.1	130.0	107.2	12.5	42.8	66.7	0

*Tabella 5.1: I parassiti ottenuti con 2 punti di bias con dispositivo sia acceso che spento*

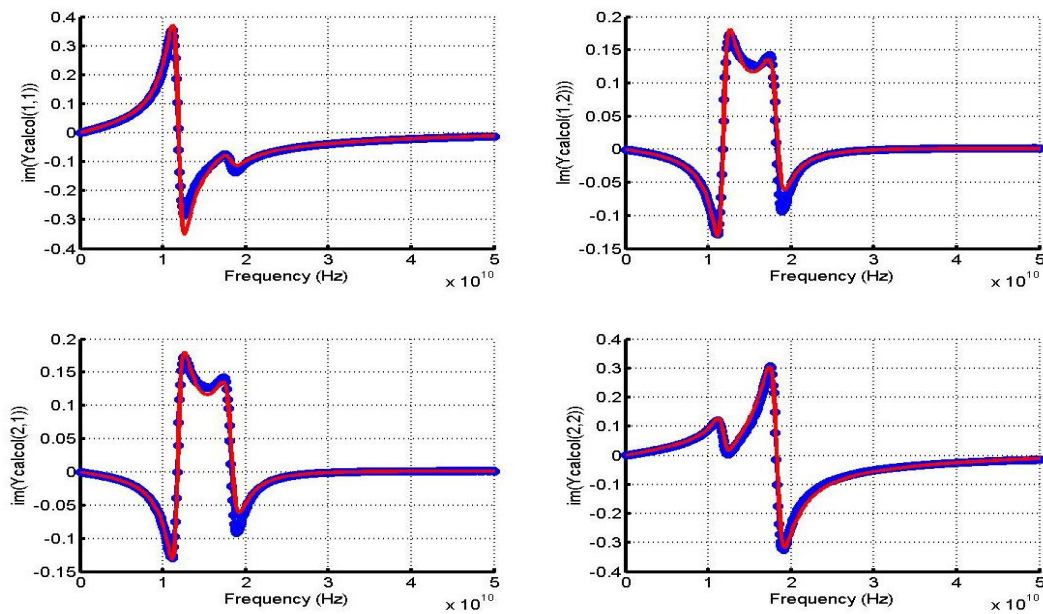


*Figura 5.5: Errore in 3D del metodo modificato*

Le Figure 5.6 e 5.7 fanno vedere il confronto tra la parte reale e la parte immaginaria di  $Y_{misurata}$  e  $Y_{estrinseca\_calcolata}$  per la condizione con il dispositivo spento ( $V_g=-4V$ ,  $V_d=0V$ ), rispettivamente. Come si vedono dalle Figure le curve corrispondono perfettamente.

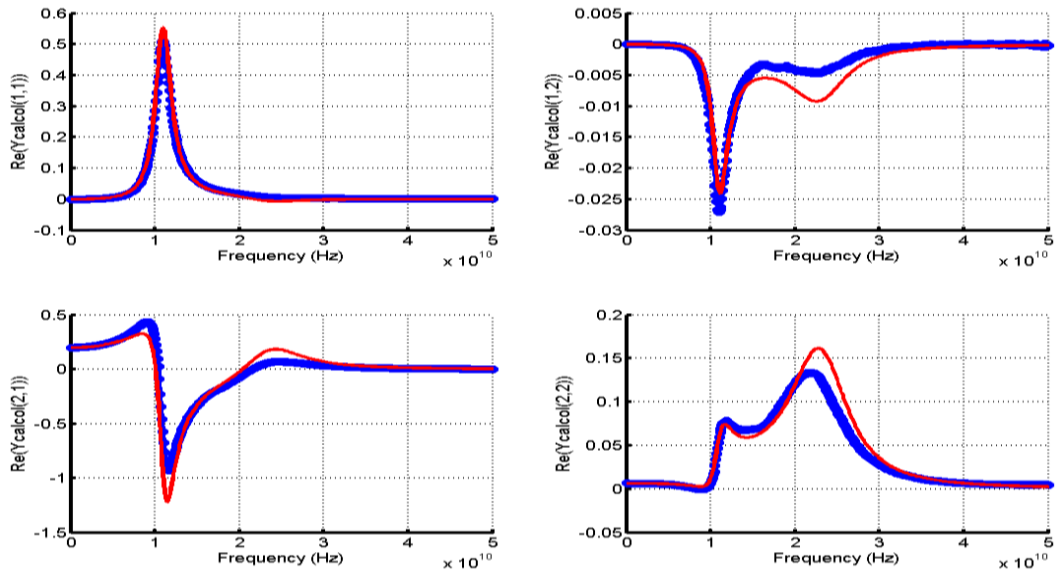


**Figura 5.6:** Il confronto della parte reale di  $Y^{\text{estrinseca-calcolata}}$  (rosso) e  $Y^{\text{misurata}}$  (blue) per il punto di bias ( $V_g = -4V$ ,  $V_d = 0V$ ).

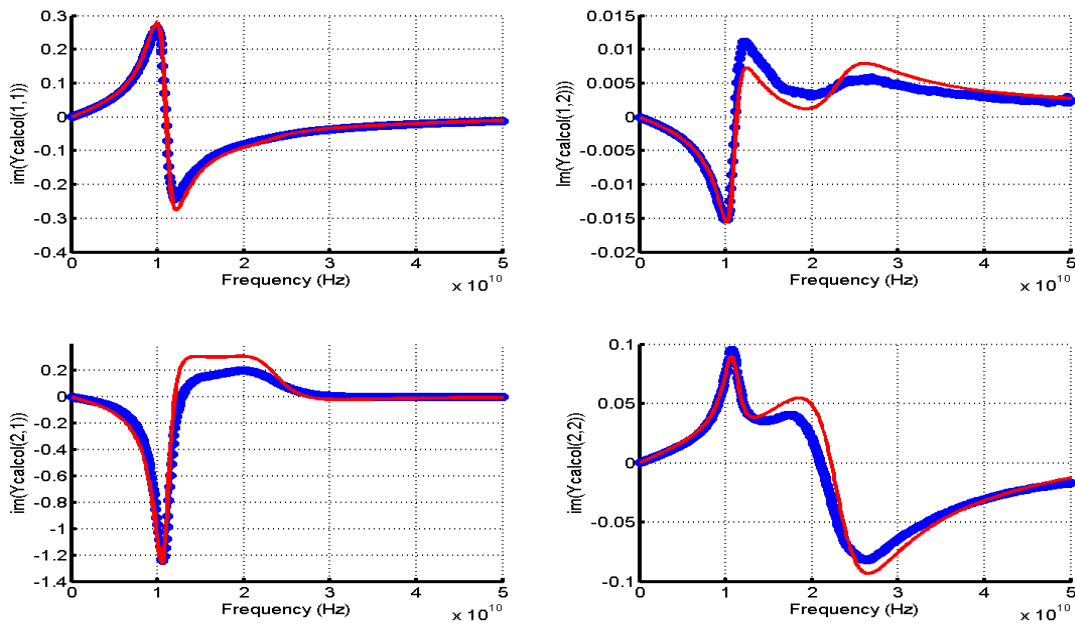


**Figura 5.7:** Il confronto della immaginaria di  $Y^{\text{estrinseca-calcolata}}$  (rosso) e  $Y^{\text{misurata}}$  (blue) per il punto di bias ( $V_g = -4V$ ,  $V_d = 0V$ ).

Le Figure 5.8 e 5.9 invece fanno vedere il confronto tra la parte reale e la parte immaginaria di  $Y^{\text{misurata}}$  e  $Y^{\text{estrinseca-calcolata}}$  per la condizione con il dispositivo acceso ( $V_g = -2$ ,  $V_d = 20V$ ), rispettivamente.



**Figura 5.8:** Il confronto della parte reale di  $Y^{estrinseca-calcolata}$  (rosso) e  $Y^{misurata}$  (blue) per il punto di bias ( $V_g = -2$ ,  $V_d = 20V$ ).



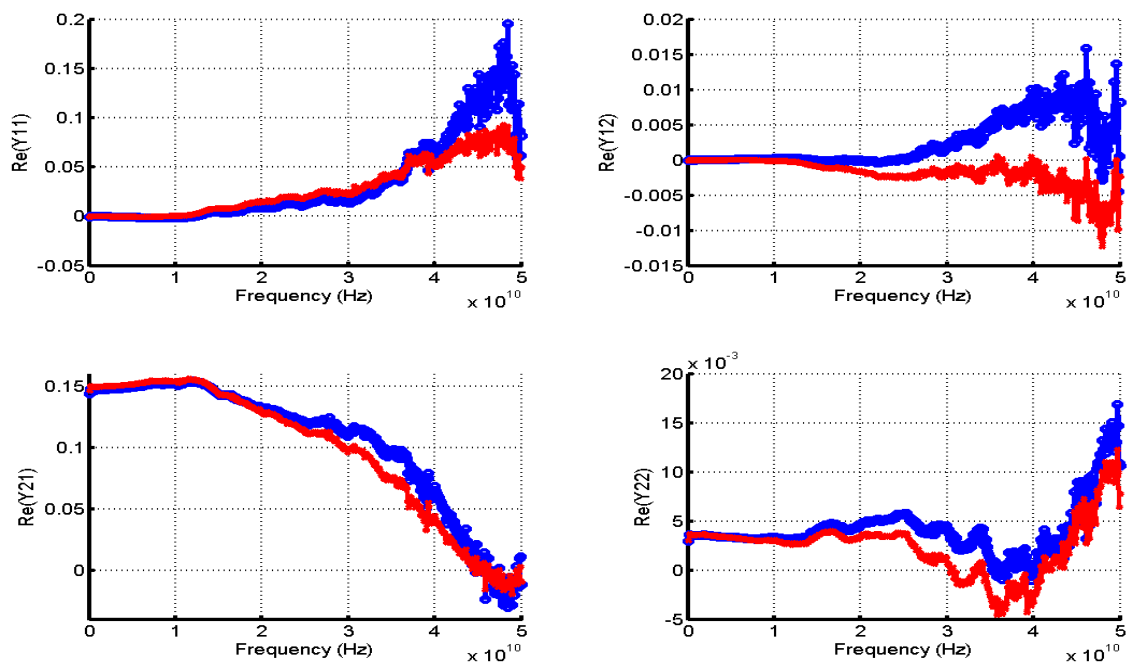
**Figura 5.9:** Il confronto della immaginaria di  $Y^{estrinseca-calcolata}$  (rosso) e  $Y^{misurata}$  (blue) per il punto di bias ( $V_g = -2V$ ,  $V_d = 20V$ ).

Ed ora cominciamo la seconda fase del progetto, cioè trovare gli elementi del circuito equivalente intrinseco sempre con il dispositivo acceso ( $V_g = -2V$ ,  $V_d = 20V$ ), usando i parassiti già trovati nella Tabella 5.1. I valori del circuito equivalente intrinseco sono riassunti nella Tabella 5.2.

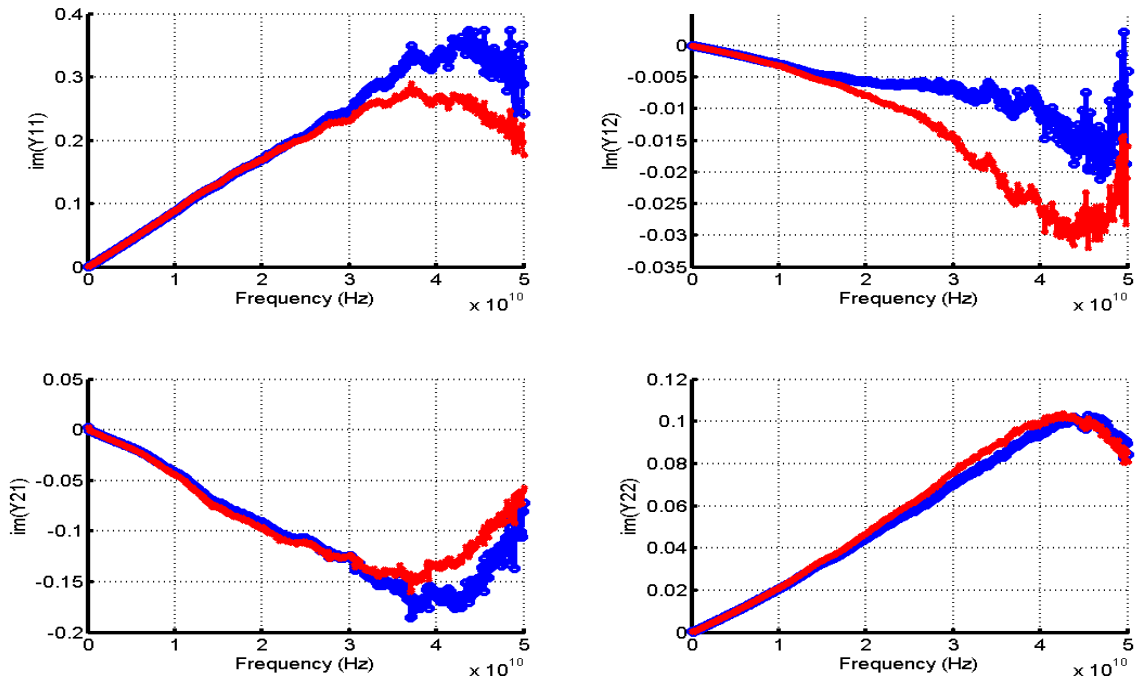
$C_{gd}(fF)$	$C_{ds}(fF)$	$C_{gs}(fF)$	$G_{ds}(mS)$	$R_i(\Omega)$	$g_m(mS)$	$\tau(pS)$
62.7	315	1370	3.6	0.25	150	4

*Tabella 5.2: I parametri del circuito equivalente intrinseco con punto di bias ( $V_g=-2$ ,  $V_d=20V$ ).*

Il confronto tra la parte reale e immaginaria di  $Y^{intrinseca}$  del metodo e  $Y^{intrinseca}$  del metodo appena introdotto (con il dispositivo accesso) si è fatto vedere nelle Figure 5.10 e 5.11. Si nota che le pendenze delle curve sono diminuite, che vuol dire che il metodo modificato è un metodo migliorato.



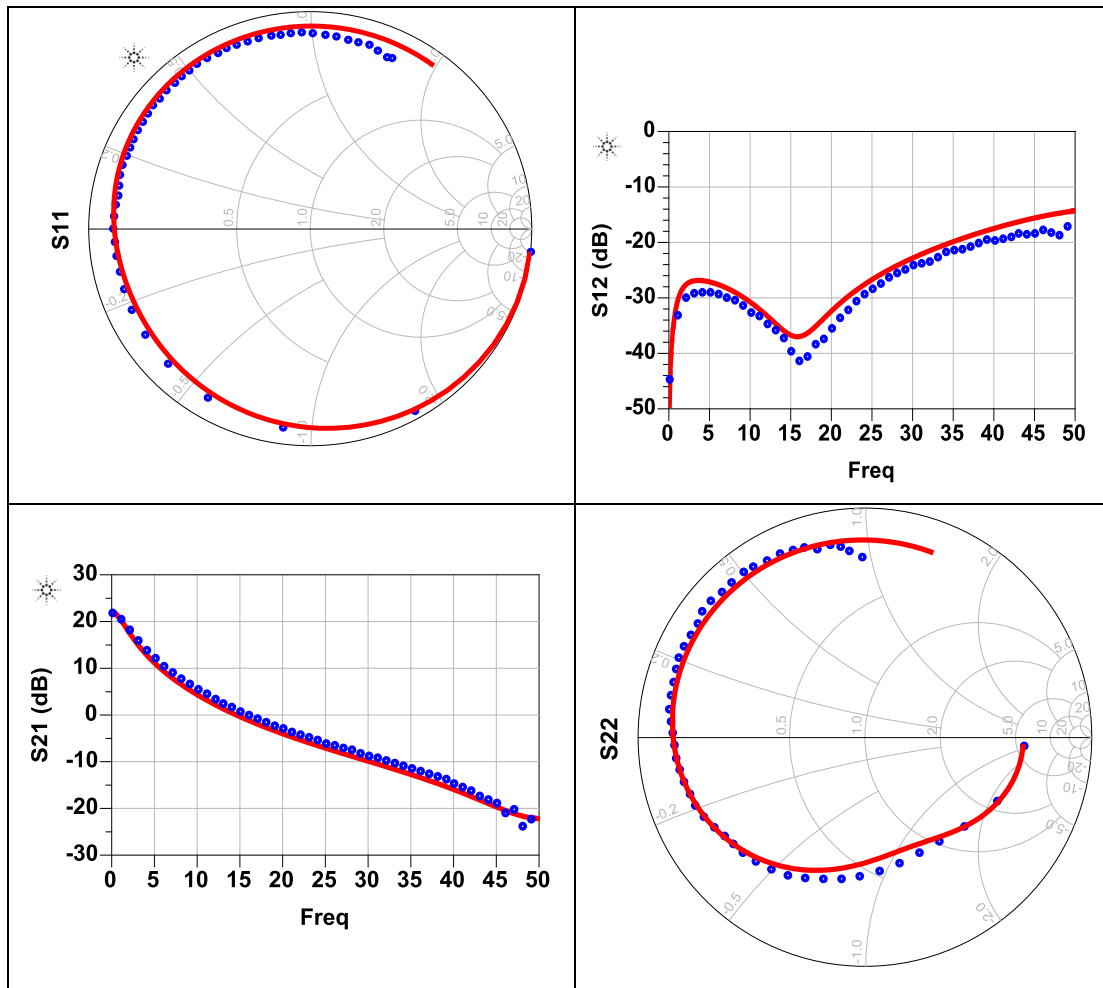
*Figura 5.10: Il confronto tra la parte reale di  $Y^{intrinseco}$  del metodo nuovo (rosso) e  $Y^{intrinseco}$  del metodo descritto nel capitolo 4 (blue)*



**Figura 5.11:** Il confronto tra la parte immaginaria di  $Y^{intrinseco}$  del metodo nuovo (rosso) e  $Y^{intrinseco}$  del metodo descritto nel capitolo 4 (blue)

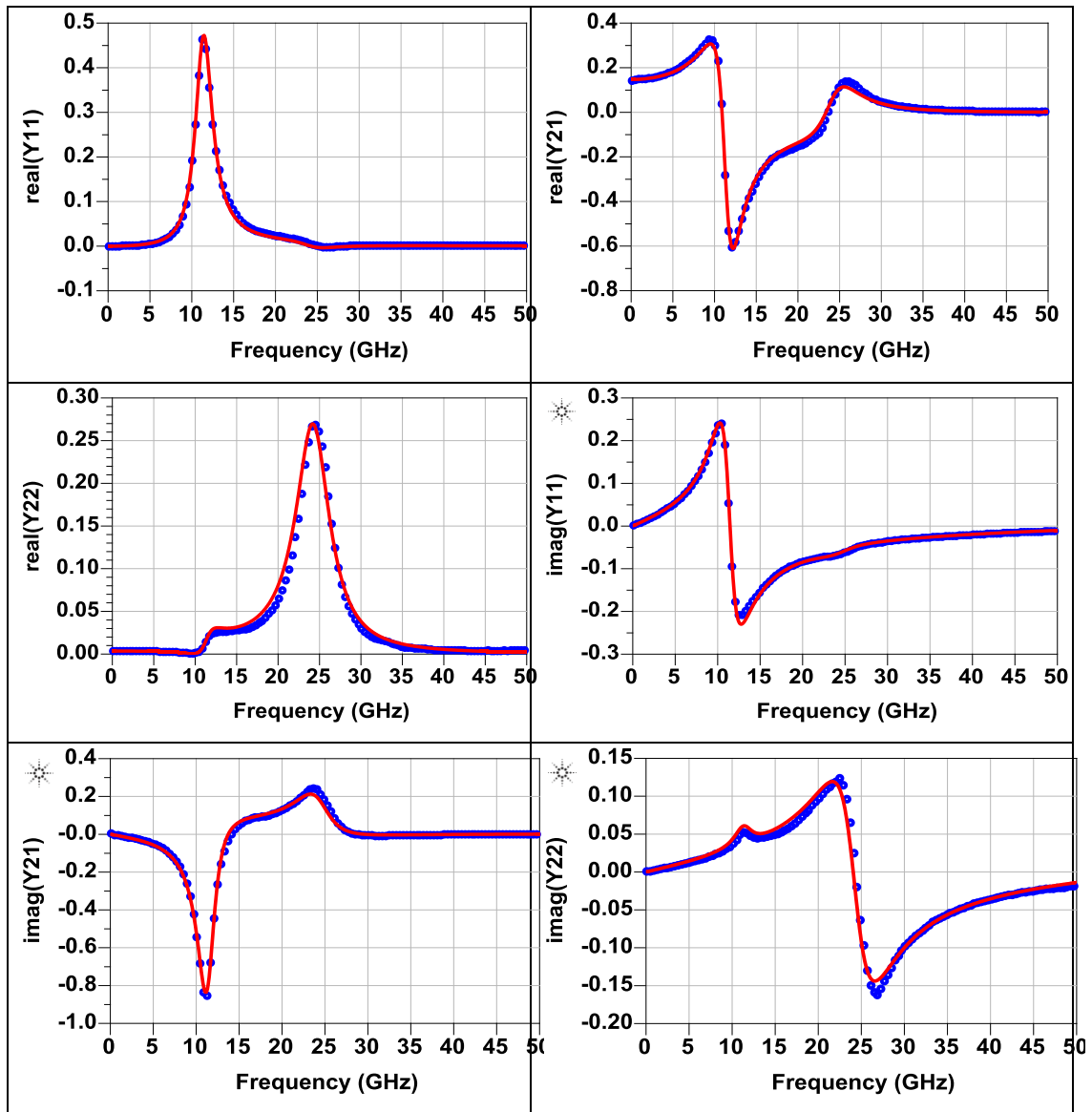
Applicheremo i valori della Tabella 5.2 in ADS e troviamo il confronto tra i parametri S della misura (blue) ed i parametri S simulata (rossa) nella Figura 5.12.





**Figura 5.12:** Il confronto tra misure  $S$  (blue) e la simulazione (rossa) per il punto di bias ( $V_g = -3V$ ,  $V_d = 30V$ ).

Poi facciamo vedere nella Figura 5.13 la parte reale e la parte immaginaria del confronto tra  $Y^{misurata}$  e  $Y^{simulata}$ , per un punto di bias con il dispositivo acceso ( $V_g = -3V$ ,  $V_d = 30V$ ). Vedendo le curve della simulazione che corrispondono con le misure potremo dire che i valori trovati con il metodo proposto sono accurati.



*Figura 5.13: Il confronto della parte reale e immaginaria di  $Y^{misurata}$  (blue) e  $Y^{estrinseca-calcolata}$  (rosso) per il punto di bias ( $V_g = -2V$ ,  $V_d = 20V$ ).*

## 6 Conclusione

---

In questa tesi di laurea è stato proposto un metodo per l'estrazione dei parametri parassiti di modelli estrinseci di dispositivi FET. L'estrazione dei parassiti estrinseci di un dispositivo è un'operazione fondamentale al fine di riuscire ad identificare un modello accurato, lineare o non-lineare del dispositivo intrinseco. In letteratura, sono diversi i metodi proposti, ma con i dispositivi in Nitruro di Gallio alcuni di questi metodi presentano svantaggi che potrebbero portare ad una imprecisione nell'estrazione di alcuni parametri.

Il metodo proposto, invece, è indipendente dal tipo di tecnologia ed è adattabile anche per dispositivi GaN. Il metodo proposto ha alcuni vantaggi rispetto ad altri metodi usati finora:

- si basa su misure di parametri S multibias;
- non necessita di misure con la giunzione gate-source polarizzata in diretta;
- permette l'identificazione di una rete di parassiti completa, costituita da elementi di tipo resistivo, induttivo e capacitivo;
- non attua assunzioni restrittive sulla forma delle matrici rappresentative del dispositivo intrinseco;
- si basa su un problema risolutivo lineare sovradeterminato e su una serie di semplici ottimizzazioni lineari, quindi è risolvibile per via analitica in forma chiusa;
- è applicabile su diverse tipologie di dispositivi elettronici;
- è facilmente implementabile via software.

Queste caratteristiche rendono quindi il metodo proposto molto utile al fine di estrarre i parassiti per dispositivi in tecnologia in nitruro di Gallio (GaN). Nella tesi di laurea, il metodo di estrazione è applicato e convalidato sperimentalmente utilizzando misure on-wafer su un dispositivo di tipo AlGaIn/GaN su SiC della fonderia UMS.

## 7 BIBLIOGRAFIA

---

- [1] H. Fukui, "Determination of the basic device parameters of a GaAs MESFET", Bell Systems Tech. J., vol. 58, no.3, pp. 771-797, March 1979
- [2] F. Diamant, M. Leviron, "Measurement of the extrinsic series element of the microwave MESFET under zero current condition", in Proc. 12<sup>th</sup> European Microwave Conf, 1982, pp.451-456
- [3] G. Dambrine, A. Coppy, F. Heliodore, E. Playez, "A new method for Determining the FET small-signal equivalent circuit", IEE Trans. On Microwave Theory and Techniques, vol 36, No 7, July 1988, pp 1151-1159
- [4] J.M. Golio, "Microwave MESFETs and HEMTs", Editor Artech House, Norwood, 1990
- [5] J.C. Costa, M. Miller, M. Golio, G. Norris, "Fast, accurate, on-wafer extraction of parasitic resistances and inductances in GaAs MESFET's and HEMT's", in 1992 IEEE MTT-S Int. Microwave Symp. Dig., June 1992, vol.2, pp.1011-1014
- [6] R. Tayrani, J.E. Gerber, T. Daniel, R.S. Pengelly, U.L. Rohde, "A new and reliable direct parasitic extraction method for MESFET's and HEMT's", Proc. 23rd European Microwave Conf., pp. 451-453, Madrid, 1993
- [7] B.S. Kim, S. Nam, K.S. Seo, "Analytic intrinsic model based parasitic extraction method for HEMT", IEEE 1994, Electronics Letters Online No: 19940638
- [8] P. Roblin, S. Kang, A. Ketterson, H. Morçoç, "Analysis of MODFET microwave characteristics", IEEE Trans. Electron. Devices, 1987, ED-34, (9), pp. 1919-1928
- [9] M. Golio, "The push toward low voltages devices," IEEE Microwave Mag., vol. 1, no. 1, pp. 38-45, Mar. 2000.
- [10] H. Fukui, "Determination of the basic device parameters of a GaAs MESFET," Bell Syst. Tech. J., vol. 58, no. 3, pp. 771-797, Mar. 1979.

- [11] K. W. Lee, K. Lee, M. S. Shur, T. T. Vu, P. C. T. Roberts, and M. J. Helix, "Source, drain, and gate series resistances and electron saturation velocity in ion-implanted GaAs FET's," *IEEE Trans. Electron. Devices*, vol. ED-32, no. 5, pp. 987–992, May 1985.
- [12] S Chaudhuri and M. B. Das, "An investigation of the MESFET 'end' resistance using a distributed diode/resistance model," *IEEE Trans. Electron. Devices*, vol. ED-32, no. 11, pp. 2262–2268, Nov. 1985.
- [13] R. J. Bennett, "Interpretation of forward bias behavior of Schottky barriers," *IEEE Trans. Electron. Devices*, vol. ED-34, no. 4, pp. 935–937, Apr. 1987.
- [14] S. K. Cheung and N. W. Cheung, "Extraction of Schottky diode parameters from forward current-voltage characteristics," *Appl. Phys. Lett.*, vol. 49, no. 2, pp. 85–87, July 1986.
- [15] J. A. Reynoso-Hernandez and F. E. Rangel-Patiño, "DC and RF techniques for computing access resistances in microwave FETs," *1996 IEEE MTT-S Int. Microwave Symp. Dig.*, vol. 3, pp. 1711–1714.
- [16] J. A. Reynoso-Hernandez, B. Ramirez-Duran, J. Ibarra-Villaseñor, and J. Perdomo, "Reliable RF techniques for extracting parasitic elements in microwave FET'S," in *Int. IEEE Workshop on Experimentally Based FET Device Modeling and Related Nonlinear Circuit Design*, Univ. of Kassel, 1997, pp. 1.1–1.8.
- [17] F. Lin and G. Kompa, "FET model parameter extraction based on optimization with multiplane data-fitting and bidirectional search – A newconcept," *IEEE Trans. Microwave Theory Tech.*, vol. 42, no. 7, pp. 1114–1121, July 1994.
- [18] R. Vogel, "The application of RF wafer probing to MESFET modeling," *Microwave J.*, vol. 31, no. 11, pp. 153–162, Nov. 1988.
- [19] J. C. Costa, M. Miller, M. Golio, and G. Norris, "Fast, accurate, on-wafer extraction of parasitic resistances and inductances in GaAs MESFETs and HEMTs," *1992 IEEE MTT-S Int. Microwave Symp. Dig.*, June 1992, vol. 2, pp. 1011–1014.
- [20] R. Tayrani, J. E. Gerber, T. Daniel, R. S. Pengelly, and U. L. Rodhe, "A new and reliable direct parasitic extraction method for MESFETs and HEMTs," in *23rd European Microwave Conf.*, 1993, pp. 451–453.

- [21] B.-S. Kim and S. Nam, "An iterative parasitic extraction method for HEMT," In 25th European Microwave Conf., 1995, pp. 558–561. [16] E. Arnold, M. Golio, M. Miller, and B. Beckwith, "Direct extraction of GaAs MESFET intrinsic element and parasitic inductance values," in 1990 IEEE MTT-S Int. Microwave Symp. Dig., vol. 1, pp. 359–362.
- [22] E. Arnold, M. Golio, M. Miller, and B. Beckwith, "Direct extraction of GaAs MESFET intrinsic element and parasitic inductance values," in 1990 IEEE MTT-S Int. Microwave Symp. Dig., vol. 1, pp. 359–362.
- [23] J. A. Reynoso-Hernández, F. E. Rangel-Patiño, and J. Perdomo, "Full RF characterization for extracting de small-signal equivalent circuit in microwave FET's," IEEE Trans. Microwave Theory Tech., vol. 44, no.12, pp. 2625–2633, Dec. 1996.
- [24] G. Chen, V. Kumar, R. Schwindt, and I. Adesida, "A reliable low gate bias model extraction procedure for AlGaIn/GaN HEMTs," presented at the IEEE MTT-S Int. Microwave Symp., San Francisco, CA, June 2006.
- [25] G. Crupi, D. Xiao, D. M. M.-P. Schreurs, E. Limiti, A. Caddemi, W. Raedt, and M. Germain, "Accurate multibias equivalent-circuit extraction for GaN HEMTs," IEEE Trans. Microwave Theory Tech., vol. 54, no. 10, pp. 3616–3622, Oct. 2006.
- [26] Andrés Zárate-de Landa, José Eleazar Zúñiga-Juárez, José Raúl Loo-Yau, J. Apolinar Reynoso-Hernández, María del Carmen Maya-Sánchez, and Juan Luis del Valle-Padilla "Advances in Linear Modeling of Microwave Transistors", IEEE Microwave Magazine, vol.10, no.2, pp.100, 102,111, 146, April 2009.
- [27] A. Zárate-de Landa, J. E Zúñiga-Juárez, J. A. Reynoso-Hernández, M. C. Maya-Sánchez, E. L. Piner, and K. J. Linthicum, "A new and better method for extracting the parasitic elements of the on-wafer GaN transistors," in IEEE MTT-S Symp. Dig., Honolulu, Hawaii, June 3–8, 2007, pp. 791–794.
- [28] A. Zárate-de Landa, J. E Zúñiga-Juárez, J. A. Reynoso-Hernández, M. C. Maya-Sánchez, J. L. del Valle-Padilla, and J. R. Loo-Yau, "An investigation on the modified cold-FET method for determining the gate resistance and inductance of the packaged GaN and SiC transistors," in 70th ARFTG Conf. Dig., 2007.
- [29] F.Lenk and R. Doerner, "Improved parameter extraction of small-sized FETs for low-power applications" in 2000 IEEE MTT-S International Microwave Symposium Digest. , vol.3, pp. 1389 , 11-16 June 2000.

- [30] P. M. White and R. M. Healy, “Improved equivalent circuit for determining of MESFET and HEMT parasitic capacitances from ‘coldfet’ measurements,” *IEEE Microwave Guided Wave Lett.*, vol. 3, no. 12, pp. 453–454, Dec. 1993.
- [31] A. Caddemi, G. Crupi, and N. Donato, “Microwave characterization and modelling of packaged HEMTs by a direct extraction procedure down to 30K,” *IEEE Trans. Instrum. Meas.*, vol. 55, no. 2, pp. 465–470, Apr. 2006.
- [32] M. Berroth and R. Bosh, “Broad-band determination of the FET smallsignal equivalent circuit,” *IEEE Trans. Microwave Theory Tech.*, vol. 38, no. 7, pp. 891–895, July 1990.
- [33] J. A. Reynoso-Hernández, “On-wafer LRM calibration technique using a non-reflecting lossy line of arbitrary length,” in *63rd ARFTG Conf. Dig.*, June 2004, pp. 205–210.
- [34] Z. J. J. Eleazar, J. A. Reynoso-Hernandez, M. C. Maya-Sánchez, “An improved multiline TRL method,” in *67th ARTFG Conf. Dig.*, June 2006, pp. 139–142.
- [35] Giuseppe Annania, Tesi di laurea presso università degli studi di bologna in ingegneria elettronica “Tecniche di identificazione di elementi parassiti in modelli di transistori per microonde”, 2001-2002.

