

ALMA MATER STUDIORUM · UNIVERSITÀ DI BOLOGNA

Scuola di Scienze
Corso di Laurea in Fisica

Test hardware del secondo batch di schede
ROD per il layer 2 del Pixel Detector
dell'esperimento ATLAS

Relatore:
Prof. Alessandro Gabrielli

Presentata da:
Alessandro Greco

Correlatore:
Dott. Gabriele Balbi

Sessione II
Anno Accademico 2013/2014

Sommario

L'acceleratore di particelle LHC, al CERN di Ginevra, permette studi molto rilevanti nell'ambito della fisica subnucleare. L'importanza che ricopre in questo campo il rivelatore

è grandissima ed è per questo che si utilizzano tecnologie d'avanguardia nella sua costruzione. È altresì fondamentale disporre di un sistema di acquisizione dati quanto più moderno ma soprattutto efficiente. Tale sistema infatti è necessario per gestire tutti i segnali elettrici che derivano dalla conversione dell'evento fisico, passaggio necessario per rendere misurabili e quantificabili le grandezze di interesse. In particolare in questa tesi viene seguito il lavoro di test delle schede ROD del layer 2 del Pixel Detector dell'esperimento ATLAS, che mira a verificare la loro corretta funzionalità, prima che vengano spedite nei laboratori del CERN. Queste nuove schede gestiscono i segnali in arrivo dal Pixel Detector di ATLAS, per poi inviarli ai computer per la successiva elaborazione. Le schede ROD andranno a sostituire le precedenti schede SiROD nella catena di acquisizione dati dell'esperimento, procedendo dal nuovo strato IBL, e proseguendo con i tre layer del Pixel Detector, corroborando l'aggiornamento tecnologico e prestazionale necessario in vista dell'incremento di luminosità dell'esperimento.

Indice

Introduzione

1 LHC

1.1 ATLAS	
1.2 Il rivelatore interno	
1.2.1 Transition Radiation Tracker	
1.2.2 Semi-Conductor Tracker	
1.2.3 Pixel Detector	
1.3 IBL	

2 Elettronica del sistema DAQ di IBL

2.1 IBL BOC	
2.2 IBL ROD	
2.2.1 Hardware	

3 Test

3.1 Software utilizzato	
3.2 Test preliminari	
3.2.1 Ispezione visuale	
3.2.2 Alimentazione	
3.2.3 Distribuzione del clock	
3.2.4 Catena JTAG	
3.3 Test bus e dispositivi	
3.3.1 Connessione PRM - Virtex5	
3.3.2 Connessione Spartan6 - Virtex5	
3.3.3 Connessione BOC - ROD	
3.3.4 Memorie SSRAM	
3.3.5 Memorie RAM DDR2 (Spartan6)	
3.3.6 Memorie RAM SODIMM-DDR2 (Virtex5)	
3.3.7 Connessione Ethernet delle Spartan6	
3.3.8 Connessione ROD – BOC (S-link e XC)	
3.4 Test del sistema	

4 Risultati e problemi riscontrati

Conclusioni

Introduzione

Il lavoro presentato in questa tesi si riferisce all' esecuzione di test hardware e software sul primo batch di schede VME, dette Read Out Drivers (ROD) realizzate per il Layer 2 del Pixel Detector all'interno del contesto più ampio dell'esperimento ATLAS del CERN. Il Layer 2 del Pixel Detector è lo strato più lontano dal beam-pipe. È previsto che, in seguito all'incremento di luminosità dell'esperimento, si verificheranno due inconvenienti: da un lato l'efficienza dei rivelatori inizierà a decadere, motivo per il quale è stato aggiunto un nuovo layer molto vicino alla beam-pipe, IBL (Insertable B-Layer), che sopperirà al problema garantendo 3 strati rivelatori nonostante la carenza di prestazioni; d'altro canto la velocità del flusso dei dati incrementerà notevolmente ed è necessario migliorare la catena di acquisizione DAQ a partire dal layer 2 del Pixel Detector, che soffrirà maggiormente l'incremento di velocità. In questa tesi, ad una panoramica visione d'insieme degli apparati dell'esperimento, si affianca una descrizione più dettagliata dei test realizzati sulle schede. Queste vengono realizzate in successivi batch in un processo che mira alla risoluzione step-by-step dei problemi di progettazione emersi nelle analisi o all'ottimizzazione nella configurazione delle ROD.

I test effettuati su queste schede si differenziano per il diverso modo di interagire con la scheda. Il primo tipo di test che viene effettuato è quello hardware, attraverso il controllo visivo e misure dirette sulla ROD stessa; vi sono poi test che richiedono lo sviluppo di un firmware (codice da implementare direttamente su circuiti integrati programmabili, detti FPGA, presenti sulla scheda) per controllare componenti specifiche (bus e memorie statiche); infine vi sono test che hanno reso necessaria l'implementazione di software, come i test delle porte Ethernet e delle RAM.

Concludendo, il mio lavoro si è incentrato principalmente sull'esecuzione di questi test sulle schede ROD e sulla verifica delle loro funzionalità, accompagnati dalla stesura di un manuale operativo

Capitolo 1

LHC

LHC (Large Hadron Collider) è il più grande acceleratore di adroni mai costruito, collocato nel tunnel che ha ospitato il LEP (Large Electron-Positron collider) presente a Ginevra, al confine franco-svizzero e gestito dal Centro Europeo per la Ricerca Nucleare (CERN).

É formato da un anello della lunghezza di 27 km che è collocato ad una profondità media di circa 175 m dove vengono fatti scontrare protoni con una energia massima nel centro di massa di 14 TeV.

Per permettere alle particelle di viaggiare su una traiettoria circolare lungo l'anello di LHC sono presenti 1232 magneti superconduttori, i quali vengono raffreddati ad una temperatura di 1.9 K grazie ad elio superfluido, arrivando a produrre un campo magnetico massimo di 8.3 T. Sono inoltre presenti altri magneti che hanno il compito di mantenere il fascio ben focalizzato lungo il percorso.

I fasci di protoni non sono immessi direttamente nell'anello principale, ma vengono prima portati all'energia desiderata tramite altri acceleratori. In un primo momento, tramite l'acceleratore lineare LINAC, i protoni vengono portati ad un'energia di 50 MeV; questi passano poi attraverso tre diversi sincrotroni, che portano il fascio ad un'energia di 450 GeV, alla quale possono essere immessi nell'anello principale. Ad LHC sono presenti diversi esperimenti: ATLAS, CMS, ALICE e LHC-b.

1.1 ATLAS

Lungo l'anello che costituisce l'acceleratore si trovano diversi rivelatori di particelle, uno dei quali è ATLAS (A Thoroidal LHC ApparatuS), lungo 44 m, con un diametro di 25 m e un peso di circa 7000 t, progettato per osservare collisioni entro tutto il range energetico di LHC. Anch'esso, come i detector di ALICE e CMS, è costruito con una simmetria cilindrica, come in Figura 1.1.

Per il funzionamento del detector è necessario anche un grande campo magnetico uniforme, che viene creato mediante l'utilizzo di magneti superconduttori che avvolgono il rivelatore. Tale sistema di magneti consiste fondamentalmente di due tipi di geometrie differenti: una solenoidale e una toroidale. La prima delle due consiste quindi di un grande solenoide di 5,3 m di lunghezza e 2,4 m di diametro, formato da fili superconduttori che garantiscono un campo magnetico di 2 T d'intensità, con un picco massimo di 2,6 T.

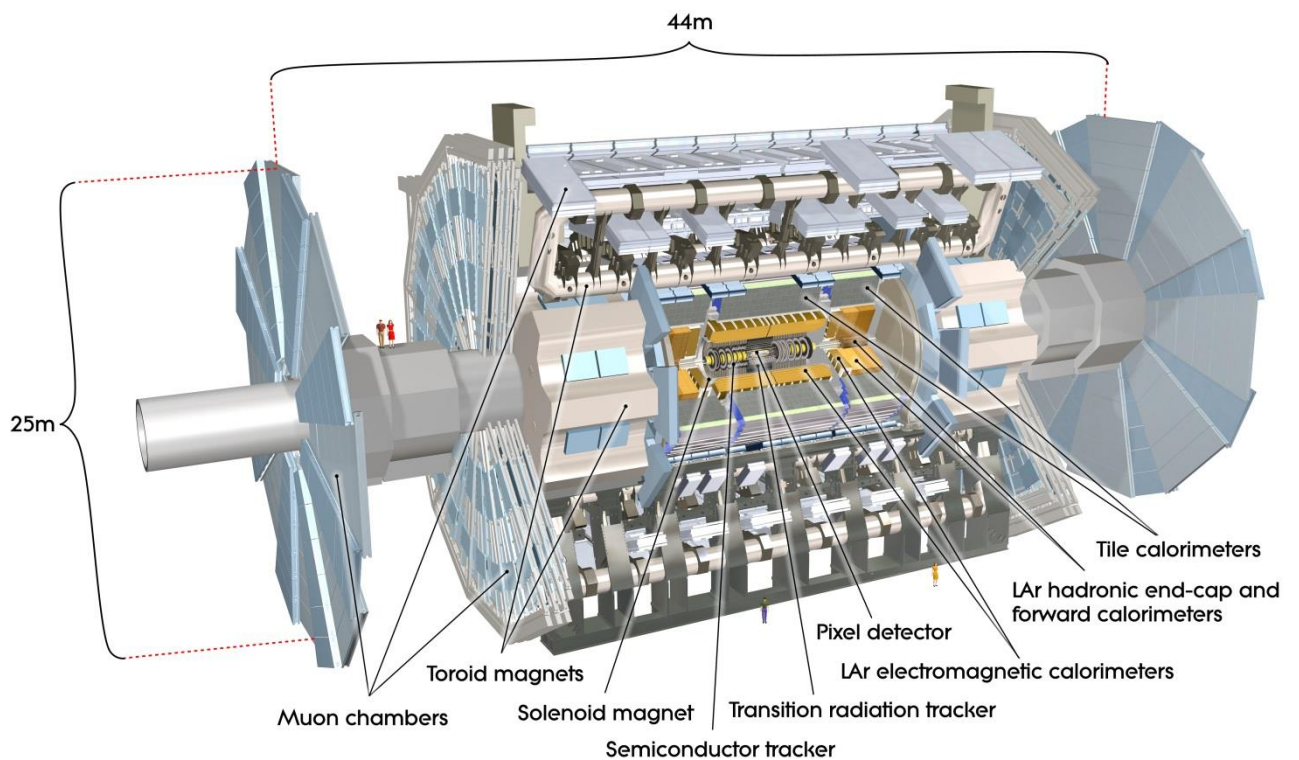


Figura 1.1 - Rivelatore ATLAS

Error! No text of specified style in document.

La struttura toroidale conta due diverse componenti: un Barrel Toroid (vedi Figura 1.2) e due End Cap Toroid (vedi Figura 1.3). Entrambi condividono la stessa configurazione

strutturale, in quanto sono formati da 8 bobine a superconduttore, inclinate di 45° l'una rispetto all'altra, che operano ad una temperatura di circa 4 K, facendo circolare una corrente di 20 kA, la quale produce un campo magnetico con intensità di circa 4 T. Il Barrel Toroid si sviluppa intorno alla beampipe per 25,3 m in lunghezza, con un'estensione radiale che va da 9,4 a 20,1 m. Gli End Cap Toroid invece hanno una lunghezza di 5 m ed un'estensione radiale di che va da 1,65 m a 10,7 m.

Le misure di momento, le ricostruzioni dei vertici e delle tracce sono ottenute con una combinazione di pixel a semiconduttore ad alta risoluzione e rivelatori a strip per il tracciamento nella parte più interna del volume, mentre nella parte esterna sono presenti sottili tubi di rivelatori.

Questa scelta risulta essere un buon compromesso fra costo dell'apparato e precisione nella misurazione, in quanto un singolo strato di rivelatori a pixel costa molto di più che

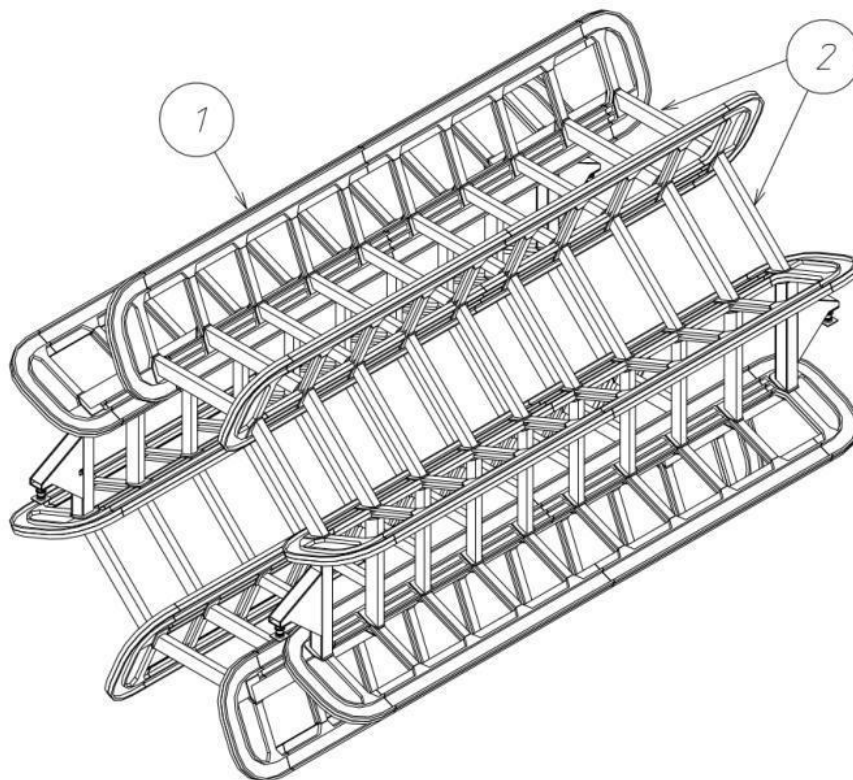


Figura 1.2: Barrel Toroid: vengono indicate le bobine (1) e le strutture di supporto (2) uno di rivelatori a tubi sottili.

É presente inoltre un sistema di calorimetri con lo scopo di misurare le energie delle particelle cariche e neutre: questi funzionano mediante un assorbitore che trasforma

l'energia incidente in un getto di particelle, le quali sono rivelate dagli elementi sensibili del calorimetro stesso.

La parte più esterna del rivelatore, che definisce le dimensioni generali di ATLAS sopra citate, è costituita dallo spettrometro di muoni, che misura con precisione il momento di queste particelle, le quali sono le uniche che non vengono bloccate dal calorimetro.

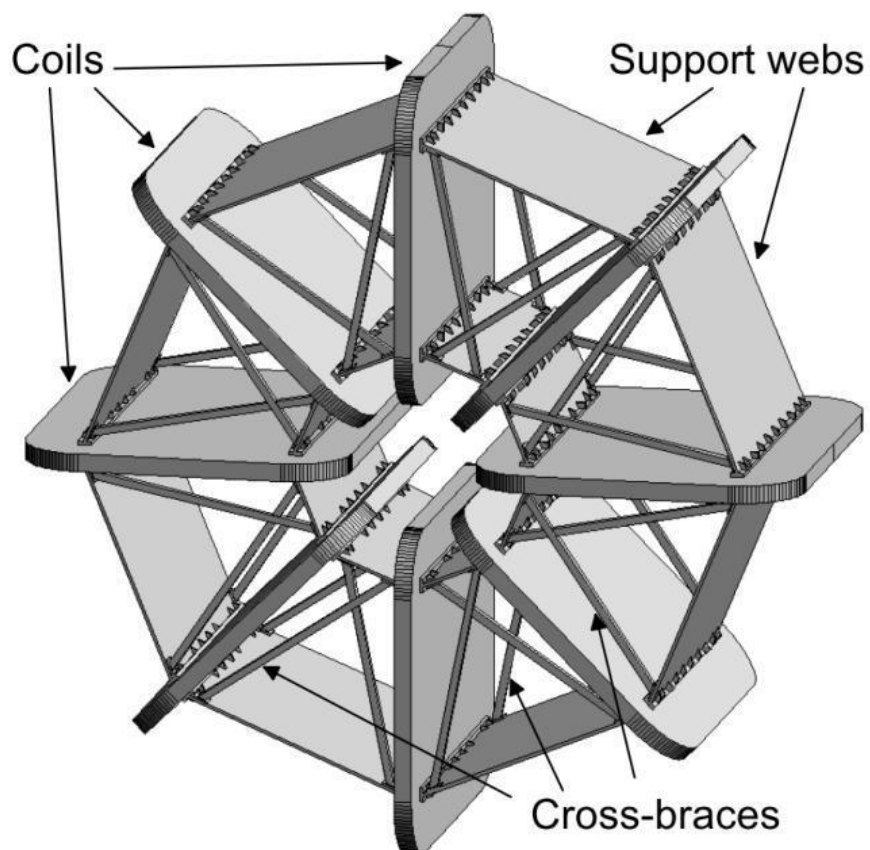


Figura 1.3: End Cap Toroid: visualizzazione di bobine e strutture di mantenimento

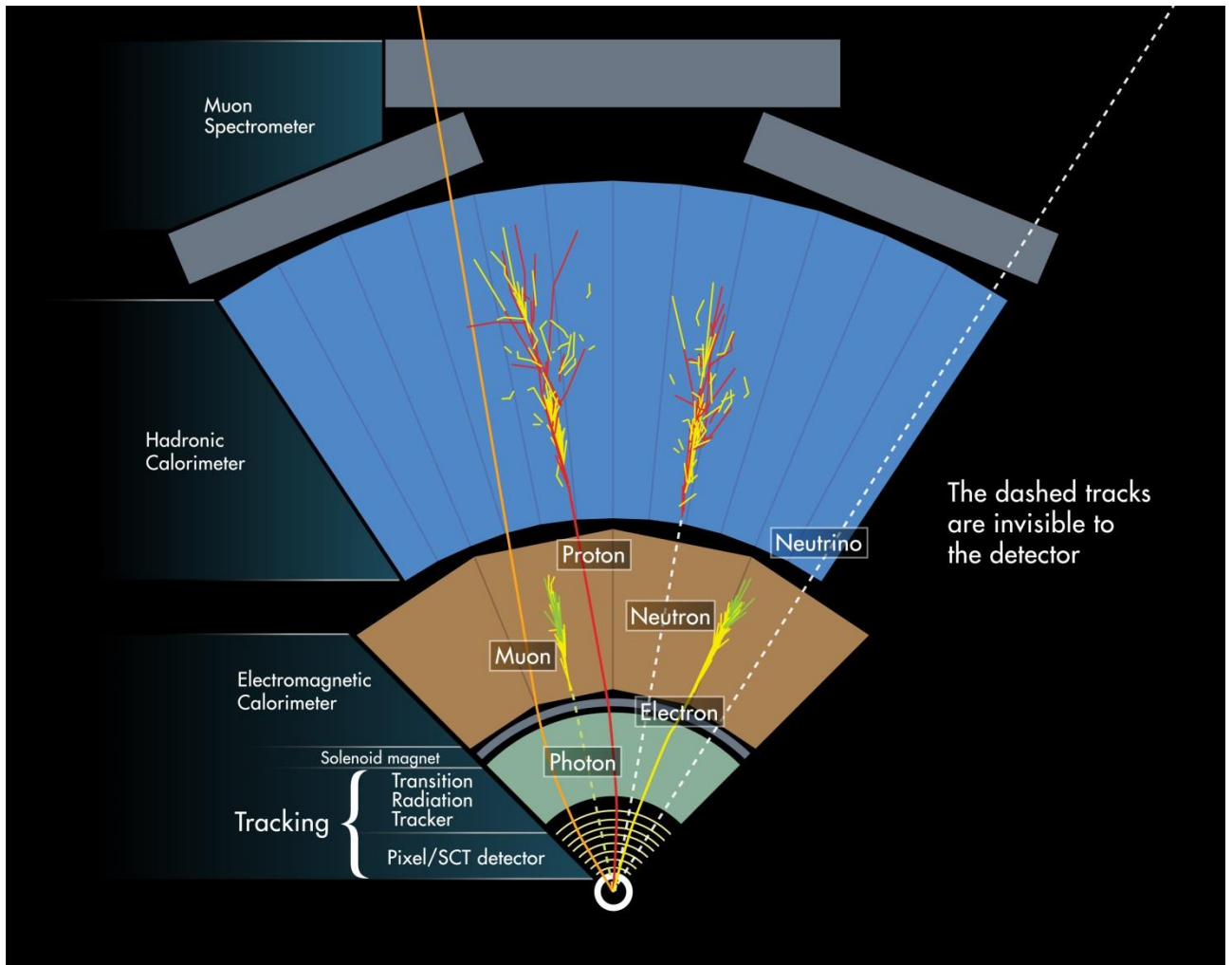


Figura 1.4: Schema di funzionamento del rivelatore. Lo spettrometro a muoni implementa inoltre un sistema di trigger con alta velocità di risposta.

1.2 Il rivelatore interno

Il rivelatore interno (Inner Detector, vedi Figura 1.5, Figura 1.6) è il detector più importante per la rivelazione della posizione dei vertici e del momento delle particelle prodotte. L'Inner Detector deve quindi soddisfare alcuni requisiti: in termini di performance, in quanto deve tener conto dell'elevata dose di radiazione a cui è sottoposto e dell'elevato rate di interazione da rilevare; in termini di geometria del rivelatore, imposta dalle dimensioni dei detector che lo circondano. Il rivelatore interno si compone perciò di tre differenti rivelatori, di seguito descritti.

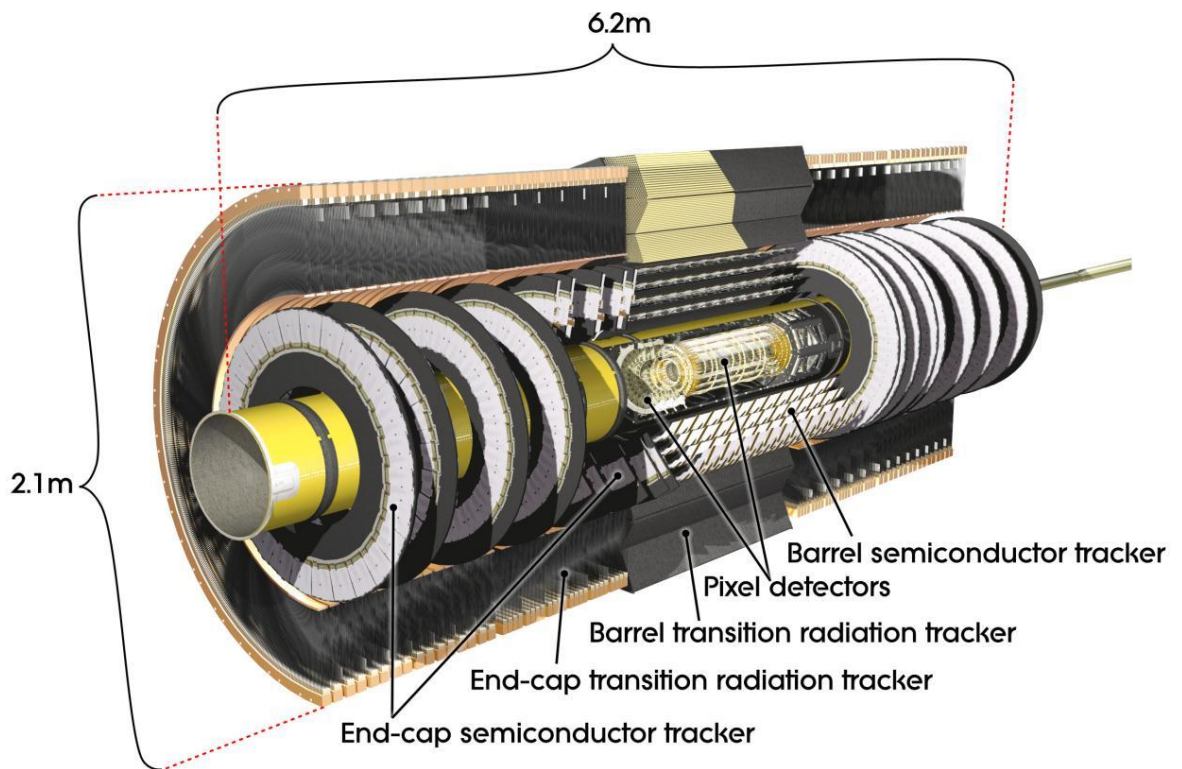


Figura 1.5: Inner Detector

1.2.1 Transition Radiation Tracker

Il primo rivelatore che si incontra partendo dall'esterno è denominato TRT (Transition Radiation Tracker) ed è uno strato di tubi sottili che costituiscono la parte più esterna del rivelatore interno.

Viene utilizzato per rivelare la radiazione di transizione, la quale è una forma di radiazione elettromagnetica che viene emessa quando una particella carica passa attraverso un mezzo non omogeneo, come il confine fra due materiali diversi.

1.2.2 Semi Conductor Tracker

Il secondo detector, denominato SCT (Semi Conductor Tracker) è uno strato costruito con una tecnologia simile a quella del Pixel Detector, ossia formato da strisce di rivelatori, ma con tracciatori al silicio meno costosi. Questa scelta è dovuta al fatto che tali rivelatori ricoprono un'area che è più di 30 volte maggiore rispetto a quella di Pixel Detector; infatti, la simmetria cilindrica e la maggior distanza dalla beampipe, unitamente alla presenza dei 4 strati a simmetria cilindrica e dei 9 endcap per lato, aumenta di gran lunga la superficie da coprire con questo rivelatore.

1.2.3 Pixel Detector

L'ultimo rivelatore, nonché il più interno, è il Pixel Detector, la cui costruzione, in termini di resistenza alla radiazione e di risoluzione, ha richiesto l'utilizzo delle tecnologie più avanzate.

Questo detector è diviso in tre strati, denominati layer B0, layer 1 e 2, ognuno dei quali è formato da diverse strutture meccaniche che ospitano i rivelatori, dette stave.

Su ciascuna di queste stave sono presenti 13 moduli, formati a loro volta da alcune componenti (tra i quali possiamo citare i chip di front end **FE-I3**, responsabili della lettura del segnale di carica del pixel), le quali contribuiscono tutte, qualora si verifichi un evento, alla raccolta dei dati e al loro invio alle schede ROD (ReadOut Drivers).

Anche il Pixel Detector possiede una simmetria cilindrica e, con la stessa tecnologia, sono presenti 3 endcap (dischi di rivelatori) per lato.

1.2.4 IBL

IBL (Insertable Barrel Layer) è un nuovo quarto strato di rivelatori a pixel che verrà inserito con una nuova beam-pipe all'interno dell'attuale B-Layer. Le ragioni che hanno portato a questo sviluppo sono le seguenti:

- L'attuale layer interno soffre di una grande mortalità di pixel, la quale aumenterà nel corso del tempo, a causa dell'esposizione alla radiazione. Questa inefficienza

causa una seria perdita di efficacia del sistema, la quale viene ripristinata completamente grazie a IBL, anche nel caso di un completo malfunzionamento del B-Layer.

- I futuri sviluppi di LHC renderanno la banda attualmente supportata dal B-Layer insufficiente per far fronte all'incremento di dati, dovuto all'aumentata luminosità ottenuta con gli sviluppi del rivelatore.
- La precisione nel tracciamento è notevolmente migliorata, grazie al fatto che si hanno pixel più vicini al punto di interazione, che forniscono così una sensibilità maggiore.

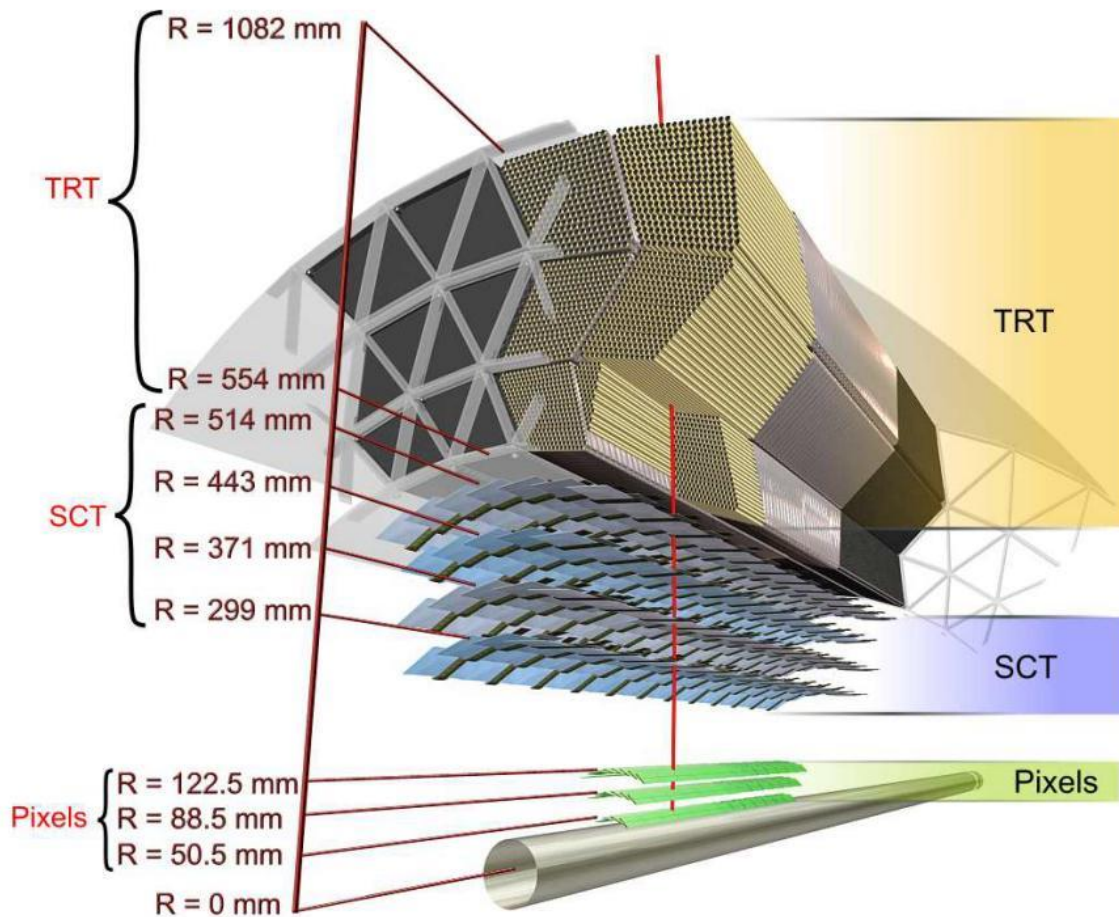


Figura 1.6: Visualizzazione a layer dell'Inner Detector

Questa maggiore vicinanza alla beam-pipe costringe a rispettare alcuni vincoli, che non si erano resi necessari precedentemente negli altri layer: nella fattispecie, l'elettronica deve essere molto più resistente alla radiazione e l'area sensibile del chip deve essere

maggiore del 70% della superficie totale disponibile. Per raggiungere tale scopo si è reso necessario l'aggiornamento del chip FE-I3 ad una nuova versione (denominata FE-I4), la quale è caratterizzata da un'area sensibile del 90%.

Tuttavia la presenza di un ulteriore rivelatore porta necessariamente ad una maggiore interazione delle particelle con il materiale di cui è costituito il rivelatore stesso e le strutture di supporto a quest'ultimo. Si è quindi tenuto conto di questo fattore e, nel caso di IBL, si è provveduto cercando di minimizzare lo spessore dei sensori, dell'elettronica e di tutto l'apparato di supporto.

Capitolo 2

Elettronica del sistema DAQ di Pixel

Detector

Il sistema di acquisizione dati di un esperimento complicato, quale è ATLAS, meriterebbe un'ampia descrizione la quale non è però nelle intenzioni di questa tesi. É tuttavia necessario introdurre il sistema DAQ che ha costituito l'apparato sperimentale preso in analisi durante il lavoro che viene qui descritto. La Figura 2.1 mostra schematicamente il sistema di acquisizione utilizzato nel corso delle prove.

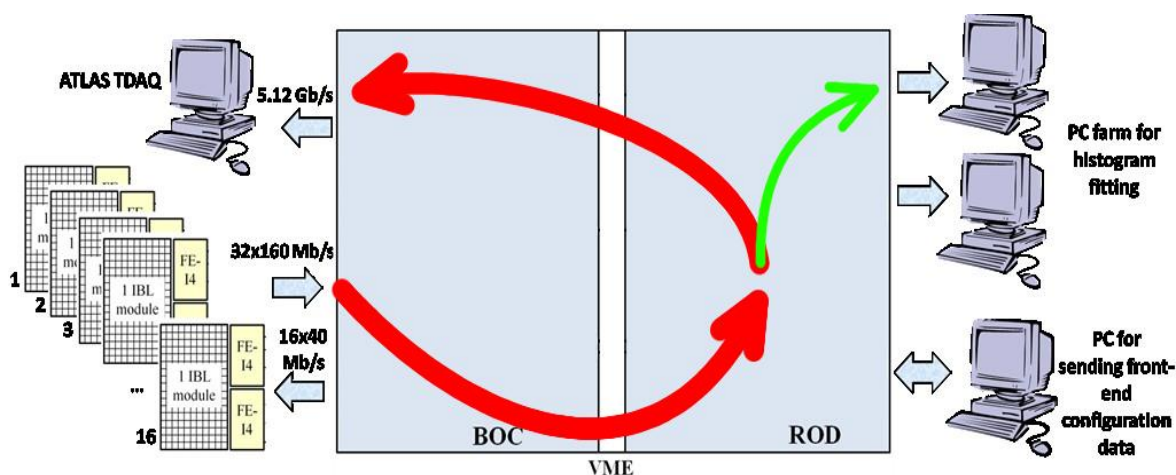


Figura 2.1: Visualizzazione completa del layout del sistema di acquisizione dati. In rosso il normale percorso dei dati, in verde quello relativo agli istogrammi.

Attualmente tutta la configurazione hardware è implementata sia al CERN che a Bologna, dove però mancano i collegamenti ottici per motivi strettamente legati ai loro costi. Tale differenza tuttavia non inficia la precisione dei test, i quali rimangono comunque accurati, come confermato dalla lunga lista di errori corretti e di funzionalità sviluppate.

Il percorso che i dati seguono lungo la linea di acquisizione è relativamente semplice. Dai 32 chip FE-14 partono 32 linee seriali a 160 Mb/s verso la scheda BOC (Back Of Crate), tramite collegamento ottico; qui il segnale viene deserializzato su un otto bus da 12 bit ciascuno, tramite i quali procede verso la ROD dove ha inizio una prima formattazione dei dati, che poi vengono poi spediti ai computer. Su questa scheda i dati possono seguire due strade possibili: lungo la prima i dati formattati sono spediti di nuovo alla BOC, dove

sono convertiti e mandati ai computer tramite collegamenti ottici, come si è visto poco sopra; il secondo percorso possibile prevede che i dati vengano raccolti e inviati direttamente ai computer, senza passare per la BOC, al fine di poter realizzare una calibrazione del sistema, coadiuvata eventualmente da istogrammi.

La catena DAQ conta anche sul supporto di altri elementi, che sono :

- Una scheda con interfaccia VME, denominata TIM (TTC Interface Module), che fa parte della catena che gestisce il timing dell'intero esperimento ATLAS e che occupa il tredicesimo slot nel crate dove alloggiavano le ROD. I principali compiti della TIM sono:
 - Propagare il clock a tutto il crate VME, ossia a tutte le coppie BOC-ROD;
 - Ricevere e propagare i segnali di trigger;
 - Inviare le precedenti informazioni anche alla ROD.

L'interfaccia fra la TIM e la ROD è già completamente sviluppata e non sono previsti ulteriori aggiornamenti.

- Una scheda, detta SBC (Single Board Computer), che di fatto è un computer ad interfaccia VME. È utilizzata per controllare tutte le operazioni VME sulla ROD, può programmare alcune sue componenti e monitorarne la temperatura.

2.1 IBL BOC

Sulla BOC sono presenti tre Spartan6, ossia FPGA (Field Programmable Gate Array), responsabili del controllo della scheda, le quali processano i dati da e per il detector: una delle due (BOC Control FPGA, BCF) si occupa dell'Ethernet e della comunicazione con gli altri dispositivi; le altre due FPGA (BOC Main FPGA, BMF) prelevano il segnale dai collegamenti seriali con i chip FE-I4 e lo spediscono alla ROD su otto bus da 12 bit.

Il compito principale della BOC è quindi quello di raccogliere i dati, impacchettarli e mandarli alla scheda ROD.

In aggiunta, la BOC distribuisce il clock globale a 40 MHz al rivelatore e alla ROD stessa. I dati possono anche seguire un percorso inverso, passando sempre attraverso le due BMF,

che codificano i dati di configurazione provenienti dalla ROD e li spediscono ai Front-End chip; tale flusso di dati può anche essere generato dalla BOC stessa per fini di controllo.

2.2 IBL ROD

La ROD è una scheda che interfaccia la catena di acquisizione dati standard di ATLAS con gli specifici componenti di acquisizione dati presenti all'interno del rivelatore. Più specificamente, i compiti di questa scheda sono:

- Propagare i segnali di trigger ai front end chip;
- Inviare le configurazioni appropriate ai chip FE-I4 connessi;
- Ricevere i frammenti di un evento dai 32 FE-I4 e compattarli in uno singolo, che viene poi rispedito alla BOC.

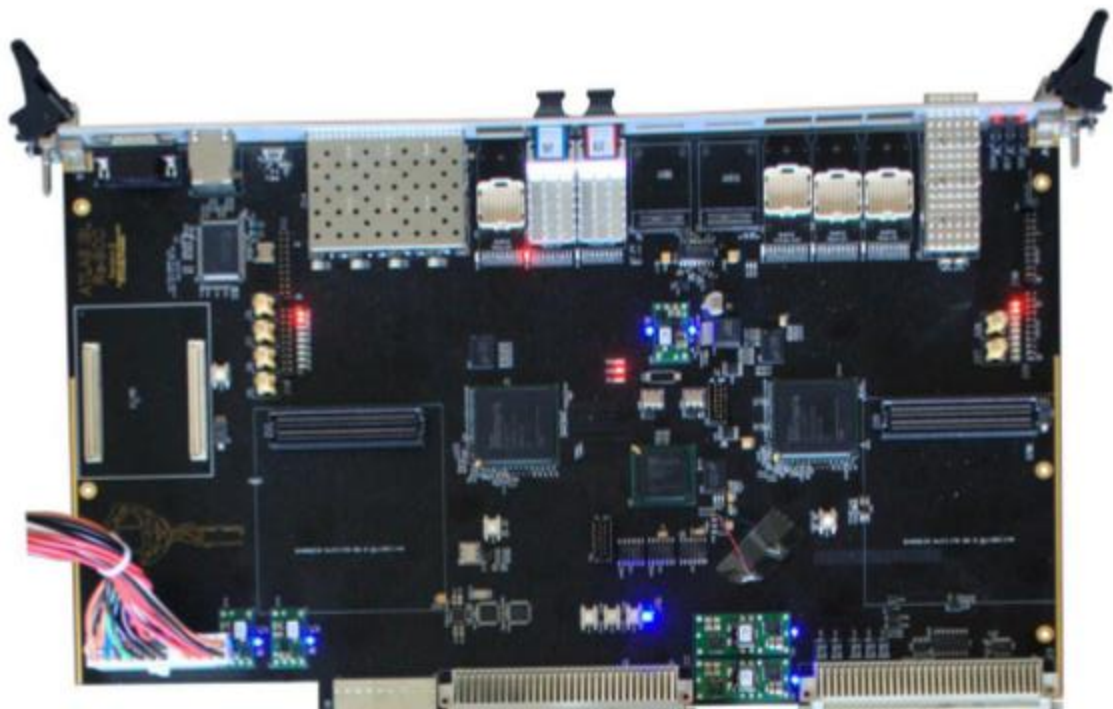


Figura 2.2: Scheda BOC

Una delle decisioni prese nel progetto IBL è stata quella di sostituire la vecchia SiROD con una nuova scheda, la ROD, da progettare però ex novo. Questa necessità è dovuta

principalmente al fatto che i nuovi FE-I4 hanno una velocità di trasmissione dati maggiore rispetto alla versione precedente (i chip FE-I3 con i quali si interfaccia la SiROD) e

avrebbero generato così un flusso di dati che la vecchia scheda non era in grado di gestire. Il passaggio alla ROD ha richiesto, parallelamente, lo sviluppo di una nuova BOC. Questo nuovo sistema BOC-ROD è così in grado ora di gestire ben 32 front-end chip, rispetto ai precedenti 16. Inoltre questo aggiornamento è in grado di interfacciarsi coi vecchi FE-I3, grazie all'interfaccia VME che è rimasta sulla ROD, la quale ha inoltre richiesto il mantenimento delle precedenti dimensioni. Questa retro-compatibilità è molto

importante, in quanto IBL sarà un'estensione del rivelatore esistente e per questo la ROD risulta compatibile anche con la scheda BOC di vecchia generazione.

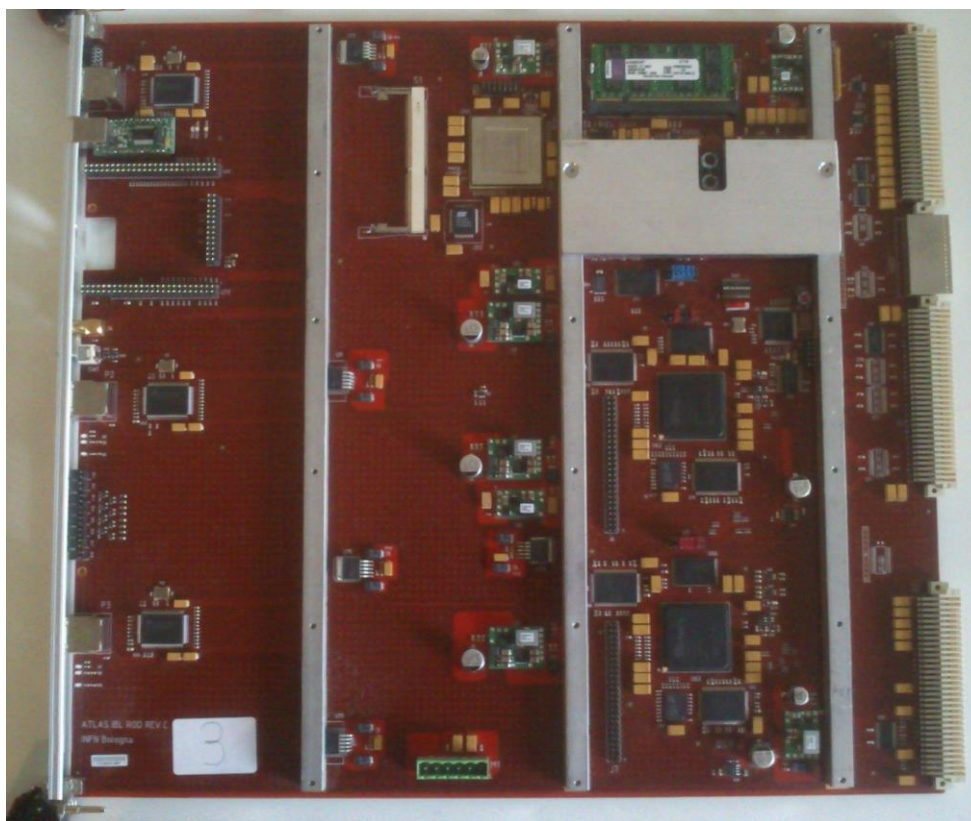


Figura 2.3: Scheda ROD

2.2.1 Hardware

Nonostante il flusso di dati passanti per la ROD sia notevolmente aumentato rispetto all SiROD, è anche notevolmente diminuito il numero di componenti presenti sulla scheda stessa, grazie all'utilizzo di FPGA di ultima generazione. Sulla scheda è presente la seguente componentistica:

- Una SDRAM DDR da 32 MByte
- Una memoria FLASH da 64 Mbit
- 3 tipi di FPGA:
 - 1 Xilinx Spartan6 XC6SLX45-FGG484: costituisce il nuovo dispositivo PRM (Program Reset Manager), che eredita dalla vecchia PRM il compito di interfaccia con il bus VME, oltre che le operazioni di reset e programmazione della scheda.
 - 1 Xilinx Virtex5 XC5VFX70T-FF1136: è la nuova FPGA che funge da controller della ROD e al suo interno è presente un processore PowerPC.
 - 2 Xilinx Spartan6 XC6SLX150-FGG900: implementano l'elaborazione dei dati all'interno della ROD. Ad ognuna di esse sono connessi due chip di RAM statica e uno di RAM dinamica DDR2. La memoria statica, grazie alla sua velocità di trasferimento, viene utilizzata come cache per il passaggio dei dati alla DDR2, la quale, essendo dinamica, necessita di intervalli di refresh durante i quali la scrittura non è abilitata.
- Una SODIMM DDR2 da 2 GB
- Memorie PROM che servono per immagazzinare i file di programmazione delle singole FPGA.

- 3 interfacce Gbit Ethernet

Sul pannello frontale, tra le altre cose, trovano collocazione:

- 1 porta USB
- 1 connettore JTAG per la programmazione delle FPGA.
- 1 pulsante di reset.
- 3 porte Gbit Ethernet
- 8 LED di stato.

Alimentazione

Questa scheda complicata richiede l'utilizzo di più valori di tensione di alimentazione (vedi Figura 2.4), in quanto deve gestire diversi standard per tutti i componenti sulla scheda e per gestire le varie interfacce.

Distribuzione del clock

Su questa scheda sono presenti due sorgenti principali di clock: uno interno, utilizzato quando la scheda lavora in maniera autonoma, e uno esterno, proveniente dalla BOC.

Sulla scheda è presente un Dip Switch, tramite il quale si può controllare da quale delle due sorgenti deve essere prelevato il clock. Inoltre, la BOC può essere configurata per ricevere il clock direttamente dalla TIM, permettendo così che i clock all'interno del crate siano così tutti in fase.

JTAG

Il JTAG è un metodo standard per il controllo e la programmazione dei dispositivi FPGA.

Sulla scheda sono presenti due diverse catene JTAG: una è utilizzata per programmare la PRM e la sua EEPROM (Electrically Erasable Programmable Read-Only Memory); l'altra, qualora siano stati posizionati tutti i jumper sulla scheda, è composta dai seguenti dispositivi (cfr. Figura 2.5):

- XCF32P (Spartan 6A PROM)
- XCF08P (Spartan 6A PROM)
- XC6SLX150 (Spartan 6A FPGA)
- XCF32P (Spartan 6B PROM)
- XCF08P (Spartan 6B PROM)
- XC6SLX150 (Spartan 6B FPGA)
- XCF33P (Virtex 5 PROM)
- XC5VFX70T (Virtex 5 FPGA)

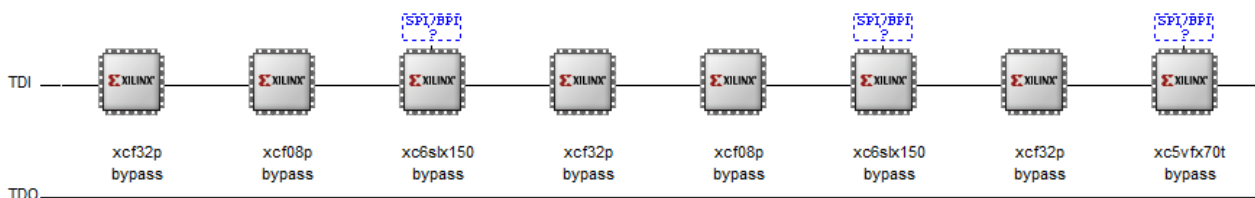


Figura 2.4: La catena JTAG principale visualizzata tramite il programma IMPACT

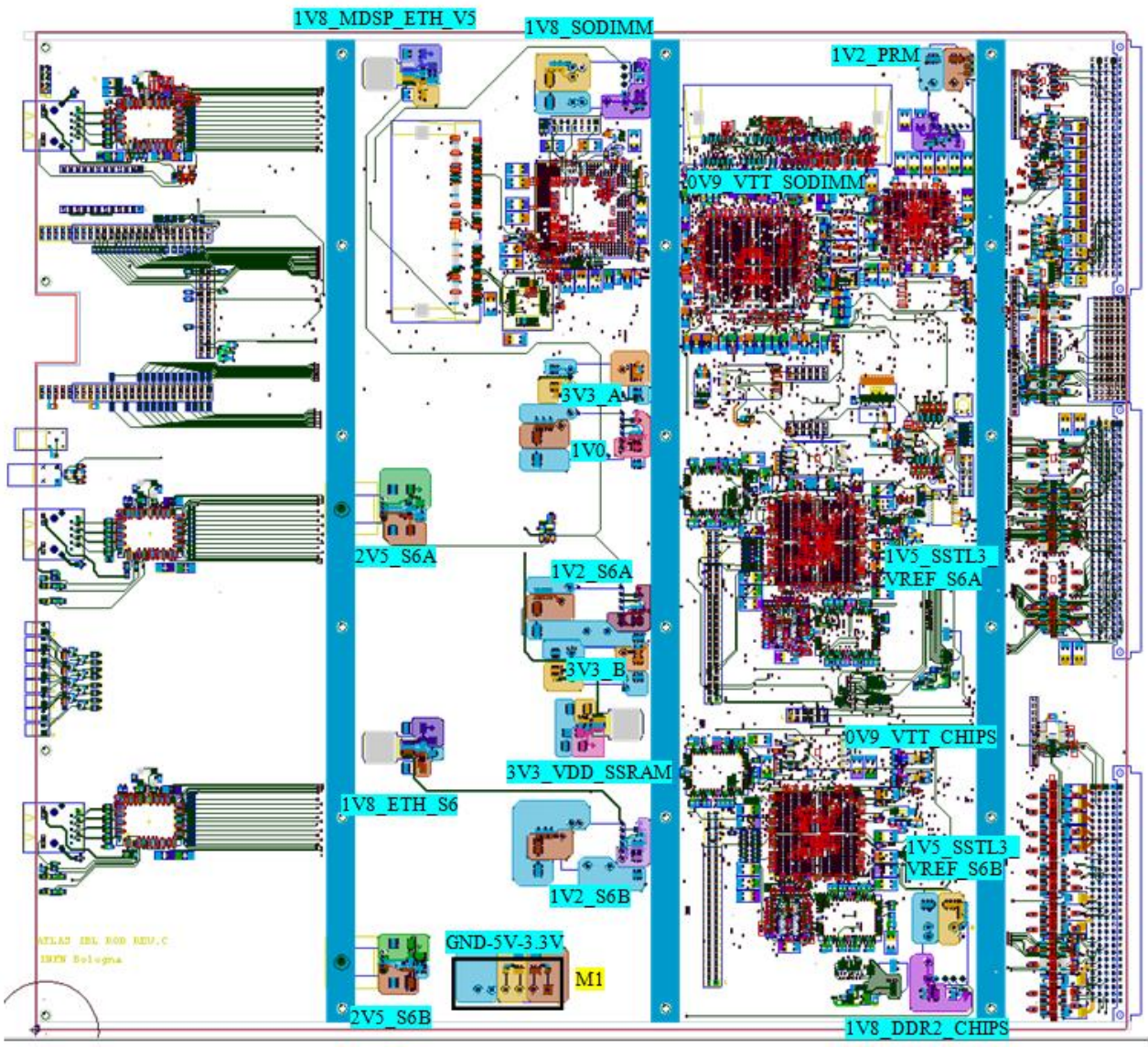


Figura 2.5: Distribuzione dell'alimentazione sulla scheda.

Collegamento BOC-ROD

Sono presenti 96 fili (cioè 8 bus da 12 bit) che collegano la scheda BOC alla ROD che possono essere divisi in gruppi di 12, i quali gestiscono i dati provenienti dai front-end chip e sono quindi una parte delicata del percorso seguito dai dati. Ciascuno di questi gruppi è formato da:

- Write Enable: è un singolo bit, attivo alto, che attesta la validità dei dati correnti.
- Controllo: è un singolo bit, attivo alto, che etichetta i dati entranti come parola di controllo.
- Indirizzo: sono due bit che riferiscono quale canale ha generato i dati correnti.
- Dati: sono 8 bit che costituiscono una parte dell'output dei chip FE-I4.

Il motivo per cui bastano linee di indirizzo a 2 bit risiede nel fatto che si è scelto di collegare ad ogni ROD i 32 chip FE-I4 presenti su una singola stave. Ognuna delle due Spartan 6 implementa infatti due data path indipendenti, su ciascuno dei quali sono presenti 4 canali (realizzati dalla linea di indirizzo a due bit), a ognuno dei quali è collegato un front-end chip FE-I4.

VME

Versa Module Eurocard è un protocollo standard che è stato seguito per determinare i bus e le dimensioni della scheda. Ogni bus richiede un controller, che può essere sia della scheda che l'SBC. Questo sistema era utilizzato, nelle precedenti versioni, per scaricare istogrammi, mentre ora è utilizzato solo a fini di aggiornamento e di monitoraggio, poiché gli istogrammi passano per attraverso l'Ethernet.

Ethernet

A parte la PRM, ogni FPGA ha il suo connettore Ethernet corrispondente, accessibile dal pannello frontale della scheda. Inoltre, l'Ethernet della Virtex 5 può essere usata per accedere a tutti i registri dei processori delle FPGA.

Virtex 5

Questa è l'FPGA Master della scheda di Read Out Driver e si deve interfacciare con i front-end chip, i trigger e le informazioni a loro correlate. Questi compiti possono essere svolti dal PPC all'interno della Virtex 5 o da altri componenti all'interno della stessa FPGA: tale

dualità di percorso è necessaria per permettere di usare la ROD fuori dal crate, oltre che per testare il percorso dei dati, quando i trigger giungono via Ethernet e non dalla TIM.

Spartan 6

Le Spartan sono FPGA più economiche che gestiscono tutti i dati passanti durante il processo di prelievo dei dati. Inoltre raccolgono i dati in istogrammi, che vengono memorizzati sulle SSRAM e mandati al server.

PRM

É un'altra Spartan 6 che serve per l'interfaccia VME.

Capitolo 3

Test

In questo capitolo si spiegherà in dettaglio come sono state testate le schede ROD della produzione che verranno utilizzate nell'esperimento ATLAS.

Per spiegare più in dettaglio i test qui riportati è necessario aggiungere alcune informazioni riguardo le FPGA: queste possono essere programmate per eseguire compiti specifici, cambiandone così il comportamento elettrico dei componenti. Questo tipo di programmazione è quindi diverso dalla classica scrittura di codice, che viene poi eseguita sul microprocessore stesso, poiché questa non influenza in alcun modo il comportamento elettrico delle componenti coinvolte, che è definito precedentemente.

3.1 Software utilizzato

Per effettuare i test sono stati utilizzati principalmente due software, che hanno consentito di programmare tutta la componentistica in esame, utilizzando il codice precedentemente sviluppato. In particolare è stata utilizzata la suite Xilinx ISE (Integrated System Environment), prodotta e distribuita dalla stessa Xilinx, la quale include numerosi strumenti utili, oltre che alla programmazione, al debug delle FPGA e al controllo complessivo della scheda ROD. Quando la programmazione delle componenti interessate dal test è avvenuta per mezzo del connettore JTAG, si è ricorso al software Impact, utile appunto a caricare su FPGA e PROM i file binari creati.

Un altro software utilizzato è Chipscope, il quale consente la visualizzazione delle forme d'onda ed i valori dei segnali all'interno della logica delle FPGA: si possono così catturare segnali in ingresso, in uscita ed anche interni alle FPGA stesse, per poterli poi visualizzare in tempo reale. È questo il caso di alcuni dei test effettuati su bus e memorie, che hanno reso necessario un controllo dei dati in transito in tempo reale. Nell'utilizzo di questo software, al fine di interfacciare il computer con la scheda ROD tramite JTAG, si rende sempre necessario l'utilizzo di un programmatore USB Xilinx.

La procedura standard di test è stata modificata per rendere conto al meglio delle caratteristiche delle nuove schede ROD.

3.2 Test preliminari

3.2.1 Ispezione visuale

L'ispezione visuale avviene sulla scheda non alimentata.

ROD switches

In prossimità di delle 4 FPGA sono presenti degli switches attraverso cui è possibile selezionare la modalità di funzionamento. Al fine dei test performati, la configurazione da impostare è pressochè stabile durante tutti i successivi test, ed è la seguente:

- PRM: ↓
- V5: ←
- S6: →

E' presente un altro switch che regola la provenienza del segnale di clock sotto la V5, verrà utilizzato in test successivi.

Orientamento condensatori

Il test consiste nel controllo visuale della polarità dei condensatori sulla scheda al fine di evitare spiacevoli inconvenienti all'accensione.

3.2.2 Test alimentazione

E' volto all'individuazione di difetti grossolani nella realizzazione della scheda che ne possono compromettere il funzionamento e l'integrità.

Individuazione corto circuiti

La scheda viene analizzata in dettaglio per individuare corto circuiti realizzati accidentalmente sulla scheda, ad esempio con gocce di stagno. Qualora individuati, i corto circuiti vengono rimossi. Nella mia esperienza, questo test è centrale nell'intera procedura: i corto circuiti non individuati in questa fase hanno comportato in alcune schede temperature e correnti così alte da danneggiare irreversibilmente delle componenti fondamentali della scheda.

Accensione

La scheda è collegata all'alimentazione e accesa. Per sicurezza, la corrente viene limitata sotto un valore di soglia massimo (generalmente 1A) per evitare che corto circuiti non individuati nella fase precedente causino malfunzionamenti. Attraverso l'uso di una camera termica viene inoltre verificato che la temperatura delle componenti non sia eccessivamente alta (i valori di riferimento per le temperature delle varie componenti sono quelli misurati su schede funzionanti).

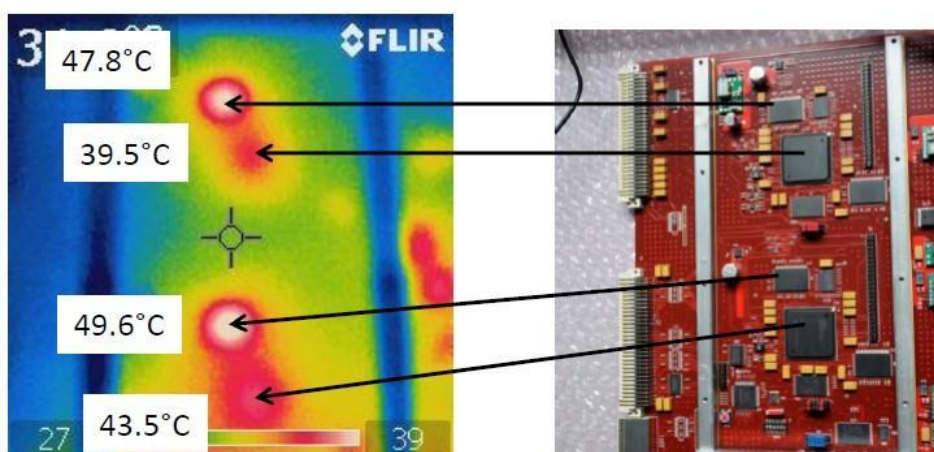


Figura 3.1 Un'immagine della ROD scattata con la camera termica.

Distribuzione alimentazione

Sullo schematico della scheda è disponibile il seguente schema della tensione misurata in diversi Test Point:

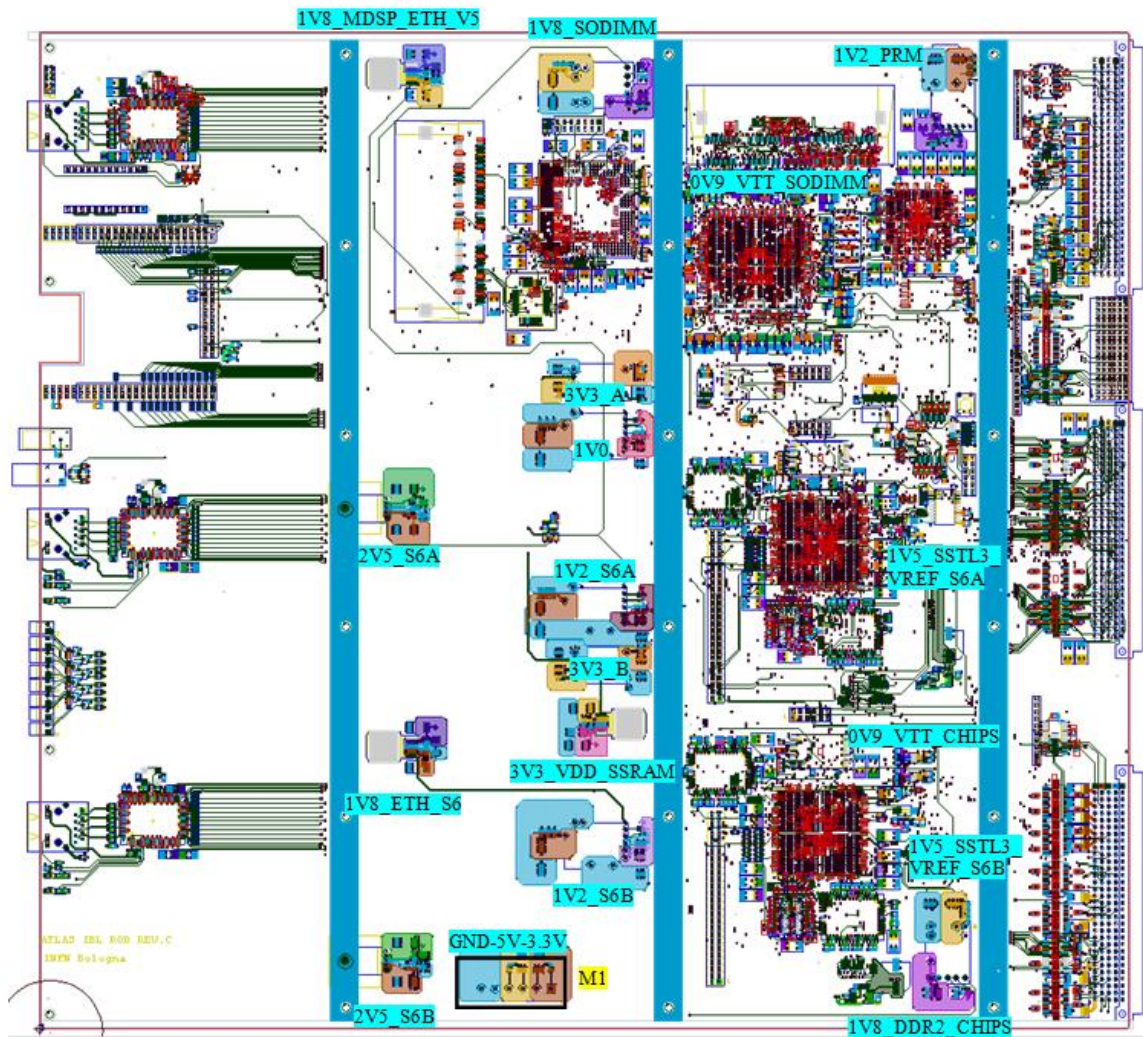


Figura 3.2

La tensione viene misurata attraverso multimetro digitale e oscilloscopio e confrontata con i valori indicati.

3.2.3 Distribuzione del clock

Il segnale di clock (differenziale LVDS) sulla scheda è gestito da un clock-generator programmabile, Lattice PLL (Phase Locked Loop) all'interno della scheda, il quale può anche moltiplicare la frequenza di clock per soddisfare le esigenze di funzionamento di alcuni componenti (ad esempio Virtex 5 utilizza un clock a 100 MHz). Se la sorgente è esterna, il segnale viene convertito in logica PECL e poi LVPECL prima di essere indirizzato al PLL. Le possibili sorgenti di clock generano tutte un segnale a 40 MHz e sono:

- **Interna:** è generata da un quarzo situato vicino al PLL, viene usato quando la scheda non è interfacciata con la BOC;
- **BOC:** anche la scheda BOC può generare un segnale di clock che viene trasmesso alla ROD;
- **TIM** (Time Interface Module); è il più importante, utilizzato nell' esperimento ATLAS. Per utilizzarlo sulla ROD, è necessario configurare la BOC attraverso un software apposito. La bontà del segnale viene sondata attraverso il pin d'uscita del PLL attraverso l'oscilloscopio.

3.2.4 Catena JTAG

JTAG è uno standard (IEEE 1149.1) che definisce un protocollo standard di test dei dispositivi. Ogni FPGA ha il suo connettore JTAG a cui può essere attaccato il programmatore Xilinx. È possibile (e desiderabile) che tutte le FPGA principali (S6A, S6B, Virtex5) formino una catena, comprendente i seguenti dispositivi:

- PROM1 Spartan 6 A
- PROM2 Spartan 6 A
- Spartan 6 A
- PROM1 Spartan 6 B
- PROM2 Spartan 6 B
- Spartan 6 B
- PROM Virtex 5
- VIRTEX 5

Per visualizzare correttamente la catena viene programmata preliminarmente la PRM con un particolare firmware. Una volta programmata la PROM, la scheda viene riavviata: la PRM caricherà all'avvio il firmware precedentemente installato; quindi applicando opportunamente dei jumper ai connettori JTAG delle FPGA della catena. Se il test è riuscito, sarà possibile visualizzare l'intera catena JTAG da Impact:

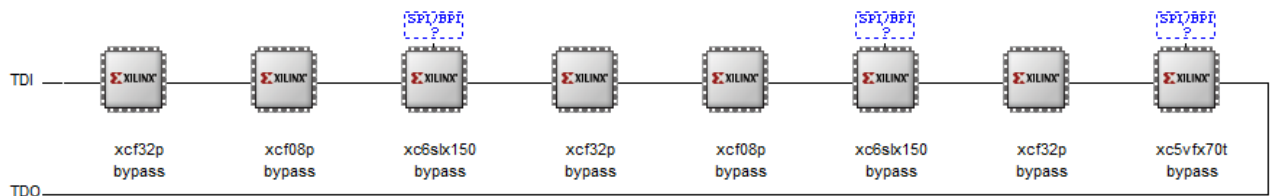


Figura 3.3: la catena JTAG visualizzata su Impact, comprendente anche le PROM associate alle FPGA.

Questa fase prevede anche la programmazione delle PROM associate alle FPGA attraverso il connettore JTAG, dunque è valido anche come test di tali memorie. L'esito del test è visualizzato sul software Impact stesso. Dopo aver acceso la scheda, le FPGA si programmano automaticamente leggendo il contenuto della corrispondente PROM.

La verifica del corretto funzionamento della catena JTAG e del caricamento dei file sulle PROM avviene di fatto in maniera continua, in quanto la programmazione delle componenti sopra citate, che ha luogo durante i test descritti, ne costituisce un'effettiva conferma.

3.3 Test bus e dispositivi

I test successivi sono eseguiti sulle schede all'interno del crate.

L'inserimento nel crate è successivo all'aggiunta di una memoria RAM 2GB DDR2 SODIMM esterna e di un dissipatore al di sopra della Virtex5.

Questo garantisce un efficiente raffreddamento della schede grazie alle ventole presenti, oltre ad un vantaggio pratico di ottimizzazione degli spazi nel laboratorio che agevola la parallelizzazione dei test successivi (quando possibile). Oltre ai vantaggi di tipo pratico della nuova configurazione, l'inserimento nel crate delle schede ROD è imprescindibile

perché consente l'interfacciamento delle schede con le corrispettive BOC (e quindi con il TIM) attraverso l'interfaccia VME.

3.3.1 Connessione PRM-VIRTEX5

Attraverso l'interfaccia VME della PRM è possibile programmare direttamente la VIRTEX 5, poiché esiste un BUS dedicato (HPI) tra PRM e VIRTEX 5. Attraverso SBCVME, il single board computer che gestisce le interfacce VME, viene caricato sulla VIRTEX 5 un programma di monitoraggio delle temperature e delle tensioni sui componenti della FPGA. I dati vengono mostrati in tempo reale su terminale con refresh rate di un secondo:

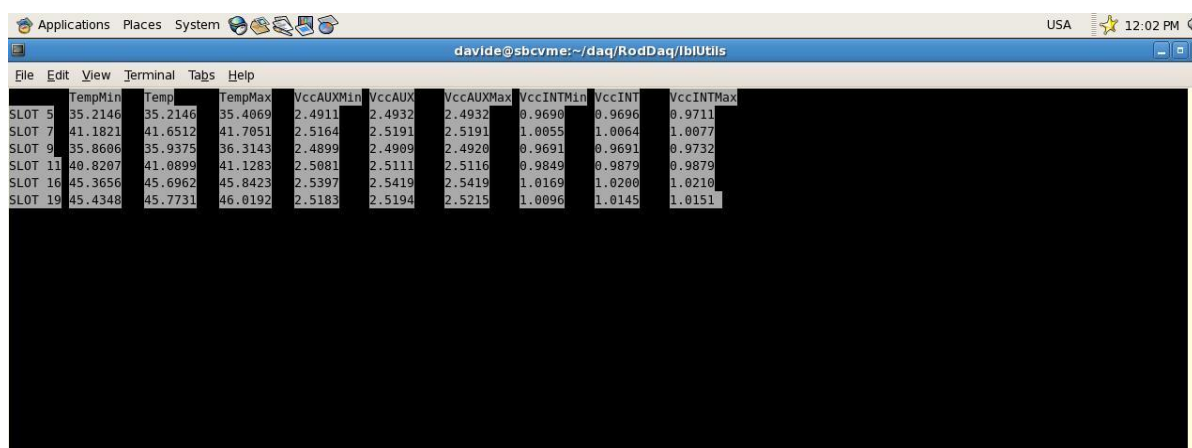


Figura 3.3: System monitor: vengono visualizzati dati sulle temperature e tensioni per ogni scheda

Viene così testato il funzionamento dell'interfaccia VME, del bus HPI e in generale il funzionamento a regime della FPGA Virtex 5.

Inoltre, viene utilizzata durante l'analisi anche la memoria FLASH, quindi il test può essere considerato destinato anche a questo dispositivo.

Il test può essere condotto parallelamente su più schede.

3.3.2 Connessione Spartan6-Virtex5

Per controllare la qualità della connessione fra la Virtex 5 e le Spartan 6 viene inviato un campione di dati a 80 MHz dalla Master alle due Slave, dove poi il contenuto del pacchetto viene confrontato con i valori attesi. Più precisamente, il campione può essere deciso dall'utilizzatore a livello software, caricando uno specifico file sul PPC, il quale riempie un blocco di memoria RAM della Virtex 5, il cui contenuto è poi inviato alle due Spartan 6. Durante il test, grazie al software, le luci LED frontali della ROD vengono accese e il tutto viene lasciato funzionare per un paio di ore; un eventuale errore sulla scheda è segnalato dallo spegnimento (o mancata accensione) dei LED. Per le schede ROD più recenti, quest'ultimo inconveniente non rappresenta necessariamente un malfunzionamento della connessione tra i dispositivi poiché le nuove FPGA implementate sugli slaves riescono a realizzare una forma d'onda quadra con uno "slope" molto migliore rispetto alla VIRTEX5, così possono generarsi piccoli errori, in una sorta di "frintendimento di forme d'onda". Sostanzialmente, l'onda quadra generata da V5 sale o scende troppo lentamente in maniera che, all'impulso di clock, il livello di tensione viene valutato come bit "0" e non "1", generando l'errore. Questo errore però non indica il malfunzionamento del bus, ma solo un piccolo ostacolo iniziale nella comunicazione tra i due dispositivi. Questo comportamento si evidenzia nella prova quando si accendono tutti i LED fuorchè i due superiori.

3.3.3 Connessione BOC-ROD

La connessione viene testata semplicemente, attraverso un confronto diretto tra un pacchetto predefinito di dati posseduto in memoria dalle Spartan 6 sulla ROD, e lo stesso pacchetto inviato però attraverso la BOC. La procedura viene monitorata su Chipscope, dove il flusso di dati non viene registrato a meno dell'attivazione della condizione di trigger, cioè un errore nella trasmissione dei dati. Il test viene eseguito simultaneamente sulle 2 Spartan con due pacchetti diversi: uno contiene la parola esadecimale AA55, l'altro un contatore incrementale. Inoltre, vengono sperimentati diversi angoli di sfasamento tra

l'impulso di clock e l'invio del pacchetto (0°, 90°, 180°, 270°, generalmente i test con angolo di sfasamento più basso hanno maggiore probabilità di fallire). La parallelizzazione virtualmente totale di questo test è limitata dalla disponibilità limitata di schede BOC nel laboratorio. Inoltre le molteplici configurazioni lo rendono uno dei più onerosi in termini temporali.

3.3.4 Memorie SSRAM a 200 MHz

La bontà della connessione tra le 2 SSRAM e le rispettive Spartan6 viene testata attraverso la scrittura e riletture ciclica di un pattern di dati alla frequenza di 200 MHz in tali memorie indirizzate attraverso un bus a 16 bit. Mediante l'uso di ChipScope è possibile sondare i dati che viaggiano sui bus, in particolare il conteggio degli errori (err-count) e lo stato di lettura-scrittura del dispositivo (test_b). Nonostante la limitata disponibilità di programmatori Xilinx, è stato possibile svolgere il test in maniera completamente parallela, spostando di volta in volta il programmatore e verificando la correttezza dei contatori per ogni Spartan6 di ogni scheda.

3.3.5 Memorie RAM DDR2 (Spartan 6)

La procedura di test è ancora quella di scrivere e rileggere pattern di dati predeterminati dalle memorie e confrontarne il valore. In questo test la configurazione del PPC avviene attraverso la relativa porta ethernet, e il monitoraggio viene eseguito attraverso la porta UART della scheda, che alterna il monitoraggio delle RAM e mostra il conteggio degli errori. La prova è quindi considerevole (ed è stata utilizzata) valida anche per il funzionamento di tale porta. Una volta realizzata la configurazione di tutte le schede in modo seriale, la procedura è completamente parallelizzata: sul computer LINUX VLSI2 vengono visualizzate tante finestre quante sono le schede analizzate, ognuna figurante lo stato del relativo monitoraggio.

3.3.6 Memoria RAM SODIMM-DDR2 (Virtex 5)

Ancora una volta, il test della memoria consiste nella scrittura e riletture ciclica di dati già noti sulla memoria. Il monitoraggio dell'analisi avviene mediante porta UART che attraverso un terminale di output mostra il conteggio degli errori nella procedura ciclica. Eventuali incrementi inaspettati del valore del conteggio vengono analizzati con l'aiuto di SDK. È possibile svolgere il test in maniera completamente parallela

3.3.7 Connessione Ethernet Spartan

Per verificare la funzionalità delle due porte ethernet presenti su ogni ROD, attraverso l'opportuna programmazione tramite programmatore Xilinx delle Spartan6, viene realizzata una configurazione di echoserver per le due FPGA che testa, oltre al collegamento, la velocità di trasmissione ad 1Gbps delle porte (ovviamente tale velocità di trasmissione deve essere supportata anche dai cavi ethernet utilizzati). La parallelizzazione del test è possibile e totale, con il banale accorgimento di utilizzare script opportuni al fine di evitare conflitti dovuti all'attribuzione dello stesso IP a diverse FPGA.

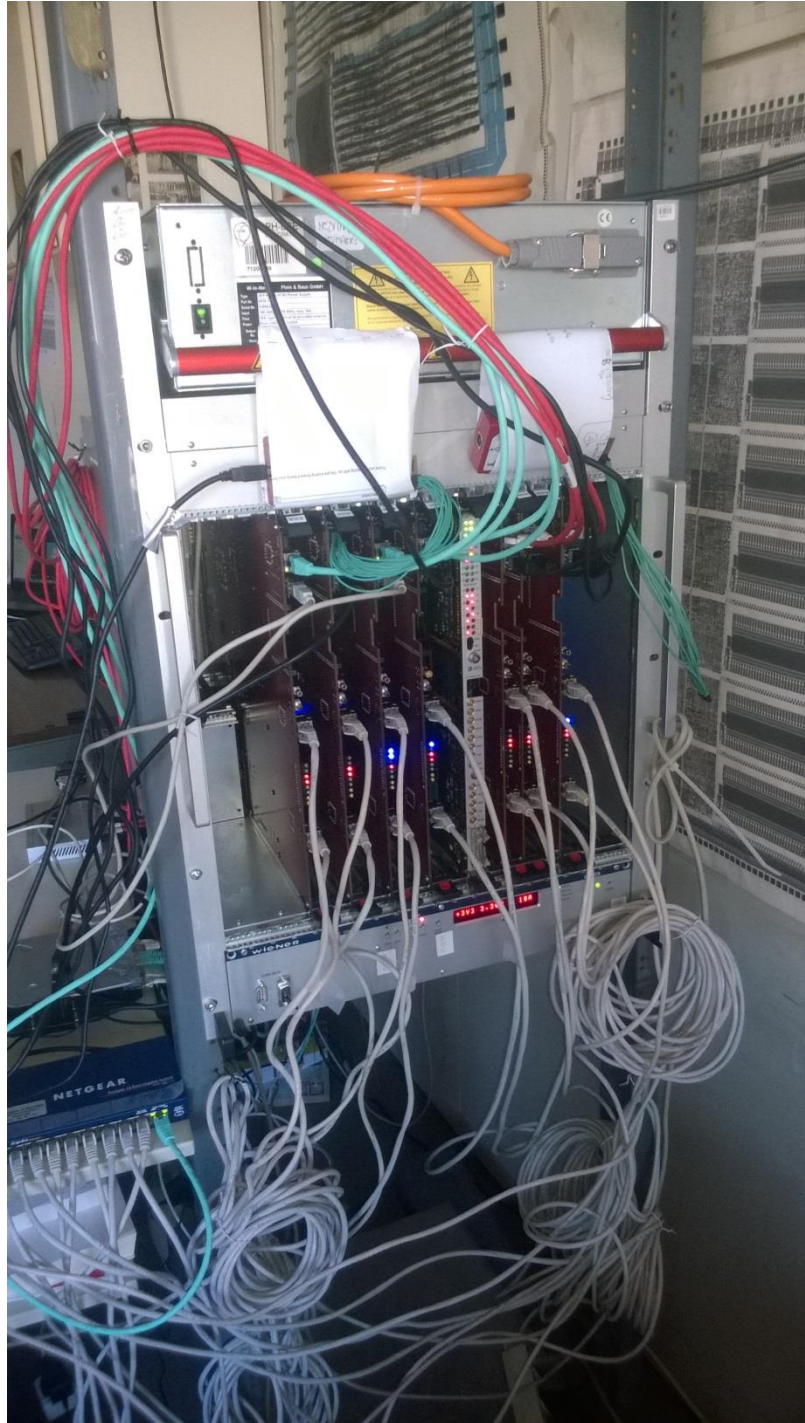


Figura 3.4 Realizzazione della configurazione per il test delle porte ethernet

3.3.8 Connessione ROD – BOC (S-link e XC)

Dalla due Spartan 6 partono alcuni bus che raggiungono la BOC, implementando così il percorso di ritorno dei dati dalla ROD alla BOC. Il bus completo delle linee XC in realtà collega la Virtex 5 ad ognuna delle due FPGA Slave, da dove poi proseguono verso la BOC. La prima parte di questo collegamento viene testata quando si verificano i bus complessivi che connettono l’FPGA Master alle due slave, come descritto nella sezione “Test connessione Virtex 5-Spartan 6”, mentre la seconda parte viene verificata nel corso di questo test, unitamente al controllo sulle linee XC. Vengono quindi inviati dati su questi bus e, con la consueta procedura logica, si controlla l’eventuale presenza di errori.

Se non è stato eseguito il test TIMINT TRIGGER, è possibile che si manifestino degli errori dovuti alla scrittura dei registri durante il ROD BUS TEST. In quel caso, è opportuno eseguire il TIM INT TRIGGER in maniera da riscrivere in maniera adeguata i registri.

3.4 System test

Durante questo test viene simulata la situazione di flusso di dati nell’esperimento.

Dopo aver accertato che lo switch della ROD responsabile del clock sia impostato in maniera da ricevere il segnale dalla BOC, quest viene istruita ad agganciarsi al segnale di clock proveniente dalla scheda TIM, in modo da simulare ciò che realmente avverrà quando la scheda ROD sarà inserita nel crate in funzione al CERN. Qualora questa istruzione abbia un esito positivo viene visualizzato un messaggio su schermo che ne conferma il successo.

In un secondo momento, viene assegnato un indirizzo IP al PPC, testando la avvenuta riuscita dell’operazione attraverso un semplice comando di ping.

ROD BUS

Il bus viene testato secondo la consueta procedura di scrittura e riletture di indirizzi di memoria. Precedentemente l'analisi era strutturata in maniera da scrivere la riletture degli indirizzi su un file, il quale veniva poi confrontato mediante comando *diff* con un file modello. L'operazione è stata velocizzata includendo il confronto all'interno dello stesso codice responsabile delle operazioni di scrittura e riletture degli indirizzi.

TIMINT TRIGGER

Vengono di nuovo testati, in maniera più generale e completa, i bus che connettono la due Spartan 6 alla Virtex 5. In questa fase si istruisce inoltre la TIM a inviare segnali di trigger, e attraverso l'uso di Chipscope si verifica della loro ricezione e di tutte le fasi successive di gestione dei dati.

La parallelizzazione del test è limitata dalla disponibilità di schede BOC in laboratorio (due durante la mia esperienza).

Capitolo 4

Risultati e problemi riscontrati

Si darà ora una descrizione dei principali risultati ottenuti nella fase di test. Questi sono stati sintetizzati e catalogati in un logbook in formato HTML, facilitando anche la sistematicità e rintracciabilità dei tests e delle schede. Nella tabella 4.1 viene riportato lo stato dei test su tutte le schede al termine della mia esperienza.

ROD	Preliminari	ROD Master	ROD Slave	PRM	Sistema	CERN
Test Batch 4		SSRAM 200 MHz				
304						Sent
305						Sent
306			V5-S6			Sent
307						Sent
308						Sent
309	Corto	RAM				×
310				Sysmonitor		
311		DDR2	DDR2	Sysmonitor		
312						Sent
313		Ethernet	V5-S6			×
314		Ethernet	Ethernet; DDR2			
315			V5-S6			
316			V5-S6			

La scheda Test Batch 4 non è stata prodotta insieme alle altre ma (come il nome lascia a intendere) appartiene al IV batch di schede di Test . Questa aveva riscontrato malfunzionamenti imputabili alle Spartan6. Poichè i nuovi batch di schede montano una nuova versione delle Spartan 6, è stato proposto che queste venissero montati anche su

questa scheda, funzionante altrimenti. Purtroppo i test hanno poi evidenziato un nuovo errore durante il test delle RAM.

I principali intoppi allo svolgimento completo dei test su tutte le schede sono di tipo hardware: spesso durante l'assemblaggio piccole imperfezioni o gocce di stagno creano cortocircuiti o configurazioni errate non sempre individuabili attraverso i test preliminari. Quando individuati e quando possibile, i cortocircuiti sono stati rimossi e le linee risaldate. A volte però, come nel caso della scheda 309, un cortocircuito ha portato ad uno squilibrio nella distribuzione delle correnti e delle tensioni che ha irrimediabilmente danneggiato dei componenti (nel caso della 309 la Virtex 5) compromettendo definitivamente il funzionamento della ROD.

Il test BOC-ROD, nonostante venga eseguito con diversi angoli di sfasamento, viene considerato superato se portato a termine almeno per uno dei quattro angoli rispetto all'impulso di clock, quindi non inficia la bontà della scheda. Ad esempio, la scheda ROD 308 non ha superato il test per angolo di sfasatura nullo, ma il suo funzionamento è corretto e, una volta completati i test, è stata spedita al CERN.

Le schede contrassegnate con una croce alla voce "CERN", la 309 e 313, hanno manifestato un guasto hardware tale da richiedere una sostituzione delle componenti danneggiate. Come spiegato nel paragrafo 3.3.2, a volte il test del bus S6-V5 dà esito negativo ma non è indicativo del corretto funzionamento del bus.

T3M00308

Created Monday 01 September 2014

- CERN 01/09/2014 Monday
- Visual inspection
 - ROD switches
 - Capacitor visual test
- Power supply
 - Short circuit
 - Power-up
 - Power
- PLL Clock
- Itag chain
- Loading PROM files
- SSRAM 100MHz
- DDR2 S6
 - A
 - B
- DDR2 V5
- BOC2ROD
 - AA55 0
 - AA55 90
 - AA55 180
 - AA55 270
 - Counter_0
 - Counter_90
 - Counter_180
 - Counter_270
- System monitor
- V5-S6 Bus
- Ethernet S6
- Power supply screws substituted
- System test
 - ROD BUS
 - TIM trigger
- ROD2BOC (S-Link + Ctrl)

Backlink: [IBL-ROD](#)

Figura 4.1: Esempio di una pagina di logbook per la scheda 308.

Conclusioni e sviluppi futuri

Il lavoro svolto rientra nell'upgrade del Silicon Read Out Driver (SiROD) di ATLAS attualmente in uso, in particolare le schede testate sono destinate a sostituire quelle di Layer 2 del Pixel Detector.

Il mio contributo si è concentrato prevalentemente sull'esecuzione dei test di validazione delle schede ROD, che andranno a costituire una parte della catena di acquisizione dati di questo esperimento.

I test sono stati eseguiti nel laboratorio di progettazione elettronica a condiviso da INFN e Dipartimento di Fisica e Astronomia. Verranno poi performati ulteriori test al CERN di Ginevra, superati i quali le ROD saranno pronte a collocarsi al loro posto nella catena di acquisizione dati nel Pixel Detector di ATLAS. Al fine di chiarificare e velocizzare i test, ho provveduto a descrivere operativamente i passaggi da effettuare per completare i primi test in modo da rendere possibile l'esecuzione degli stessi anche da utenti relativamente inesperti, alleggerendo (si spera) il carico di supervisione richiesto da parte dei ricercatori più esperti. Uno dei miei incarichi è stato anche la redazione e cura di una nuova struttura nell'organizzazione dei test che rispecchiasse le migliorie e le modifiche più recenti delle analisi, facilitandone lo svolgimento con sistematicità e semplicità. Mi sono anche occupato di una piccola modifica nel test ROD BUS, diminuendo la necessità di intervento dell'utente.

Questo progetto è molto importante per l'Istituto Nazionale di Fisica Nucleare, in quanto rappresenta l'unico coinvolgimento di un gruppo di ricerca della sezione INFN di Bologna in un esperimento del CERN che riguarda il Pixel Detector. Ad oggi l'impegno dell'INFN di Bologna è stato completo continua lo sviluppo del sistema anche per gli altri layer di pixel, primo fra tutti il layer 1. Ci si aspetta infatti che sia quest'ultimo il prossimo layer a mostrare inefficienze a seguito sia dell'incremento di luminosità previsto per LHC, che di una velocità di lettura dei pixel troppo limitata, ed è per questo che è stato progettato anche l'aggiornamento del layer 1, seppur mantenendo il rivelatore fisico attuale.

Bibliografia

[1] Wermes, Norbert ; Hallewel, G. ATLAS pixel detector: Technical Design Report. 1999

[2] G.Balbi, M.Bindi, S.P.Chen, D.Falchieri, T.Flick, A.Gabrielli, S.Hauck, S.C.Hsu, A.Kugel, L.Lama, P.Morettini, R.Travaglini, M.Wensing. "The read-out driver (rod) card for the atlas experiment: commissioning for the ibl detector and upgrade studies for the pixel layers 1 and 2. Journal Of Instrumentation". 2014.

[3] Gabriele Balbi, Davide Falchieri, Alessandro Gabrielli, Luca Lama, Riccardo Travaglini, Samuele Zannoli. "IBL ROD board revC reference manual". Novembre 2012.