

***ALMA MATER STUDIORUM  
UNIVERSITÀ DI BOLOGNA - SEDE DI CESENA  
SECONDA FACOLTÀ DI INGEGNERIA***

---

***CORSO DI LAUREA IN INGEGNERIA  
ELETTRONICA E TELECOMUNICAZIONI***

**CONVERTITORI DI POTENZA MULTI-SORGENTE  
PER APPLICAZIONI DI ENERGY HARVESTING**

Elaborato in  
**ELETTRONICA DEI SISTEMI DIGITALI**

Relatore  
**ALDO ROMANI**

Presentata da  
**RAFFAELE NUCCI**

---

**SESSIONE II  
ANNO ACCADEMICO 2011-2012**



*Parole chiave*

Energy Harvesting

Convertitori di potenza

Maximun Power Point Tracking

Applicazioni low power



*Alla mia grande famiglia,  
e alla mia amica Pamela.*



# INDICE

<b>SOMMARIO .....</b>	<b>9</b>
<b>INTRODUZIONE.....</b>	<b>11</b>
<b>CAPITOLO 1 .....</b>	<b>13</b>
Premesse .....	13
Origine del progetto .....	15
Scenario.....	16
Analisi del problema .....	17
Sorgenti DC .....	17
Gestione della priorità e del sincronismo.....	18
Adattamento di livello.....	20
Rete di wake up per l'alimentazione.....	21
Metodo per generare le richieste di trasferimento di energia .....	21
Boost converter e sua abilitazione .....	23
<b>CAPITOLO 2 .....</b>	<b>25</b>
Progetto dello schematico .....	25
Rete di gestione della priorità .....	25
Analisi funzionale .....	25
Schema elettrico.....	28
Boost converter .....	31
Segnali di abilitazione del boost converter .....	33
Analisi funzionale .....	33
Schema elettrico.....	37
Rete di wake up.....	44
Maximum power point tracker.....	46
<b>CAPITOLO 3 .....</b>	<b>51</b>
Scelta dei componenti .....	51
Rete di gestione della priorità .....	51
Boost converter .....	60
Segnali di abilitazione del boost converter .....	61

Rete di wake up per l'alimentazione .....	62
Maximum power point tracker .....	64
<b>CAPITOLO 4.....</b>	<b>65</b>
Simulazioni e risultati.....	65
Rete gestione della priorità.....	65
Segnali abilitazione boost converter.....	69
Boost converter.....	73
Analisi funzione di trasferimento della rete di wake up e del suo funzionamento .....	77
Simulazione funzionamento boost converter collegato alla rete di wake up	81
Simulazione funzionamento complessivo, senza maximum power point tracker .....	84
Maximum power point tracker .....	88
<b>CONCLUSIONI .....</b>	<b>91</b>
<b>BIBLIOGRAFIA E WEBGRAFIA .....</b>	<b>93</b>
<b>WEBGRAFIA PER LA RICERCA DI COMPONENTI .....</b>	<b>94</b>
<b>DATASHEET .....</b>	<b>95</b>
<b>ELENCO DELLE TABELLE.....</b>	<b>96</b>
<b>ELENCO DELLE FIGURE .....</b>	<b>97</b>
<b>RINGRAZIAMENTI .....</b>	<b>101</b>

# SOMMARIO

L'obiettivo principale di questa tesi è stato di sviluppare un convertitore di potenza per applicazioni di energy harvesting, in grado di convogliare l'energia accumulata da diversi tipi di trasduttori di grandezze ambientali in un unico condensatore, utilizzabile per alimentare circuiti a basso consumo.

L'idea di base è stata quella di ottimizzare il trasferimento di energia, attraverso una rete logica in grado di gestire le priorità di conversione dalle diverse tipologie di fonti e grazie ad una implementazione dell'algoritmo di Maximun Power Point Tracking.

In base alle specifiche di progetto, in prima fase si è realizzata la rete a livello funzionale, poi si sono scelti i componenti più opportuni ed infine si è verificato il funzionamento attraverso il programma di simulazione LTspiceIV.



# INTRODUZIONE

In questi ultimi anni la sensibilizzazione riguardo l'argomento dell'energy harvesting sta prendendo sempre più piede, infatti, con la nascita di dispositivi elettronici in grado di funzionare con limitato consumo, si è aperta la possibilità di alimentare questi dispositivi senza l'ausilio della rete elettrica. Spesso però l'energia ottenibile dall'ambiente non è sufficiente a far funzionare certi circuiti elettronici che attualmente sono alimentati tramite batterie, ma può comunque aumentare il tempo di vita delle batterie che è notoriamente limitato.

Lo studio di questo problema è intensivo e le possibili soluzioni non mancano [1].

Molti progetti studiati inerenti al recupero di energia dall'ambiente considerano solo una singola sorgente ambientale e questo rappresenta un limite, poiché non è assicurata la presenza di energia nel tempo: basti pensare ai pannelli fotovoltaici che durante la notte non recuperano energia, o alle sorgenti piezoelettriche che si attivano solo in caso di vibrazioni, quindi in modo pressoché aleatorio.

La soluzione di questo limite potrebbe essere l'impiego di un convertitore multisorgente che diminuisce la probabilità che non ci sia energia recuperabile dall'ambiente, infatti, qualora una sorgente non sia disponibile per un certo periodo, può esserlo un'altra o altre sorgenti in modo contemporaneo.

L'obiettivo di questa tesi è proprio quello di trovare una soluzione circuitale per sviluppare un convertitore multisorgente, in grado di stabilire da quale trasduttore prelevare energia, nell'eventualità ce ne siano più di una pronte.

Partendo dall'articolo [2] che sviluppa un circuito in grado di prelevare energia da tre trasduttori piezoelettrici, operanti in frequenze differenti, attraverso un boost converter, l'idea di base è di andare a convogliare energia negli istanti in cui i trasduttori piezoelettrici non occupano l'induttore del boost.

Operando in questa maniera l'efficienza del convertitore è destinata ad aumentare, perché passa da un funzionamento fortemente discontinuo del boost ad un funzionamento meno discontinuo.

Vista la presenza di diverse tipologie di sorgenti, è necessaria una rete in grado di gestire l'ordine dei trasferimenti di energia dai trasduttori al boost converter. In questo progetto si è sviluppata una possibile soluzione utilizzando porte logiche,

realizzate con tecnologia CMOS, e avente un consumo molto ridotto, dipendente dalla quantità di trasferimenti richiesti dalle sorgenti.

Data la necessità del progetto di operare in modo autonomo, senza batterie e senza collegarsi alla rete elettrica, è stato necessario introdurre una rete di wake-up in grado di far funzionare le logiche poco dopo il collegamento con i trasduttori [2].

Scelta come tipologia di trasduttori le sorgenti DC, in aggiunta ai trasduttori piezoelettrici di partenza, si è sviluppata una possibile implementazione dell'algoritmo di Maximum Power Point Tracking, in grado di trasferire il maggior quantitativo di energia disponibile adattandosi alle variazioni delle grandezze ambientali.

Il progetto termina con la simulazione tramite LTspiceIV di tutta la rete progettata, verificando consumi ed efficienza.

# CAPITOLO 1

## Premesse

Grazie allo sviluppo delle nuove tecnologie, sono stati creati dispositivi in grado di funzionare con un consumo molto ridotto. Questo ha aperto la strada alla possibilità di utilizzare energia proveniente dall'ambiente al fine di alimentare questi dispositivi, senza quindi la necessità di collegarli alla rete elettrica o ad una batteria. Questo tipo di soluzione può infatti andare a risolvere i problemi di capillarità della rete elettrica: molti luoghi sono di difficile raggiungibilità per la rete, altri invece sono proprio impossibili poiché sono in movimento. Grazie all'energia ambientale è possibile inoltre aumentare il tempo di vita delle batterie di alimentazione di dispositivi portatili e nei casi migliori, per applicazioni low power, la sostituzione vera e propria delle batterie.

Il recupero di energia dall'ambiente prende il nome di energy harvesting e avviene tramite trasduttori ambientali che sfruttano grandezze quali luce, vibrazioni ed onde elettromagnetiche, oppure variazioni di grandezze come la temperatura.

Per quanto riguarda la luce, il trasduttore più comune è il pannello fotovoltaico, per le variazioni di temperatura si utilizzano i TEG i quali sfruttano l'effetto Seebeck, per le vibrazioni materiali piezoelettrici, mentre per le onde elettromagnetiche delle antenne.

L'interesse per questo argomento sta aumentando notevolmente in questi ultimi anni e lo dimostrano i numerosi articoli a riguardo [1] [2].

Non essendo possibile collegare direttamente i trasduttori ai dispositivi di carico, è necessario introdurre un convertitore di potenza che realizza l'adattamento fra i due e poiché l'energia recuperabile da una singola sorgente ambientale è limitata, è indispensabile che il convertitore di potenza abbia un buon rendimento energetico.

Ed è proprio sul rendimento del convertitore che si basano i nuovi studi, infatti esiste una tecnica detta Maximim Power Point Tracking, che consente di

prelevare il massimo valore di energia del trasduttore, variandone il punto di lavoro, in funzione dei parametri ambientali.

Questo algoritmo è sviluppabile tramite svariate tecniche [3] quali:

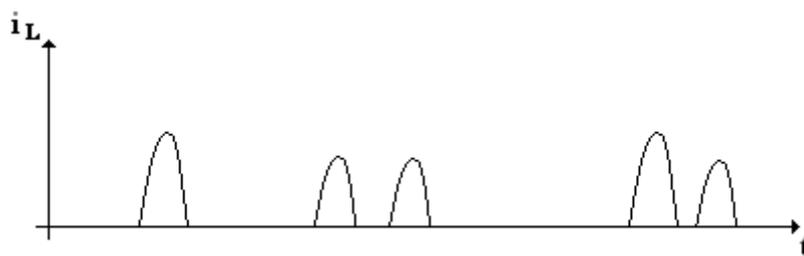
- **Fractional open-circuit voltage:** si fa lavorare il trasduttore a vuoto e se esiste una relazione lineare fra la tensione a vuoto e la tensione corrispondente al massimo di potenza ( $V_{MPP}$ ), si fa operare il trasduttore nell'intorno di  $V_{MPP}$ , frazione della tensione a vuoto. Per ottimizzare questa tecnica è necessario aggiornare periodicamente il valore di  $V_{MPP}$ , in modo da uniformarsi alle variazioni delle grandezze ambientali. Questo aggiornamento però comporta una perdita di trasferimenti di energia ed è quindi necessario individuare un compromesso fra la frequenza di aggiornamento della  $V_{MPP}$  e la perdita di efficienza del convertitore.
- **Perturb and Observe:** si va a perturbare (aumentando o diminuendo) il duty cycle del convertitore di potenza e si misura la potenza erogata dal trasduttore; se questa è aumentata si continua a perturbare nella stessa direzione, se è diminuita nella direzione opposta. Prevede l'utilizzo di un'unità di calcolo e di sonde di tensione e corrente per la misura della potenza erogata dal trasduttore.
- **Fractional short-circuit current:** si determina la proporzionalità fra la corrente di cortocircuito e la corrente necessaria per la massima estrazione di potenza e si fa lavorare il trasduttore nell'intorno di quest'ultima.
- **Incremental conductance:** si varia il duty cycle del convertitore, a seconda che la conduttanza incrementale sia maggiore o minore della conduttanza istantanea di uscita del trasduttore. Sostanzialmente si basa sull'andamento della derivata della potenza rispetto alla tensione. Richiede componenti di memorizzazione, di unità di calcolo e di una sonda di corrente.

- **Load current/load voltage maximization:** si massimizza la potenza ceduta al carico se fra il trasduttore ed il carico è interconnesso un convertitore DC/DC.

Il componente base del convertitore di potenza è l'induttore, che generalmente è il componente di maggior ingombro, infatti questo, grazie alle operazioni di switching, è in grado di trasferire energia dal trasduttore alla capacità di storage. Una tecnica per aumentare il rendimento di un convertitore di potenza è quella di condividere l'induttore per il trasferimento di energia da più sorgenti e sfruttare al massimo le sue potenzialità.

## Origine del progetto

Il progetto è nato dall'esigenza di sfruttare al meglio l'induttore presente all'interno di un boost converter di un progetto già realizzato, che sfruttava l'energia vibrazionale attraverso tre trasduttori piezoelettrici operanti in tre differenti frequenze. Infatti l'efficienza di un boost converter diminuisce se lavora in regime fortemente discontinuo ed aumenta se lavora il regime leggermente discontinuo o addirittura continuo.



**Figura 1: andamento della corrente dell'induttore nel progetto con solo trasduttori piezoelettrici**

Come si nota dalla Figura 1, l'andamento della corrente sull'induttore è fortemente discontinuo e l'idea principale del progetto è quella di sfruttare altre sorgenti in grado di trasferire energia solo quando la corrente sull'induttore proveniente dai piezoelettrici si è azzerata.

In tal modo si potrebbe aumentare l'efficienza del convertitore boost.

## Scenario

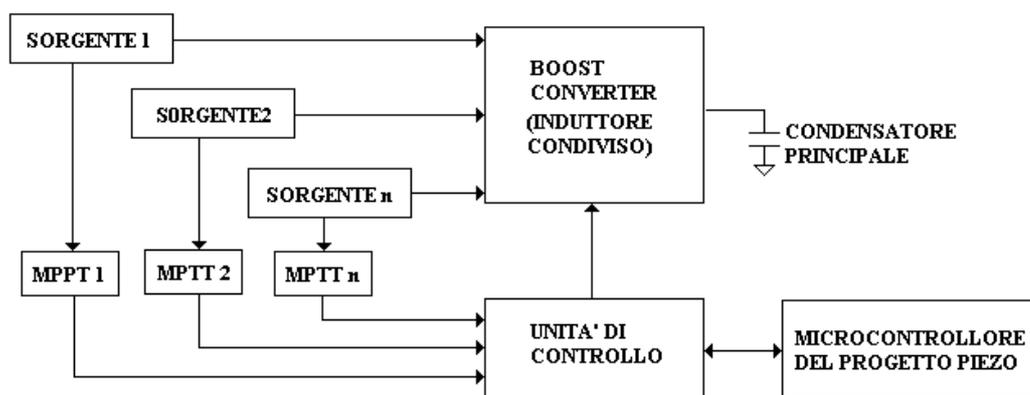


Figura 2: diagramma del progetto

Il progetto è schematizzabile come mostrato in Figura 2. Diverse tipologie di trasduttori ambientali vengono utilizzate per il trasferimento di energia attraverso il boost converter al condensatore principale di storage, che funge da batteria. L'estrazione di energia dalle varie sorgenti è massimizzata grazie all'impiego della tecnica di Maximim Power Point Tracking, che consente di far lavorare i trasduttori nell'intorno del punto di lavoro ottimale. Tramite questa tecnica sono generate delle richieste di trasferimento di energia che verranno poi elaborate dall'unità di controllo. Quest'ultima è costituita da una rete che consente la sincronizzazione del circuito con il progetto che gestisce i trasduttori piezoelettrici, una rete di gestione della priorità in grado di decidere quali richieste di trasferimento accettare in base all'ordine stabilito e un generatore dei segnali di abilitazione del boost converter. Per completezza va aggiunta anche una rete di wake-up, indispensabile per un dispositivo autonomo, che durante la fase di accensione consente alle sorgenti di fornire direttamente energia al condensatore di storage bypassando il boost converter. Per quanto riguarda l'alimentazione dei chip basta inserire un regolatore di tensione a basso consumo avente per ingresso la tensione sul condensatore principale di storage.

## Analisi del problema

In questo paragrafo verranno illustrate le problematiche che si manifestano nella progettazione del circuito, descrivendone il procedimento di individuazione.

## Sorgenti DC

In prima analisi è necessario definire per quali tipologie di trasduttori vogliamo che il circuito operi. Essendo un progetto di energy harvesting, la scelta era fra sorgenti di tipo piezoelettrico, TEG, pannelli fotovoltaici, antenne RF.

La scelta per questo progetto è ricaduta su una famiglia di sorgenti classificate DC, poiché sono in grado di mantenere il livello energetico assorbito dall'ambiente, nell'eventualità che nessun circuito ad hoc sia in grado di prelevare l'energia accumulata. Rientrano in questa tipologia di sorgenti i pannelli fotovoltaici.

Queste sorgenti sono caratterizzate da una caratteristica corrente-tensione, ma ai fini del progetto è molto più interessante la caratteristica potenza erogata-tensione.

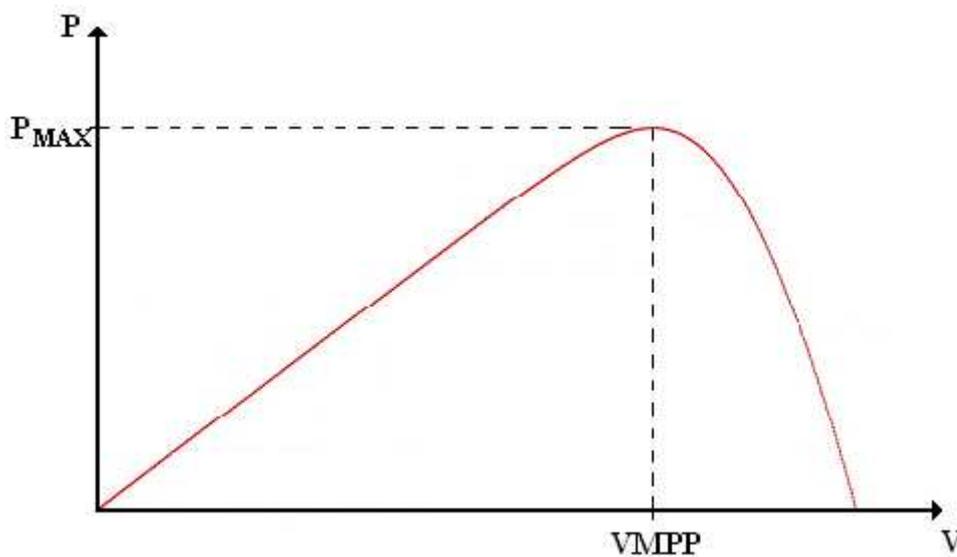


Figura 3: esempio caratteristica potenza-tensione di una cella fotovoltaica

In generale il massimo di potenza estraibile, contrariamente da quello che ci si potrebbe aspettare, non si presenta in corrispondenza del massimo della cosiddetta tensione a vuoto, bensì per un valore inferiore dipendente generalmente dalle

condizioni ambientali, ma comunque rappresentabile con una percentuale rispetto alla tensione a vuoto.

Proprio per questo motivo, al fine di assorbire il maggior quantitativo di energia, aumentando così il rendimento del convertitore, sarà necessario realizzare un circuito in grado di modificare il valore di riferimento per il punto di lavoro in funzione delle condizioni ambientali, rispettando il valore percentuale della tensione a vuoto. Questo procedimento di individuazione del punto ottimale di lavoro del trasduttore per l'estrazione di potenza massima è comunemente chiamato MPTT (Maximum Power Point Tracking).

## Gestione della priorità e del sincronismo

Una volta definita la famiglia di sorgenti e consapevoli della possibilità di poter interfacciare il circuito con una rete in grado di prelevare energia da trasduttori piezoelettrici, è necessario definire la priorità con la quale si preleva energia da una sorgente, piuttosto che un'altra. La priorità può essere scelta in base a diversi criteri, ad esempio si può dare maggiore importanza alla sorgente in grado di fornire il più elevato picco di energia, oppure a quella che è in grado di convertirla molto più rapidamente, oppure a quella in grado di fornire una buona quantità di energia, ma molto più di rado.

La scelta progettuale adottata è ricaduta proprio su questo ultimo criterio, dando appunto priorità maggiore alla sorgenti di tipo piezoelettrico, di conseguenza le sorgenti DC avranno una priorità inferiore.

La rete di gestione della priorità sarà quindi in grado di decidere a quale sorgente andare a prelevare energia, nell'eventualità che più di un trasduttore sia già in grado di fornirla; eventualità che sarà contraddistinta da un segnale di request, ingresso della rete di gestione.

Una volta definita la rete logica che esprime la funzione di questo blocco, il passo successivo consiste nel passare ad un livello di astrazione inferiore, realizzando i singoli blocchi logici con stadi MOS.

Poiché il circuito completo non utilizzerà prese di corrente, batterie o pile, sarà necessario individuare lo stile circuitale per la realizzazione di gate logici (logiche a rapporto, fully CMOS, pass transistor, DCVSL, domino) in grado di consumare meno energia possibile, privandone così una quantità inferiore alla carica contenuta sul condensatore di storage.

Per quanto riguarda il sincronismo, la rete deve essere in grado di fornire un segnale di abilitazione per il sistema di conversione dei trasduttori piezoelettrici, attivo ogni volta che non sta avvenendo nessuna conversione di energia da parte delle sorgenti DC. Per cui la rete di gestione deve fornire alla rete di sincronismo dei segnali che indicano per quanto tempo l'induttore del boost converter è occupato per conversioni dalle sorgenti DC.



**Figura 4: diagramma funzionale delle reti di gestione e sincronismo**

## Adattamento di livello

Un problema critico che può verificarsi all'interno di un circuito operante con un boost converter e con sorgenti DC è quello di lavorare con tensioni che possono essere anche molto maggiori di quella di alimentazione degli eventuali integrati presenti nel progetto. Infatti nel progetto si è scelto di operare (solo se necessario) con integrati low power con tensione di alimentazione pari a 2V, mentre le sorgenti DC possono raggiungere livelli di tensione molto più alti che provocherebbero la distruzione pressoché istantanea dei chip.

Inoltre la tensione fornita dalle sorgenti è funzione delle variabili ambientali e di conseguenza non costante, mentre molti integrati faticano a lavorare con elevati ripple della tensione di alimentazione. Per questo motivo all'interno del progetto sarà necessario inserire un low dropout regulator (LDO) che fornirà il giusto livello di tensione di alimentazione ai chip presenti nel circuito.

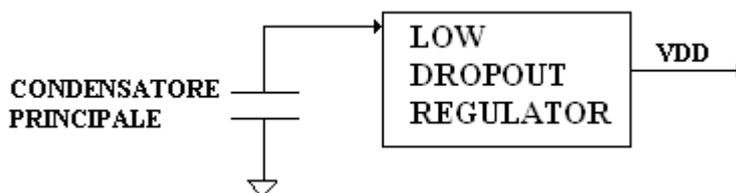


Figura 5: diagramma alimentazione chip

Si potrebbe inoltre presentare un altro problema non trascurabile: l'uscita di un integrato alimentato a 2V non è adatta a trattare segnali provenienti da sorgenti DC. Dunque si dovrà progettare un circuito in grado di elevare questa tensione massima di 2V, a partire da quella delle sorgenti o da quella di uscita (che può essere anche maggiore di quella della sorgente essendoci un boost converter).

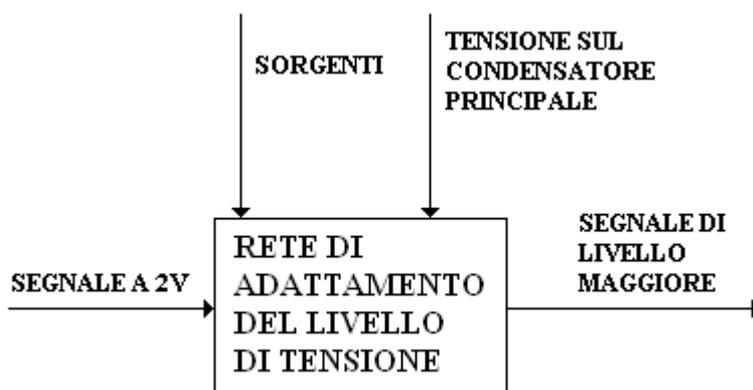


Figura 6: diagramma funzionamento adattamento di livello

## Rete di wake up per l'alimentazione

Il circuito di gestione delle priorità, come del resto i circuiti integrati, necessitano di una tensione di alimentazione costante e possibilmente priva di ripple, motivo per il quale è stato inserito un LDO. Ma per far funzionare questo regolatore è necessario fornire all'ingresso una tensione superiore a quella dell'alimentazione. Per questo motivo sarà necessario introdurre un circuito di wake up che funziona nella fase iniziale di lavoro, quando ancora non possono essere generate richieste proprio perché la rete predisposta non può essere alimentata, per poi spegnersi quando la carica accumulata nel condensatore principale è sufficientemente alta.

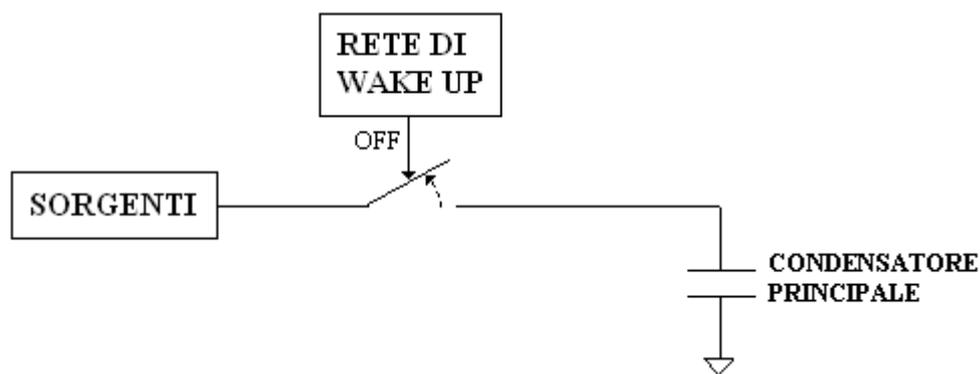
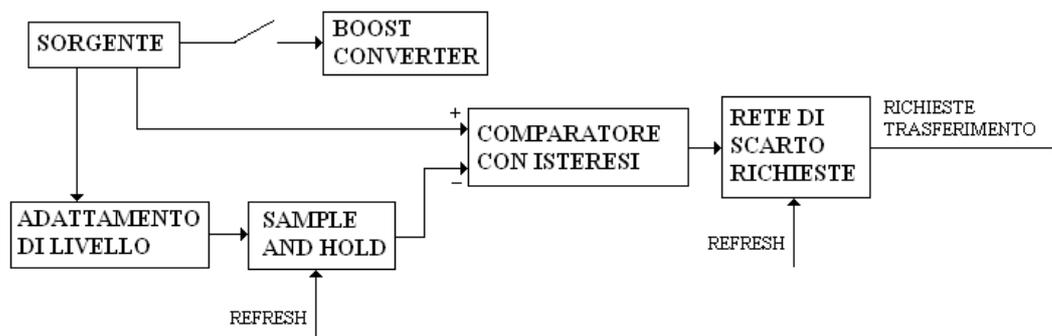


Figura 7: diagramma di funzionamento rete di wake up

## Metodo per generare le richieste di trasferimento di energia

La rete di gestione prende in ingresso delle richieste di trasferimento di energia. Queste richieste devono essere effettuate secondo l'algoritmo di Maximum Power Point Tracking, in modo da aumentare l'efficienza del convertitore. Di questo algoritmo si è scelta la versione Fractional open-circuit voltage, per cui è necessario creare dei circuiti che generano le richieste, per ogni sorgente. Questi circuiti devono essere in grado di scollegare le sorgenti dal convertitore, lavorando così in open circuit voltage, memorizzare il valore della frazione corrispondente al punto di lavoro con massimo trasferimento di potenza, ricollegare le sorgenti al convertitore, per poi confrontare la tensione di sorgente

con la tensione di riferimento: se è maggiore si genera una richiesta, altrimenti si attende. Affinché non venga generato un numero eccessivo di richieste che comporterebbe un consumo di potenza eccessivo per la rete di gestione, è necessario che questo processo di comparazione avvenga con l'introduzione di un sufficiente livello di isteresi. Per fare in modo che la tensione di riferimento, frazione della tensione di circuito aperto, rispetti le variazioni delle grandezze ambientali che modificano la caratteristica potenza erogata-tensione della sorgente DC, è necessario introdurre la possibilità di aggiornare periodicamente la tensione di riferimento. Questo può comportare dei problemi per il circuito di comparazione con isteresi, il quale non si spegne durante questa fase di aggiornamento della tensione di riferimento, per cui è necessario introdurre uno stadio che scarti le possibili richieste durante questo periodo di aggiornamento.



**Figura 8: diagramma funzionamento della rete di generazione delle richieste con algoritmo MPTT**

## Boost converter e sua abilitazione

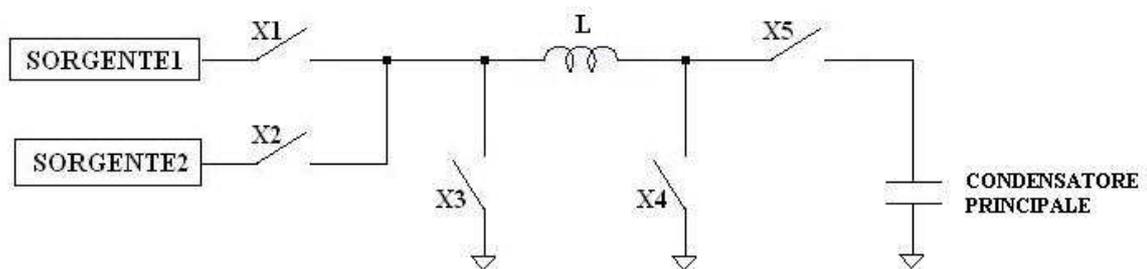


Figura 9: diagramma funzionamento boost converter

Per il trasferimento di energia ci si avvale di un convertitore operante con singolo induttore condiviso con il progetto di energy harvesting da trasduttori piezoelettrici.

Per quanto riguarda il funzionamento, nella prima fase di carica di energia magnetica dell'induttore, deve essere chiuso l'interruttore X4 ed uno ed uno soltanto fra gli interruttori X1 e X2, mentre nella seconda fase di carica del condensatore principale, devono essere chiusi gli interruttori X3 ed X5, in modo che la corrente sull'induttore continui ad attraversarlo nello stesso verso di percorrenza.

I segnali di abilitazione degli interruttori saranno generati dall'unità di controllo, a seconda di quale richiesta viene accettata dalla rete di gestione della priorità.

Per quanto riguarda gli interruttori X1 ed X2 è necessario che non siano mai attivi contemporaneamente, altrimenti si creerebbero dei conflitti elettrici fra i due trasduttori. Inoltre i loro segnali di abilitazione dovranno subire un adattamento di livello per garantirne il corretto funzionamento.



# CAPITOLO 2

## Progetto dello schematico

### Rete di gestione della priorità

#### Analisi funzionale

La rete di gestione della priorità ha come compito principale quello di indicare quale sorgente sta trasferendo energia al condensatore principale di storage.

L'ordine di priorità, come indicato precedentemente, è ricaduto prima sulla sorgente di tipo piezoelettrico, in grado di fornire una buona quantità di energia, ma molto più di rado, poi alle sorgenti di tipo DC.

La scelta progettuale di questo convertitore multisorgente è ricaduta su un numero pari a 2 diverse sorgenti DC, ma la struttura è facilmente scalabile a 3 o più sorgenti DC.

L'ordine di priorità fra le sorgenti DC è semplicemente sequenziale, in quanto sta a chi conatterà effettivamente la sorgente decidere a quale dare maggior importanza.

La rete di gestione in ingresso ha a disposizione un segnale `PIEZO_BUSY` fornito da un circuito già realizzato, in grado di indicare con un 'uno' logico che il boost converter è impegnato per la conversione di energia dai trasduttori di tipo piezoelettrico. Gli altri due ingressi della rete di gestione sono costituiti dalle richieste di conversione provenienti dalle sorgenti di tipo DC.

Le uscite di questa rete invece sono:

- **EN\_PIEZO** che indica al circuito di gestione delle sorgenti piezoelettriche che possono trasferire la loro energia, in quanto il boost converter non è impegnato da trasferimenti di energia provenienti dalle sorgenti DC;
- **SRC1** che indica quanto tempo la sorgente DC numero 1 (avente priorità maggiore della sorgente DC numero 2) tiene occupato il boost converter;

- **SRC2** che indica quanto tempo la sorgente DC numero 2 tiene occupato il boost converter;
- **ENfase1conv1** il quale va ad abilitare (dopo un opportuno adattamento di livello) la prima fase di conversione del boost converter per la sorgente DC numero 1;
- **ENfase1conv2** il quale va ad abilitare (dopo un opportuno adattamento di livello) la prima fase di conversione del boost converter per la sorgente DC numero 2.

Le tabelle della verità che schematizzano il comportamento che deve assumere la rete di gestione della priorità saranno le seguenti:

<b>PIEZO_BUSY</b>	<b>REQ1</b>	<b>SRC2</b>	<b>ENfase1conv1</b>
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

**Tabella 1: tabella della verità per determinare ENfase1conv1**

$$ENfase1conv1 = \overline{PIEZO\_BUSY} + \overline{REQ1} + SRC2$$

<b>PIEZO_BUSY</b>	<b>REQ1</b>	<b>REQ2</b>	<b>SRC1</b>	<b>ENfase1conv2</b>
0	0	0	0	0
0	0	0	1	0
0	0	1	0	1
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

**Tabella 2: tabella della verità per determinare ENfase1conv2**

$$ENfase1conv2 = \overline{PIEZO\_BUSY} + REQ1 + \overline{REQ2} + SRC1$$

SRC1	SRC2	EN_PIEZO
0	0	1
0	1	0
1	0	0
1	1	0

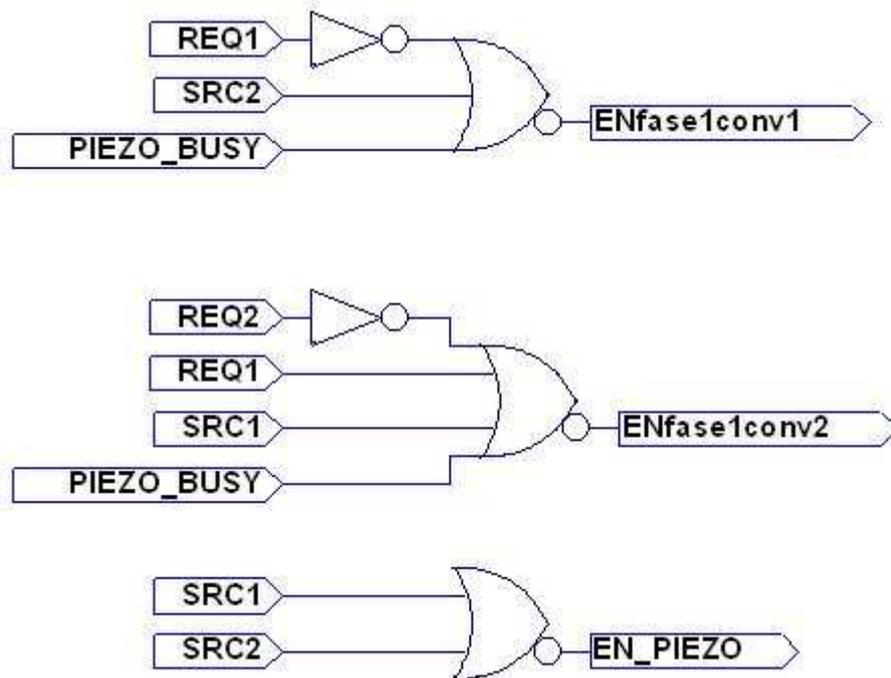
**Tabella 3: tabella della verità per determinare EN\_PIEZO**

$$EN\_PIEZO = \overline{SRC1 + SRC2}$$

Per generare i segnali SRC1 e SRC2 basta aggiungere rispettivamente ai segnali ENfase1conv1 ed ENfase1conv2 un impulso in coda all'uno logico, che tenga conto del tempo necessario a terminare la seconda fase di conversione del boost.

Per realizzarlo si somma al segnale stesso la sua versione ritardata, ma questo comporta un consumo di potenza, oppure si adotta uno stratagemma che verrà poi descritto nello schema elettrico, il quale prevede la carica e scarica di un condensatore con diverse tempistiche.

In base alle tabelle della verità lo schema funzionale sarà il seguente:



**Figura 10: schema funzionale della rete di gestione e di sincronismo**

## Schema elettrico

Il passaggio da schema funzionale a schema elettrico inizia attraverso la scelta fra i vari metodi per realizzare una funzione logica, quali, dinamica, pass transistor, rapporto, DCVSL e fully CMOS [4].

Partendo dal presupposto che la rete di gestione delle priorità deve consumare il meno possibile, sia in termini di potenza statica sia di potenza dinamica, è ovvio che è necessario escludere la funzione logica implementata da metodi dinamici come la domino, in quanto il consumo di potenza di tipo dinamico, nonostante in consumo statico nullo, è troppo elevato.

La logica a pass transistor è da escludere per il valore molto basso delle tensioni in gioco, ma soprattutto perché richiederebbe un numero elevatissimo di transistor per evitare il problema di perdite di tensioni di soglia.

La logica a rapporto potrebbe essere una soluzione, ma il condizionale è d'obbligo in quanto la potenza statica non è nulla, anche se è pur sempre vero che è possibile realizzare una rete di pull-up con carico resistivo molto elevato che limita la corrente, a discapito però del tempo di salita che subisce un notevole incremento.

Le logiche di tipo DCVSL sono da escludere per il semplice fatto che servono gli ingressi sia in forma positiva, sia in forma negata, per non parlare del numero elevato di transistor necessari per realizzare la logica.

La scelta ricade di conseguenza sulle logiche di tipo fully CMOS le quali hanno potenza statica nominale nulla, potenza dinamica riducibile prendendo un condensatore di carico di piccolo valore. Vero è che è presente una potenza di cortocircuito, ma una buona selezione delle tensioni di soglia dei transistor P e N consente una riduzione molto drastica di questo contributo di potenza.

A questo punto, avendo scelto il tipo di logica, basta realizzare la pull-up network del NOT con un pmos, la pull-down network del NOT con un nmos, la pull-up network del NOR con la serie di tanti transistor pmos quanti sono gli ingressi e la pull-down network del NOR con il parallelo di tanti transistor nmos quanti sono gli ingressi.

Resta ora solo il problema di generare i segnali SRC1 e SRC2 a partire dai segnali ENfase1conv1 ed ENfase1conv2.

Le soluzioni potrebbero essere due:

- 1) Si effettua un ritardo tramite due NOT in cascata e il risultato si collega in OR con il segnale originale, ma questa soluzione prevede un utilizzo di ben 8 transistor e un aumento del consumo di potenza;
- 2) Si inserisce un filtro RC con un tempo di carica praticamente nullo e un tempo di scarica commisurato alla durata della seconda fase di conversione del boost converter.

La scelta è ricaduta sulla seconda soluzione, ottenibile mettendo in parallelo al resistore un diodo Schottky a bassa tensione di soglia e sufficientemente veloce. In tal modo durante la fase di carica il diodo è acceso e la costante di tempo è pari alla resistenza bassissima del diodo per il valore del condensatore, invece durante la fase di scarica il diodo è interdetto e la costante di tempo è il prodotto fra la resistenza del filtro (molto maggiore della resistenza del diodo) e la capacità.

La capacità del filtro RC incrementa il consumo dinamico della rete, tuttavia l'aumento può essere minimizzato e la soluzione presenta comunque vantaggi rispetto alle alternative.



# Boost converter

Per il trasferimento dell'energia accumulata dalle sorgenti, si è deciso di utilizzare un boost converter [5].

Questo circuito funziona sostanzialmente in due fasi:

- 1) durante la prima fase la sorgente selezionata va a caricare di energia magnetica l'induttore, generalmente questa fase dura poco tempo, in quanto si crea una sorta di cortocircuito alle basse frequenze fra la sorgente e massa;
- 2) durante la seconda fase, l'energia immagazzinata nell'induttore va a caricare il condensatore principale, elevando così la tensione sul condensatore.

Durante la prima fase sono attivi uno dei due pass transistor complementari ed il transistor comandato dal segnale EN\_CARICA, in tal modo la corrente attraversa l'induttore dal nodo A al nodo B indicati in figura 12 ed il diodo è interdetto.

Durante la seconda fase sono attivi il transistor comandato dal segnale EN\_SCARICA ed il diodo, in modo tale che la corrente continui a passare dal nodo A al nodo B, caricando di conseguenza il condensatore di storage non essendo attivo il transistor comandato dal segnale EN\_CARICA.

Si presenta però un'ulteriore problematica, dovuta al fatto che le sorgenti possono avere livelli di tensione differenti. Per questo motivo al classico pass transistor complementare è stato necessario inserire per ogni ramo un transistor dello stesso tipo (P o N) rovesciato, in modo che i due diodi tra drain e source mantengano comunque l'isolamento tra le diverse sorgenti.

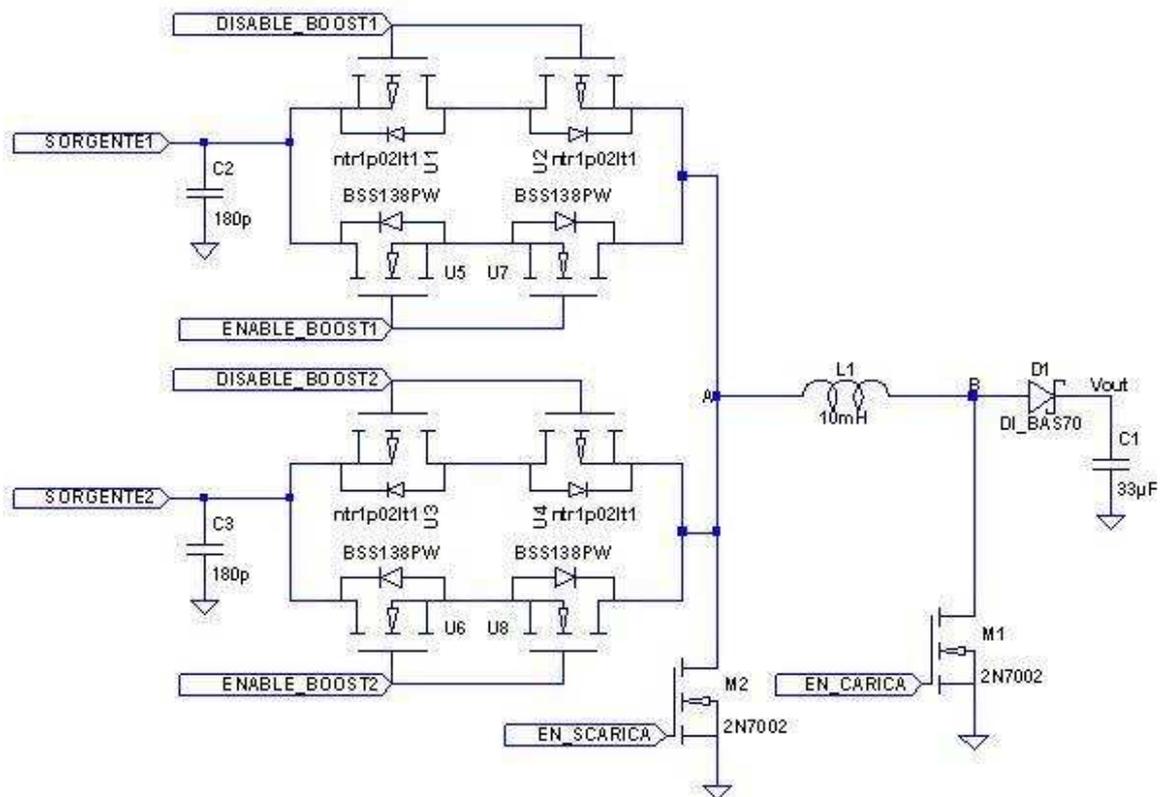


Figura 12: schema elettrico del boost converter

# Segnali di abilitazione del boost converter

## Analisi funzionale

Come mostrato nel circuito rappresentato dal boost converter, i segnali di abilitazione di questo circuito sono:

- 1)EN\_SCARICA;
- 2)EN\_CARICA;
- 3)ENABLE\_BOOST1 e DISABLE\_BOOST1
- 4)ENABLE\_BOOST2 e DISABLE\_BOOST2

### 1) DETERMINAZIONE DI EN\_SCARICA

Il segnale di EN\_SCARICA deve essere attivo durante ogni seconda fase di conversione del boost converter. Per riuscire ad interfacciare questo circuito con quello piezoelettrico, si è scelto per progetto di abilitare il segnale di EN\_SCARICA anche quando si dà la possibilità al circuito del piezo di trasferire energia.

Per individuare la seconda fase di conversione di una delle sorgenti, basta analizzare la rappresentazione grafica del segnale:

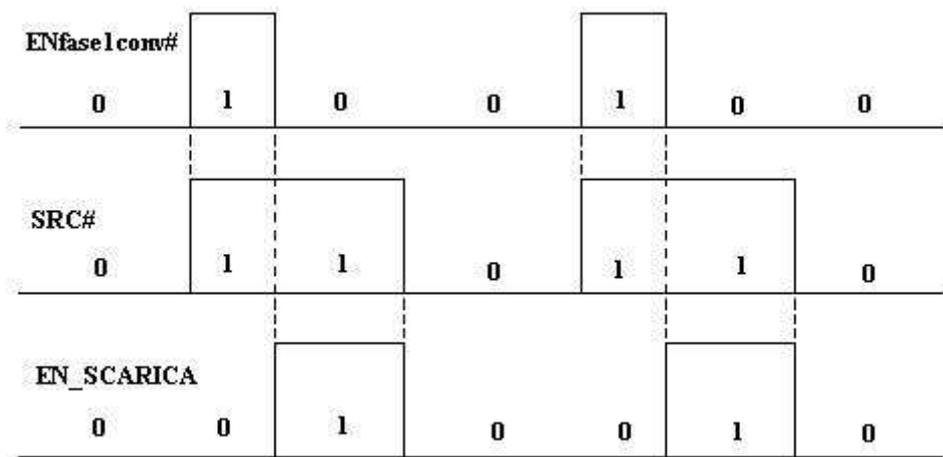


Figura 13: grafico per la comprensione della generazione del segnale EN\_SCARICA

EN_PIEZO	SRC1	SRC2	ENfase1conv1	ENfase1conv2	EN_SCARICA
0	0	0	0	0	0
0	0	0	0	1	0
0	0	0	1	0	0
0	0	0	1	1	0
0	0	1	0	0	1
0	0	1	0	1	0
0	0	1	1	0	1
0	0	1	1	1	0
0	1	0	0	0	1
0	1	0	0	1	1
0	1	0	1	0	0
0	1	0	1	1	0
0	1	1	0	0	1
0	1	1	0	1	1
0	1	1	1	0	0
0	1	1	1	1	0
1	0	0	0	0	1
1	0	0	0	1	1
1	0	0	1	0	1
1	0	0	1	1	1
1	0	1	0	0	1
1	0	1	0	1	1
1	0	1	1	0	1
1	0	1	1	1	1
1	1	0	0	0	1
1	1	0	0	1	1
1	1	0	1	0	1
1	1	0	1	1	1
1	1	1	0	0	1
1	1	1	0	1	1
1	1	1	1	0	1
1	1	1	1	1	1

**Tabella 4: tabella della verità per la determinazione del segnale di abilitazione EN\_SCARICA**

$$EN\_SCARICA = SRC1 \cdot \overline{ENfase1conv1} + SRC2 \cdot \overline{ENfase1conv2} + EN\_PIEZO$$

$$EN\_SCARICA = \overline{\overline{SRC1 \cdot \overline{ENfase1conv1}} + \overline{SRC2 \cdot \overline{ENfase1conv2}}} + EN\_PIEZO$$

$$EN\_SCARICA = \overline{\overline{SRC1} + \overline{ENfase1conv1}} + \overline{\overline{SRC2} + \overline{ENfase1conv2}} + EN\_PIEZO$$

$$EN\_SCARICA = \overline{\overline{SRC1} + \overline{ENfase1conv1}} + \overline{\overline{SRC2} + \overline{ENfase1conv2}} + EN\_PIEZO$$

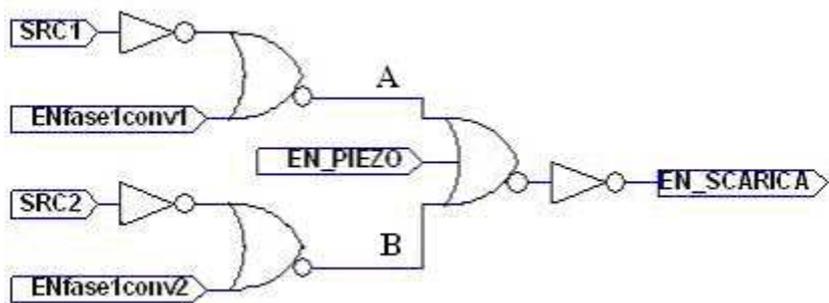


Figura 14: schema funzionale per la determinazione di EN\_SCARICA

## 2) DETERMINAZIONE DI EN\_CARICA

Il segnale EN\_CARICA deve essere attivo per tutta la durata della prima fase di conversione. In realtà ENfase1conv1 ed ENfase1conv2, per come è realizzata la rete di gestione della priorità, non possono essere attivi entrambi contemporaneamente, ma per semplificare la rete è possibile assegnare uscita '1' a questa configurazione.

ENfase1conv1	ENfase1conv2	EN_CARICA
0	0	0
0	1	1
1	0	1
1	1	1

Tabella 5: tabella della verità per la determinazione del segnale di abilitazione EN\_CARICA

$$EN\_CARICA = ENfase1conv1 + ENfase1conv2$$

$$EN\_CARICA = \overline{\overline{ENfase1conv1 + ENfase1conv2}}$$

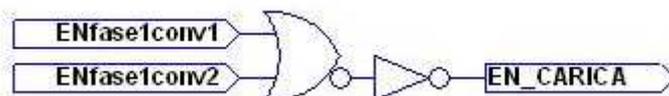


Figura 15: schema funzionale per la determinazione di EN\_CARICA

### 3) ENABLE\_BOOST1 e DISABLE\_BOOST1

I segnali ENABLE\_BOOST1 e DISABLE\_BOOST1 devono essere generati rispettivamente da ENfase1conv1 ed /ENfase1conv1.

Il problema essenziale che si manifesta è la necessità di effettuare una conversione di livello, altrimenti i segnali ENfase1conv1 ed /ENfase1conv1 aventi un 'uno' logico pari a soli 2V non sarebbero in grado di comandare i pass transistor complementari presenti nel boost converter.

Nella rete di gestione non era stata generata la versione negata di ENfase1conv1 necessaria per il circuito di adattamento di livello, per cui sarà d'obbligo generarla con un NOT.



Figura 16: schema funzionale per la determinazione di /ENfase1conv1

### 4) ENABLE\_BOOST2 e DISABLE\_BOOST2

Stessa sorte dei segnali descritti nel punto "3" tocca ai segnali di comando ENABLE\_BOOST2 e DISABLE\_BOOST2.

Anche in questo caso nella rete di gestione non era stata generata la versione negata di ENfase1conv2 necessaria per il circuito di adattamento di livello, per cui sarà d'obbligo generarla con un NOT.



Figura 17: schema funzionale per la determinazione di /ENfase1conv2

## Schema elettrico

Anche per la generazione dei segnali di comando del boost converter è necessario che i circuiti preposti consumino il meno possibile.

Per questo motivo è necessario realizzare le funzioni logiche con la tecnica dei fully-CMOS. Per ridurre il consumo ovviamente si sceglieranno i componenti più opportuni, come verrà spiegato nel capitolo 3.

### 1) EN\_SCARICA

Il segnale EN\_SCARICA esprime quando stanno avvenendo le seconde fasi di conversione da parte delle sorgenti DC.

In ingresso alla rete che determina il segnale di comando EN\_SCARICA abbiamo:

- **SRC1** che indica quanto tempo impiega la sorgente DC numero 1 ad effettuare un completo trasferimento di energia tramite il boost;
- **SRC2** che indica quanto tempo impiega la sorgente DC numero 2 ad effettuare un completo trasferimento di energia tramite il boost;
- **ENfase1conv1** che indica il tempo impiegato per la prima fase di conversione dalla sorgente DC numero 1;
- **ENfase1conv2** che indica il tempo impiegato per la prima fase di conversione dalla sorgente DC numero 2;
- **EN\_PIEZO** che esprime quando non stanno avvenendo trasferimenti di energia da parte delle sorgenti DC.

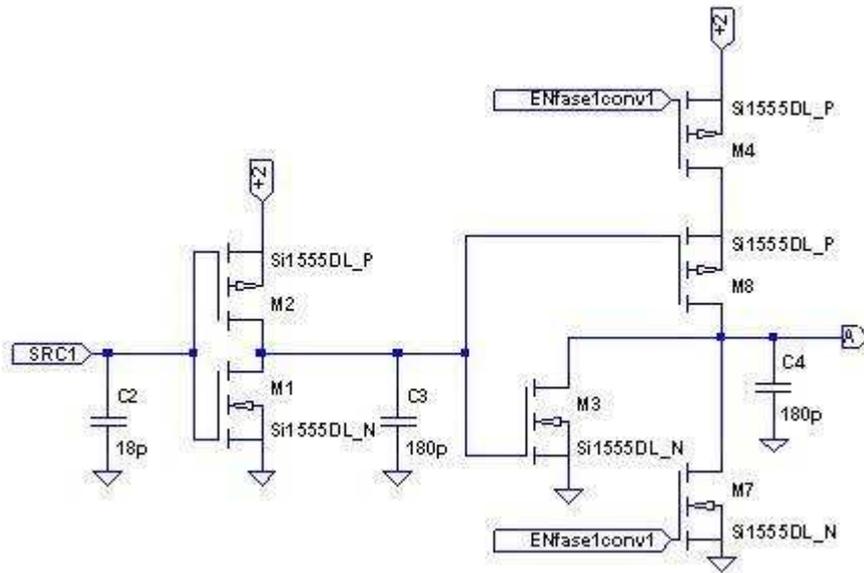


Figura 18: prima parte dello schema elettrico per determinare EN\_SCARICA

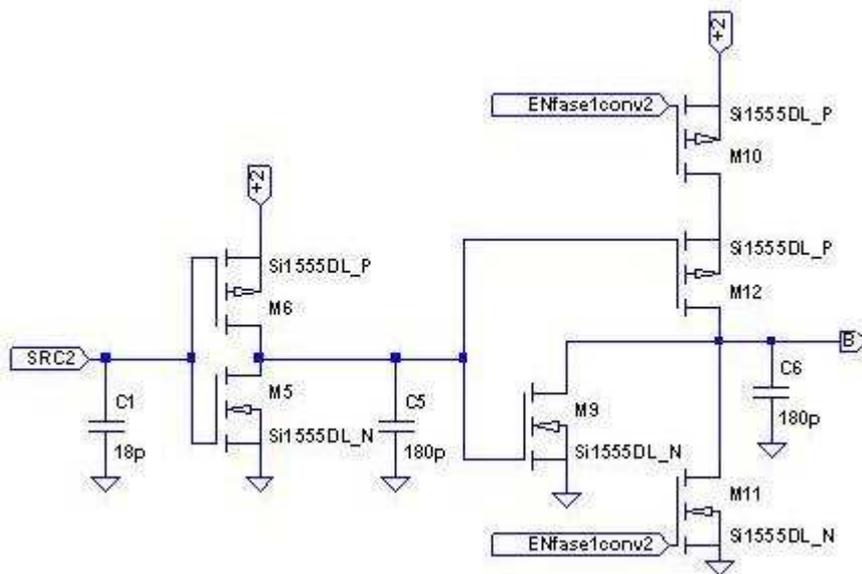
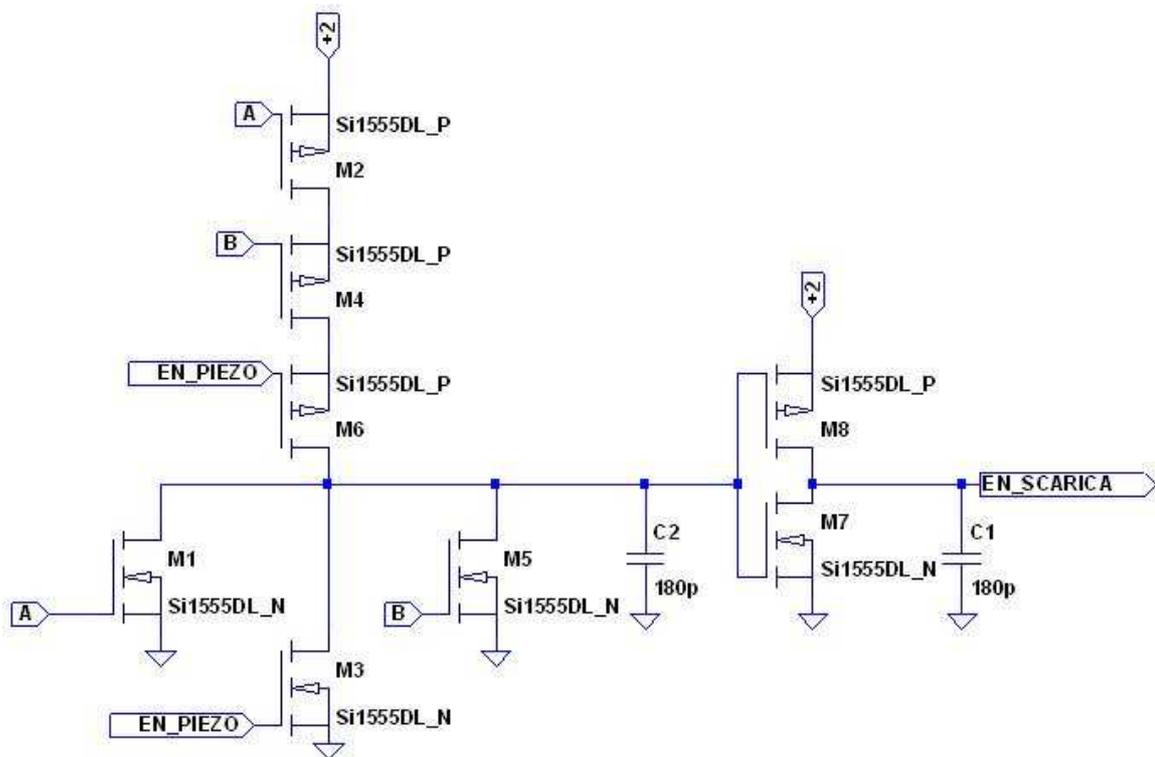


Figura 19: seconda parte dello schema elettrico per determinare EN\_SCARICA



**Figura 20: terza ed ultima parte dello schema elettrico per determinare EN\_SCARICA**

Da precisare che il segnale d'ingresso EN\_PIEZO della figura 20, è da considerarsi sempre nullo se si collega il progetto con lo schematico di trasferimento di energia dai trasduttori piezoelettrici, sostanzialmente basta un ponticello, grazie al quale si decide se usare entrambi i progetti o solamente uno dei due. Questo inconveniente causa una maggiore complessità per il progetto, infatti se si utilizzasse solo questo, per generare EN\_SCARICA basterebbe negare EN\_CARICA.

## 2) EN\_CARICA

Il segnale EN\_CARICA esprime quando stanno avvenendo le prime fasi di conversione da parte delle sorgenti DC.

In ingresso alla rete che determina il segnale di comando EN\_SCARICA abbiamo:

- ENfase1conv1 che indica il tempo impiegato per la prima fase di conversione dalla sorgente DC numero 1;
- ENfase1conv2 che indica il tempo impiegato per la prima fase di conversione dalla sorgente DC numero 2;

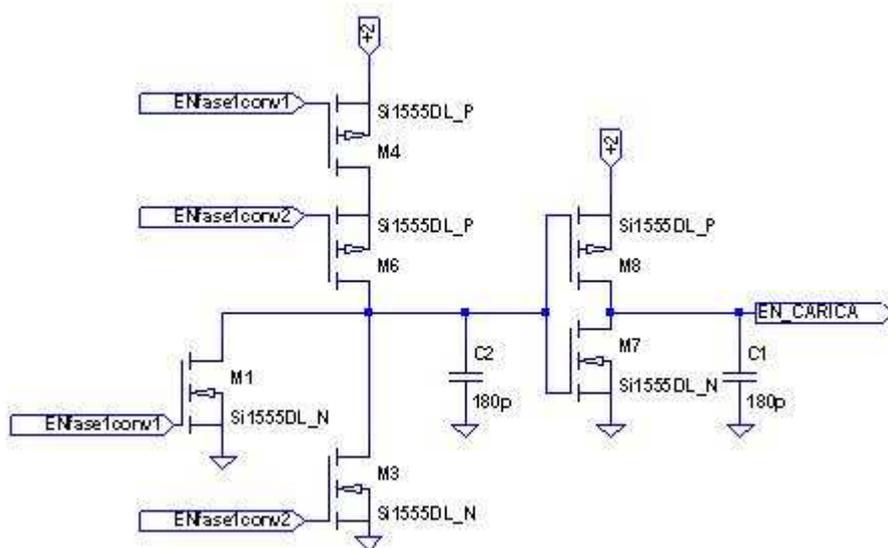
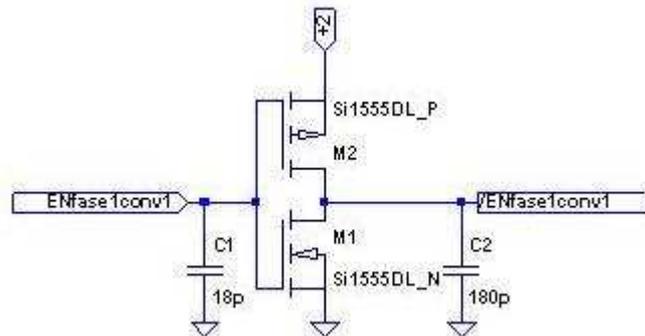


Figura 21: schema elettrico per determinare EN\_CARICA

### 3) **ENABLE\_BOOST1 e DISABLE\_BOOST1**

Per la generazione di questi segnali è necessario avere il segnale di ingresso ENfase1conv1 sia in forma positiva che in forma negata, motivo per cui si è stato introdotto il NOT con la tecnica del fully-CMOS.



**Figura 22: prima parte dello schema elettrico per determinare EN\_BOOST1 e DISABLE\_BOOST1**

Come anticipato precedentemente, questi segnali, per il loro livello di tensione basso, non sono in grado di comandare i pass transistor complementari presenti nel boost converter, motivo per il quale è necessario effettuare una conversione di livello.

Una buona tecnica di conversione di livello consiste nel utilizzare un NOT / BUFFER realizzato in logica DCVSL [2].

In particolare i source dei due transistor cascode presenti sono alimentati direttamente dalla tensione maggiore fra la sorgente DC numero 1 e la tensione di uscita Voutput (tensione sul condensatore principale di storage). Per evitare conflitti fra queste due tensioni di alimentazione è necessario inserire 2 diodi Schottky con bassa tensione di soglia, come mostrato in figura 23.

I resistori in serie ai transistor cascode sono indispensabili per ridurre il consumo di potenza di cortocircuito nell'eventualità che i segnali di ingresso non siano perfettamente complementari.

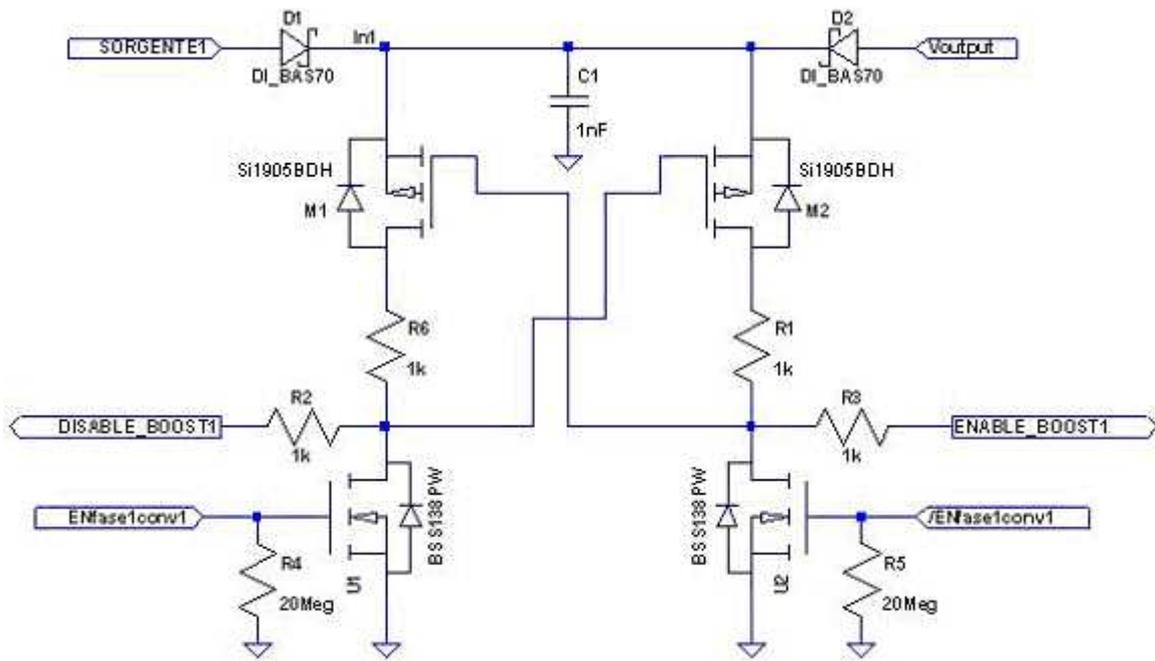


Figura 23: seconda parte dello schema elettrico per determinare EN\_BOOST1 e DISABLE\_BOOST1

#### 4) ENABLE\_BOOST2 e DISABLE\_BOOST2

Per questi due segnali vale lo stesso discorso dei segnali ENABLE\_BOOST1 e DISABLE\_BOOST1.

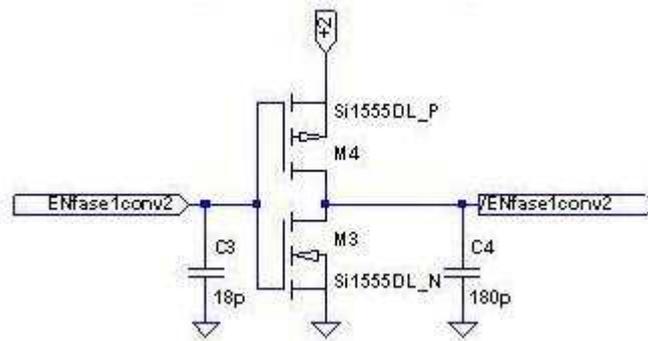


Figura 24: prima parte dello schema elettrico per determinare EN\_BOOST2 e DISABLE\_BOOST2

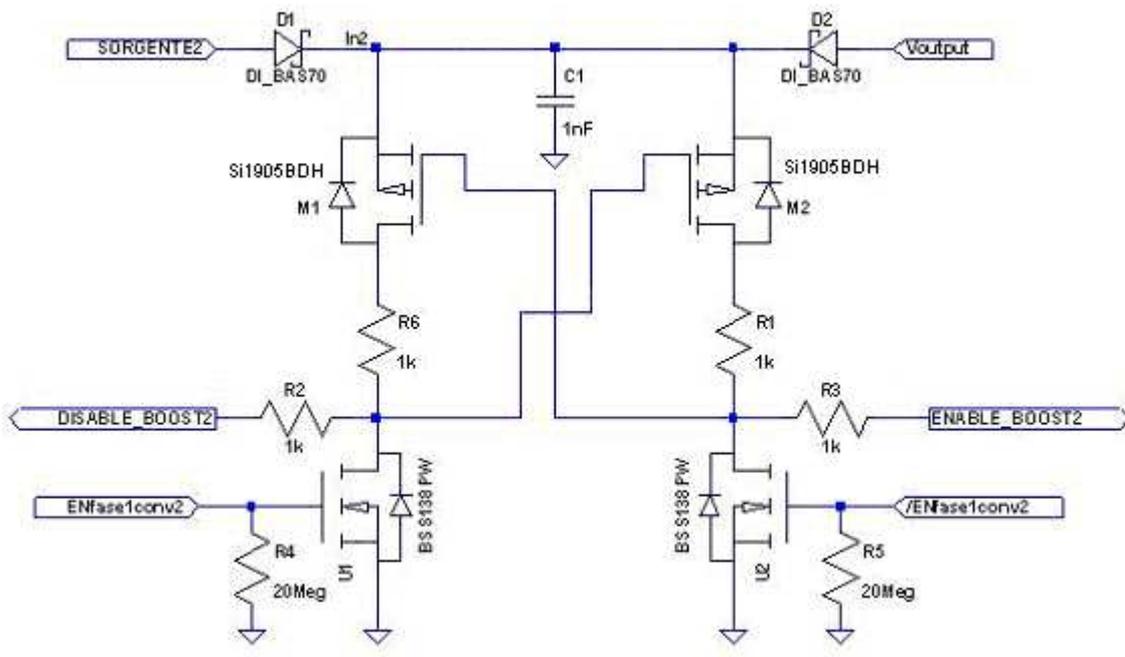
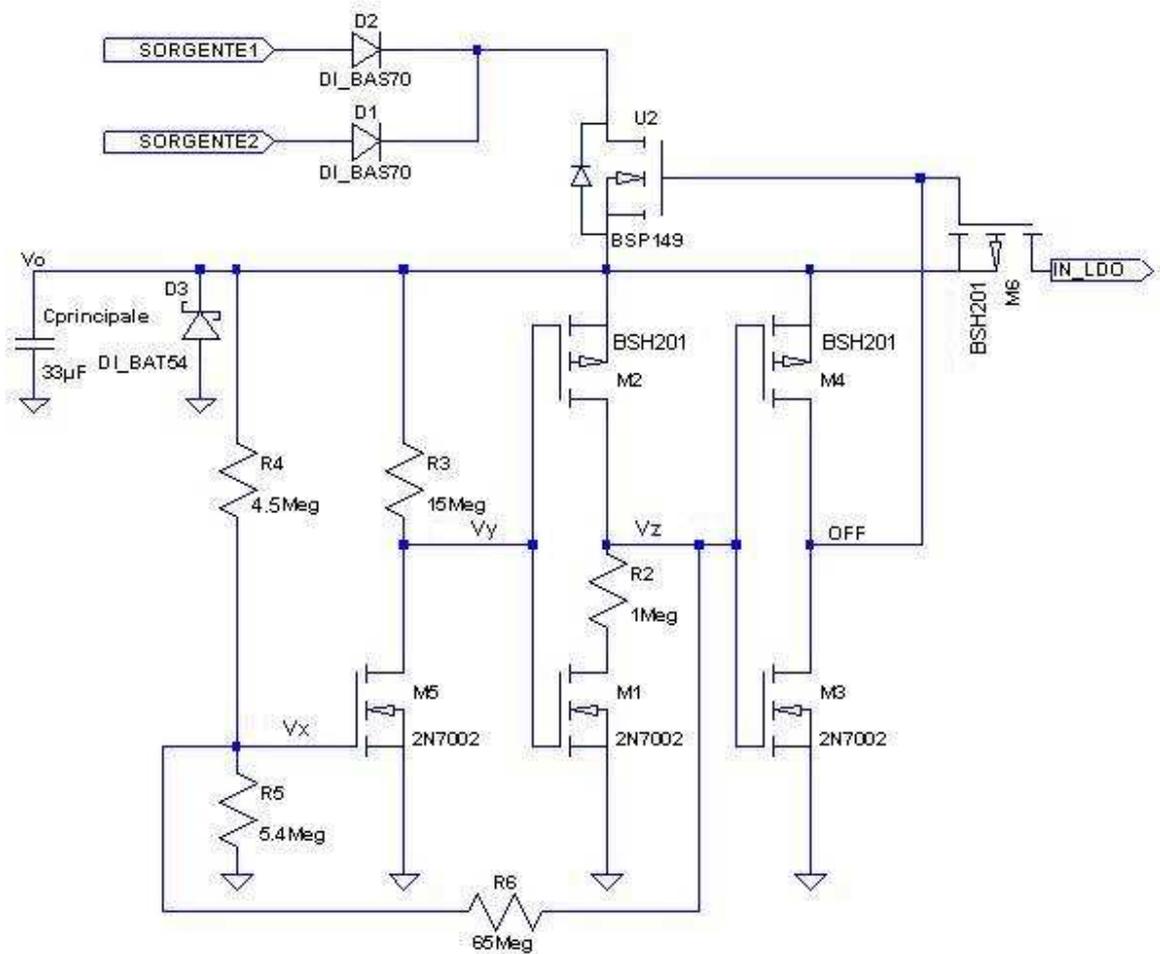


Figura 25: seconda parte dello schema elettrico per determinare EN\_BOOST2 e DISABLE\_BOOST2

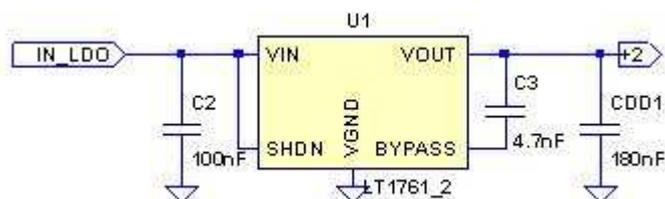
## Rete di wake up

La rete di wake up deve agire quando ancora l'alimentazione dei chip non è disponibile. Per questo motivo deve essere alimentata direttamente dalle sorgenti [2]. Nel circuito di figura 26, i diodi D1 e D2 sono indispensabili per evitare conflitti elettrici fra le due sorgenti. U2 è un NMOS depletion, quindi con tensione di soglia negativa, necessario perché inizialmente il segnale OFF è nullo non essendoci alimentazione. Questo consente alle sorgenti di caricare direttamente il condensatore principale, cosa che non potrebbe succedere. La tensione di uscita (quella sul condensatore principale di storage) viene scalata tramite il partitore costituito dalle resistenze R4 ed R5; finché la  $V_x$  rimane inferiore della tensione di soglia del transistor M5, sulla resistenza R3 non scorre corrente, quindi non c'è caduta di potenziale e la  $V_y$  è pari a  $V_o$ , per cui  $V_z$  rimane a zero e OFF rimane al valore della tensione di uscita, consentendo al transistor depletion M2 di restare attivo. Quando  $V_x$  supera la tensione di soglia di M5,  $V_y$  si porta al valore basso, di conseguenza si attiva il transistor M2 che porta  $V_z$  alla tensione pari a  $V_o$ , M3 si accende portando il segnale OFF a zero, per cui la tensione  $V_{GS}$  del transistor depletion diventa inferiore alla tensione di soglia, seppure negativa, tagliando il collegamento diretto delle sorgenti al condensatore principale di storage.



**Figura 26: schematico della rete di wake up**

Per quanto riguarda il regolatore di tensione, che fornisce la tensione di alimentazione ai vari chip che costituiscono il progetto e alla rete di gestione della priorità, questo è realizzato tramite un low dropout voltage regulator, richiedente una tensione di ingresso superiore della tensione di uscita, per cui è necessario ponderare i resistori della rete di wake up, affinché questa si spenga solo dopo aver raggiunto almeno il minimo valore di tensione necessario all'ingresso del LDO.



**Figura 27: low dropout regulator**

# Maximum power point tracker

A titolo di esempio, si propone una possibile soluzione per l'applicazione dell'algoritmo di maximum power point tracking. Infatti sta a chi decide quale sorgente DC applicare realizzarlo, in modo da generare le richieste di trasferimento di energia.

Una soluzione, molto versatile per la sua semplicità, basata sul metodo "Fractional open-circuit voltage", è costituita da:

- un partitore resistivo;
- circuito di sample and hold;
- comparatore con isteresi;
- rete che scarta le richieste durante la fase di refresh.

Il partitore resistivo è costituito da 3 resistenze, tali per cui, grazie a quella collegata direttamente alla sorgente si riesce ad ottenere un valore scalato della tensione massima di sorgente DC, pari al valore dell'alimentazione dei chip 2V, dopodiché a seconda della sorgente DC scelta, si impone come tensione di riferimento una percentuale della versione scalata della sorgente DC.

Supponendo ad esempio che la tensione massima raggiungibile dalla sorgente DC a vuoto sia pari a 6V e che la percentuale ottimale per l'estrazione di potenza massima sia 77%, è necessario creare un partitore resistivo di elevato valore per non disperdere troppa potenza, per cui si scelgono valori di resistenze dell'ordine del megaohm.

Le equazioni del partitore mostrato in figura 28 saranno le seguenti:

$$\begin{aligned} \frac{R2}{R1 + R2} &= 0,77 \\ \frac{R1 + R2}{R1 + R2 + R3} &= \frac{2}{6} \Rightarrow R1 + R2 = \frac{1}{2} \cdot R3 \end{aligned} \quad (\text{Eq.1})$$

scegliendo  $R3=20\text{Meg}$

$$R1 + R2 = 10\text{Meg}$$

$$R2 = 0,77 \cdot 10 \cdot 10^6 = 7,7\text{Meg}$$

$$R1 = 10\text{Meg} - 7,7\text{Meg} = 2,3\text{Meg}$$

La tensione sulla resistenza  $R2$ , percentuale della versione scalata della sorgente ( $V_{src\_scaled}$ ), dovrà di conseguenza essere campionato e mantenuto su un condensatore, in modo da fornire la tensione di riferimento ottimale per il maggior trasferimento di potenza. Il massimo trasferimento di energia dal trasduttore si otterrebbe se il segnale venisse campionato ogni volta che c'è una conversione, ma questo comporta un consumo di potenza dinamica non sostenibile, per cui è necessario un segnale di REFRESH, che potrebbe attivarsi ad esempio ogni decimo di secondo, dettante la frequenza di campionamento della versione scalata della tensione a vuoto del trasduttore. Questo segnale di REFRESH potrebbe essere generato molto semplicemente da un microprocessore o con un multivibratore astabile a bassissimo consumo, evitando che si attivi quando il segnale  $EN_{fase1conv\#}$  è attivo.

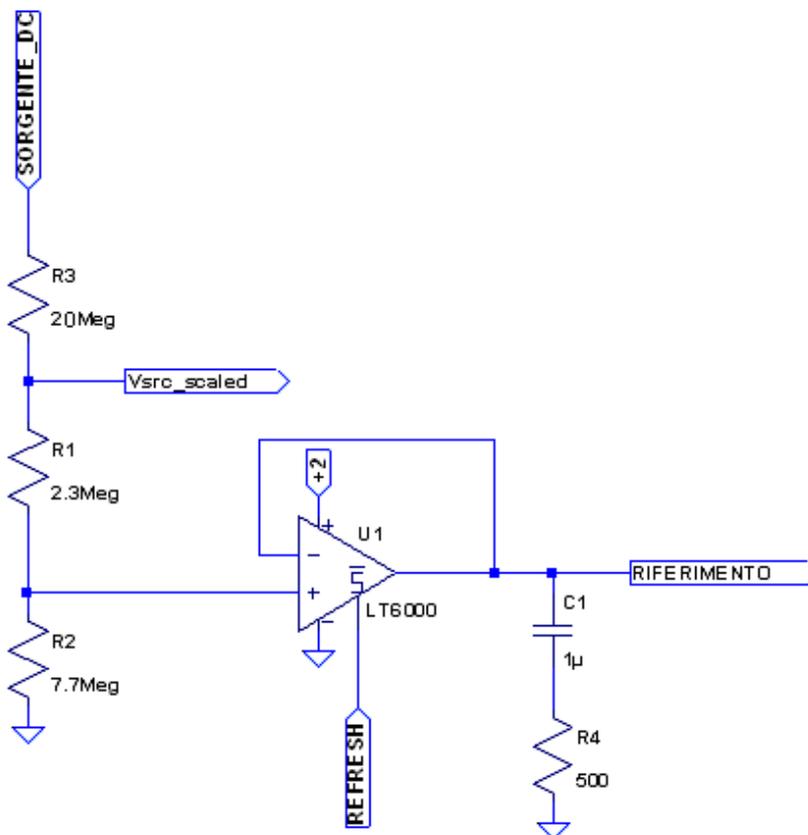


Figura 28: partitore resistivo e circuito di SAMPLE&HOLD

Avendo quindi a disposizione un segnale di riferimento ottimale e la versione scalata della sorgente, basta un comparatore per generare o meno le richieste di trasferimento di energia [6]. Sostanzialmente quando la  $V_{src\_scaled}$  supera la tensione di riferimento si genera una richiesta, se invece mantiene un valore inferiore non viene generata alcuna richiesta. Operando in questa maniera però si consumerebbe troppo, in quanto vengono create richieste ad ogni minimo sbalzo di tensione della sorgente, di conseguenza è meglio utilizzare un'isteresi, che sostanzialmente va a ridurre in numero di richieste, consumando in tal modo molto meno. Sta poi a chi sceglie la sorgente decidere la larghezza dell'isteresi, facilmente modificabile variando la resistenza  $R1$  del circuito di figura 29, qualora venisse scelto lo stesso comparatore. Infatti le resistenze  $R1$ ,  $R2$  e la capacità  $C1$ , sempre di figura 29, vanno a modificare la larghezza dell'isteresi e le tensioni di passaggio da livello logico basso a livello logico alto e viceversa; mentre la resistenza  $R3$  è una semplice resistenza di pull-up.

Il problema di questo circuito è che genera richieste anche durante la fase di aggiornamento della tensione di riferimento per il maximum power point tracking e queste richieste sono a tutti gli effetti fittizie, per cui è necessario eliminarle. La soluzione potrebbe essere di eliminare le richieste a monte togliendo l'alimentazione al chip di comparazione, ma questo comporterebbe un consumo elevato ed un comportamento anomalo del chip, quindi si sceglie di eliminarle a valle. Per far ciò si può inserire una rete logica che blocca le richieste se il segnale di refresh è attivo, per cui:

$$REQ = \overline{REFRESH} + \overline{\overline{\overline{TOTAL\_REQ}}}$$

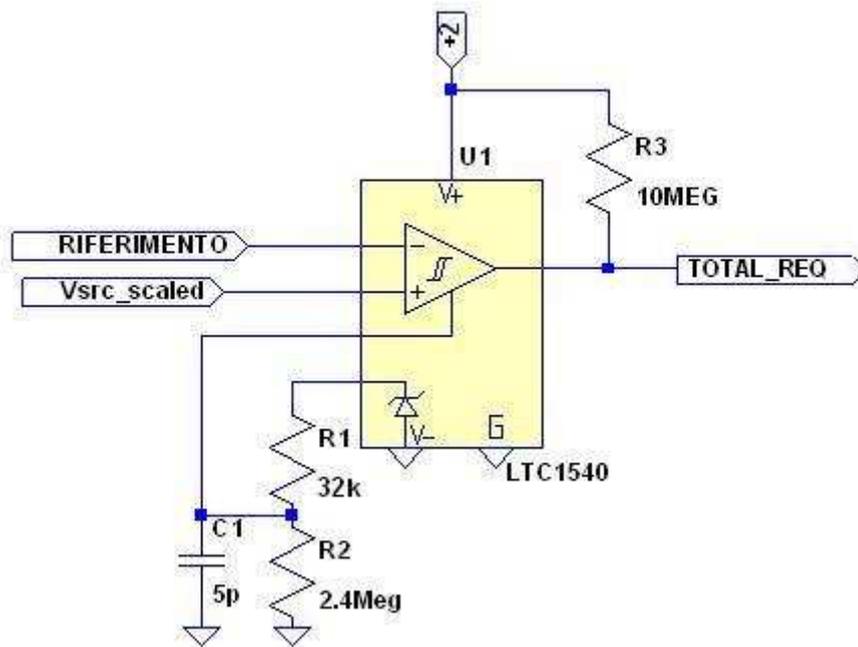


Figura 29: comparatore con isteresi

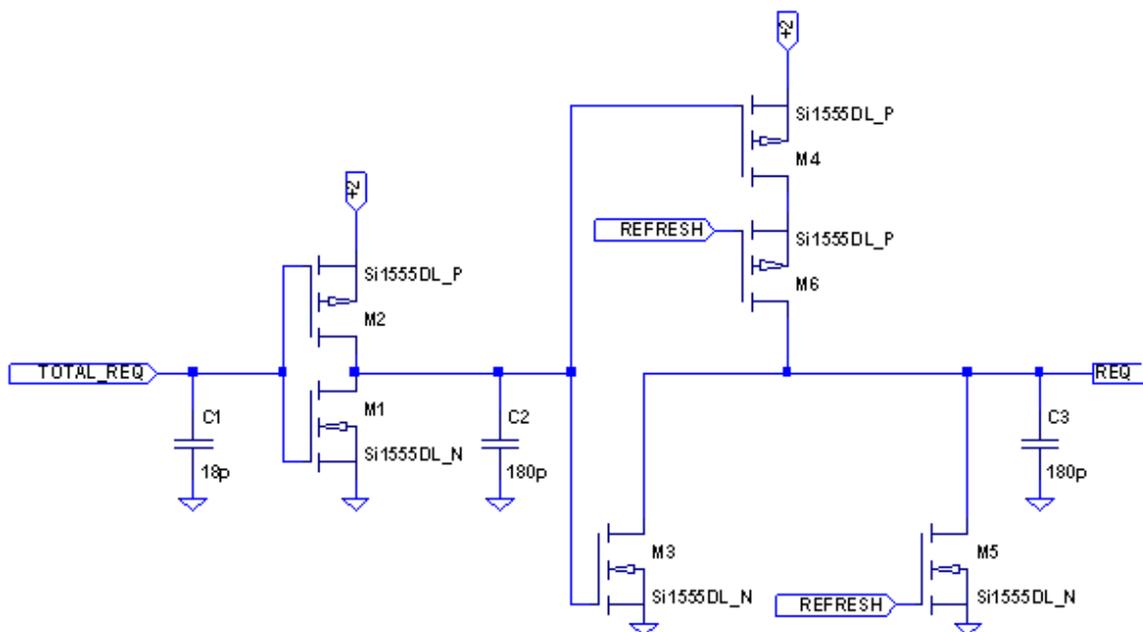


Figura 30: schema elettrico della rete che scarta le richieste durante l'aggiornamento della tensione di riferimento



# CAPITOLO 3

## Scelta dei componenti

### Rete di gestione della priorità

Precedentemente è stato illustrato lo schematico impiegato per realizzare questa rete di gestione (figura 11). Come spiegato ampiamente la scelta strutturale delle funzioni logiche è ricaduta sulle fully-CMOS, tutto questo per ridurre il consumo di potenza.

I parametri di interesse maggiore per la scelta dei componenti che costituiscono sono la carica totale sul gate  $Q_g$  e la tensione di soglia  $V_{GS(th)}$ .

Per questo motivo conviene fare una ricerca di componenti e vedere come variano questi due parametri. Ovviamente la ricerca va fatta su componenti che hanno un modulo della tensione di soglia almeno inferiore alla tensione di alimentazione (2V) fornita dal regolatore di tensione. In più per consumare meno saranno da scartare in partenza transistor aventi una elevata carica totale di gate.

Facendo un'accurata ricerca, si tabulano i dati, presi sia dai modelli Spice di vari transistor, sia dai datasheet.

SIGLA NMOS	$Q_n$ (nC)	$ V_{to} $ (V)
BSS138PW	0,72	1,20
Si1555DL_N	0,80	1,10
BSS123	1,40	1,60
BSZ060NE2LS	4,00	2,33
IRLML6246	3,50	0,95
NDC7002N	1,00	2,20
NLMS4502N	3,00	1,50
Si5515_N	5,00	0,70
2N7002	1,50	1,60
Si2306DS	3,00	1,80
Si1035N	0,75	0,40

SIGLA PMOS	$Q_n$ (nC)	$ V_{to} $ (V)
BSS84	1,00	2,10
Si1555DL_P	1,50	0,90
Si5515_P	5,50	1,00
Si1905BDH	1,00	0,88
Si1013R/X	1,50	0,83
Si1035P	1,50	0,40
Si5903DC	3,00	1,02
Si2303CDS	4,50	2,00
Si5933CDC	5,00	0,65
NTR0202PL	2,18	1,90
NTR1P02T1	2,50	1,90

Tabella 6: dati tensione di soglia e carica totale di gate dei MOS

Per una migliore lettura conviene rappresentare graficamente i dati:

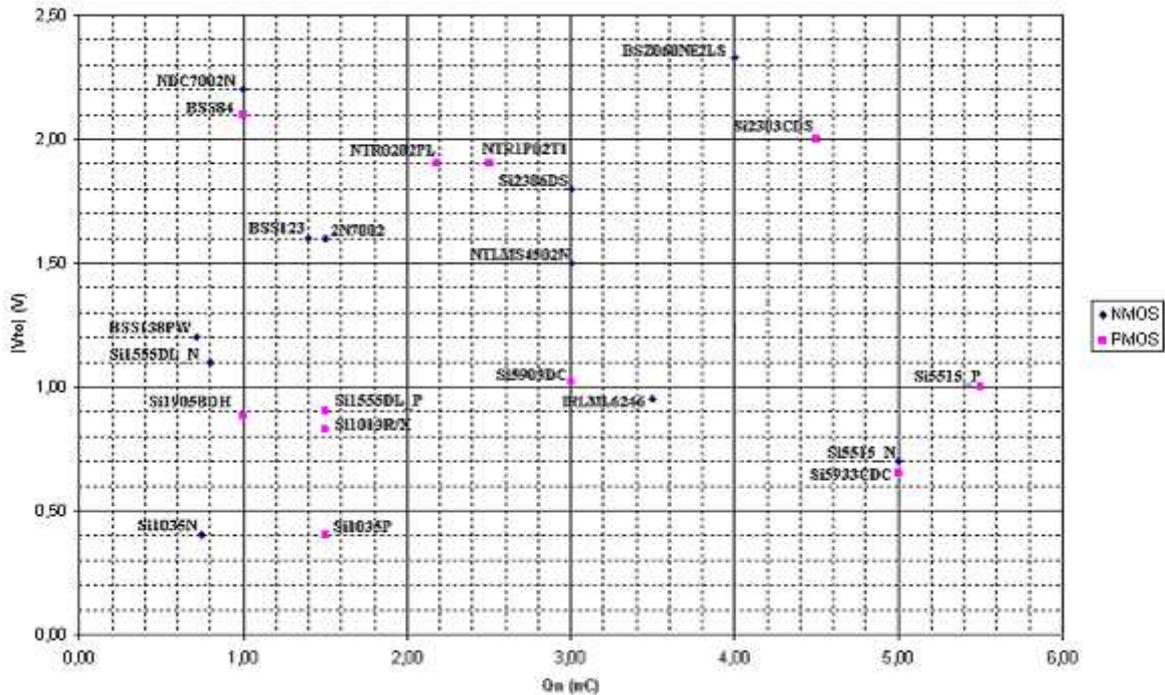


Figura 31: grafico carica totale di gate - tensione di soglia tipica dei MOS

In base al grafico sono immediatamente da escludere i transistor Si2303CDS e BSZ060NE2LS in quanto aventi oltre un'elevata tensione di soglia, una carica totale di gate troppo alta. I transistor NDC7002N e BSS84 pur avendo una bassa carica totale presentano una tensione di soglia che non consentirebbe il funzionamento della logica.

Esclusi questi transistor si va a verificare quali siano i migliori, vale a dire quelli aventi una sufficientemente alta tensione di soglia (ma non troppo) e un basso valore di carica totale.

I candidati migliori sembrerebbero essere di conseguenza:

- per gli NMOS il BSS138PW ed il Si1555DL\_N;
- per i PMOS il Si1905BDH ed il Si1555DL\_P.

A prima vista si potrebbe pensare di utilizzare i migliori per entrambi cioè il BSS138PW ed il Si1905BDH, ma si trascurerebbe un fatto molto importante: questi due transistor sono su due chip differenti, mentre Si1555DL\_N ed Si1555DL\_P appartengono allo stesso chip Si1555DL e questa è la garanzia che nella realtà consumeranno sicuramente meno della coppia che si poteva pensare migliore e presenteranno caratteristiche di maggiore simmetria.

A questo punto avendo scelto PMOS ed NMOS, basterà sostituirli nelle reti di pull-up e di pull-down di tutte le logiche fully-CMOS e valutare poi qual sia il consumo di potenza.

Per far ciò basta avvalersi del programma di simulazione LTspiceIV e verificare il consumo dei vari componenti.

Il consumo di potenza è fortemente dipendente dal numero di richieste che avvengono nell'unità di tempo, per cui si sceglie una frequenza fissa di richieste per riuscire a fornire un dato effettivo sulla potenza e sull'energia consumata. Inoltre un altro parametro che condiziona il consumo di potenza è la capacità di carico, infatti il consumo di potenza dinamica è dato dalla formula:

$$Pd = C \cdot VDD^2 \cdot f_{COMMUTAZIONE}$$

Andiamo ora a considerare singolarmente gli operatori logici utilizzati, verificandone i consumi attraverso la simulazione.

- NOT

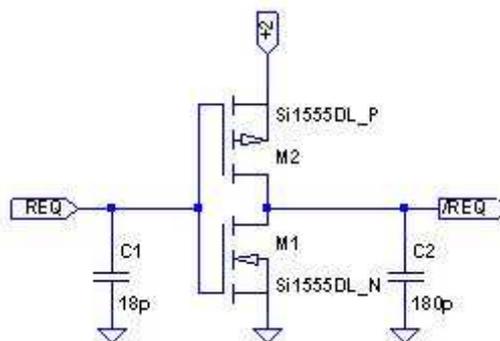


Figura 32: schematico NOT simulato tramite LTspiceIV

Ipotizzando una frequenza di richieste pari ad 1kHz, una capacità di carico di 180pF e facendo una media su 10 letture di consumo di potenza, il segnale d'ingresso al NOT è il seguente:

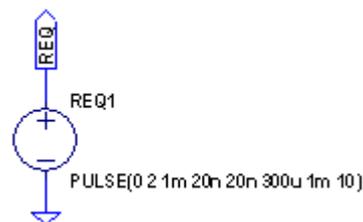
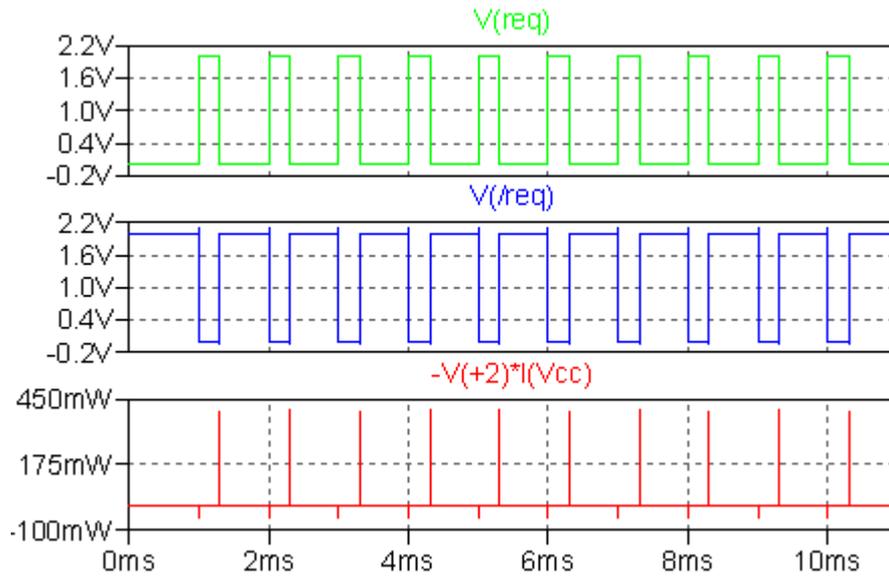


Figura 33: generatore delle richieste, ingresso del NOT di figura 32

avente tempi di salita e discesa pari a 20ns, una frequenza di 1kHz e un duty-cycle del 30%.

Facendo un plot delle grandezze di maggiore interesse, quali ingresso, uscita e potenza istantanea, si ottiene il grafico di figura 34.



**Figura 34: andamento delle tensioni di ingresso e di uscita del NOT realizzato e consumo di potenza istantaneo**

Come si nota dal grafico, l'uscita "/REQ" rappresenta effettivamente la versione negata del segnale d'ingresso "REQ", inoltre si notano in modo marcato i picchi di potenza dovuti alla commutazione e il consumo di potenza di cortocircuito.

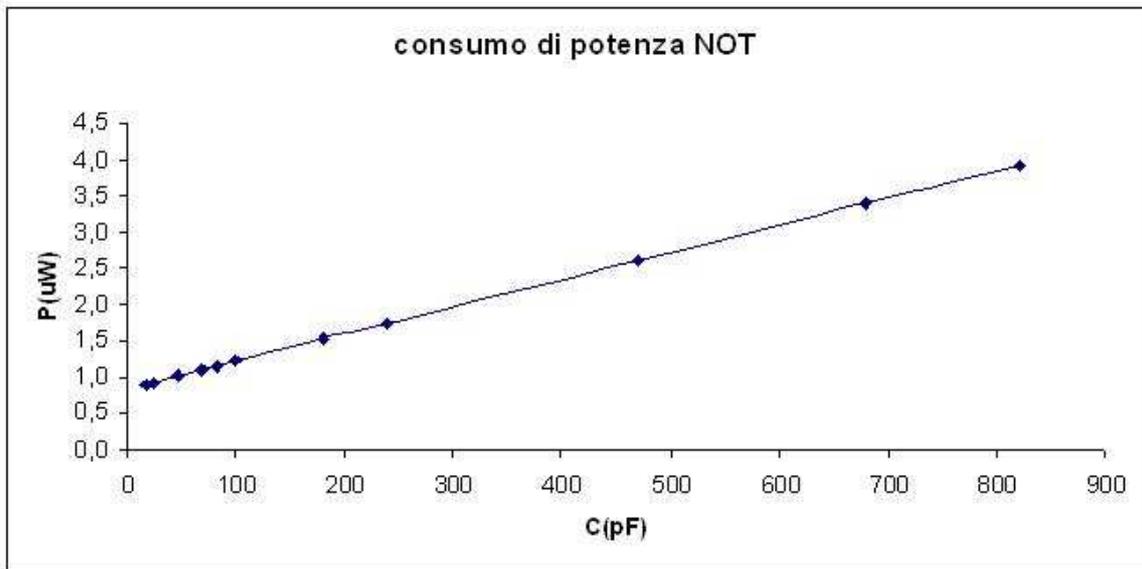
In base alla simulazione Spice, la somma del consumo di potenza di cortocircuito e statico per il circuito in esame vale:  $1,5256\mu\text{W}$ , mentre il consumo energetico per singola commutazione è di  $1,6781\text{nJ}$ .

È possibile studiare come la potenza e l'energia varino in funzione della capacità di carico:

<b>C(pF)</b>	<b>P(μW)</b>	<b>E(nJ)</b>
18	0,9065	0,9972
24	0,9298	1,0228
47	1,0168	1,1185
68	1,0946	1,2041
82	1,1505	1,2656
100	1,2215	1,3436
180	1,5256	1,6781
240	1,7514	1,9266
470	2,6070	2,8677
680	3,3939	3,7322
820	3,9224	4,3147

**Tabella 7: dati ottenuti dalle prove sul consumo dell'operatore NOT realizzato, variando la capacità di carico**

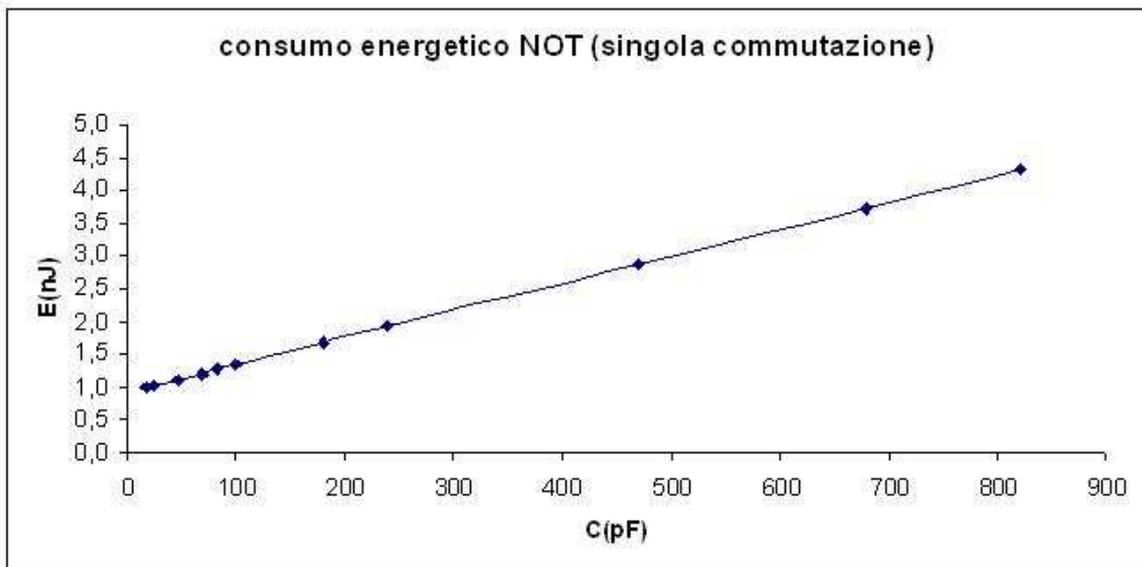
Graficando tramite Excel i dati ottenuti, si ottiene il grafico di figura 35.



**Figura 35: andamento del consumo di potenza del NOT realizzato, in funzione della capacità di carico**

Come ben noto, esiste una dipendenza lineare tra il consumo di potenza e il valore della capacità di carico. Tracciando una linea di tendenza tramite Excel, si riesce ad ottenere un'equazione valida approssimativamente all'interno dell'intervallo dei valori utilizzati come ascissa del grafico:

$$P(\mu W) = 0,0037561 \cdot C(\text{pF}) + 0,8426791$$



**Figura 36: andamento del consumo energetico del NOT realizzato, in funzione della capacità di carico**

Anche per quanto riguarda il consumo energetico esiste una dipendenza lineare dal valore della capacità di carico. Tracciando una linea di tendenza tramite Excel, si riesce ad ottenere un'equazione valida approssimativamente all'interno dell'intervallo dei valori utilizzati come ascissa del grafico:

$$E(nJ) = 0,0041 \cdot C(pF) + 0,927$$

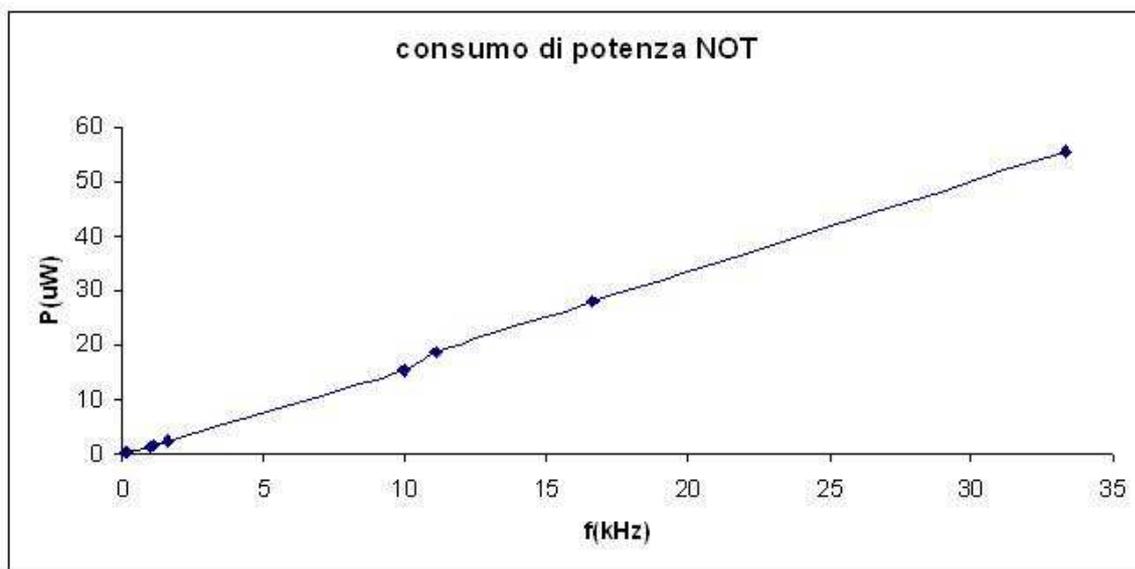
Un altro grafico, necessario poi per decidere l'isteresi del comparatore che genera le richieste di trasferimento di energia, esprime la nota dipendenza lineare della potenza dissipata dalla frequenza con cui avvengono le richieste, mantenendo costante il duty-cycle e il valore del condensatore di carico.

Mantenendo il duty-cycle pari al 30% e il condensatore a 180pF, facendo una quantità finita di prove, è possibile rappresentare graficamente questa dipendenza.

f(kHz)	P(μW)	E(nJ)
0,1111	0,1865	1,67850
0,1667	0,2796	1,67740
1,0000	1,5256	1,67810
1,1111	1,5926	1,67570
1,6667	2,5388	1,67560
10,0000	15,2360	1,67590
11,1111	18,5960	1,67750
16,6667	27,8970	1,67550
33,3333	55,6640	1,67750

**Tabella 8: dati sul consumo del NOT ottenuti da una serie di simulazioni, variando la frequenza delle richieste**

Come noto dalla teoria, l'energia consumata non dipende dalla frequenza, quindi verrà graficato solo l'andamento del consumo di potenza.



**Figura 37: grafico del consumo di potenza del NOT realizzato, in funzione della frequenza delle richieste**

Tracciando una linea di tendenza tramite Excel, si riesce ad ottenere un'equazione valida approssimativamente all'interno dell'intervallo dei valori utilizzati come ascissa del grafico:

$$P(\mu W) = 1,6728 \cdot f(\text{kHz}) - 0,2467$$

Ovviamente l'equazione perde di significato per valori di frequenza troppo piccoli, infatti quello che più conta è il valore della pendenza della retta, dato dal coefficiente angolare dell'equazione.

- NOR

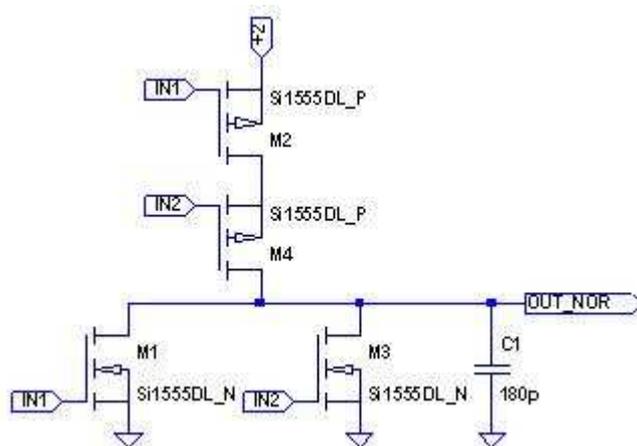


Figura 38: schematico NOT simulato tramite LTspiceIV

Ipotizzando una frequenza di richieste da parte della sorgente DC numero 1 pari ad 1kHz ed una frequenza di richieste da parte della sorgente DC numero 2 pari a 500Hz, sfasando opportunamente le richieste in modo da verificare tutte le possibili combinazioni degli ingressi e facendo una media di 10 letture sul consumo di potenza, gli ingressi del NOR saranno i seguenti:

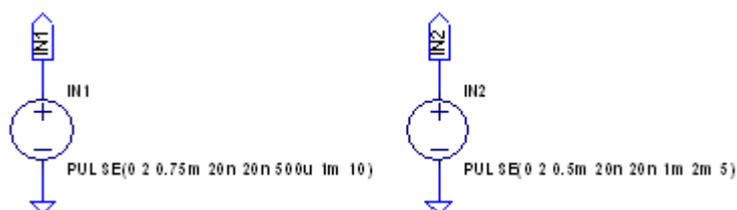
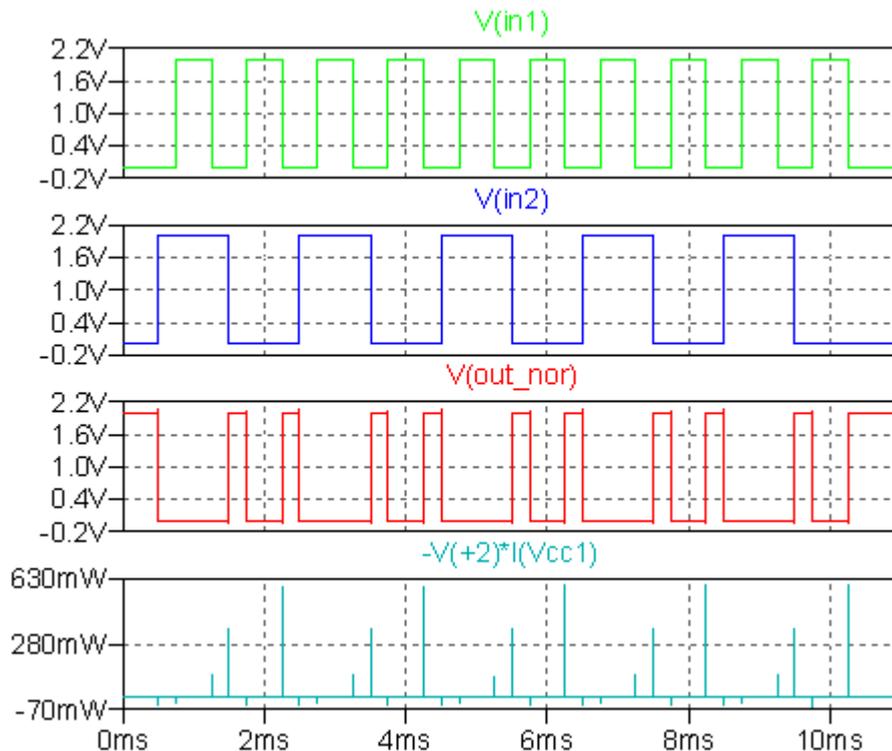


Figura 39: segnali d'ingresso del NOR di figura 38

aventi un tempo di salita e di discesa di 20ns, il primo ritardato di 0,75ms ed il secondo di 0,5ms, entrambi con duty-cycle al 50%.

Facendo un plot delle grandezze di maggiore interesse, quali i due ingressi, l'uscita e la potenza istantanea, si ottiene il grafico di figura 40.



**Figura 40: andamento delle tensioni di ingresso e di uscita del NOR realizzato e consumo di potenza istantaneo**

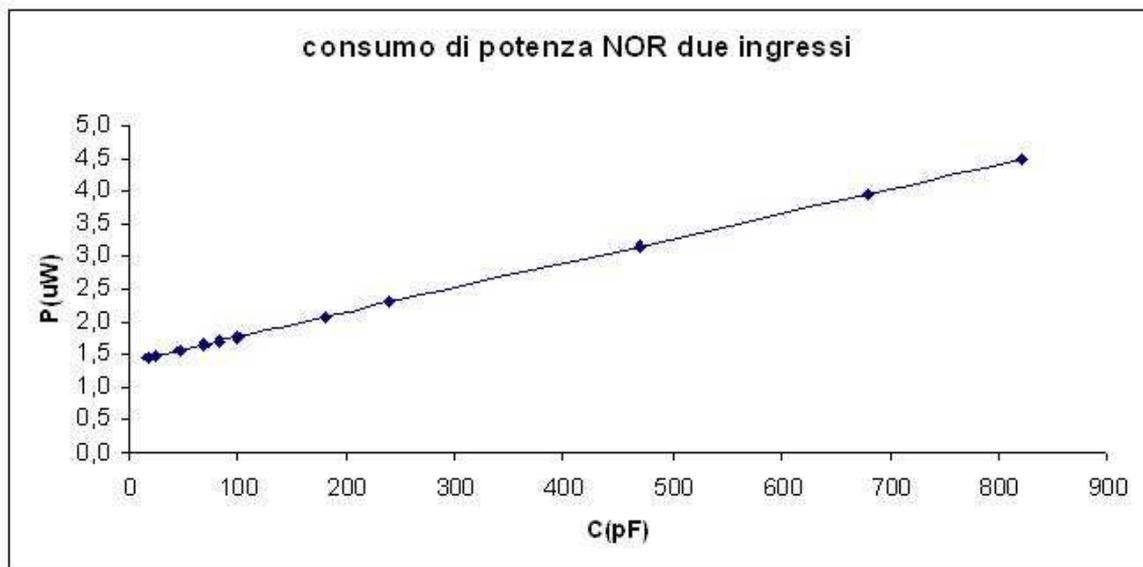
Come si nota dal grafico, l'uscita "OUT\_NOR" rappresenta effettivamente il risultato dell'operazione NOR fra i due segnali d'ingresso "IN1" e "IN2", infatti l'uscita corrisponde ad un "1" logico (2V) solo quando entrambi gli ingressi sono nulli, inoltre si notano in modo marcato i picchi di potenza dovuti alla commutazione e il consumo di potenza di cortocircuito.

In base alla simulazione Spice, il consumo di potenza di cortocircuito e statico per il circuito in esame vale  $2,0642\mu\text{W}$ , mentre il consumo energetico riferito alla singola commutazione è mediamente di  $2,2706\text{nJ}$ .

Facendo una quantità finita di prove, vale la pena guardare come la potenza e l'energia consumata variano in funzione della capacità di carico.

C(pF)	P( $\mu$ W)	E(nJ)
18	1,4456	1,5902
24	1,4675	1,6142
47	1,5583	1,7141
68	1,6392	1,8031
82	1,6932	1,8626
100	1,7659	1,9425
180	2,0642	2,2706
240	2,2902	2,5192
470	3,1580	3,4738
680	3,9552	4,3507
820	4,4949	4,9444

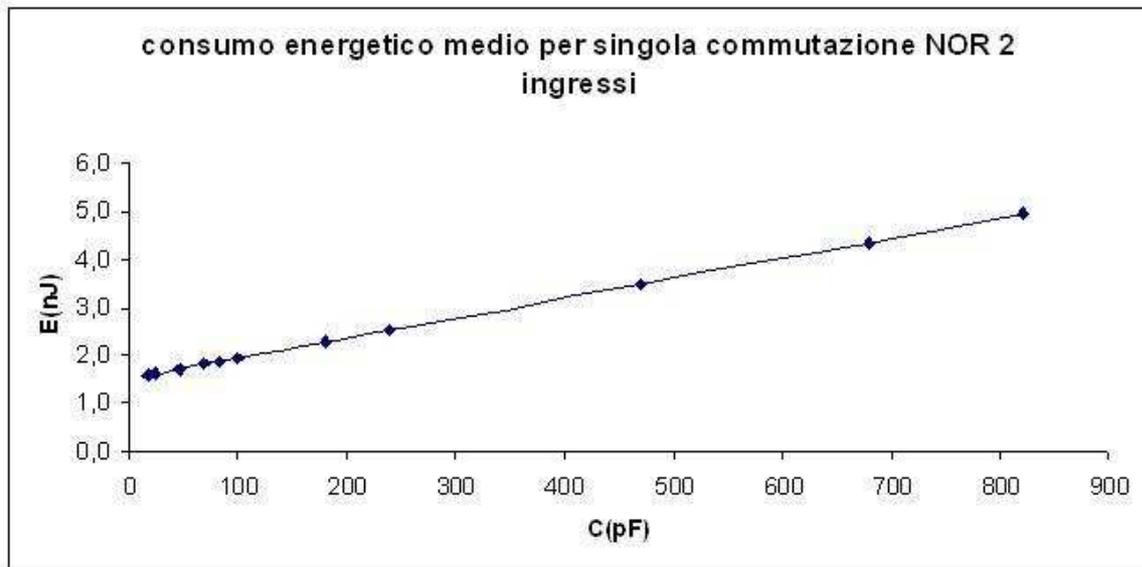
**Tabella 9:** dati ottenuti dalle prove sul consumo dell'operatore NOR realizzato, variando la capacità di carico



**Figura 41:** andamento del consumo di potenza del NOR a due ingressi realizzato, in funzione della capacità di carico

Come si nota meglio dal grafico, piuttosto che dalla tabella, esiste una dipendenza lineare tra il consumo di potenza e il valore della capacità di carico. Tracciando una linea di tendenza tramite Excel, si riesce ad ottenere un'equazione valida approssimativamente all'interno dell'intervallo dei valori utilizzati come ascissa del grafico:

$$P(\mu W) = 0,0037925 \cdot C(\text{pF}) + 1,3802261$$



**Figura 42: andamento del consumo energetico del NOR a due ingressi realizzato, in funzione della capacità di carico**

Anche per quanto riguarda il consumo energetico esiste una dipendenza lineare dal valore della capacità di carico. Tracciando una linea di tendenza tramite Excel, si riesce ad ottenere un'equazione valida approssimativamente all'interno dell'intervallo dei valori utilizzati come ascissa del grafico:

$$E(nJ) = 0,0042 \cdot C(pF) + 1,5182$$

## Boost converter

Innanzitutto le scelte dei componenti L1 e C1 rappresentati in figura 12 sono praticamente obbligate, in quanto L è condiviso con il progetto di energy harvesting riguardante il trasferimento di energia da tre trasduttori piezoelettrici operanti in diverse frequenze e la capacità di storage C1 è la stessa.

Il diodo D1 deve essere veloce, con tensione di soglia bassa e con una elevata tensione di breakdown, caratteristiche tipiche del BAS70 utilizzato.

I transistor M1 e M2 sono attivati da segnali con livello di tensione pari a 2V, per cui la tensione di soglia, ai fini della riduzione di consumo, deve essere leggermente inferiore, inoltre devono presentare una ridotta resistenza di conduzione per evitare un eccessivo consumo di potenza. Per questi motivi è stato

scelto il 2N7002, avente tensione di soglia tipica di 1,6V e resistenza di conduzione di pochi ohm.

Per ognuna delle sorgenti è stato inserito il pass transistor complementare come rappresentato in figura 12.

Questo deve essere costituito da MOS aventi bassa resistenza di conduzione, per evitare dissipazione di potenza, per cui si è scelto per il PMOS pass transistor il NTR1P02LT1, caratterizzato da una resistenza di conduzione di frazioni di ohm, mentre per il NMOS si è individuato come ottimo componente il BSS138PW, avente una resistenza di conduzione di circa 1Ω.

## Segnali di abilitazione del boost converter

Per quanto riguarda la generazione dei segnali di abilitazione del boost converter, la scelta dei componenti degli schematici rappresentati nelle figure 18, 19, 20, 21, 22, 24 è la stessa della rete di gestione e di sincronizzazione, in quanto costituiti da operatori logici fully-CMOS NOT e NOR e la configurazione migliore è quella individuata precedentemente, realizzata con i mos Si1555DL\_P e Si1555DL\_N contenuti all'interno dello stesso chip.

Discorso differente vale per i circuiti preposti all'adattamento di livello del segnale in tensione, rappresentati nelle figure 23 e 25.

In base alla funzionalità dell'adattamento, è necessario che i due diodi D1 e D2 abbiano una tensione di soglia bassa, in modo che la caduta ai capi di questi sia ridotta ai minimi termini, evitando così malfunzionamenti nel caso l'uscita del DCVSL vada a pilotare gate di altri transistor. Infatti una caduta eccessiva potrebbe portare la tensione di uscita ad un livello di tensione troppo basso e questo inficerebbe l'accensione dei transistor comandati, che non si accenderebbero. Inoltre il diodo deve avere un valore alto della massima tensione inversa, infatti la tensione sul condensatore di storage presente all'anodo di D2 può essere anche abbastanza superiore alla tensione della singola sorgente, per cui D2 sarà attivo, mentre D1 sarà interdetto con ai suoi capi una tensione negativa. Per questi motivi, la scelta per questi due diodi è ricaduta sul BAS70, un silicon Schottky diode caratterizzato da una bassa tensione di soglia, che si abbassa diminuendo la corrente di forward, ed una elevata tensione di breakdown

dell'ordine di decine di volt. Il condensatore C1 è stato inserito per diminuire notevolmente il ripple, essendo un componente che si oppone alle variazioni di tensione.

Vista la criticità di questo circuito e la necessità di operare con tensioni maggiori, la scelta per quanto riguarda il transistor NMOS è ricaduta sul BSS138PW, perché caratterizzato da una carica totale di gate inferiore rispetto al Si1555DL\_N ed avente una tensione di soglia superiore, dunque consuma di meno. Invece per il PMOS si è scelto il Si1905BDH che possiede una carica di gate inferiore rispetto al Si1555DL\_P, quindi consumerà meno, mentre la tensione di soglia è praticamente identica.

Poiché le tensioni in gioco possono essere anche molto maggiori dell'alimentazione dei chip 2V, in questo caso è opportuno ridurre la corrente sui rami del cascode, questo si può fare inserendo a cavallo fra i drain dei mos dello stesso ramo le resistenze R1 ed R6, ma queste non possono essere di valore troppo elevato, altrimenti la carica delle uscite sarebbe troppo lenta. Un valore ottimale che esprime un buon compromesso fra consumo e tempo di carica è sull'ordine delle unità di k $\Omega$ .

## Rete di wake up per l'alimentazione

Nella rete di wake up rappresentata in figura 26, il condensatore C<sub>PRINCIPALE</sub> da 33 $\mu$ F è il condensatore di storage del boost converter, quindi è stato replicato solo per migliorare la comprensione del funzionamento della rete [2].

I diodi D1 e D2 sono indispensabili per evitare conflitti elettrici fra le sorgenti, devono avere una bassa tensione di soglia ed una sufficientemente alta tensione di breakdown, in quanto le sorgenti possono avere anche tensioni molto differenti. Un componente che racchiude queste caratteristiche è il BAS70, un diodo Schottky al silicio avente una corrente in inversa molto bassa.

Il mos depletion di tipo N indicato da U2, deve avere una tensione di soglia negativa ed una corrente di cutoff tra il drain ed il source molto bassa, un ottimo

componente con queste caratteristiche è il BSP149, un SIPMOS caratterizzato da una tensione di soglia tipica di  $-1,2V$  ed una corrente di cutoff di soli  $0,2\mu A$ .

Il componente M6 è un pass transistor che ha il compito di attivare la tensione di alimentazione quando il segnale OFF si annulla, cioè quando la tensione di storage è sufficientemente alta per far funzionare il LDO. Un buon transistor per svolgere questa funzione è rappresentato dal BSH201, avente una tensione di soglia sufficientemente alta (intorno ai  $2V$ ) per evitare false accensioni.

I transistor M1, M2, M3, M4 e M5 devono essere caratterizzati da una tensione di soglia abbastanza alta per evitare troppa dissipazione di potenza di cortocircuito e devono essere caratterizzati da una bassa carica totale di gate. I transistor scelti per fare le logiche della gestione di priorità non sono più appropriati, perché le tensioni in gioco sono più alte, per questo motivo si sono scelti per gli NMOS il 2N70002 avente tensione di soglia tipica di  $1,6V$  e carica totale di gate di  $1,5nC$ , mentre per i PMOS il BSH201 avente tensione di soglia tipica di  $-1,9V$  e carica totale di gate di  $1nC$ .

A differenza dei NOT fully CMOS costruiti da M1-M2 e M3-M4, la resistenza R3 con il transistor M5 costituiscono un NOT con logica a rapporto, questo conviene perché per la maggior parte del tempo  $V_y$  è nullo e questo comporta un consumo di potenza inferiore. Per ridurre il consumo durante la fase iniziale, si sceglie una resistenza R3 di valore molto elevato:  $15M\Omega$ .

Per assicurare un comportamento stabile della rete, è necessario inserire un minimo di isteresi inserendo in retroazione la resistenza R6 con un valore molto elevato:  $65M\Omega$ . Per determinare i valori delle resistenze del partitore R4 e R5, si definiscono il valore minimo  $V_L$  e il valore massimo  $V_H$  di soglia dell'isteresi. Sapendo che:

$$V_H = \left( 1 + \frac{R4}{\frac{R5 \cdot R6}{R5 + R6}} \right) \cdot V_{th5} \quad V_L = \left( 1 + \frac{\frac{R4 \cdot R6}{R4 + R6}}{R5} \right) \cdot V_{th5} ,$$

scegliendo  $V_H$  pari a  $3V$  e  $V_L$  pari a  $2,85V$ , si ottiene risolvendo il sistema  $R4=4,5M\Omega$  ed  $R5=5,4M\Omega$ .

Per il low dropout regulator, si è scelto il LT1761, in grado di fornire una tensione di  $2V$  con ripple molto ridotto a bassi consumi.

## Maximum power point tracker

La scelta del circuito di sample and hold per effettuare l'aggiornamento della tensione di lavoro del trasduttore, è stata l'impiego di un'operazione rail to rail a basso consumo, in grado di fornire un guadagno pari ad uno se il segnale di abilitazione è alto, un guadagno nullo se basso [6]. Il valore della tensione di riferimento deve essere mantenuto su un condensatore, ponderato per mantenere il livello di tensione. L'integrato scelto per effettuare questa operazione è LT6000 come mostrato in figura 28, caratterizzato da un basso consumo e dalla possibilità di alimentarlo con tensioni anche basse come nel nostro caso, pari a 2V; inoltre è possibile porre l'uscita in alta impedenza, cosa ottimale per il mantenimento della carica sul condensatore C1 di 1 $\mu$ F. La resistenza R4 in serie al condensatore è necessaria per ridurre la sovraelongazione durante il cambiamento della tensione di riferimento.

Invece per realizzare il comparatore con isteresi, si è scelto un'operazionale in grado di funzionare anche alla bassa tensione di alimentazione pari a 2V e con un ridotto consumo di potenza. La scelta dell'integrato, come mostrato in figura 29, è ricaduta su l'operazionale integrato LTC1540, per il quale nel datasheet è consigliato di inserire R2 pari a 2,4M $\Omega$ , C1 di 5pF, in modo tale da impostare la larghezza dell'isteresi soltanto con la resistenza R1. Il valore in k $\Omega$  della resistenza R1 corrisponde alla larghezza in mV dell'isteresi. Il valore di questa larghezza d'isteresi è fondamentale per il progetto, infatti in base a questo valore si generano più o meno richieste e questo incide sul consumo della rete di gestione. Il valore scelto nel progetto è pari a 32mV, quindi un valore abbastanza basso, che comporterà un consumo di potenza, ma anche un possibile aumento di efficienza del convertitore.

Per quanto riguarda la rete di scarto delle richieste durante la fase di aggiornamento della tensione di riferimento, come mostrato in figura 30, questa è composta solo da operatori logici realizzati con la tecnica del fully-CMOS, quindi valgono gli stessi discorsi effettuati per la rete di gestione e di sincronismo: per la rete di pull-up si utilizza il Si1555DL\_P e per la rete di pull-down il Si1555DL\_N.

# CAPITOLO 4

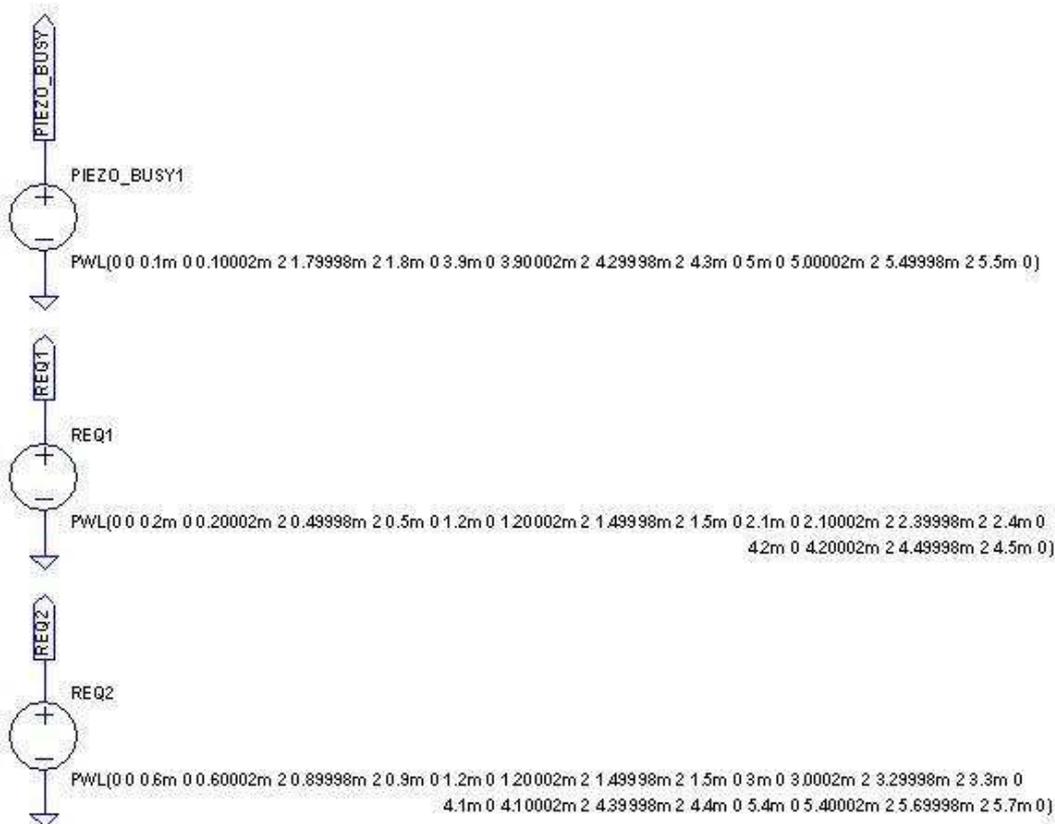
## Simulazioni e risultati

Il programma di simulazione utilizzato per verificare il funzionamento degli schemi proposti è stato LTspiceIV.

### Rete gestione della priorità

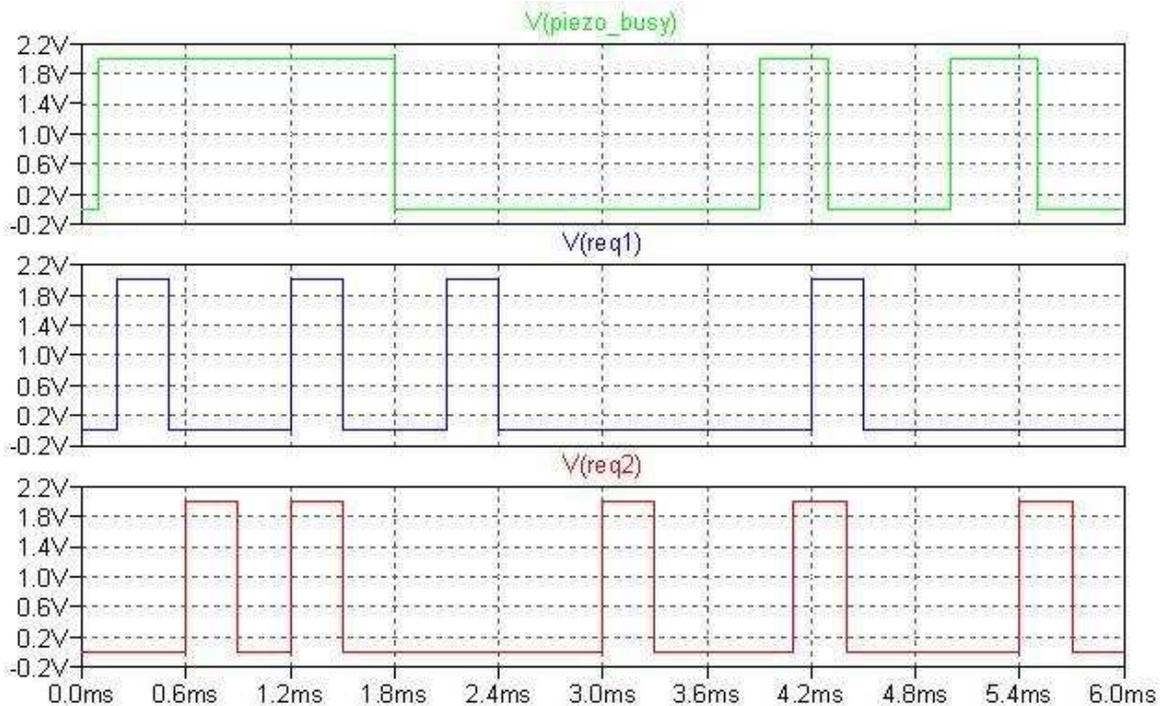
Per verificare l'effettivo funzionamento della rete di priorità, è necessario creare dei segnali di ingresso PIEZO\_BUSY, REQ1 e REQ2 che siano in grado di mostrare il comportamento della rete per tutte le possibili combinazioni degli ingressi possibili. Ma ciò non basta, infatti è necessario verificare anche il comportamento della rete non appena il PIEZO\_BUSY non è più attivo, infatti sul fronte di discesa potrebbero essere attive entrambe le richieste oppure una soltanto.

Il comando Spice necessario per effettuare un buon controllo sulla dinamica degli ingressi è il PWL. Nel caso in esame i generatori utilizzati per effettuare la simulazione della rete di gestione della priorità sono rappresentati in figura:



**Figura 43: generatori degli ingressi PIEZO\_BUSY, REQ1 e REQ2 per la simulazione della rete di gestione della priorità e del sincronismo**

Per una comprensione immediata si riporta anche il grafico che mostra l'andamento dei segnali d'ingresso.

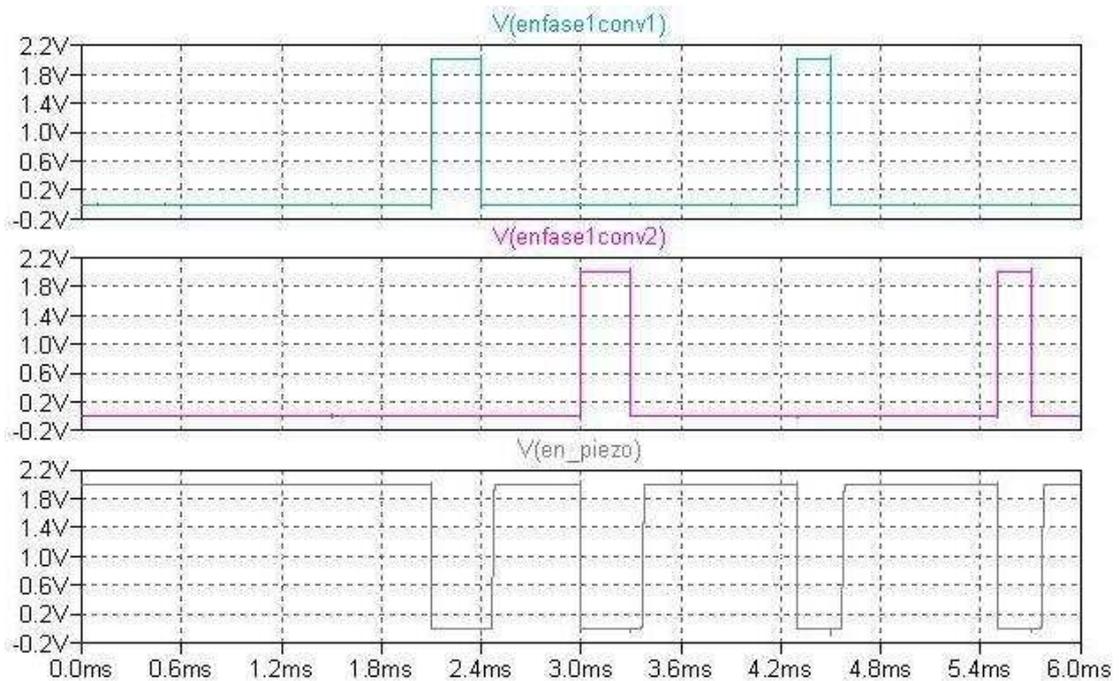


**Figura 44: andamento dei segnali di ingresso della simulazione**

In base al comportamento che dovrebbe avere la rete di gestione di priorità, le prime due richieste della sorgente numero 1 e le prime due richieste della sorgente numero 2 devono essere scartate in quanto è attivo il segnale PIEZO\_BUSY, le terze richieste di entrambe le sorgenti devono essere accettate non essendo contemporanee e PIEZO\_BUSY è a "0".

Le quarte richieste di entrambe le sorgenti sono quelle che meglio dimostrano il comportamento della rete, infatti sul fronte di discesa del PIEZO\_BUSY sono attive entrambe le richieste, per cui la rete deve dare priorità alla sorgente numero 1.

La quinta richiesta da parte della sorgente 2 deve essere accettata non appena il PIEZO\_BUSY si annulla.

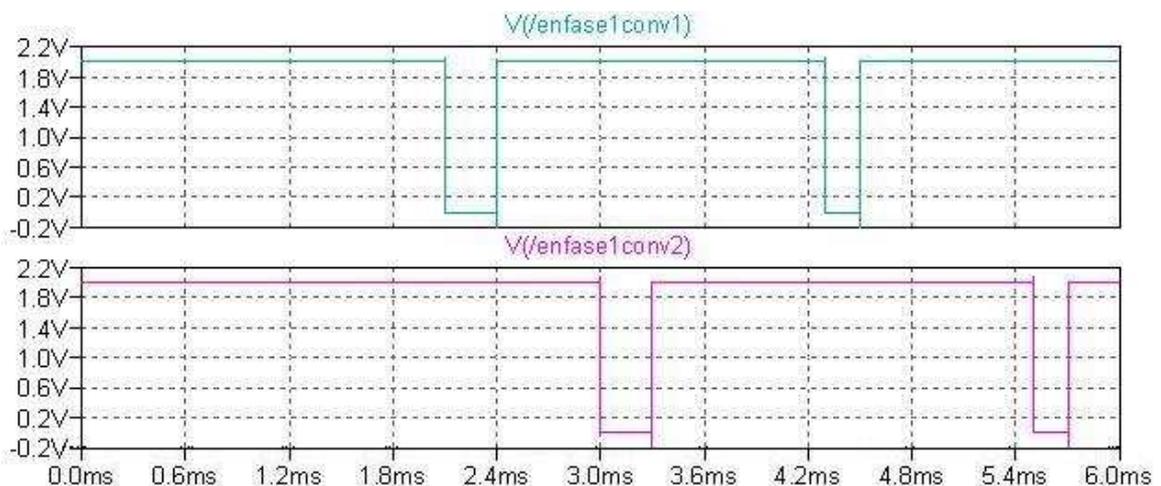


**Figura 45: andamento delle risposte della rete di gestione e sincronismo**

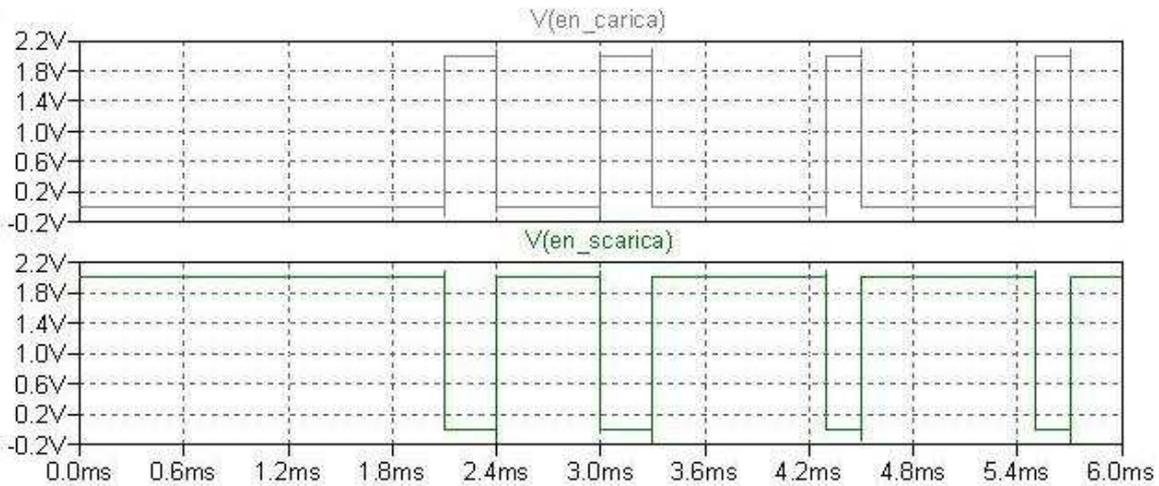
Nel grafico sono riportati gli andamenti dei segnali ENfase1conv1 ed ENfase1conv2 ed effettivamente indicano se e quando la richiesta da parte delle sorgenti numero 1 e 2 vengono accettate.

Il segnale EN\_PIEZO deve essere ad 'uno' per tutto il tempo in cui il boost non è impegnato a trasferire energia dalle sorgenti DC e dal grafico si nota molto bene che il tempo per cui EN\_PIEZO sta a '0' vale la somma dei tempi necessari per effettuare entrambe le fasi di una conversione.

Applicando i segnali ottenuti ai circuiti preposti per la generazione della versione negata di ENfase1conv1-2, di EN\_CARICA ed EN\_SCARICA, rappresentati nelle figure 18, 19, 20, 22, 24, si ottengo i seguenti risultati:



**Figura 46: andamento dei segnali negati dell'abilitazione per la prima fase di conversione che necessitano di adattamento di livello**



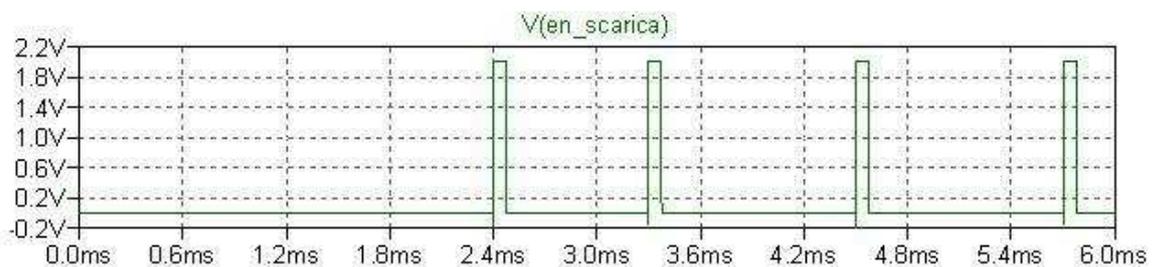
**Figura 47: andamento dei segnali di abilitazione del boost converter che non necessitano di adattamento di livello**

Infatti EN\_CARICA è attivo per ogni richiesta da parte delle sorgenti DC accettata.

Il consumo di potenza per generare questi segnali in questo caso vale  $35,725\mu\text{W}$  ed un consumo energetico di  $214,35\text{nJ}$ .

Per quanto riguarda il segnale EN\_SCARICA, risulta semplicemente la versione negata, ma il discorso in questo caso si fa più complicato, infatti la soluzione ottenuta è stata introdotta per far funzionare il boost converter (senza induttore in stato di floating) senza connettere il circuito con il progetto del piezoelettrico.

Nell'eventualità si volesse connettere questo progetto con il progetto del piezoelettrico, il segnale che si otterrebbe considerando a 0 il segnale EN\_PIEZO sarebbe:

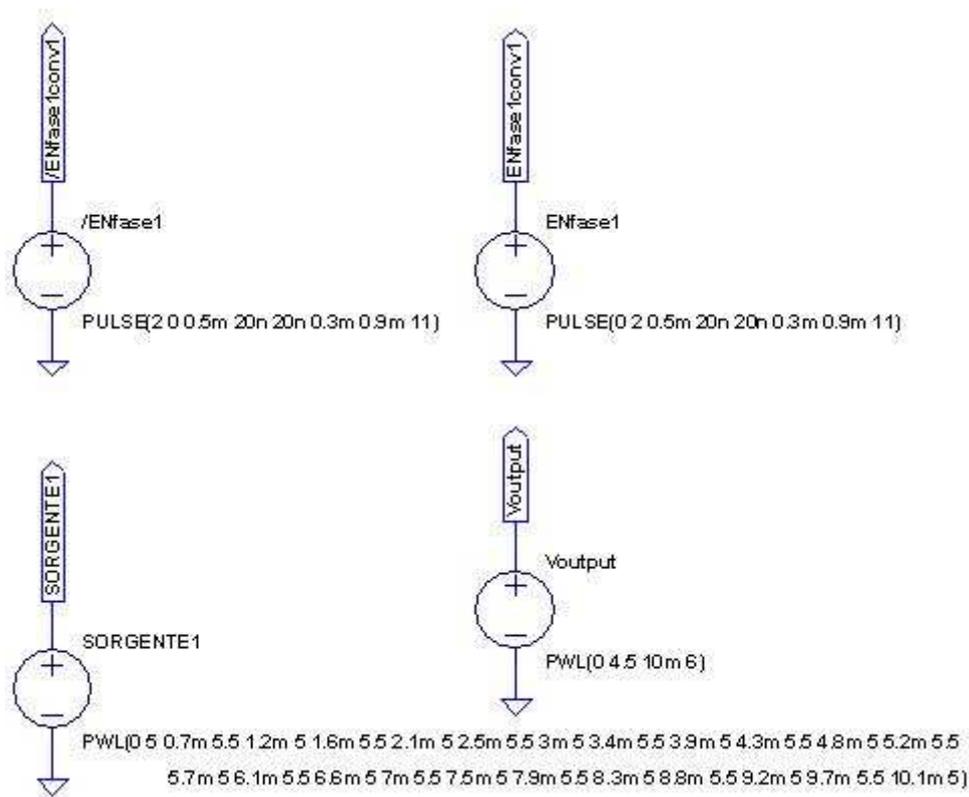


**Figura 48: segnale EN\_SCARICA che si avrebbe se volessimo collegare il progetto alla rete di energy harvesting operante con tre trasduttori piezoelettrici**

Il consumo di potenza per generare questi segnali in questo caso è ovviamente inferiore e vale  $34,444\mu\text{W}$  ed un consumo energetico di  $206,66\text{nJ}$ .

## Segnali abilitazione boost converter

In base alle forme d'onda ottenute come risultato dalle rete di gestione della priorità, per verificare il corretto funzionamento dei circuiti preposti alla generazione dei segnali di abilitazione del boost converter, si forniscono i seguenti ingressi:



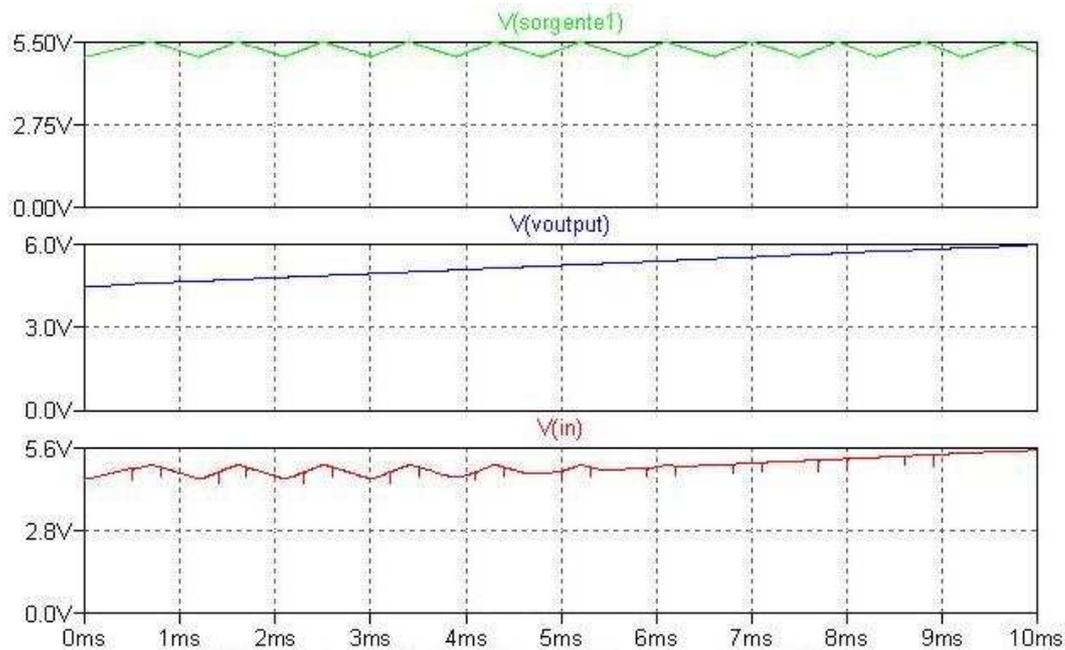
**Figura 49:** generatori degli ingressi `ENfase1conv1`, `/ENfase1conv1`, `SORGENTE1` e `Voutput` per la simulazione della rete per la generazione dei segnali di abilitazione del boost converter

`ENfase1conv1` si suppone con un duty-cycle del 33.3%, con periodo di 0.9ms; questa supposizione fa visualizzare come si comporta la rete di adattamento di livello in un caso abbastanza pessimistico dal punto di vista del consumo di potenza, in quanto le richieste di trasferimento di energia accettate nell'unità di tempo sono molte.

`/ENfase1conv1` è semplicemente la versione negata di `ENfase1conv1`.

Per quanto riguarda l'ingresso `SORGENTE1`, il segnale realizzato con il `PWL` rappresenta indicativamente l'andamento di una sorgente DC nel momento in cui viene generata una richiesta e quando questa richiesta viene accettata. Questo andamento può essere rappresentato da una forma d'onda triangolare che si discosta da poco dalla tensione ottimale per ottenere il massimo trasferimento di energia, grazie all'algoritmo MPTT.

Il segnale  $V_{output}$  invece rappresenta la tensione sul condensatore principale. L'andamento nel tempo di questo segnale, approssimativamente, è costituito da una rampa, facilmente ottenibile con il comando PWL. Infatti se non ci fosse un consumo variabile nel tempo, la tensione sul condensatore principale tenderebbe a salire in modo lineare a tratti.



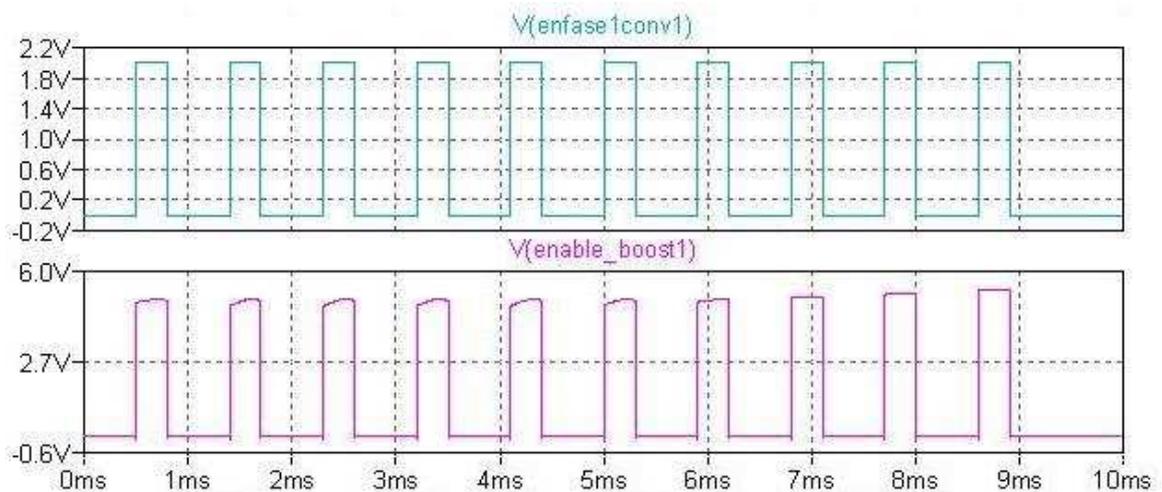
**Figura 50: andamento dei segnali di ingresso della simulazione**

Dal grafico si nota l'andamento triangolare della tensione fornita dalla sorgente DC mentre vengono accettate le richieste di trasferimento di energia e l'andamento a rampa della tensione sul condensatore di storage.

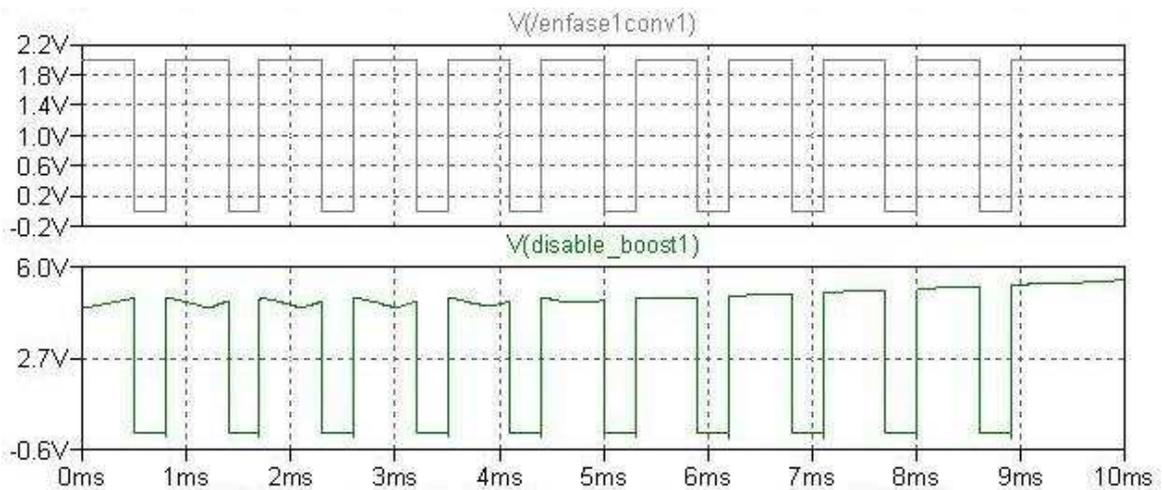
Il segnale IN rappresentato nel grafico, dal punto di vista funzionale deve assumere il valore massimo istantaneo della sorgente o della tensione sul condensatore principale.

Il risultato ottenuto mostra un andamento corretto, ma soprattutto evidenzia la perdita di soglia causata dal diodo Schottky. Questo effetto si nota molto bene in grafico al tempo pari a 10ms, in cui IN dovrebbe valere 6V come la tensione sul condensatore principale, invece vale 5.6V, esattamente una tensione di soglia del diodo Schottky in meno.

I grafici di figure 51 e 52 invece visualizzano il risultato vero e proprio dell'adattamento di livello, infatti i segnali ENfase1conv1 ed /ENfase1conv1 passano da una dinamica di soli 2V insufficiente per comandare i pass transistor complementari nel boost, ad una tensione dipendente dal massimo fra la tensione della sorgente DC e la tensione sul condensatore principale. Infatti nel caso in esame, si nota come l'andamento triangolare della tensione di sorgente si riporta sul valore logico alto dei segnali di abilitazione del boost ENABLE\_BOOST1 ed DISABLE\_BOOST1.

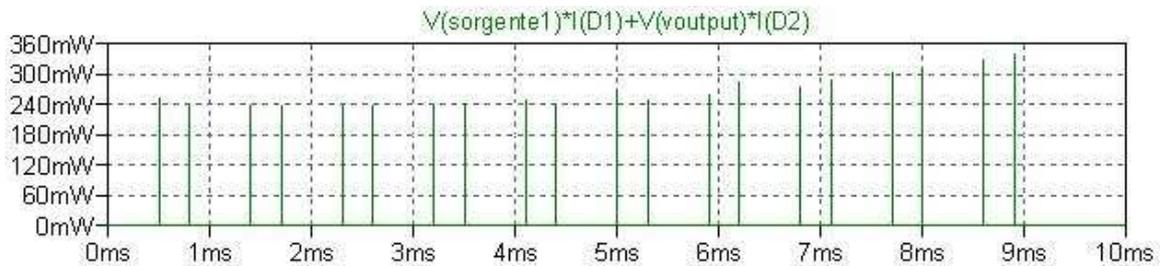


**Figura 51: andamento ingresso-uscita della simulazione del DCVSL (buffer)**



**Figura 52:andamento ingresso-uscita della simulazione del DCVSL (inverter)**

Il consumo di potenza sarà ottenibile come la somma dei due contributi di sorgente DC e tensione sul condensatore di storage. La potenza del singolo contributo sarà data dal prodotto fra il valore di tensione istantaneo e la corrente che attraversa il corrispondente diodo Schottky.



**Figura 53: consumo di potenza dell'adattamento di livello**

Grazie alla simulazione si ottengono come risultati una potenza media dissipata pari a  $43,319\mu\text{W}$  ed un consumo di energia di  $433,19\text{nJ}$ ; da evidenziare che questi valori sono abbastanza pessimistici come prima annunciato, infatti se si considerasse un caso meno critico, avente periodo di richieste accettate pari a 9ms, la potenza dissipata media varrebbe  $27,796\mu\text{W}$  e l'energia consumata  $2,7796\mu\text{J}$ .

## Boost converter

Si vuole ora effettuare una simulazione sul funzionamento del solo boost converter, ipotizzando sorgenti DC a 4V costanti nel periodo di simulazione. Innanzi tutto è necessario creare tramite comando PULSE i segnali di abilitazione dei vari transistor che costituiscono il boost. In particolar modo devono rispettare quelle che sono le uscite della rete di generazione dei segnali di abilitazione sopra simulate. I valori massimi dei segnali ENABLE\_BOOST# e DISABLE\_BOOST# sono volutamente superiori per verificare se il circuito risponde bene, anche quando la tensione di storage è superiore delle sorgenti. Il segnale EN\_SCARICA è la versione negata di EN\_CARICA, perché si suppone di far funzionare il circuito senza collegarlo al progetto di energy harvesting da trasduttori piezoelettrici. Ovviamente non devono essere attivi contemporaneamente ENABLE\_BOOST1 ed ENABLE\_BOOST2, per evitare conflitti elettrici fra le sorgenti DC (come assicurato dalla rete di gestione della priorità). Le tempistiche sono quelle ottenute tramite le simulazioni precedenti.

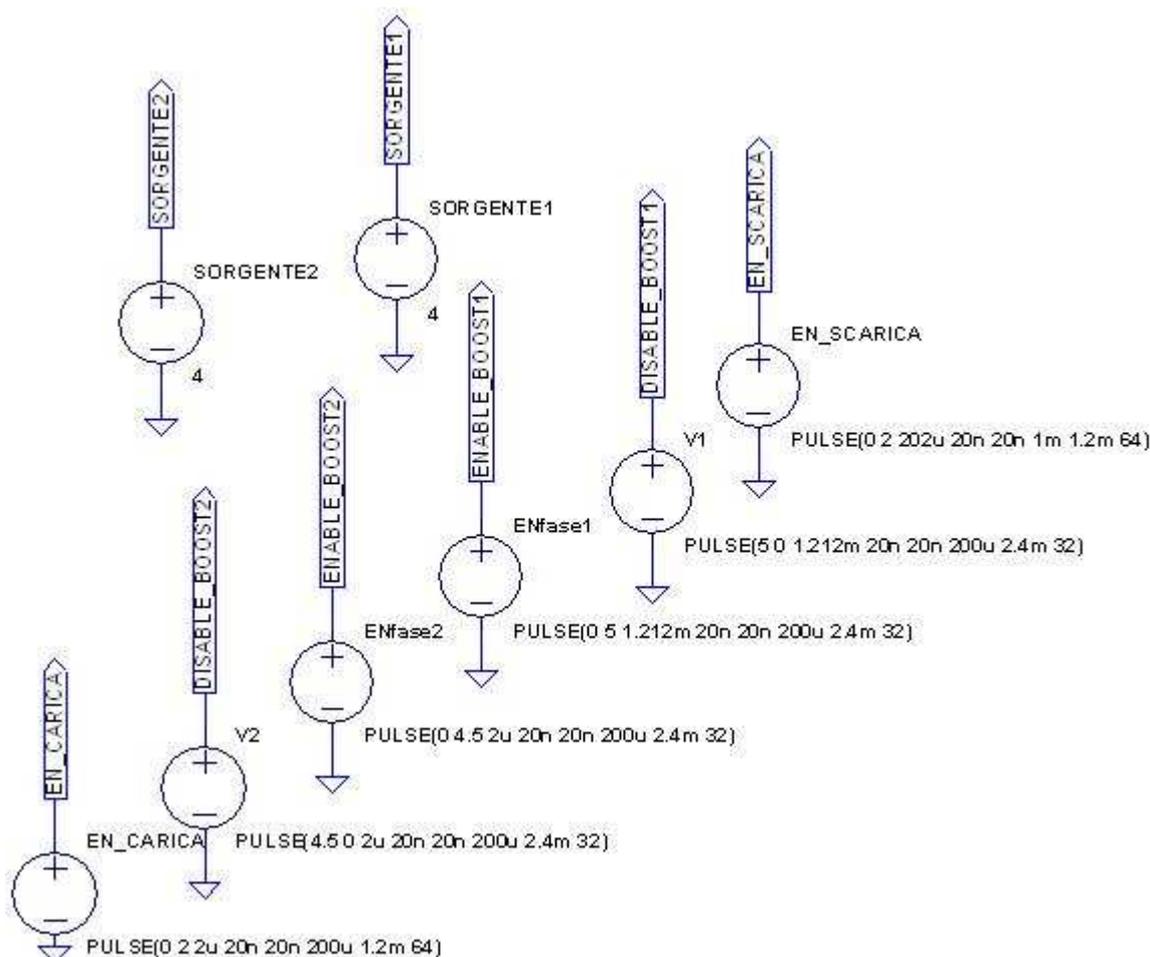
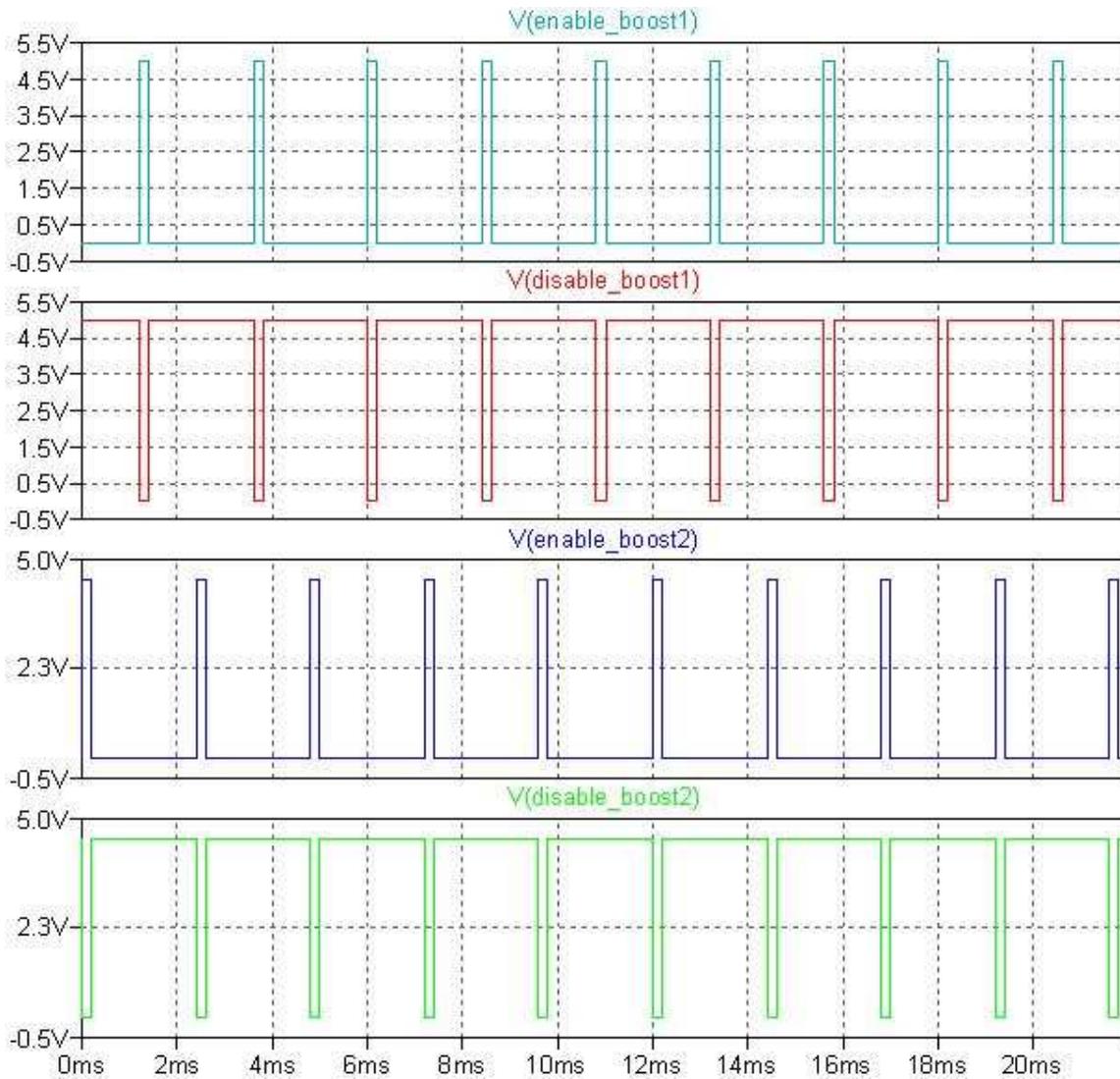
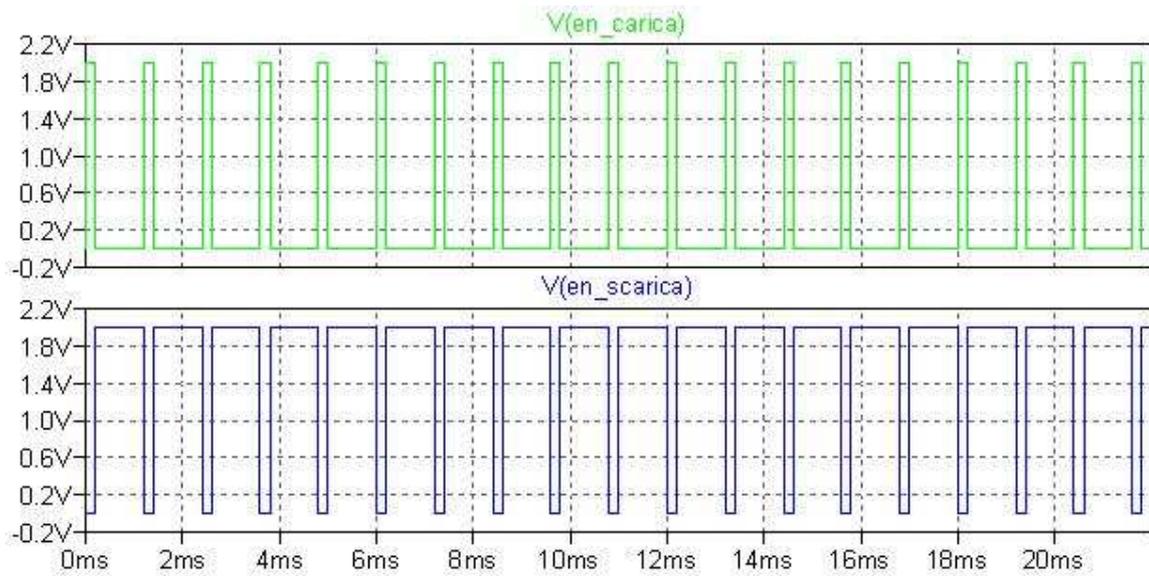


Figura 54: segnali di ingresso per la simulazione del funzionamento del boost converter

Conviene mostrare l'andamento di questi ingressi generati tramite comando PULSE su un grafico, altrimenti sarebbero difficilmente decifrabili.

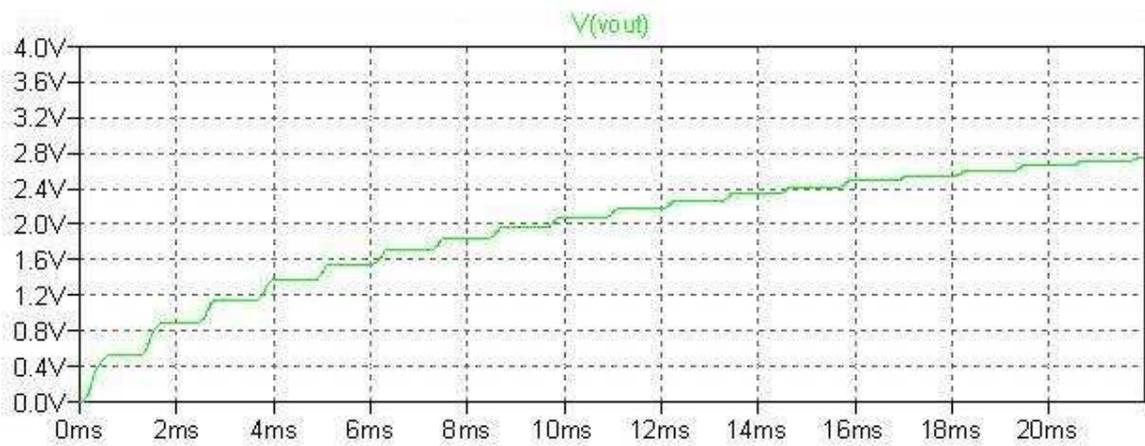


**Figura 55: rappresentazione grafica dei segnali di abilitazione aventi livello di tensione maggiore**



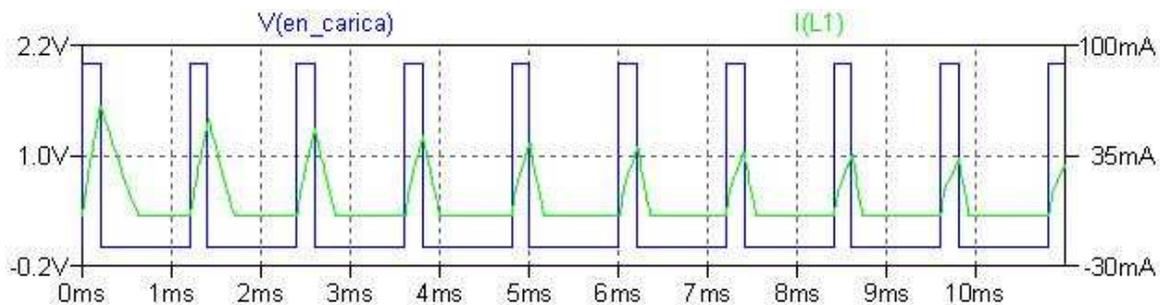
**Figura 56: rappresentazione grafica dei segnali EN\_CARICA ed EN\_SCARICA**

L'andamento della tensione di storage che si ottiene dalla simulazione è rappresentato in figura 57, si nota come questo si presenti come una serie di gradini in corrispondenza dei trasferimenti di energia dalla sorgente.



**Figura 57: andamento della tensione di storage ottenuto dalla simulazione del boost**

Facendo uno zoom, si vuole far notare qual è andamento della corrente sull'induttore.



**Figura 58: andamento della corrente dell'induttore durante le due fasi di conversione**

Si nota il tipico andamento praticamente triangolare, che prevede una rampa positiva durante la prima fase di conversione, in cui la sorgente carica di energia magnetica l'induttore ed una rampa negativa durante la seconda fase di conversione, in cui l'energia magnetica va a caricare il condensatore di storage.

Inoltre si nota come il boost converter sia in funzionamento discontinuo, poiché la corrente sull'induttore si annulla durante la seconda fase di conversione e rimane tale per un periodo di tempo.

## Analisi funzione di trasferimento della rete di wake up e del suo funzionamento

Si vuole analizzare il comportamento della rete di wake up al variare della tensione di storage, verificandone l'isteresi necessaria per assicurare la stabilità del sistema. Per far questo si effettuano due simulazioni Spice in DC del circuito di figura 59.

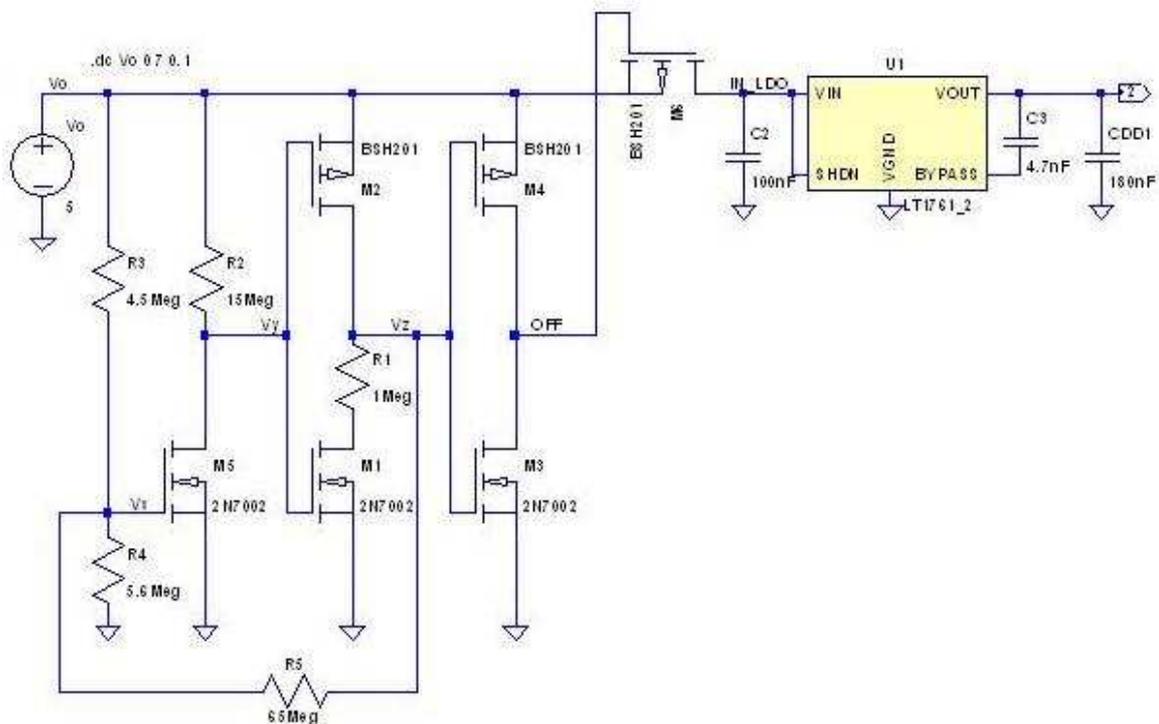


Figura 59: rete di wake up

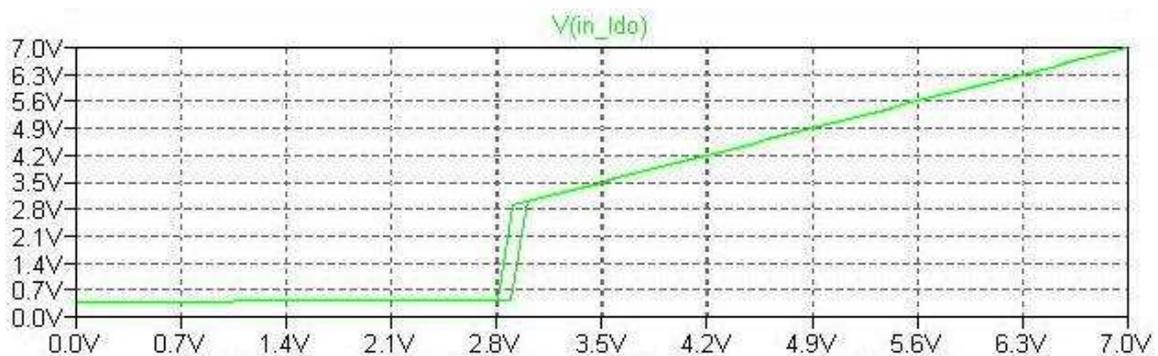


Figura 60: funzione di trasferimento della rete di wake up

Come si nota dalla figura 60, sono verificati i valori calcolati nel capitolo 3 della  $V_L$  pari a 2,85V e della  $V_H$  pari ad 3V e quindi una larghezza d'isteresi di 150mV.

Si vuole ora verificare il funzionamento della rete di wake up rappresentata in figura 61, imponendo come ingressi due sorgenti DC da 4,5V e 5V nell'intervallo di verifica del funzionamento e imponendo, nella simulazione della risposta nel tempo, una carica di storage iniziale nulla, simulando così il comportamento all'accensione del progetto.

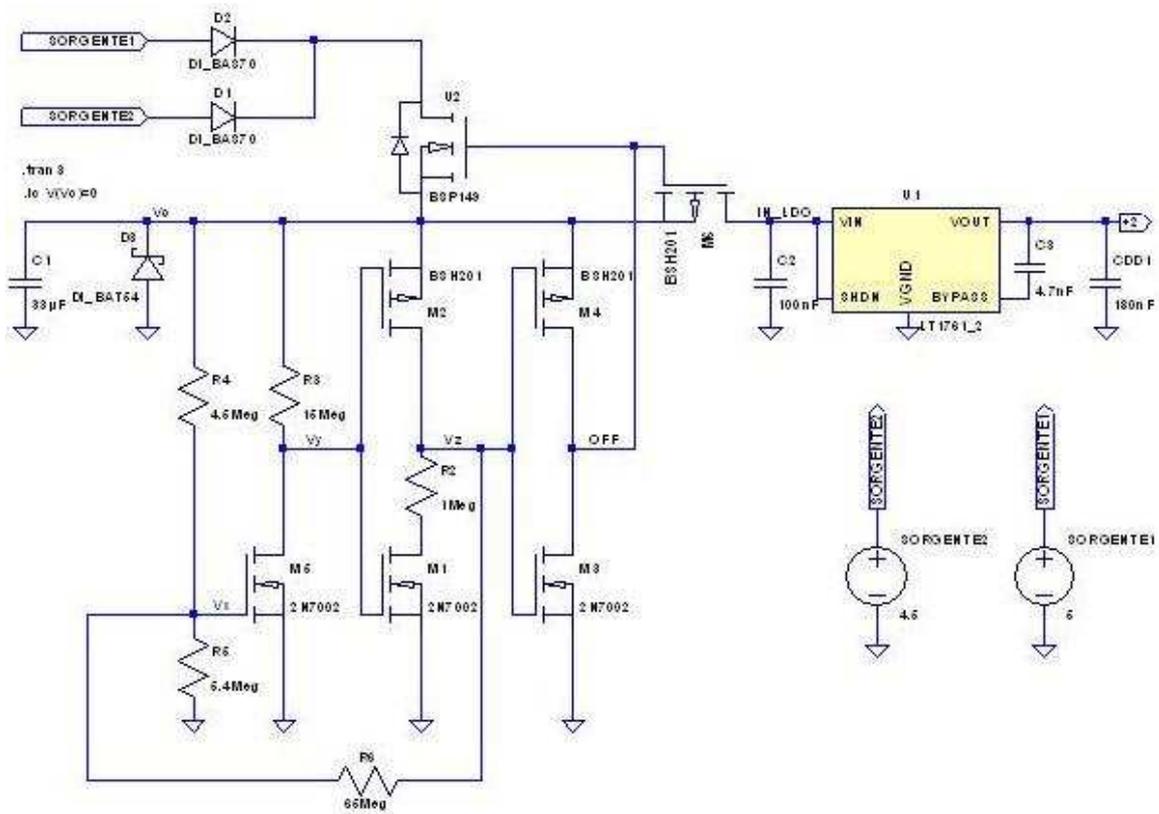
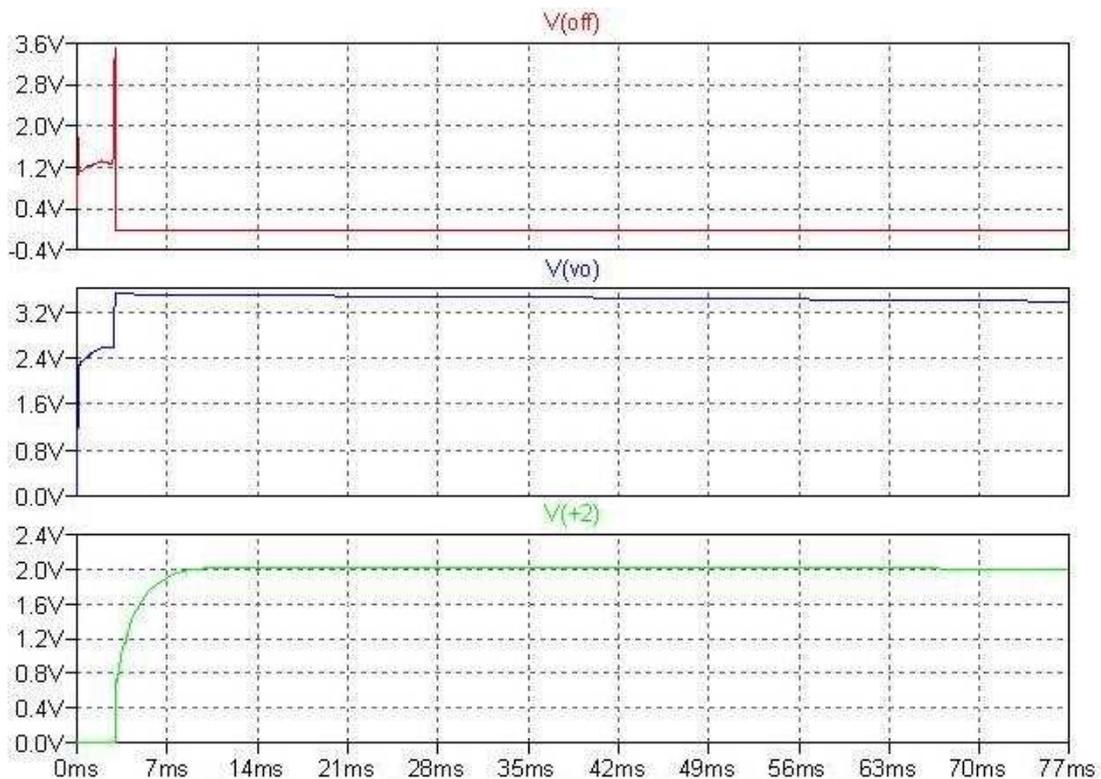


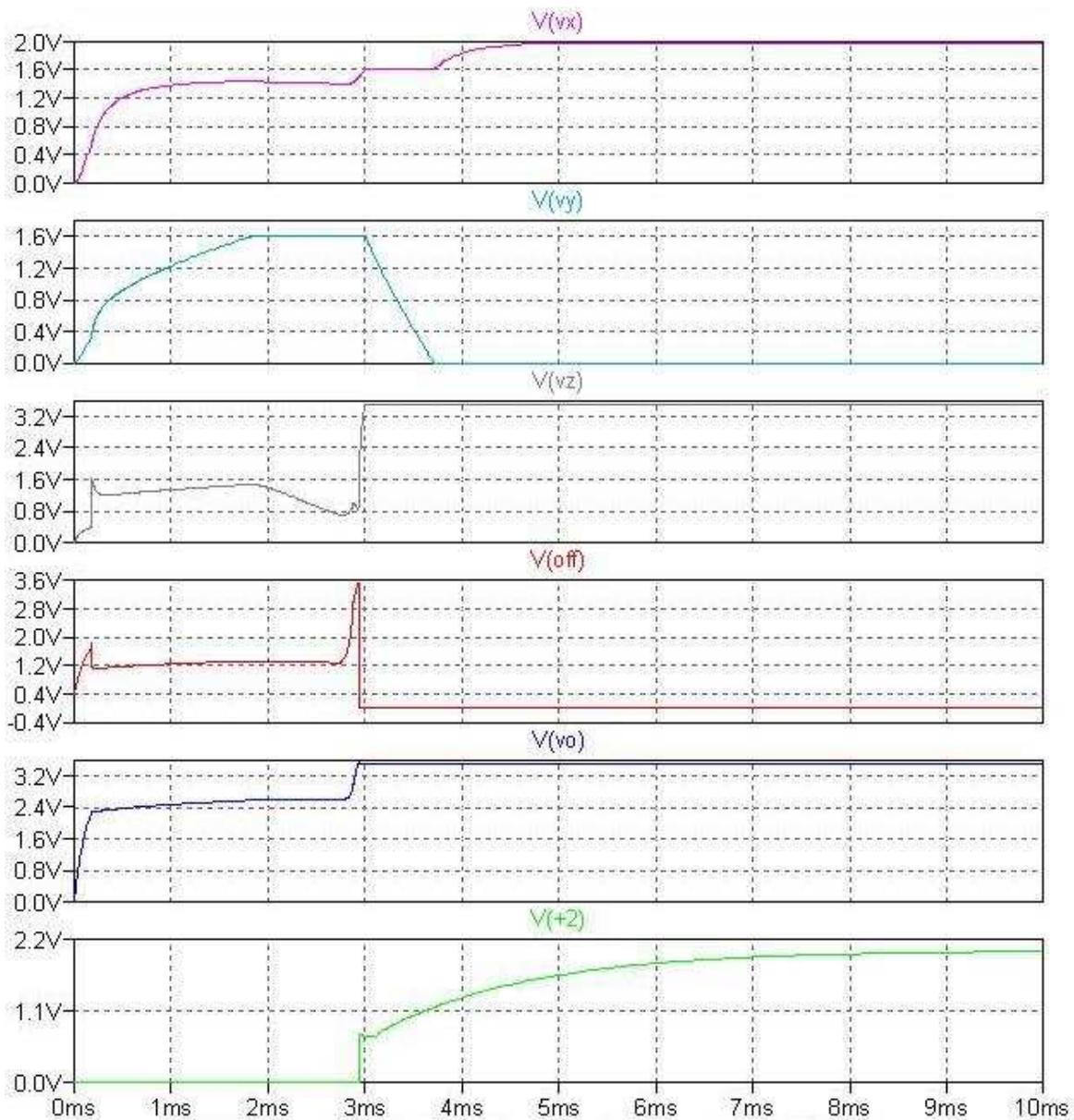
Figura 61: rete di wake up simulata



**Figura 62: verifica accensione dell'alimentazione tramite rete di wake up**

Come si nota nel grafico dei risultati di figura 62, inizialmente il segnale OFF rappresenta un 'uno' logico, in modo tale che il transistor depletion BSP149 sia acceso e colleghi direttamente le sorgenti con la capacità di storage. Nel frattempo la tensione di uscita sul condensatore di storage aumenta, al punto di spegnere il segnale OFF e di conseguenza attivare il low dropout regulator che fornisce la tensione di alimentazione ai chip e alla rete di gestione delle priorità, inoltre scollega il condensatore di storage dalle sorgenti, di conseguenza la tensione di uscita tenderà a calare col tempo per colpa del consumo intrinseco della rete in esame.

Si vuole ora rappresentare l'andamento dei segnali più importanti che definiscono il funzionamento della rete di wake up. Si nota dai grafici di figura 63 che finché la tensione  $V_x$  rimane inferiore della tensione di soglia del 2N7002 pari ad 1,6V, la tensione  $V_y$  segue  $V_o$ ,  $V_z$  tende ad annullarsi ed il segnale OFF segue  $V_o$ ; dopodiché quando  $V_x$  diventa maggiore della soglia,  $V_y$  si annulla,  $V_z$  segue  $V_o$  ed il segnale OFF si annulla, facendo così funzionare il low dropout regulator che carica il condensatore  $C_{DD}$  alla tensione di alimentazione di 2V.



**Figura 63: funzionamento della rete di wake up nella fase iniziale**

## Simulazione funzionamento boost converter collegato alla rete di wake up

Si vuole ora simulare il funzionamento della rete costituita dal boost converter di figura 12 collegato alla rete di wake up di figura 26, evidenziando le due fasi di carica iniziale tramite collegamento diretto delle sorgenti al condensatore di storage e di carica grazie al funzionamento del boost converter.

Per verificare il funzionamento, è necessario far partire le richieste solo dopo che la rete di wake up si sia spenta, proprio perché prima di questo avvenimento non c'è alimentazione per la rete preposta alla generazione delle richieste. Per questo motivo si è scelto di ritardare le richieste di 20ms. Supponendo sempre che la tensione della sorgente sia costante nell'intervallo di tempo considerato, il segnali necessari per la simulazione del circuito sono quelli rappresentati in figura 64.

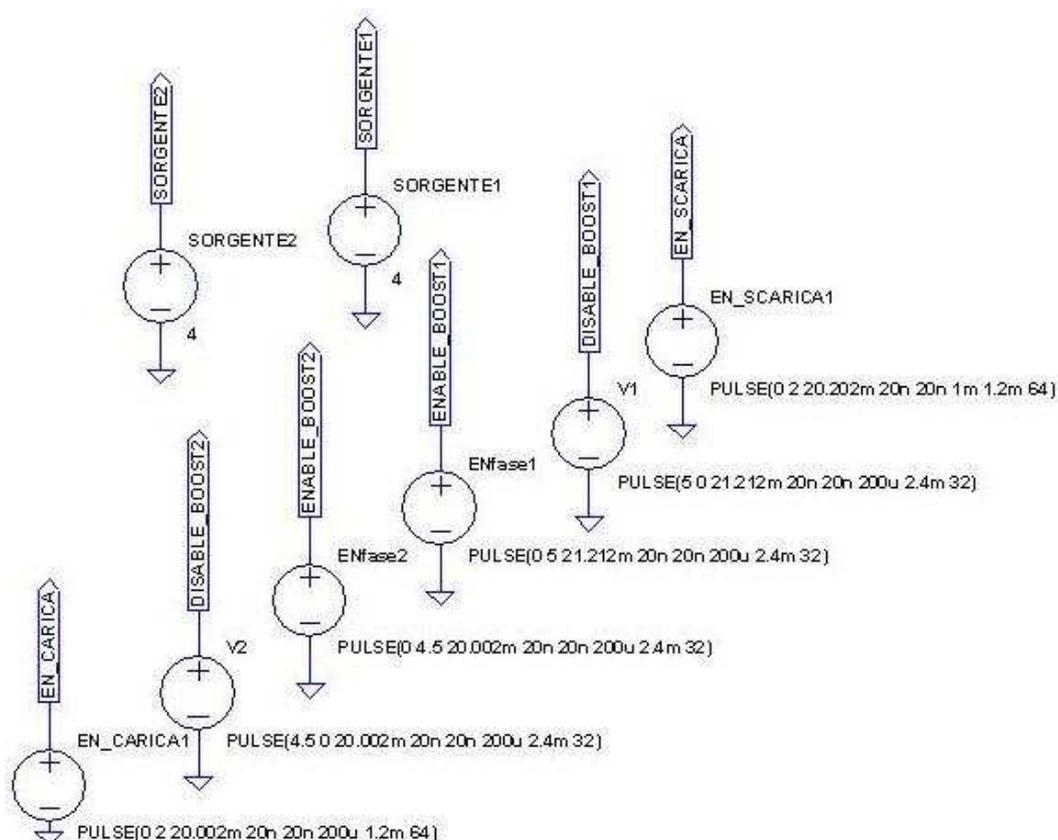
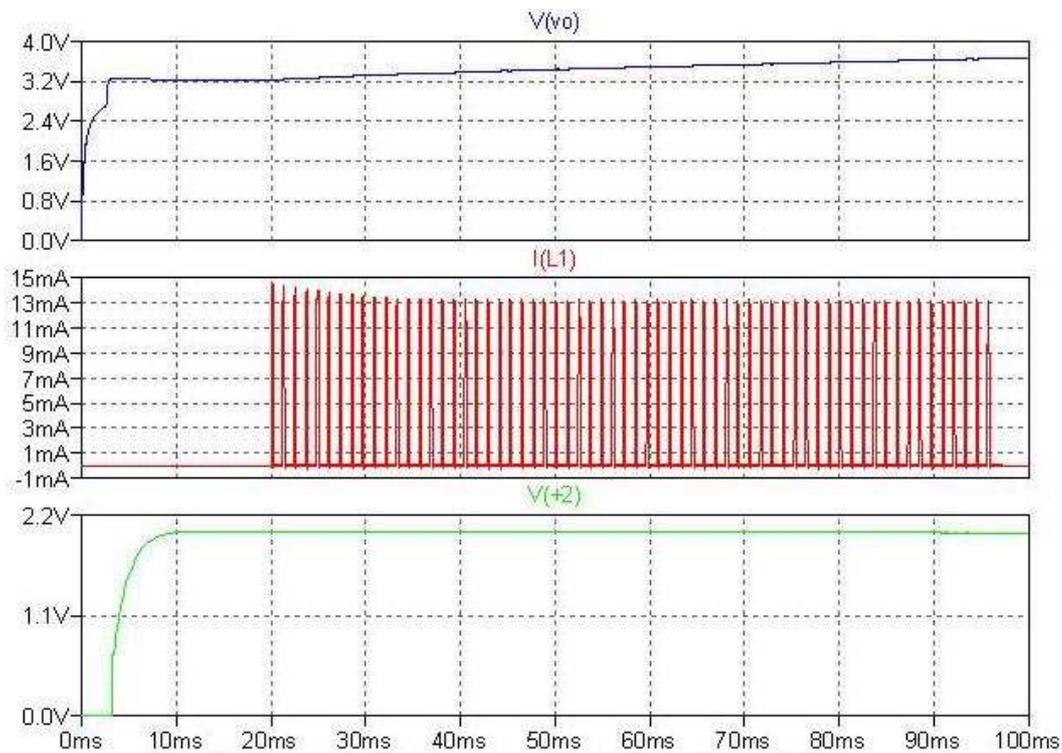


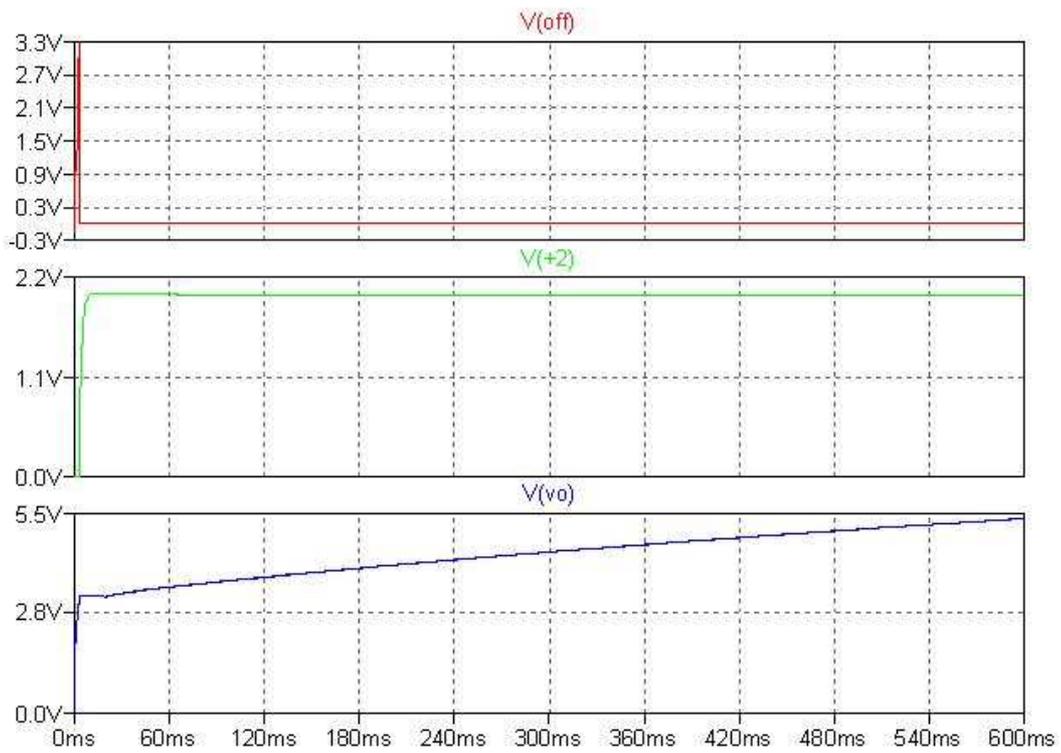
Figura 64: segnali di ingresso per la simulazione del boost converter e della rete di wake up

Come si nota particolarmente bene nei grafici di figura 65, inizialmente, quando la tensione di alimentazione non è ancora generata, è attiva la rete di wake up che carica direttamente la capacità di storage, mentre una volta che l'alimentazione è generata, vengono accettate le richieste di trasferimento di energia quindi si attiva il boost converter nelle sue due fasi di funzionamento di carica e scarica dell'induttore e si nota come la tensione cominci ad aumentare gradualmente.



**Figura 65: andamento della tensione di uscita nelle due differenti fasi**

Per verificare se effettivamente la tensione di uscita può superare quella delle sorgenti, basta fare una simulazione più lunga, per la quale vengono accettate complessivamente più richieste e si nota che effettivamente la tensione di uscita supera (5,5V a 600ms) quella delle sorgenti di 4V.



**Figura 66: risultato simulazione più lunga per verifica superamento della tensione delle sorgenti**

# Simulazione funzionamento complessivo, senza maximum power point tracker

Per questa simulazione è necessario creare dei segnali sorgente che massimizzano il comportamento reale delle sorgenti DC, inoltre si devono creare i segnali che generano le richieste di trasferimento di energia dalle sorgenti DC ed il segnale di boost occupato dai trasduttori piezoelettrici.

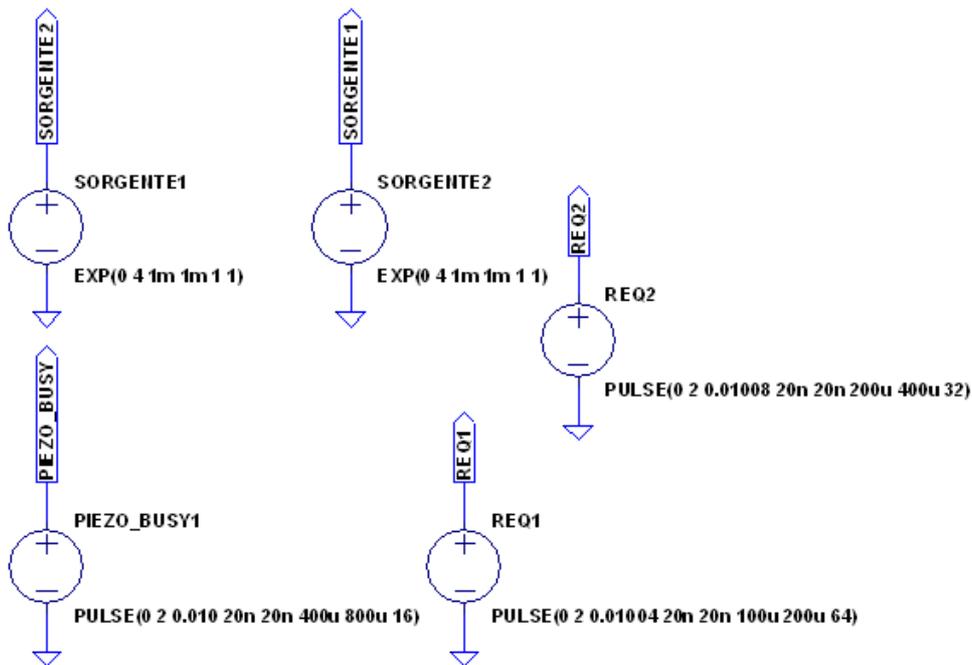


Figura 67: comandi Spice per la generazione dei segnali d'ingresso

Per migliore la leggibilità vengono rappresentati nelle figure 68 e 69 i corrispondenti andamenti nel tempo dei segnali d'ingresso creati con i comandi Spice PULSE ed EXP.

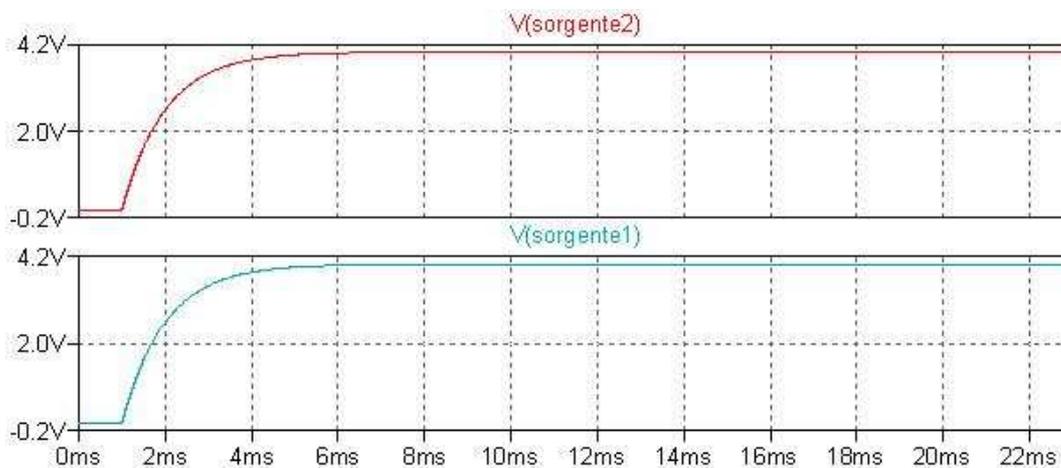
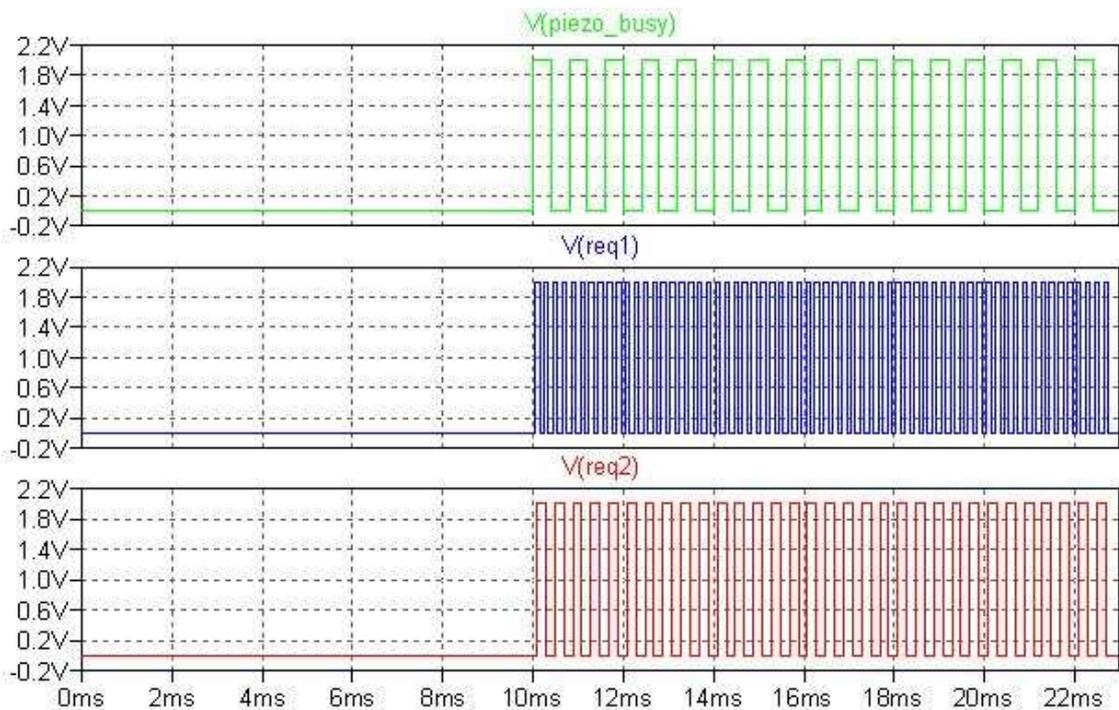
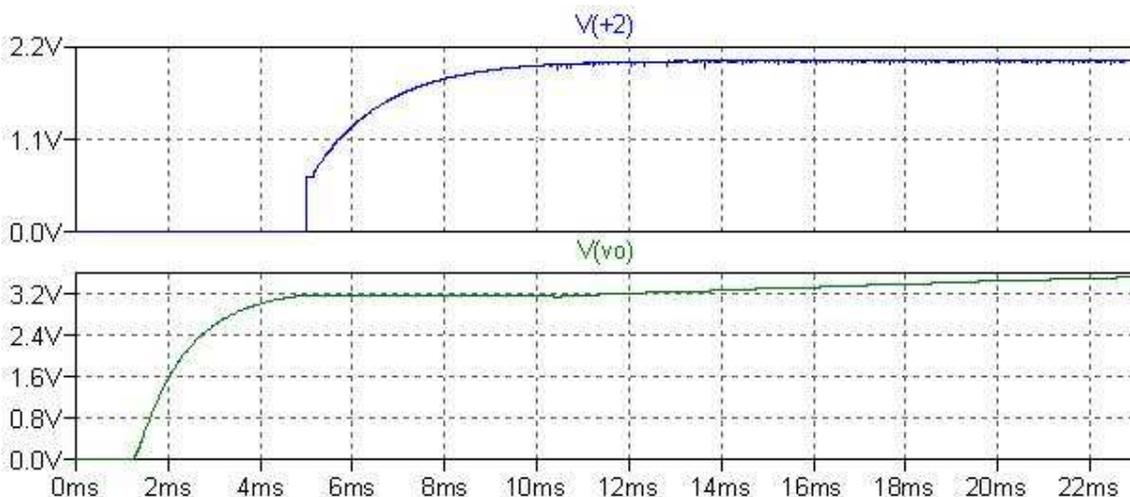


Figura 68: andamento simulato delle due sorgenti



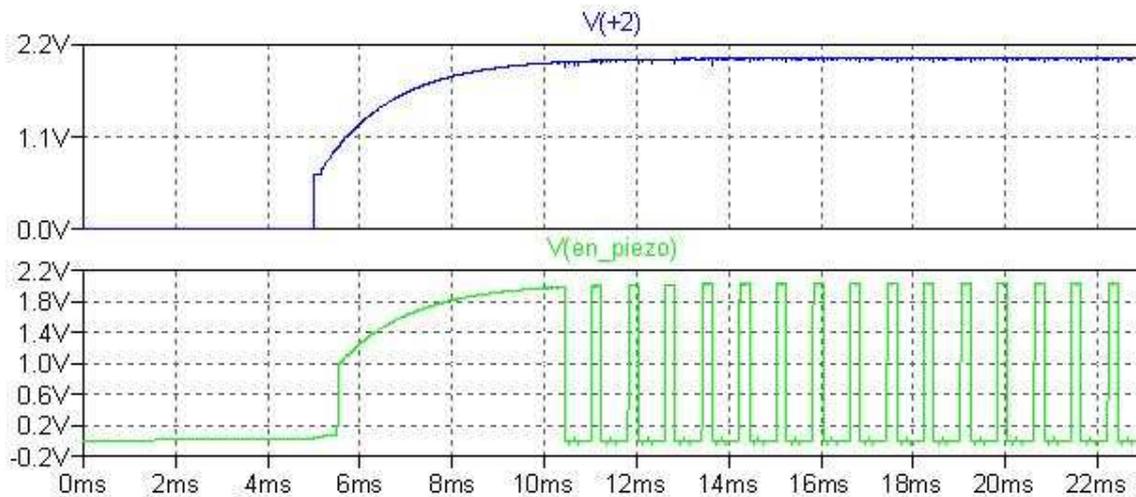
**Figura 69: andamento dei segnali d'ingresso simulati di boost occupato dai piezoelettrici e delle richieste da sorgenti DC**

Come si nota dal grafico di figura 70, finché le sorgenti sono nulle, la tensione di uscita sul condensatore di storage resta a zero e non viene generata la tensione di alimentazione dei chip 2V, quando la tensione delle sorgenti comincia a salire, anche il condensatore di storage si carica, grazie al collegamento diretto creato dalla rete di wake up. Quanto la tensione di storage supera la soglia impostata dalla rete di wake up, comincia a generarsi la tensione di alimentazione dei chip grazie al low dropout regulator e la tensione di uscita si mantiene finché non arrivando le richieste di trasferimento di energia che una volta accettate aumentano la tensione sul condensatore di storage.



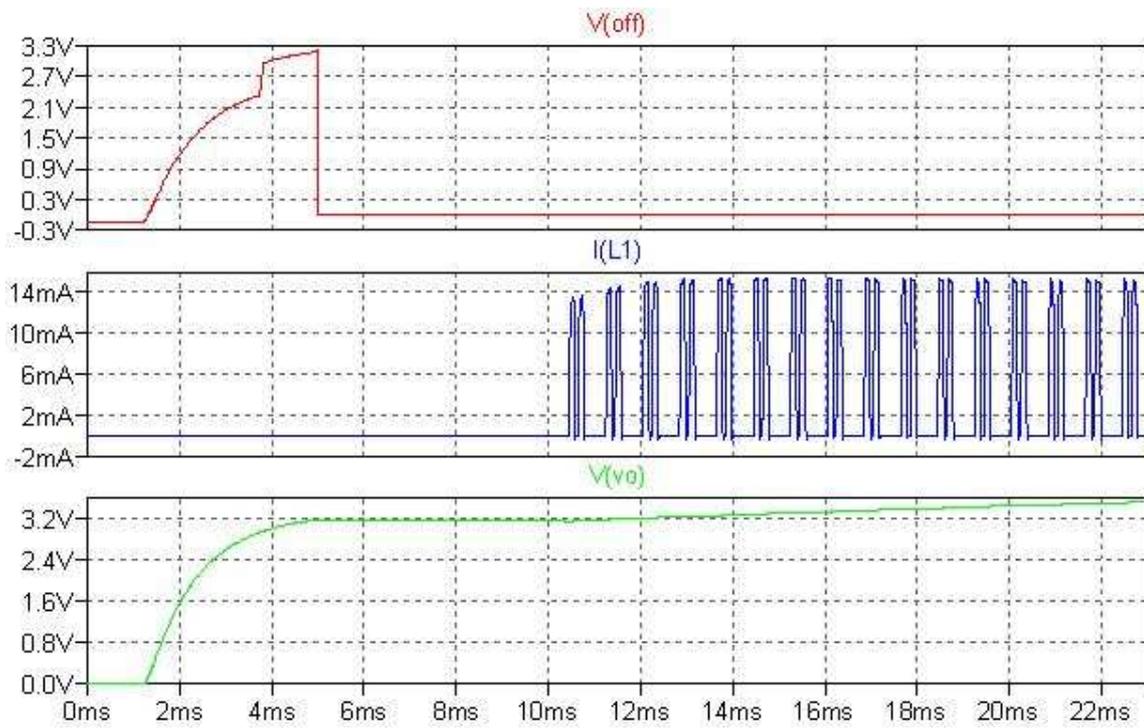
**Figura 70: distinzione delle varie fasi di funzionamento del progetto**

Per il sincronismo con il progetto di trasferimento di energia da sorgenti piezoelettriche, è interessante notare dalla figura 71 che il possibile trasferimento da parte dei piezo è possibile solo dopo che viene generata la tensione di alimentazione per la rete di gestione del sincronismo ed in particolar modo che il segnale si annulla ogni volta che viene accettata una richiesta da parte di sorgenti DC, per evitare conflitti elettrici con i trasduttori piezoelettrici.



**Figura 71: andamento segnale di sincronizzazione con il progetto dei piezoelettrici**

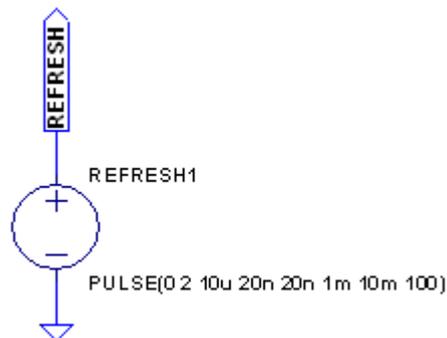
Vale la pena mostrare come varia la corrente sull'induttore condiviso del boost converter durante le varie fasi di funzionamento del progetto. Come si nota in figura 72, finché non arrivano richieste da parte delle sorgenti DC, la corrente sull'induttore è nulla e lo è anche tutte le volte in cui il boost è occupato dai piezoelettrici (nella pratica in questa fase la corrente sull'induttore non è nulla, perché questo è condiviso con i piezo, per questo si vedrebbe l'andamento della corrente durante la carica e la scarica dell'induttore).



**Figura 72: andamento della corrente sull'induttore condiviso durante le varie fasi di funzionamento del progetto**

# Maximum power point tracker

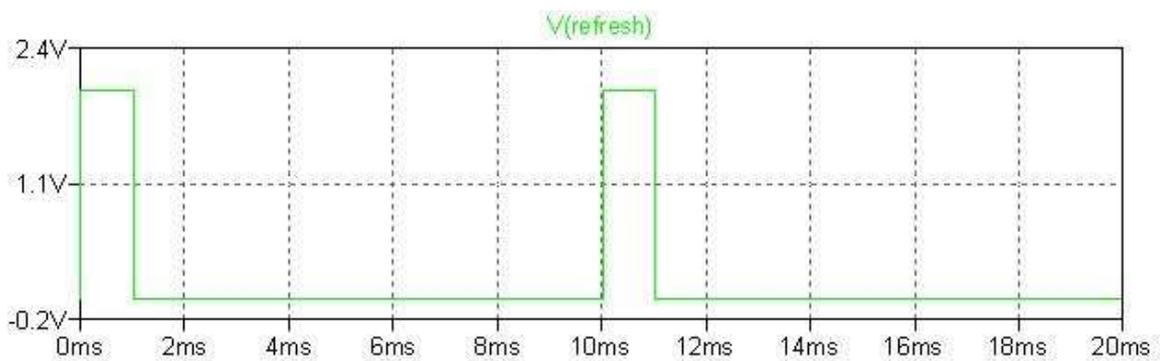
Per verificare tramite simulazione Spice il funzionamento del circuito preposto alla creazione delle richieste di trasferimento dell'energia, si è utilizzato un modello di sorgente DC fotovoltaica, realizzato nella tesi [6], impostando come parametri della singola cella una tensione a vuoto pari a 0,573V ed una corrente di cortocircuito di 31mA. In ingresso a questa rete c'è anche il segnale di refresh, avente il compito di aggiornare la tensione di riferimento che definisce il punto di lavoro della cella, e sarà generato tramite il comando Spice PULSE. Si è scelto di effettuare nella simulazione, un aggiornamento ogni 10ms, ma nella realtà sarà fatto come minimo ogni decimo di secondo.



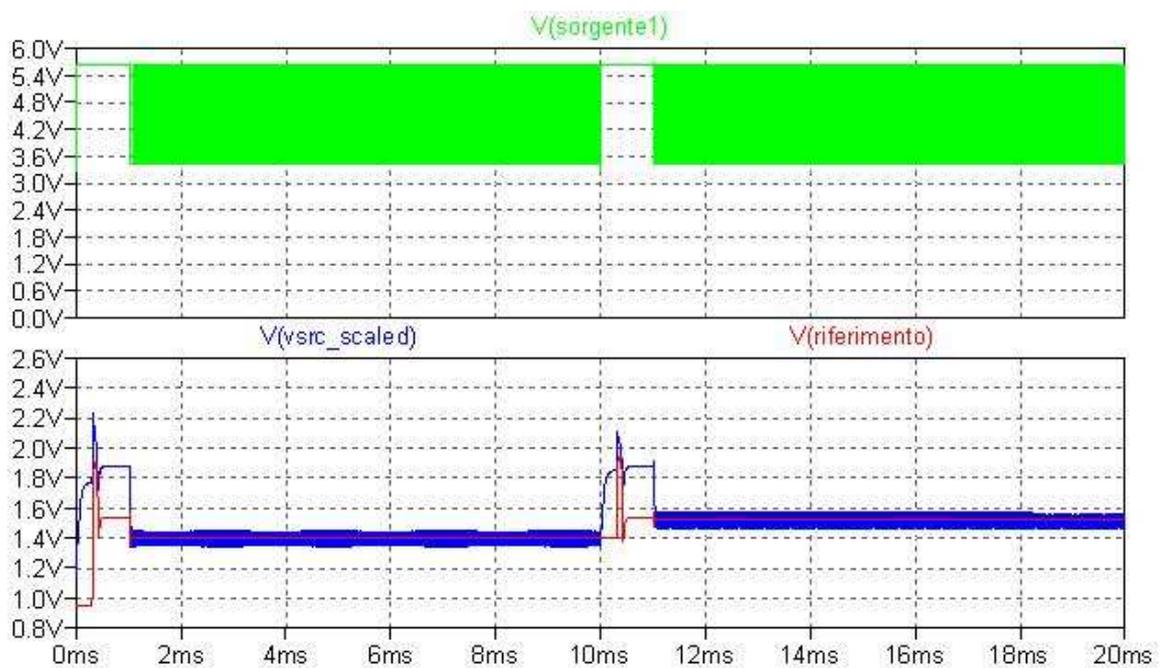
**Figura 73: comando Spice per generare segnale di refresh**

Poiché la massima potenza della cella fotovoltaica implementata [6] si ottiene alla tensione di 0,47V, pari al 82% della tensione a vuoto, è necessario calcolare i valori delle resistenze del partitore di figura 28. Dato che la sorgente DC simulata è realizzata con la serie di 10 celle, la massima tensione a vuoto sarà 5,73V, ma per stare sul sicuro nei calcoli delle resistenze meglio considerare 6V. Per questo motivo applicando l'Eq.1 si ottengono:  $R_1=1.8M\Omega$ ,  $R_2=8,2M\Omega$ ,  $R_3=20M\Omega$ . Per simulare la richiesta di energia ed il consumo di potenza durante le due fasi di conversione, si sceglie un carico di 125  $\Omega$  per la prima fase ed un carico di 200k $\Omega$  per la seconda. Questi valori sono stati scelti in base ai risultati della simulazione precedente, utilizzando il CTRL che calcola la potenza erogata da una sorgente durante una singola fase di carica e scarica dell'induttore.

Simulando il circuito rappresentato dalle figure 28, 29 e 30 e impostando una larghezza d'isteresi di 82mV, si ottengono i seguenti risultati:

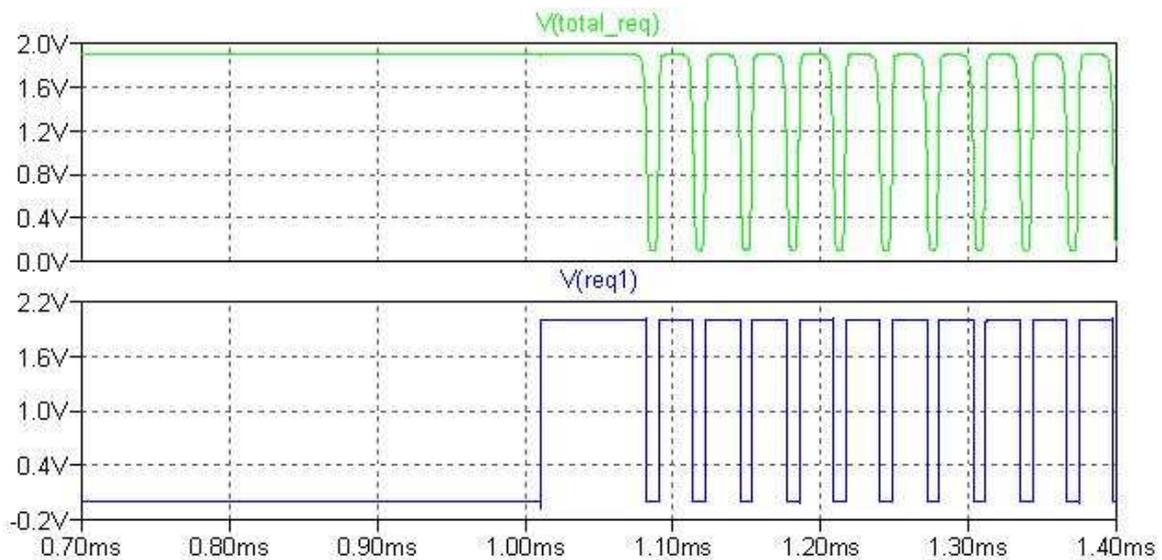


**Figura 74: segnale di refresh**



**Figura 75: andamento della tensione della sorgente e corrispondenti ingressi del comparatore con isteresi**

Come si nota dalla figura 75, il segnale VSRC\_SCALED rappresenta effettivamente la versione scalata della sorgente e durante il normale funzionamento assume valori appartenenti all'intorno della tensione di riferimento, come richiesto.



**Figura 76: verifica tramite simulazione della rete che scarta le richieste durante la fase di aggiornamento del punto di lavoro**

Come si nota dalla figura 76, il comparatore ad isteresi durante la fase di aggiornamento non riesce a non generare richieste di trasferimento di energia.

La durata della singola fase di aggiornamento è definita dal segnale REFRESH, generato da un microcontrollore oppure da un multivibratore astabile.

Il funzionamento della rete di scarto delle richieste è verificato dal segnale REQ, nullo sempre durante le fasi di aggiornamento.

Il consumo energetico del comparatore ad isteresi per singola commutazione calcolato tramite Spice è di 1,7595nJ e 55 $\mu$ W in potenza, il consumo associato alla rete di scarto vale 8,2444nJ, mentre il rail to rail comporta una perdita di soli 46,332pJ e consumo di potenza pari a 1,1556 $\mu$ W.

## CONCLUSIONI

Tramite la tesi descritta, si sono potuti analizzare i passi principali per il progetto di un sistema elettronico, partendo dalla definizione dell'obiettivo, all'analisi dei problemi che si possono manifestare, fino alle possibili soluzioni circuitali con tanto di simulazioni Spice.

La soluzione circuitale proposta offre un'efficienza energetica del 43%, calcolata durante i primi 25ms di funzionamento del circuito, non tenendo conto dell'energia che potrebbe essere accumulata grazie ai trasduttori piezoelettrici del progetto con cui si condivide l'elemento di trasferimento dell'energia, di conseguenza questo valore di efficienza energetica calcolato è abbondantemente pessimistico. Una implementazione a livello integrato dell'unità di controllo realizzata in modo discreto comporterebbe un ulteriore aumento di efficienza energetica.

La proposta individuata per l'applicazione del maximum power point tracking offre una ottima versatilità per l'ottimizzazione del prelievo di energia da sorgenti DC ed è facilmente tarabile in funzione della caratteristica P-V del trasduttore utilizzato, infatti è sufficiente andare a modificare i valori delle resistenze di un solo partitore resistivo.

Un altro aspetto positivo è la possibilità di aggiungere ulteriori sorgenti DC semplicemente replicando il principio applicato per la creazione della rete di gestione della priorità.



## BIBLIOGRAFIA E WEBGRAFIA

- [1] Chao Shi; Brian Miller; Kartikeya Mayaram; Terri Fiez; , “*A Multiple-Input Boost Converter for Low-Power Energy Harvesting*” , IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS—II, VOL. 58, NO. 12, DECEMBER 2011
- [2] Aldo Romani; Matteo Filippi; Marco Tartagni; , “*Micro-power Design of a Fully Autonomous Energy Harvesting Circuit for Arrays of Piezoelectric Transducers*”, submitted to IEEE Trans. Power Electron. 2012
- [3] Steven L.; Clarence W.; Sanjeev R.; Charles Clarkson; , “*Maximum Power Point Tracking for Photovoltaic Optimization Using Ripple-Based Extremum Seeking Control*” , Princeton University, Princeton, NJ 08544 2ITT Geospatial Systems, Rochester, NY 14606
- [4] David Esseni, “*Fondamenti Di Circuiti Digitali Integrati CMOS*” , SGEEditoriali, cap.3, 4, 5, Gennaio 2007
- [5] F. Filicori; G. Tannini; , “*Elettronica industriale – convertitori DC/DC operanti in commutazione*”, Progetto Leonardo
- [6] Simone Riccardi, “*Progetto di un Convertitore di Potenza da Sorgenti Fotovoltaiche in Regime di Basso Irraggiamento*”

# WEBGRAFIA PER LA RICERCA DI COMPONENTI

<http://www.vishay.com/mosfets/>

“VISHAY SILICONIX”

[http://it.mouser.com/Semiconductors/Discrete-Semiconductors/MOSFET/\\_/N-96nid/](http://it.mouser.com/Semiconductors/Discrete-Semiconductors/MOSFET/_/N-96nid/)

“MOUSER ELECTRONICS”

<http://www.fairchildsemi.com/search/tree/power-management/mosfets/discrete-mosfets/>

“FAIRCHILD SEMICONDUCTORS”

<http://www.ti.com/>

“TEXAS INSTRUMENTS”

<http://www.maximintegrated.com/>

“MAXIM INTEGRATED”

<http://www.nxp.com/>

“NXP SEMICONDUCTORS”

<http://www.onsemi.com/>

“ON SEMICONDUCTOR”

<http://www.maximintegrated.com/design/tools/modeling-simulation/spice/>

“SPICE MODEL DELLA MAXIM”

<http://www.ti.com/adc/docs/midlevel.tsp?contentId=31690>

“SPICE MODEL DELLA TEXAS INSTRUMENTS”

[http://www.linear.com/designtools/software/?gclid=CKyE5fHXxrMCFUkd3god3G4A\\_g#LTspice](http://www.linear.com/designtools/software/?gclid=CKyE5fHXxrMCFUkd3god3G4A_g#LTspice)

“SPICE MODEL DELLA LINEAR TECHNOLOGY”

[http://www.gunthard-kraus.de/Spice\\_Model\\_CD/Vendor%20List/Spice-Models-collection/siemens.lib](http://www.gunthard-kraus.de/Spice_Model_CD/Vendor%20List/Spice-Models-collection/siemens.lib)

“LIBRERIA SPICE MODEL DELLA SIEMENS”

[http://www.datasheetarchive.com/files/spicemodels/misc/infineon\\_bsx.lib](http://www.datasheetarchive.com/files/spicemodels/misc/infineon_bsx.lib)

“LIBRERIA SPICE MODEL INFINEON POWER TRANSISTORS”

# DATASHEET

## NMOS

BSS138PW: [http://www.nxp.com/documents/data\\_sheet/BSS138PW.pdf](http://www.nxp.com/documents/data_sheet/BSS138PW.pdf)  
Si1555DL\_N: <http://www.datasheetdir.com/SI1555DL+download>  
BSS123: <http://www.datasheetcatalog.org/datasheet/fairchild/BSS123.pdf>  
BSZ060NE2LS: <http://www.datasheetarchive.com/BSZ060NE2LS-datasheet.html#>  
IRLML6246: <http://www.datasheetarchive.com/IRLML6246-datasheet.html#>  
NDC7002N: <http://www.fairchildsemi.com/ds/ND/NDC7002N.pdf>  
NTLMS4502N: <http://www.datasheetarchive.com/NTLMS4502N-datasheet.html#>  
Si5515\_N: <http://www.datasheetarchive.com/SI-155-datasheet.html#>  
2N7002: <http://www.datasheetcatalog.org/datasheet/fairchild/2N7002.pdf>  
Si2306DS: <http://www.datasheetcatalog.org/datasheet/vishay/70827.pdf>  
Si1035N: <http://www.vishay.com/docs/71426/71426.pdf>  
BSP149: <http://www.datasheetcatalog.org/datasheet/siemens/Q67000-S071.pdf>

## PMOS

BSS84: [http://www.nxp.com/documents/data\\_sheet/BSS84.pdf](http://www.nxp.com/documents/data_sheet/BSS84.pdf)  
Si1555DL\_P: <http://www.datasheetdir.com/SI1555DL+download>  
Si5515\_P: <http://www.datasheetarchive.com/SI-155-datasheet.html#>  
Si1905BDH: <http://pdf1.alldatasheet.com/datasheet-pdf/view/252161/VISHAY/SI1905BDH.html>  
Si1013R/X: <http://www.vishay.com/docs/71167/71167.pdf>  
Si1035P: <http://www.vishay.com/docs/71426/71426.pdf>  
Si5903DC: <http://www.alldatasheet.com/datasheet-pdf/pdf/91102/VISHAY/SI5903DC-T1.html>  
Si2303CDS: <http://www.vishay.com/docs/69991/si2303cd.pdf>  
Si5933CDC: <http://www.vishay.com/docs/68822/si5933cd.pdf>  
NTR0202PL: <http://www.datasheetcatalog.org/datasheet2/e/0l3stuoeljz8ijtl95dzuw5wyal3y.pdf>  
NTR1P02T1: <http://www.datasheetcatalog.org/datasheet2/9/0ogchgcshjl0g9tsh8f4sfswdhky.pdf>  
IRF7343P: <http://pdf1.alldatasheet.com/datasheet-pdf/view/180189/IRF/IRF7343PBF.html>

## DIODI

BAS70: [http://www.datasheetcatalog.org/datasheets/70/179837\\_DS.pdf](http://www.datasheetcatalog.org/datasheets/70/179837_DS.pdf)  
BAT54: <http://www.datasheetcatalog.org/datasheet/fairchild/BAT54.pdf>

## AMPLIFICATORI OPERAZIONALI

LTC1540: <http://cds.linear.com/docs/Datasheet/1540fas.pdf>  
LT6000: <http://cds.linear.com/docs/Datasheet/600012fa.pdf>

## REGOLATORI DI TENSIONE

LT1761\_2: <http://cds.linear.com/docs/Datasheet/1761sff.pdf>

# ELENCO DELLE TABELLE

TABELLA 1: TABELLA DELLA VERITÀ PER DETERMINARE ENFASE1CONV1 .....	26
TABELLA 2: TABELLA DELLA VERITÀ PER DETERMINARE ENFASE1CONV2 .....	26
TABELLA 3: TABELLA DELLA VERITÀ PER DETERMINARE EN_PIEZO.....	27
TABELLA 4: TABELLA DELLA VERITÀ PER LA DETERMINAZIONE DEL SEGNALE DI ABILITAZIONE EN_SCARICA .....	34
TABELLA 5: TABELLA DELLA VERITÀ PER LA DETERMINAZIONE DEL SEGNALE DI ABILITAZIONE EN_CARICA.....	35
TABELLA 6: DATI TENSIONE DI SOGLIA E CARICA TOTALE DI GATE DEI MOS .....	51
TABELLA 7: DATI OTTENUTI DALLE PROVE SUL CONSUMO DELL'OPERATORE NOT REALIZZATO, VARIANDO LA CAPACITÀ DI CARICO .....	54
TABELLA 8: DATI SUL CONSUMO DEL NOT OTTENUTI DA UNA SERIE DI SIMULAZIONI, VARIANDO LA FREQUENZA DELLE RICHIESTE.....	56
TABELLA 9: DATI OTTENUTI DALLE PROVE SUL CONSUMO DELL'OPERATORE NOR REALIZZATO, VARIANDO LA CAPACITÀ DI CARICO .....	59

# ELENCO DELLE FIGURE

FIGURA 1: ANDAMENTO DELLA CORRENTE DELL'INDUTTORE NEL PROGETTO CON SOLO TRASDUTTORI PIEZOELETTRICI.....	15
FIGURA 2: DIAGRAMMA DEL PROGETTO.....	16
FIGURA 3: ESEMPIO CARATTERISTICA POTENZA-TENSIONE DI UNA CELLA FOTOVOLTAICA .....	17
FIGURA 4: DIAGRAMMA FUNZIONALE DELLE RETI DI GESTIONE E SINCRONISMO....	19
FIGURA 5: DIAGRAMMA ALIMENTAZIONE CHIP .....	20
FIGURA 6: DIAGRAMMA FUNZIONAMENTO ADATTAMENTO DI LIVELLO.....	20
FIGURA 7: DIAGRAMMA DI FUNZIONAMENTO RETE DI WAKE UP.....	21
FIGURA 8: DIAGRAMMA FUNZIONAMENTO DELLA RETE DI GENERAZIONE DELLE RICHIESTE CON ALGORITMO MPTT.....	22
FIGURA 9: DIAGRAMMA FUNZIONAMENTO BOOST CONVERTER.....	23
FIGURA 10: SCHEMA FUNZIONALE DELLA RETE DI GESTIONE E DI SINCRONISMO....	27
FIGURA 11: SCHEMA ELETTRICO GESTIONE DELLA PRIORITÀ E DEL SINCRONISMO .	30
FIGURA 12: SCHEMA ELETTRICO DEL BOOST CONVERTER .....	32
FIGURA 13: GRAFICO PER LA COMPrensIONE DELLA GENERAZIONE DEL SEGNALE EN_SCARICA.....	33
FIGURA 14: SCHEMA FUNZIONALE PER LA DETERMINAZIONE DI EN_SCARICA ...	35
FIGURA 15: SCHEMA FUNZIONALE PER LA DETERMINAZIONE DI EN_CARICA .....	35
FIGURA 16: SCHEMA FUNZIONALE PER LA DETERMINAZIONE DI /ENFASE1CONV1 .	36
FIGURA 17: SCHEMA FUNZIONALE PER LA DETERMINAZIONE DI /ENFASE1CONV2.	36
FIGURA 18: PRIMA PARTE DELLO SCHEMA ELETTRICO PER DETERMINARE EN_SCARICA .....	38
FIGURA 19: SECONDA PARTE DELLO SCHEMA ELETTRICO PER DETERMINARE EN_SCARICA .....	38
FIGURA 20: TERZA ED ULTIMA PARTE DELLO SCHEMA ELETTRICO PER DETERMINARE EN_SCARICA .....	39
FIGURA 21: SCHEMA ELETTRICO PER DETERMINARE EN_CARICA .....	40
FIGURA 22: PRIMA PARTE DELLO SCHEMA ELETTRICO PER DETERMINARE EN_BOOST1 E DISABLE_BOOST1 .....	41
FIGURA 23: SECONDA PARTE DELLO SCHEMA ELETTRICO PER DETERMINARE EN_BOOST1 E DISABLE_BOOST1 .....	42

FIGURA 24: PRIMA PARTE DELLO SCHEMA ELETTRICO PER DETERMINARE EN_BOOST2 E DISABLE_BOOST2 .....	43
FIGURA 25: SECONDA PARTE DELLO SCHEMA ELETTRICO PER DETERMINARE EN_BOOST2 E DISABLE_BOOST2 .....	43
FIGURA 26: SCHEMATICO DELLA RETE DI WAKE UP .....	45
FIGURA 27: LOW DROPOUT REGULATOR .....	45
FIGURA 28: PARTITORE RESISTIVO E CIRCUITO DI SAMPLE&HOLD .....	47
FIGURA 29: COMPARATORE CON ISTERESI .....	49
FIGURA 30: SCHEMA ELETTRICO DELLA RETE CHE SCARTA LE RICHIESTE DURANTE L'AGGIORNAMENTO DELLA TENSIONE DI RIFERIMENTO .....	49
FIGURA 31: GRAFICO CARICA TOTALE DI GATE - TENSIONE DI SOGLIA TIPICA DEI MOS .....	52
FIGURA 32: SCHEMATICO NOT SIMULATO TRAMITE LTSPICEIV .....	53
FIGURA 33: GENERATORE DELLE RICHIESTE, INGRESSO DEL NOT DI FIGURA 32....	53
FIGURA 34: ANDAMENTO DELLE TENSIONI DI INGRESSO E DI USCITA DEL NOT REALIZZATO E CONSUMO DI POTENZA ISTANTANEO .....	54
FIGURA 35: ANDAMENTO DEL CONSUMO DI POTENZA DEL NOT REALIZZATO, IN FUNZIONE DELLA CAPACITÀ DI CARICO.....	55
FIGURA 36: ANDAMENTO DEL CONSUMO ENERGETICO DEL NOT REALIZZATO, IN FUNZIONE DELLA CAPACITÀ DI CARICO.....	55
FIGURA 37: GRAFICO DEL CONSUMO DI POTENZA DEL NOT REALIZZATO, IN FUNZIONE DELLA FREQUENZA DELLE RICHIESTE.....	56
FIGURA 38: SCHEMATICO NOT SIMULATO TRAMITE LTSPICEIV .....	57
FIGURA 39: SEGNALI D'INGRESSO DEL NOR DI FIGURA 38 .....	57
FIGURA 40: ANDAMENTO DELLE TENSIONI DI INGRESSO E DI USCITA DEL NOR REALIZZATO E CONSUMO DI POTENZA ISTANTANEO .....	58
FIGURA 41: ANDAMENTO DEL CONSUMO DI POTENZA DEL NOR A DUE INGRESSI REALIZZATO, IN FUNZIONE DELLA CAPACITÀ DI CARICO.....	59
FIGURA 42: ANDAMENTO DEL CONSUMO ENERGETICO DEL NOR A DUE INGRESSI REALIZZATO, IN FUNZIONE DELLA CAPACITÀ DI CARICO.....	60
FIGURA 43: GENERATORI DEGLI INGRESSI PIEZO_BUSY, REQ1 E REQ2 PER LA SIMULAZIONE DELLA RETE DI GESTIONE DELLA PRIORITÀ E DEL SINCRONISMO .....	65
FIGURA 44: ANDAMENTO DEI SEGNALI DI INGRESSO DELLA SIMULAZIONE .....	66

FIGURA 45: ANDAMENTO DELLE RISPOSTE DELLA RETE DI GESTIONE E SINCRONISMO .....	67
FIGURA 46: ANDAMENTO DEI SEGNALI NEGATI DELL'ABILITAZIONE PER LA PRIMA FASE DI CONVERSIONE CHE NECESSITANO DI ADATTAMENTO DI LIVELLO .....	67
FIGURA 47: ANDAMENTO DEI SEGNALI DI ABILITAZIONE DEL BOOST CONVERTER CHE NON NECESSITANO DI ADATTAMENTO DI LIVELLO.....	68
FIGURA 48: SEGNALE EN_SCARICA CHE SI AVREBBE SE VOLESSIMO COLLEGARE IL PROGETTO ALLA RETE DI ENERGY HARVESTING OPERANTE CON TRE TRASDUTTORI PIEZOELETTRICI.....	68
FIGURA 49: GENERATORI DEGLI INGRESSI ENFASE1CONV1, /ENFASE1CONV1, SORGENTE E VOUTPUT PER LA SIMULAZIONE DELLA RETE PER LA GENERAZIONE DEI SEGNALI DI ABILITAZIONE DEL BOOST CONVERTER.....	69
FIGURA 50: ANDAMENTO DEI SEGNALI DI INGRESSO DELLA SIMULAZIONE.....	70
FIGURA 51: ANDAMENTO INGRESSO-USCITA DELLA SIMULAZIONE DEL DCVSL (BUFFER).....	71
FIGURA 52:ANDAMENTO INGRESSO-USCITA DELLA SIMULAZIONE DEL DCVSL (INVERTER) .....	71
FIGURA 53: CONSUMO DI POTENZA DELL'ADATTAMENTO DI LIVELLO .....	72
FIGURA 54: SEGNALI DI INGRESSO PER LA SIMULAZIONE DEL FUNZIONAMENTO DEL BOOST CONVERTER .....	73
FIGURA 55: RAPPRESENTAZIONE GRAFICA DEI SEGNALI DI ABILITAZIONE AVENTI LIVELLO DI TENSIONE MAGGIORE .....	74
FIGURA 56: RAPPRESENTAZIONE GRAFICA DEI SEGNALI EN_CARICA ED EN_SCARICA .....	75
FIGURA 57: ANDAMENTO DELLA TENSIONE DI STORAGE OTTENUTO DALLA SIMULAZIONE DEL BOOST.....	75
FIGURA 58: ANDAMENTO DELLA CORRENTE DELL'INDUTTORE DURANTE LE DUE FASI DI CONVERSIONE .....	76
FIGURA 59: RETE DI WAKE UP .....	77
FIGURA 60:FUNZIONE DI TRASFERIMENTO DELLA RETE DI WAKE UP .....	77
FIGURA 61: RETE DI WAKE UP SIMULATA .....	78
FIGURA 62: VERIFICA ACCENSIONE DELL'ALIMENTAZIONE TRAMITE RETE DI WAKE UP .....	79
FIGURA 63: FUNZIONAMENTO DELLA RETE DI WAKE UP NELLA FASE INIZIALE.....	80

FIGURA 64: SEGNALI DI INGRESSO PER LA SIMULAZIONE DEL BOOST CONVERTER E DELLA RETE DI WAKE UP.....	81
FIGURA 65: ANDAMENTO DELLA TENSIONE DI USCITA NELLE DUE DIFFERENTI FASI .....	82
FIGURA 66: RISULTATO SIMULAZIONE PIÙ LUNGA PER VERIFICA SUPERAMENTO DELLA TENSIONE DELLE SORGENTI .....	83
FIGURA 67: COMANDI SPICE PER LA GENERAZIONE DEI SEGNALI D'INGRESSO .....	84
FIGURA 68: ANDAMENTO SIMULATO DELLE DUE SORGENTI.....	84
FIGURA 69: ANDAMENTO DEI SEGNALI D'INGRESSO SIMULATI DI BOOST OCCUPATO DAI PIEZOELETTRICI E DELLE RICHIESTE DA SORGENTI DC .....	85
FIGURA 70: DISTINZIONE DELLE VARIE FASI DI FUNZIONAMENTO DEL PROGETTO ..	85
FIGURA 71: ANDAMENTO SEGNALE DI SINCRONIZZAZIONE CON IL PROGETTO DEI PIEZOELETTRICI .....	86
FIGURA 72: ANDAMENTO DELLA CORRENTE SULL'INDUTTORE CONDIVISO DURANTE LE VARIE FASI DI FUNZIONAMENTO DEL PROGETTO .....	87
FIGURA 73: COMANDO SPICE PER GENERARE SEGNALE DI REFRESH .....	88
FIGURA 74: SEGNALE DI REFRESH.....	89
FIGURA 75: ANDAMENTO DELLA TENSIONE DELLA SORGENTE E CORRISPONDENTI INGRESSI DEL COMPARATORE CON ISTERESI .....	89
FIGURA 76: VERIFICA TRAMITE SIMULAZIONE DELLA RETE CHE SCARTA LE RICHIESTE DURANTE LA FASE DI AGGIORNAMENTO DEL PUNTO DI LAVORO ....	90

# RINGRAZIAMENTI

Giunto alla fine di questo elaborato e di questa esperienza universitaria triennale, è arrivato il momento di fare qualche ringraziamento!

Ringrazio in primis l'ingegner Aldo Romani per avermi dato la possibilità di trattare questa tesi e per avermi instradato su un argomento di mio particolare interesse, come quello dell'energy harvesting.

Ringrazio Matteo Filippi e Michele Dini per avermi aiutato nella fase iniziale di progettazione dello schematico di questo progetto.

Ringrazio il mio compagno di studi Iacopo Mambelli per avermi supportato e supportato questi anni, anche nei tanti momenti di crisi, e per avermi regalato tanti sorrisi per me essenziali.

Un grazie va anche a tutti i miei compagni di lezione: Diego, Simone, Christian, Matteo, Manuel, Stefano, Davide C., Lorenzo, Mattia, Vincenzo, Benedetta, Leonardo, Piero, Luca, Daniele, Mario, Enrico, Davide G., Alessia, Marco e Andrea.

Ringrazio i miei compagni di viaggio in autobus Emanuel, Francesco, Giuseppe, Michael, Andrea e Mattia (due ore al giorno, tutti i giorni, senza voi sarebbe stata un'agonia).

Grazie ai miei amici Federico, Nicole, Enrica, Lucia, Aurora, Bianca, Arianna e a tutta la banda di Monte Castello!

Un ringraziamento particolare va al mio amico di una vita Hamza Nassiri, che per anni interi mi ha sostenuto e ha sempre creduto in me.

Come non ringraziare i miei genitori e la mia sorella che tanto adoro Luana, che mi hanno dovuto sopportare durante lo stress prima degli esami e hanno fatto in modo che riuscissi a studiare senza particolari preoccupazioni.

Volevo ringraziare anche Giuliano Onorati che è stato indispensabile per la conclusione di questo progetto, che mi sostiene da lontano, ma si fa sentire sempre molto vicino.

Per concludere vorrei ringraziare in particolar modo la persona cui ho dedicato la mia tesi, la mia amica Pamela, che rimarrà sempre nel mio cuore per tutti i sorrisi che mi ha regalato.