

ALMA MATER STUDIORUM - UNIVERSITÀ DI BOLOGNA
CAMPUS DI CESENA
DIPARTIMENTO DI
INGEGNERIA DELL'ENERGIA ELETTRICA E DELL'INFORMAZIONE
"GUGLIELMO MARCONI"

CORSO DI LAUREA MAGISTRALE IN INGEGNERIA ELETTRONICA E
TELECOMUNICAZIONI PER L'ENERGIA

PROGETTO DI UNA POMPA DI CARICA ADATTATIVA A
MICROPOTENZE IN TECNOLOGIA BCD

Tesi in:

TECNOLOGIE ELETTRONICHE PER L'INFORMAZIONE E L'ENERGIA LM

Relatore:

Chiar.mo

Prof. Ing. ALDO ROMANI

Presentata da:

ANDREA FAROLFI

Correlatore:

Ing. ROBERTO ANTONIO CANEGALLO

Anno Accademico 2022-2023

Indice

Capitolo 1 Convertitori DC-DC Switched Capacitor	1
1.1 Modello a trasformatore	1
1.2 Topologie presenti in letteratura	3
1.3 Pompa di Carica di Dickson	6
1.3.1 Principio di funzionamento	6
1.3.2 Tecniche di Gate e Body Biasing.....	8
1.3.3 Cross Coupled Charge Pump.....	9
1.3.4 Bootstrap Charge Pump.....	11
1.3.5 Modello a trasformatore	13
Capitolo 2 Contesto e obiettivi della tesi.....	16
2.1 Trattazione teorica	18
2.2 Struttura del convertitore	26
Capitolo 3 Architettura e Realizzazione dei Blocchi Circuitali.....	30
3.1 Start up Circuit	30
3.1.1 Start up Charge Pump.....	30
3.1.2 Start up Clock	31
3.1.3 Start Up Phases Generator	33
3.1.4 Passaggio dalla fase di START-UP alla fase REGULAR.....	34
3.2 Main Converter.....	36
3.2.1 Main Charge Pump	36
3.2.2 Main Clock	45
3.2.3 Main Phases Generator + MPPT	50
Capitolo 4 Simulazione complessiva del sistema.....	58
4.1 Simulazione per $V_S = 0.2 \text{ V}$ e $R_S = 5 \text{ k}\Omega$	59
4.2 Simulazione per $V_S = 0.5 \text{ V}$ e $R_S = 5 \text{ k}\Omega$	64
4.3 Simulazione per V_S che varia nel tempo e $R_S = 5 \text{ k}\Omega$	66

Capitolo 5 Conclusione e sviluppi futuri.....	68
Bibliografia.....	70

Capitolo 1 Convertitori DC-DC Switched Capacitor

Sul piano definitorio, un convertitore di potenza DC-DC è un circuito elettronico che, ricevuta in ingresso una tensione DC, permette di generare tensioni DC superiori o inferiori ad essa: nel primo caso, questo è detto *Boost converter*, mentre nel secondo *Buck converter*.

In particolare, tra i convertitori DC-DC figurano i cosiddetti convertitori a commutazione, detti anche *switched-mode*, che comprendono interruttori nel loro circuito. Questi ultimi possono essere classificati in convertitori *Switched Inductor* (SI), facenti uso di induttori, e *Switched Capacitor* (SC), facenti uso di soli condensatori e switch. In ambito integrato, i primi vengono largamente utilizzati nelle applicazioni di moderata-alta potenza ($> 100\text{ mW}$), ma sono realizzati con l'ausilio di componenti discreti nella totalità dei casi, poiché gli induttori risultano difficili da integrare. Ciò si pone in contrasto con la richiesta di alte densità di potenza dei sistemi odierni e con l'avvento di soluzioni *System on Chip* (SoC), nelle quali l'ingombro dovuto a convertitori SI tende ad essere una sempre maggiore porzione dell'area totale del sistema [1].

In questo contesto, i convertitori DC-DC SC stanno guadagnando importanza perché, essendo condensatori e interruttori componenti facilmente realizzabili in forma integrata, essi si prestano ad essere prodotti monoliticamente su chip di silicio, garantendo alte densità di potenza, bassi livelli di interferenza elettromagnetica, un costo contenuto, nonché un peso e un volume ridotti [2]. Queste caratteristiche li rendono la soluzione ottimale per applicazioni come la programmazione di memorie non volatili e SRAM [3], per i driver LCD [4] [5] e per il controllo di commutatori per antenne RF [6]. Inoltre, con il recente sviluppo di sistemi *Internet of Things* (IoT) e di *Wireless Sensor Networks* (WSN), spesso formati da nodi sensori privi di batterie che sfruttano tecniche di *Energy Harvesting* (EH) per operare, i convertitori DC-DC SC stanno diventando blocchi fondamentali per la realizzazione dei loro *Power Management Integrated Circuits* (PMIC) [7], rendendo utilizzabile dal sistema l'energia presente nell'ambiente.

1.1 Modello a trasformatore

Nel caso più generale, un convertitore DC-DC a capacità commutate può avere un numero arbitrario di porte e può essere composto da un qualsiasi numero di sotto-convertitori o stadi. Il singolo stadio implementa una o più topologie, ognuna delle quali corrispondente

ad una particolare configurazione di switch e condensatori, e relativa ad un particolare rapporto di conversione, definito come rapporto tra le tensioni DC presenti su due porte. Gli switch di un convertitore DC-DC SC sono pilotati da due o più fasi, caratterizzate da una frequenza di switching f_{sw} . L'accensione e lo spegnimento degli switch in una particolare fase, configura la topologia del singolo stadio in un circuito formato dagli switch accesi e dalle capacità che essi collegano [2].

Al fine di agevolare la fase di analisi e design di questo tipo di convertitori, sono stati sviluppati modelli equivalenti che ne descrivono il funzionamento. Il più utilizzato tra questi è il modello a trasformatore riportato in Figura 1, che permette di descrivere il funzionamento a regime del generico convertitore DC-DC SC a due porte [2] [8].

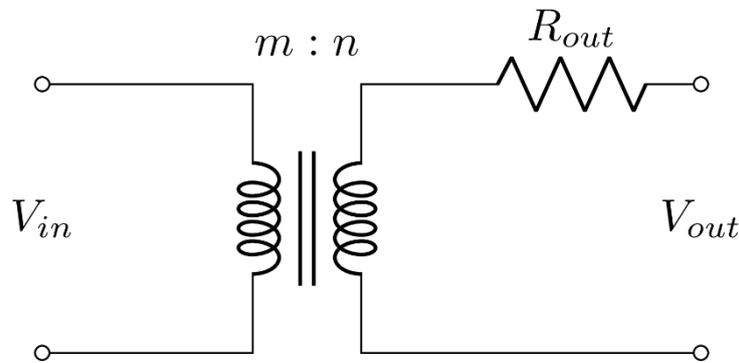


Figura 1, Modello a trasformatore che descrive il generico Convertitore DC-DC SC a due porte

Il modello è formato da un trasformatore ideale caratterizzato da un rapporto spire $m:n$ pari a $1:K$, dove K è il rapporto tra la tensione di uscita che il convertitore produrrebbe in assenza di carico e la tensione di ingresso. La resistenza R_{out} permette di modellizzare la caduta di tensione, proporzionale alla corrente di uscita, che si ha sul convertitore. R_{out} tiene conto sia delle perdite che si hanno nella carica e scarica dei condensatori, sia delle perdite ohmiche degli switch, e presenta due limiti asintotici: lo *Slow Switching Limit* (SSL) e il *Fast Switching Limit* (FSL).

Si dice che il convertitore è in regime SSL qualora la frequenza di *switching* sia sufficientemente bassa da permettere a tutti i transistori di carica e scarica delle capacità di esaurirsi in tutti i semiperiodi. In questo caso, il valore delle perdite del circuito è unicamente legato alla redistribuzione di carica tra le capacità che periodicamente vengono connesse tra loro, e prescinde dal valore di resistenza degli switch che le collegano. In regime SSL le perdite sono, quindi, unicamente legate alla topologia

circuitale, al valore delle capacità ed alla frequenza di switching del convertitore preso in esame.

Il convertitore si trova, invece, in regime FSL qualora la frequenza sia sufficientemente alta da non permettere alle capacità di raggiungere una condizione di equilibrio. In tale evenienza, si possono modellizzare i condensatori come dei generatori ideali di tensione e si ha un flusso di corrente costante che scorre tra di essi. Per questo, in regime FSL, la resistenza d'uscita è legata alle perdite resistive sugli switch ed al *duty-cycle* del clock, non dipendendo dai valori di capacità e frequenza.

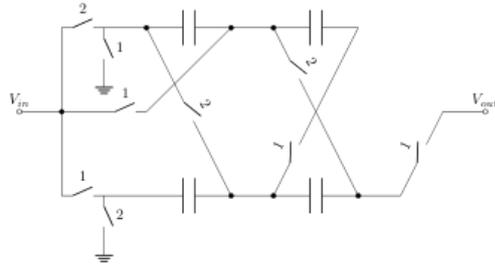
Al fine di determinare un'espressione della resistenza di uscita del generico convertitore DC-DC SC, è stato sviluppato il metodo riportato in [2] [8], dove dapprima vengono determinate le espressioni analitiche di R_{out}^{SSL} e R_{out}^{FSL} utilizzando la teoria dei moltiplicatori di carica, mentre successivamente viene determinata un'espressione approssimata della resistenza R_{out} come la radice quadrata della somma dei loro quadrati, equazione (1).

$$R_{out} \cong \sqrt{R_{out}^{SSL^2} + R_{out}^{FSL^2}} \quad (1)$$

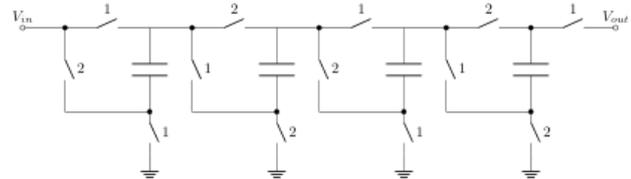
1.2 Topologie presenti in letteratura

Sin dalla invenzione del *Cockcroft–Walton Multiplier* nel 1932 [9], sono state proposte e studiate numerose topologie circuitali, che differiscono tra loro per la resistenza di uscita e il rapporto di conversione. Tra le più note, oltre alla *Cockcroft–Walton*, si possono annoverare la Fibonacci [10], l'Esponenziale [11], la Serie-Parallelo [12] e la *Dickson Charge Pump* [13]. Il loro schema circuitale è riportato in Figura 2. La scelta di una topologia per una particolare applicazione non è semplice, in quanto queste presentano peculiarità differenti, e non vi è una topologia che, sotto tutti gli aspetti di interesse, sia superiore alle altre.

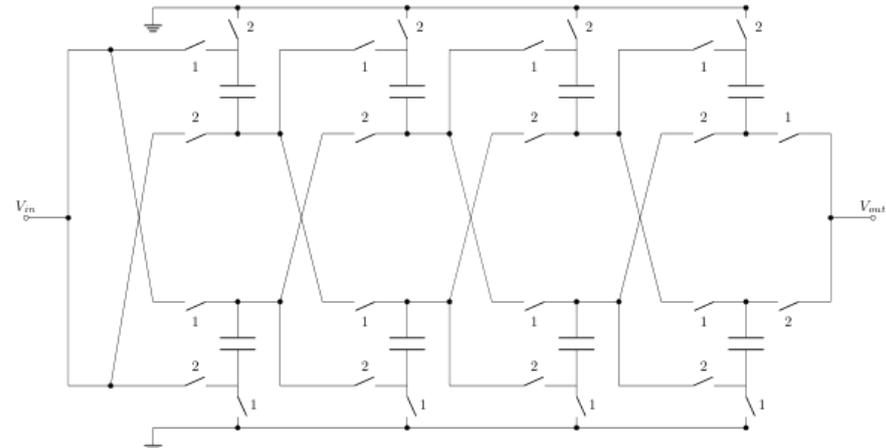
a) Cockcroft-Walton



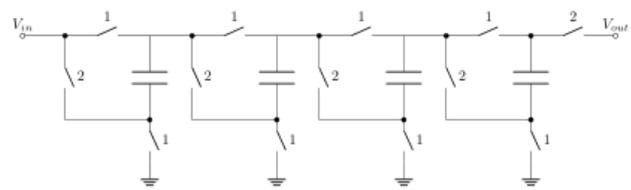
b) Fibonacci



c) Esponenziale



d) Serie Parallelo



e) Dickson

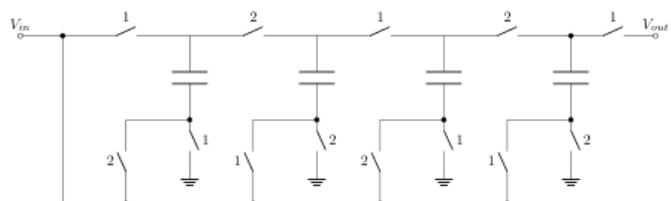


Figura 2 Topologie circuitali di pompe di carica a 4 stadi: (a) Cockcroft-Walton; (b) Fibonacci; (c) Esponenziale; (d) Serie Parallelo; (e) Dickson; adattata da [14]

In Tabella 1 è riportato un riassunto delle caratteristiche di alcune di queste topologie. Da questa si può evincere come, per uno stesso numero di stadi N , topologie differenti abbiano rapporti di conversione differenti. In particolare, la Fibonacci e l'Esponenziale permettono di ottenere, con N stadi, un rapporto di conversione pari, rispettivamente, all' $N + 1$ -esimo termine della serie di Fibonacci e pari alla N -esima potenza di 2, motivo per cui sono utilizzate per ottenere grandi rapporti di conversione, mentre la Dickson e la Serie-Parallelo permettono di ottenere un rapporto di conversione, al più, pari a $N + 1$. La tabella riporta inoltre sia la dipendenza della resistenza d'uscita R_{out} rispetto al numero di stadi N , sia una misura qualitativa della sensibilità rispetto alle capacità parassite.

Topologia	Rapporto di conversione	R_{out}	Sensibilità rispetto a capacità parassite
Cockcroft–Walton	$N + 1$	$\propto N^3$	+
Dickson		$\propto N$	-
Serie-Parallelo		$\propto N$	+++
Fibonacci	$F(N + 1)$	$\propto (\text{sum } F(j))^2$	++
Exponential	2^N	$\propto (2^N - 1)^2$	+++

Tabella 1: Riassunto delle caratteristiche delle principali topologie, adattata da [7]

Il confronto tra le topologie è un tema trattato di frequente in letteratura.

In [15] è riportata la comparazione tra le topologie Esponenziale, Fibonacci e Dickson in regime SSL, considerando switch ideali, un carico formato da un generatore di corrente e una capacità, includendo le perdite dovute alla presenza delle capacità parassite di *top* e *bottom plate*. In [2] sono state definite due metriche, l'una relativa al funzionamento in regime SSL e l'altra relativa al funzionamento in regime FSL, e sulla base di queste è stato realizzato un confronto, al variare del rapporto di conversione, tra le topologie Dickson, Fibonacci, Ladder [16] e Serie-Parallelo. In [14] sono confrontate le topologie Cockcroft–Walton, Fibonacci, Esponenziale, Serie-Parallelo e Dickson: emerge che la Dickson rappresenta la migliore soluzione per realizzare un convertitore DC-DC SC su chip nel caso in cui le capacità parassite dei condensatori utilizzati siano comprese tra l'1% e il 10% della capacità del condensatore stesso, mentre la Fibonacci è la migliore soluzione per realizzazioni discrete nell'ipotesi in cui le capacità parassite siano minori

dell'1% della capacità del condensatore, in quanto utilizza il minor numero di condensatori.

1.3 Pompa di Carica di Dickson

Tra i *Boost converter* DC-DC SC, detti anche Pompe di Carica, quello storicamente più noto, in quanto il primo ad essere stato integrato su chip, è la *Dickson Charge Pump*, sviluppata da John F. Dickson nel 1976 per generare su chip le tensioni necessarie per programmare memorie non volatili [13].

1.3.1 Principio di funzionamento

La seguente spiegazione è tratta dall'articolo [17].

Per studiarne il principio di funzionamento, si consideri la versione ideale di una pompa di carica di Dickson a singolo stadio, riportata in Figura 3. Essa è realizzata da una capacità C , detta *pumping capacitance* o *flying capacitor*, di cui un terminale è pilotato da un clock V_{CLK} di periodo T con ampiezza pari alla tensione della sorgente V_{in} e da due switch S_1 e S_2 , detti *Charge Transfer Switch* (CTS), pilotati da due fasi complementari, anch'esse di periodo T . Si consideri come carico una capacità C_L in parallelo ad un generatore di corrente I_L .

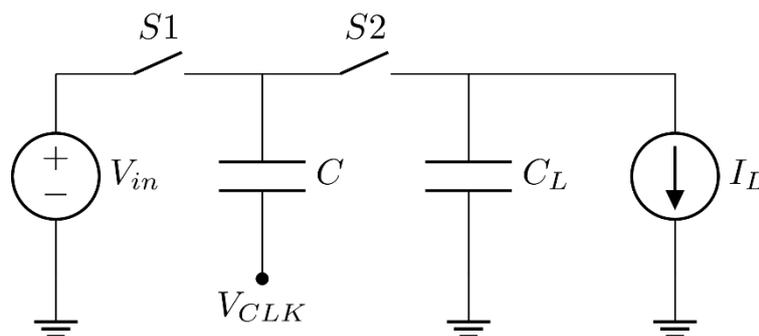


Figura 3 Pompa di carica di Dickson a singolo stadio, adattata da [17]

È possibile studiare in prima approssimazione il funzionamento di tale circuito considerando separatamente i due semiperiodi descritti dal clock, in regime SSL. Durante il primo di questi, rappresentato in Figura 4, S_1 e S_2 sono, rispettivamente, chiuso e aperto. La capacità di *pumping* C ha un terminale collegato a V_{in} e uno a massa, pertanto si caricherà fino ad avere, tra i suoi terminali, una tensione pari a $V_C = V_{in}$. Al contempo, il

generatore di corrente scaricherà la capacità C_L di una quantità di carica pari a $I_L T/2$. Durante il secondo semiperiodo, raffigurato in Figura 5, la capacità C ha un terminale connesso a V_{in} e uno al carico. Il nodo X avrà una tensione pari a $V_X = V_C + V_{in} = 2V_{in}$ e la capacità C cederà al carico parte della sua carica.

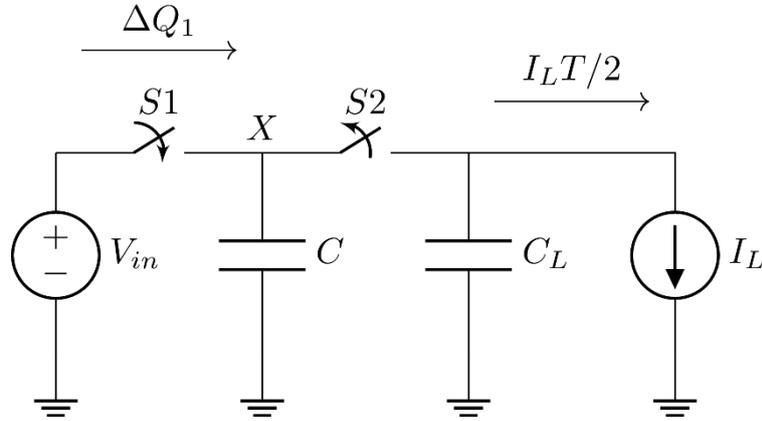


Figura 4: Primo semiperiodo, adattato da [17]

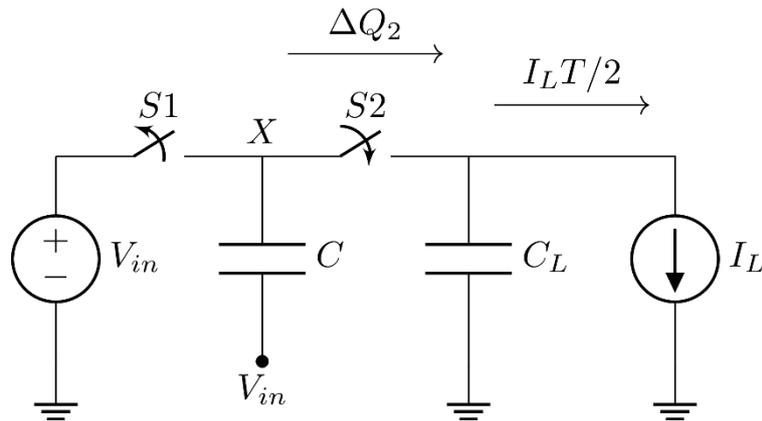


Figura 5: Secondo semiperiodo, adattato da [17]

L'alternarsi dei due semiperiodi descritti porterà la tensione di uscita ad approssiare il valore asintotico riportato in equazione (2).

$$V_{out} = 2V_{in} - \frac{I_L T}{C} \quad (2)$$

L'analisi di cui sopra può essere estesa alla generica pompa di carica di Dickson formata da N stadi, riportata in Figura 6. Lo stadio i -esimo è composto da una capacità di *pumping* C_i e da un CTS S_i . Similmente al caso semplificato analizzato in precedenza, nel primo semiperiodo tutti gli switch S_i , con i dispari, sono chiusi, C_1 viene caricata dalla sorgente, mentre tutte le capacità C_i , con $i > 1$ dispari, sono caricate dallo stadio precedente.

Durante il semiperiodo successivo gli switch S_i , con i pari, sono chiusi e le capacità C_i , con i pari, vengono caricate dallo stadio che le precede. Il valore asintotico raggiunto dalla tensione di uscita V_{out} è riportato in equazione (3).

$$V_{out} = (N + 1)V_{in} - N \frac{I_L T}{C} \quad (3)$$

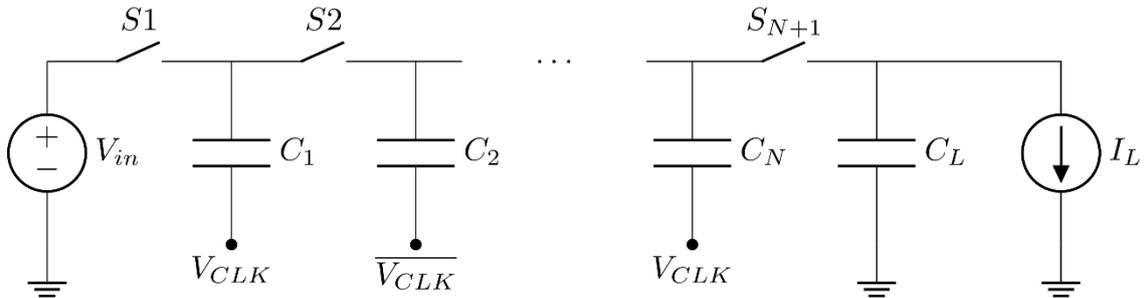


Figura 6 Pompa di Carica di Dickson a N stadi, N dispari, adattato da [17]

Nella pratica, dato che gli switch non commutano istantaneamente, se si utilizzassero fasi complementari, esisterebbe un lasso di tempo in cui switch adiacenti sono entrambi conduttivi. Questo causerebbe il fluire di una corrente dal carico verso la sorgente, comportando una diminuzione della tensione di uscita V_{out} , e quindi una degradazione delle performance del sistema. Per questo, i CTS sono tipicamente pilotati da fasi non sovrapposte, ovvero fasi che tra un semiperiodo e il successivo comprendono un tempo detto *dead time*, durante il quale sia switch pari che dispari sono aperti.

1.3.2 Tecniche di Gate e Body Biasing

Fissata la topologia, la pompa di carica di Dickson può essere declinata in molteplici realizzazioni circuitali in base alla tipologia dei condensatori scelti ed a come vengono realizzati i CTS. La scelta dei condensatori è strettamente legata alla tecnologia utilizzata per realizzare il chip. Per questo motivo, il tipo di circuito selezionato per realizzare i CTS costituisce il principale fattore di discriminazione tra le varie architetture [7].

Nel circuito iniziale proposto da Dickson, gli switch furono realizzati utilizzando dei transistori MOS a canale n (nMOS) connessi a diodo, come riportato in Figura 7.

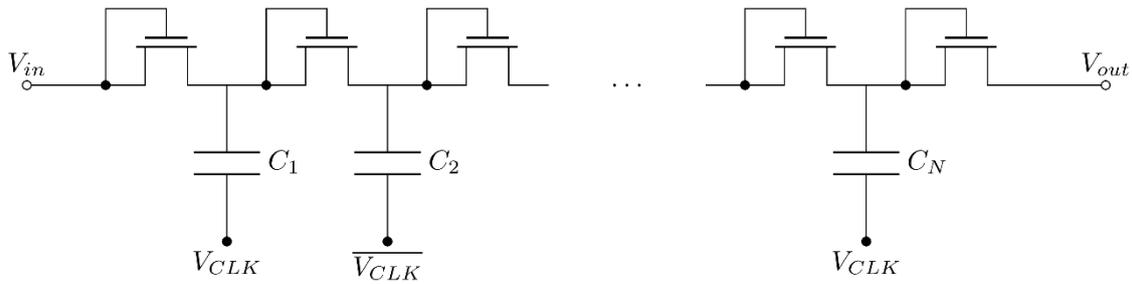


Figura 7 Soluzione proposta da John F. Dickson, adattata da [13]

Questa soluzione si presenta valida se la tensione V_{in} fornita alla pompa di carica è sufficientemente alta rispetto alla tensione di soglia degli nMos, mentre la pompa di carica diventa tanto meno efficiente quanto più la tensione fornita diminuisca. Per questo motivo, sono state sviluppate molteplici architetture della pompa di carica di Dickson nelle quali il gate e/o il body dei transistor non sono collegati al drain o al source di questi ultimi, bensì sono pilotati da altre tensioni. Tali tecniche prendono il nome, rispettivamente, di *Gate Biasing Technique* (GBT) e *Body Biasing Technique* (BBT). Le GBT si differenziano tra *Controlled Switch Techniques*, nel caso in cui le tensioni utilizzate per pilotare i gate dei transistor siano generate da un circuito ausiliario, e *Non Controlled Switch Techniques*, nel caso in cui i gate dei transistor siano collegati a nodi facenti parte della pompa di carica stessa. Le BBT consistono, invece, nello sfruttare l'effetto body del transistor per migliorarne le performance come switch e trovano largo uso in applicazioni *low voltage*, dove le tensioni in gioco non sono tali da polarizzare in diretta le giunzioni PN. Le BBT si possono classificare in Forward, Backward e Dynamic [7].

1.3.3 Cross Coupled Charge Pump

Un'architettura largamente utilizzata è la *Cross Coupled Charge Pump*, detta anche *Latched Charge Pump*, proposta originariamente in [18] e riportata in Figura 8. La pompa di carica è realizzata dalla cascata di N stadi, dove il singolo stadio, rappresentato in Figura 9, può essere inteso come formato da due stadi di una pompa di carica di Dickson operanti in parallelo. I gate dei transistor del ramo inferiore sono pilotati dal terminale positivo del *flying capacitor* del ramo superiore e viceversa. Per questo, la *Cross Coupled Charge Pump* è un esempio di GBT *Non Switch Controlled*.

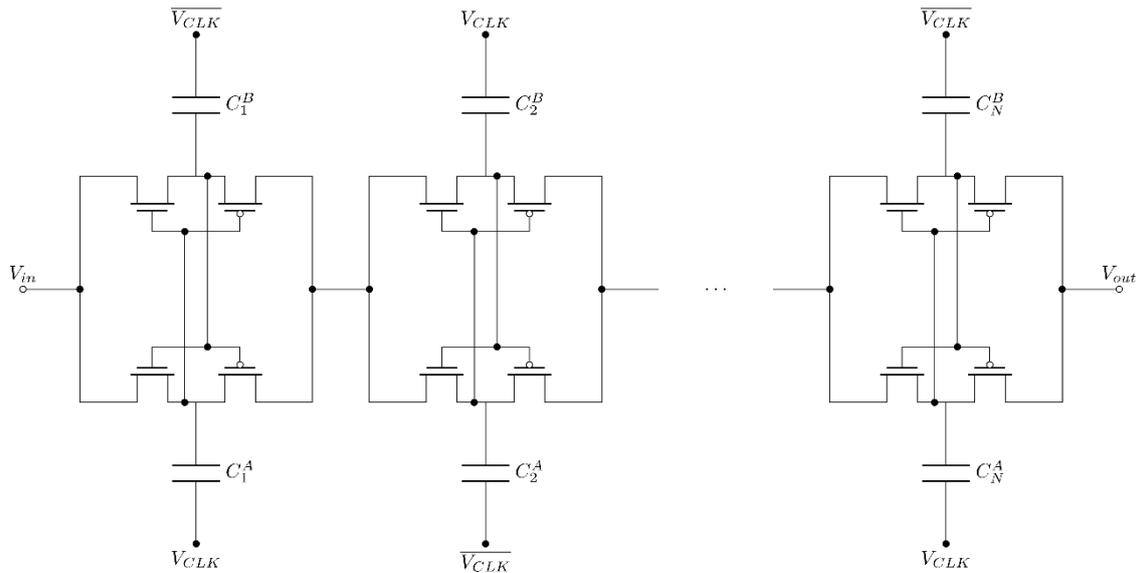


Figura 8: Cross Coupled Charge Pump a N stadi, N dispari

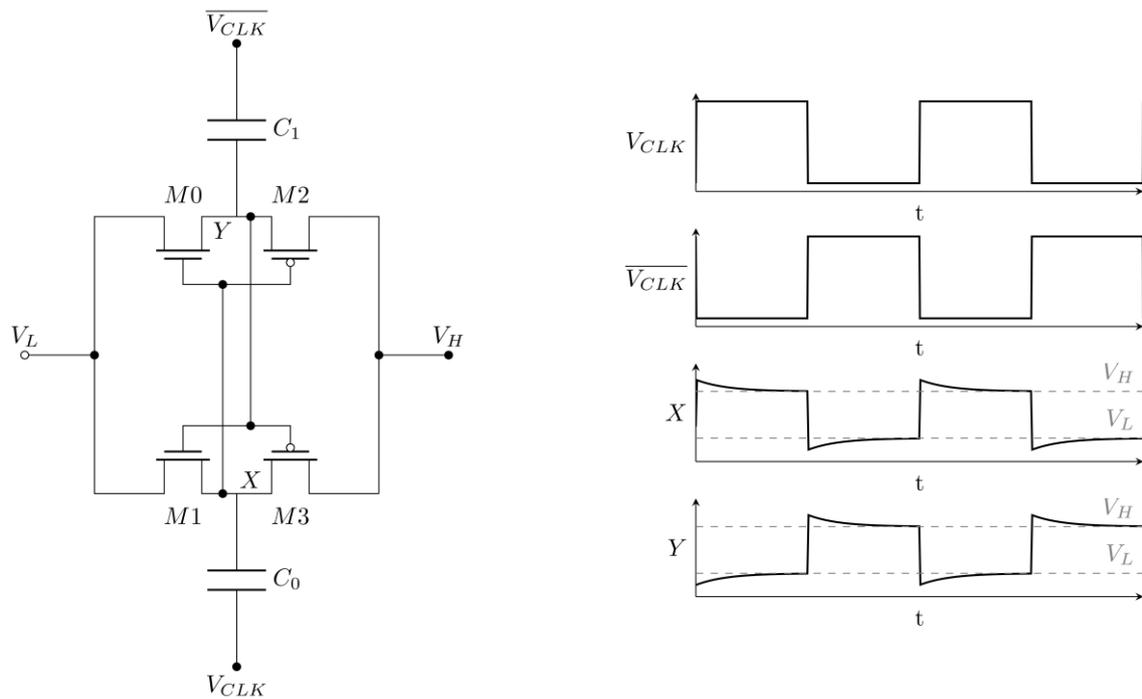


Figura 9: a) Generico stadio di una Cross Coupled Charge Pump; b) andamento qualitativo dei segnali

Il principio di funzionamento di questa architettura può essere studiato facendo riferimento alla Figura 9, supponendo che la pompa di carica stia operando a regime. Durante il primo semiperiodo, le tensioni V_{CLK} e $\overline{V_{CLK}}$ sono rispettivamente pari a V_{in} e 0, i transistor M0 e M3 sono accesi, mentre M1 e M2 sono spenti. Conseguentemente, C_1 viene caricato alla tensione V_L e il nodo V_H è caricato da C_0 ad una tensione pari a $V_L + V_{in}$. Nel secondo semiperiodo, le tensioni V_{CLK} e $\overline{V_{CLK}}$ sono rispettivamente pari a 0 e

V_{in} , i transistor M1 e M2 sono accesi, mentre M0 e M3 sono spenti; C_1 carica il nodo V_H ad una tensione $V_L + V_{in}$, mentre la capacità C_0 è caricata alla tensione V_L [19].

Per apprezzare i vantaggi derivanti dall'utilizzo della tecnica di Gate Biasing illustrata, si faccia nuovamente riferimento alla Figura 9 e si consideri il secondo semiperiodo. In questo caso i transistor M0 e M1 avranno una tensione tra gate e source rispettivamente pari a 0 e V_{in} e, analogamente, M3 e M2 avranno una tensione tra source e gate pari rispettivamente a 0 e V_{in} , come dimostrato in equazioni (4)-(7).

$$V_{GS,0} = V_L - V_{C_0} = V_L - V_L = 0 \quad (4)$$

$$V_{GS,1} = V_{C_1} - V_L = V_L + V_{in} - V_L = V_{in} \quad (5)$$

$$V_{SG,3} = V_H - V_{C_1} = V_L + V_{in} - (V_L + V_{in}) = 0 \quad (6)$$

$$V_{SG,2} = V_{C_1} - V_{C_0} = V_L + V_{in} - V_L = V_{in} \quad (7)$$

Si può quindi concludere che, se $V_{in} > \max\{|V_{Tn}|, |V_{Tp}|\}$, dove V_{Tn} e V_{Tp} sono le tensioni di soglia rispettivamente dell'nMos e del transistor MOS a canale p (pMos), questa architettura permette di accendere e spegnere correttamente i CTS del generico i -esimo stadio, a prescindere dal valore di tensione alla quale si trova il source dei transistor che lo compongono. Oltre al vantaggio di riuscire ad accendere correttamente gli switch utilizzando solo due fasi, questa soluzione permette anche di dimezzare, a parità di frequenza f_{sw} e di capacità totale, il ripple della tensione di uscita.

1.3.4 Bootstrap Charge Pump

Un'altra variante della pompa di carica di Dickson è la *Bootstrap Charge Pump*, proposta in [20] [21] e riportata in Figura 10. In questo caso, i CTS sono realizzati dal circuito riportato in Figura 11 e sono pilotati dai segnali ϕ_3 e ϕ_4 , che variano tra 0 e V_{BOOST} . Tali segnali sono generati da un circuito ausiliario e per questo la *Bootstrap* implementa una *GBT Switch Controlled*.

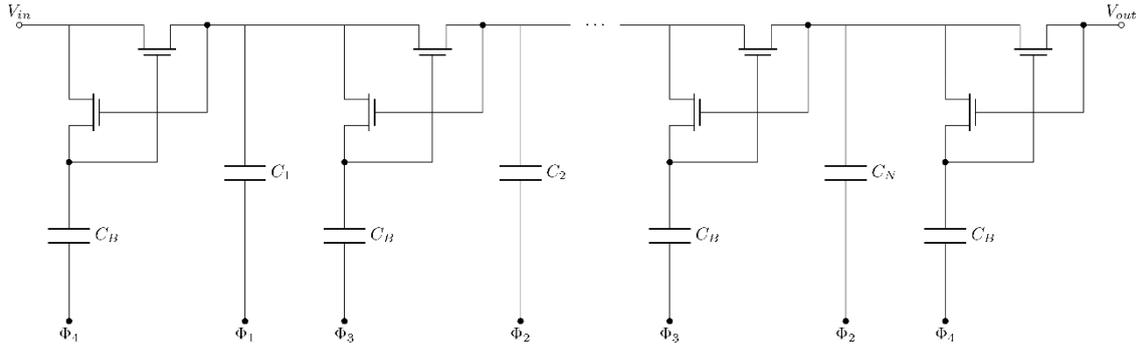


Figura 10 Bootstrap Charge Pump a N stadi, N pari

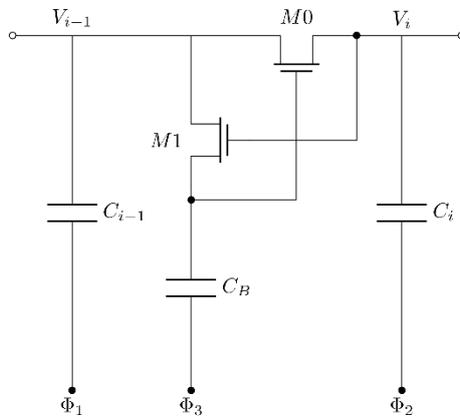


Figura 11 Generico stadio di una Bootstrap Charge Pump

Per analizzarne il principio di funzionamento, si faccia riferimento a Figura 11 e si consideri inizialmente il semiperiodo in cui $\phi_1 = 0$, $\phi_2 = V_{in}$, $\phi_3 = 0$, $\phi_4 = V_{BOOST}$. In questo caso si ha che $V_i = V_{C,i} + V_{in}$. Supponendo che questa tensione sia tale da renderlo conduttivo, M1 tenderà a caricare la capacità C_B alla tensione $V_{C_B,i} = V_{i-1} = V_{C,i-1}$. Nel semiperiodo successivo, invece, caratterizzato da $\phi_1 = V_{in}$, $\phi_2 = 0$, $\phi_3 = V_{BOOST}$, $\phi_4 = 0$, il transistor M0 avrà la tensione tra gate e source riportata in equazione (8). Da questa si può evincere come, agendo sulla tensione V_{BOOST} , si può garantire la corretta accensione del transistor M0.

$$V_{GS,M0} = V_{C_B} + V_{BOOST} - V_{C,i} = V_{C,i-1} + V_{BOOST} - V_{C,i} \quad (8)$$

Tale soluzione, se confrontata con la *Cross Coupled*, presenta un ripple maggiore della tensione di uscita e una maggiore complessità, in quanto richiede un circuito ausiliario che generi i segnali ϕ_3 e ϕ_4 ; d'altro canto, però, fornisce la possibilità di scegliere la

tensione V_{BOOST} , e quindi di avere un maggiore controllo sulla resistenza offerta dai CTS. Un altro vantaggio della *Bootstrap* rispetto alla *Cross Coupled* è che garantisce l'accensione dei transistor M0 anche quando $V_{in} < V_{Tn}$, caso in cui il suo utilizzo è preferibile.

1.3.5 Modello a trasformatore

Nel caso specifico delle pompe di carica di Dickson, il modello a trasformatore discusso in sezione 1.1 può essere modificato con l'aggiunta di nuovi termini che tengano conto delle perdite e delle non idealità tipiche di questa topologia, come proposto in [22] e riportato in Figura 12.

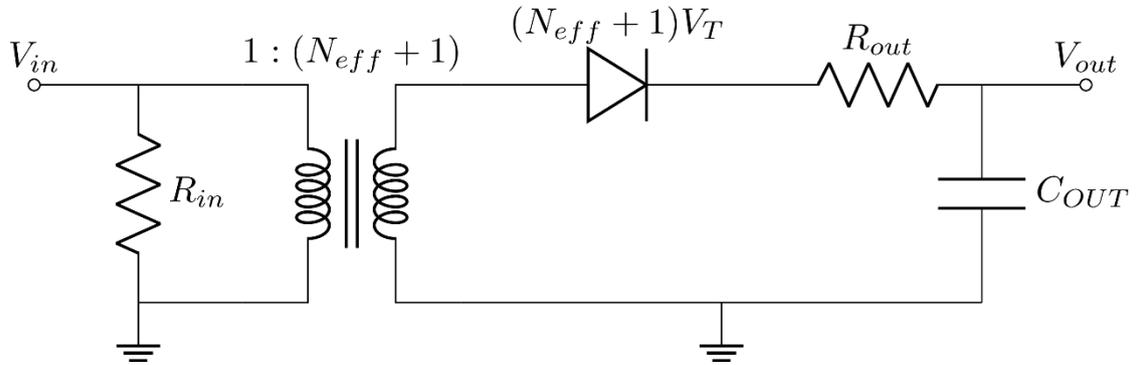


Figura 12 Modello a Trasformatore per Pompa di Carica di Dickson, adattato da [22]

Per ricavare tale modello è stata considerata una pompa di carica di Dickson composta da condensatori lineari di capacità C , con capacità parassite di *top* e *bottom plate* pari, rispettivamente, a $\alpha_T C$ e $\alpha_B C$, modellizzando gli switch come diodi caratterizzati da una tensione di soglia V_T e, quando accesi, da una resistenza R .

A differenza del modello a trasformatore presentato in precedenza, questo include la resistenza R_{in} , equazione (9), che permette di tenere conto delle perdite dovute alla carica e scarica in ogni periodo delle capacità parassite di *bottom plate*. Inoltre, il rapporto spire del trasformatore è pari a $1 : N_{eff}$, dove l'espressione di N_{eff} è riportata in eq. (10), e permette di tenere conto delle perdite dovute alla ripartizione di carica tra il *flying capacitor* C e la sua capacità parassita di *top plate*. Infine, C_{OUT} , Eq. (11), è la *self-capacitance* della pompa di carica, e permette di estendere la validità del modello anche ai transistori.

$$R_{in} = \frac{1}{\alpha_B N C f_{sw}} \quad (9)$$

$$N_{eff} = \frac{N}{(1 + \alpha_T)} \quad (10)$$

$$C_{OUT} = \begin{cases} \frac{4N^2 + 3N + 2}{12(N + 1)} C & \text{se } N \text{ pari} \\ \frac{4N^2 - N - 2}{12(N + 1)} C & \text{se } N \text{ dispari} \end{cases} \quad (11)$$

L'espressione della resistenza di uscita R_{out} è stata determinata analiticamente da Tanzawa in [23], relativamente ad una pompa di carica con condensatori lineari C caratterizzati da una capacità parassita di *top plate* $\alpha_T C$, modellizzando gli switch accesi come resistenze R . In [23] R_{out} è calcolata come il rapporto tra la potenza dissipata dalla pompa di carica P_{TOT} e il quadrato della corrente media I_{OUT} ceduta al carico. La sua espressione è riportata in equazione (12), dove δ è il duty cycle del clock, $coth()$ è la funzione cotangente iperbolica e $csch()$ è la funzione cosecante iperbolica.

$$R_{out} = \frac{1}{C(1 + \alpha_T)f_{sw}} \left[N coth\left(\frac{\delta}{RC(1 + \alpha_T)f_{sw}}\right) + csch\left(\frac{\delta}{RC(1 + \alpha_T)f_{sw}}\right) \right] \quad (12)$$

L'espressione riportata in equazione (12) contiene al suo interno i limiti SSL e FSL, riportati rispettivamente nelle equazioni (13) e (14), e descrive in forma chiusa l'andamento di R_{out} per tutti i valori della frequenza di switching tra essi compresi. Il termine $(N - 1)coth(\dots)$ modella gli switch dal secondo al penultimo, mentre il termine $coth(\dots) + csch(\dots)$ modella il primo e l'ultimo.

$$R_{out}^{SSL} = \frac{N}{C(1 + \alpha_T)f_{sw}} \quad (13)$$

$$R_{out}^{FSL} = \frac{(N + 1)R}{\delta} \quad (14)$$

Un esempio di andamento della resistenza di uscita di una pompa di carica in funzione del prodotto Cf_{sw} , con $R = 1 \text{ k}\Omega$, $\delta = 0.5$, $N = 10$ e $\alpha_T = 0.1$ e il suo confronto con i valori asintotici R_{out}^{SSL} e R_{out}^{FSL} , è riportato in Figura 13.

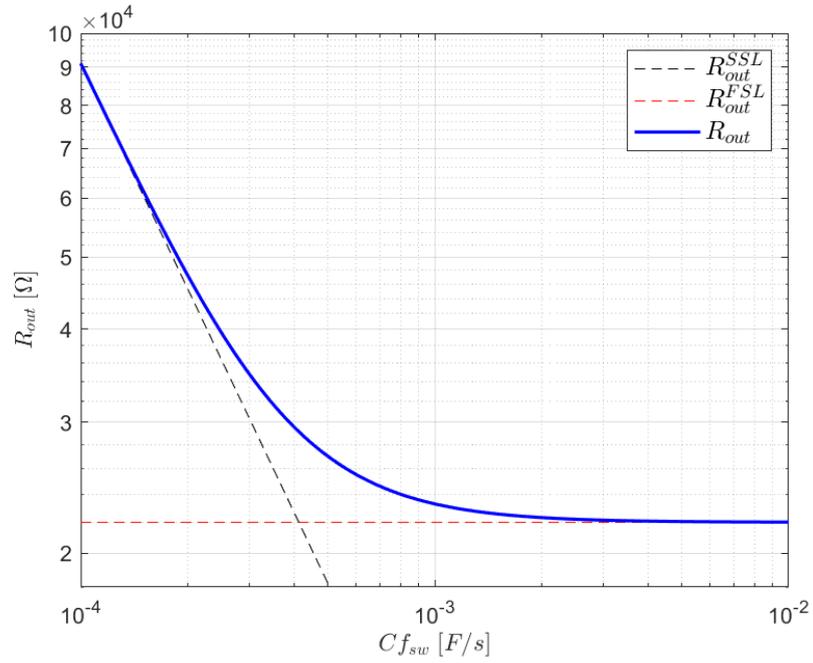


Figura 13 R_{out} in funzione del prodotto Cf_{sw} , confrontata con i limiti SSL e FSL

È importante sottolineare che, essendo stata determinata la resistenza di uscita R_{out} utilizzando la corrente media I_{out} ceduta al carico, il modello si presta a descrivere il funzionamento medio della pompa di carica nel generico periodo di switching, non permettendo di apprezzare le variazioni istantanee di tensioni e correnti all'interno di questo.

Capitolo 2 Contesto e obiettivi della tesi

L'IoT, il cui paradigma fu inizialmente descritto in [24] come un'evoluzione dell'allora mondo del *Information and Communication Technologies* (ICTs), è una concezione secondo la quale gli utenti non umani (*Things*) tendono progressivamente a diventare la maggioranza degli utenti di Internet, e sta diventando una tecnologia sempre più importante, con applicazioni in industrie come trasporti, energia, infrastrutture civili, edifici intelligenti, monitoraggio ambientale, assistenza sanitaria, difesa, produzione e manifattura [25]. Molti sistemi IoT sfruttano WSN per raccogliere dall'ambiente i dati. I nodi sensori *wireless* facenti parte dei WSN sono tipicamente formati da quattro componenti principali: una unità di *sensing*, il processore, il *transceiver* e l'alimentazione. Idealmente, il WSN dovrebbe operare per il maggior tempo possibile; perciò, l'efficienza e la durata della batteria del singolo nodo sensore costituiscono aspetti importanti nel loro design.

Tipicamente, i nodi sensori sono alimentati con batterie di limitata capacità. Ciò comporta una serie di criticità. Anzitutto, il fatto che le batterie inevitabilmente si scaricano, comportando elevati costi per la loro sostituzione. Inoltre, la durata stessa delle batterie può essere ridotta sia dalla presenza di situazioni estreme, come alte e basse temperature, sia dal funzionamento dei nodi sensori medesimi, il quale richiede ad esse corti impulsi di elevate correnti. Infine, le batterie, essendo caratterizzate da una capacità strettamente correlata al loro volume, non si prestano ad essere utilizzate in dispositivi con un piccolo *form factor*.

In ogni caso, le suddette criticità, ed in particolare l'ultima di esse, sono destinate a rimanere anche nel prossimo futuro, visto che il trend di aumento della capacità delle batterie è lento e per nulla confrontabile con la legge di Moore che caratterizza i circuiti digitali di elaborazione.

Alla luce di quanto illustrato, nel tentativo di estendere la vita delle batterie o addirittura di eliminarne la necessità di impiego, spesso il design dei nodi sensori prevede tecniche di *Energy Harvesting*.

L'*Energy Harvesting* è il processo mediante il quale l'energia presente nell'ambiente è estratta e resa utilizzabile da un sistema. I sistemi che sfruttano l'EH per operare si possono classificare in *Harvest-Use* e *Harvest-Store-Use* (HSU). I primi utilizzano direttamente l'energia estratta, mentre i secondi prevedono l'accumulo di energia in una

piccola batteria o in un condensatore, riservandone l'utilizzo in un secondo momento. La struttura di questi ultimi è riportata in Figura 14.

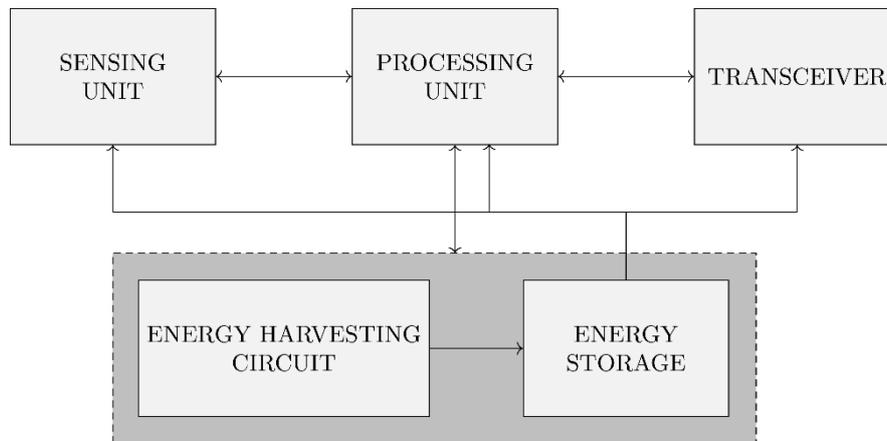


Figura 14 Schema a blocchi di un sistema che sfrutta Energy Harvesting “Harvest Store Use”, adattata da [25]

Per applicazioni di EH possono essere sfruttate sorgenti ad energia solare, a Radio Frequenza (RF), ad energia vibrazionale, termica, eolica o idrica. Tra queste, l'energia solare e RF sono sempre presenti nell'ambiente e sono spesso utilizzate per la realizzazione di dispositivi auto-alimentati.

L'Energy Harvesting da sorgenti a Radio Frequenza sfrutta l'energia veicolata da segnali radio, tipicamente con frequenze da 3 kHz a 300 GHz [26]. La struttura di un tipico circuito che permette di estrarre tale energia è riportata in Figura 15. Esso è formato da un'antenna ricevente, una rete di *matching*, un rettificatore – ossia un circuito non lineare che permette di convertire la potenza da RF a DC – e da un'unità di *Power Management*, il cui scopo è quello di massimizzare l'energia estratta e renderla utilizzabile dal sistema. L'insieme di antenna ricevente e rettificatore, detto anche *rectenna*, può essere sostituito dal circuito equivalente di Thévenin, il quale è tipicamente caratterizzato da una tensione V_S , il cui valore è strettamente legato alla quantità di potenza ricevuta e può andare, nel caso di sistemi operanti in banda ISM, da qualche centinaio di millivolt a qualche volt, e da una resistenza R_S , tipicamente nell'ordine dei $k\Omega$ [27].

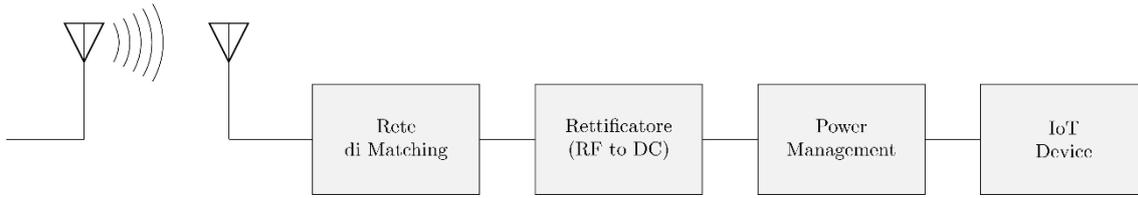


Figura 15 Schema a blocchi di un sistema di Energy Harvesting da sorgenti RF, adattata da [25]

Il presente progetto di tesi ha come obiettivo quello di realizzare un'unità di *Power Management* integrata e compatibile con *Energy Harvesting* HSU da sorgenti a Radio Frequenza sfruttando una pompa di carica di *Dickson*, ed ottimizzando l'estrazione di potenza in modo tale da minimizzare il tempo necessario per caricare il condensatore di storage. Si considererà come caso peggiore la sorgente caratterizzata da una tensione $V_S = 0.2 V$ e resistenza $R_S = 5 k\Omega$.

2.1 Trattazione teorica

Il problema della carica di una batteria o di un condensatore tramite un convertitore DC-DC SC da una sorgente resistiva, può essere suddiviso in due sotto-problemi. Il primo di questi è quello di estrarre dalla sorgente potenze prossime alla massima potenza disponibile, la cui espressione è riportata in equazione (15). Per ottenere ciò, il convertitore deve essere in grado di adattare il carico alla sorgente. Il secondo è quello di trasferire al carico la potenza estratta con la massima efficienza. Dato che la potenza disponibile nell'ambiente è sprecata se non utilizzata, è stata definita una figura di merito, chiamata "Potenza Trasferita Normalizzata" P_{TN} , riportata in equazione (16), che è data dal rapporto tra la potenza ceduta al carico P_{out} e la potenza massima estraibile dalla sorgente P_{max} . Essa può essere fattorizzata come il prodotto tra la frazione di potenza estratta dalla sorgente P_{in}/P_{max} e l'efficienza del convertitore P_{out}/P_{in} ; pertanto, essa permette di tenere conto dei due aspetti discussi in precedenza.

$$P_{max} = \frac{V_S^2}{4R_S} \quad (15)$$

$$P_{TN} = \frac{P_{out}}{P_{max}} = \frac{P_{in}}{P_{max}} \frac{P_{out}}{P_{in}} \quad (16)$$

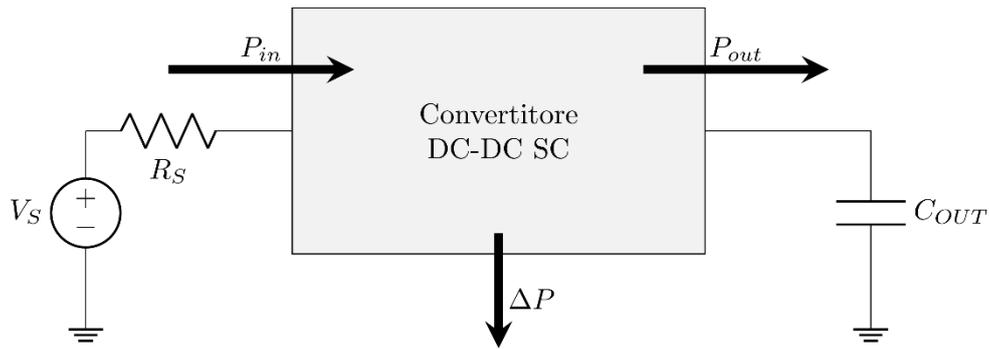


Figura 16 Rappresentazione schematica del convertitore considerato

Per effettuare il design della pompa di carica, è stato considerato il modello a trasformatore discusso in sezione 1.3.5, considerando una sorgente resistiva data dalla serie di un generatore ideale di tensione V_S e una resistenza R_S e, come carico, un generatore ideale di tensione che permette di modellizzare la grande capacità da caricare.

Sebbene l'idea di utilizzare il modello a trasformatore per studiare il comportamento di pompe di carica in presenza di sorgenti resistive non sia nuova, vedi [28], la trattazione teorica sotto riportata permette di ricavare conclusioni nuove ed originali rispetto a quanto presente in letteratura, sia perché considera un modello a trasformatore diverso, sia perché riguarda il problema specifico della carica di un condensatore.

La seguente trattazione è stata eseguita facendo riferimento al circuito riportato in Figura 17, assumendo che il diodo sia polarizzato in diretta e utilizzando per esso il modello riportato in (17), dove V_D è la tensione ai suoi capi e I_D è la corrente che esso conduce.

$$\begin{cases} I_D = 0 & \text{se Polarizzato in inversa} \\ V_D = (N_{eff} + 1)V_T & \text{se Polarizzato in diretta} \end{cases} \quad (17)$$

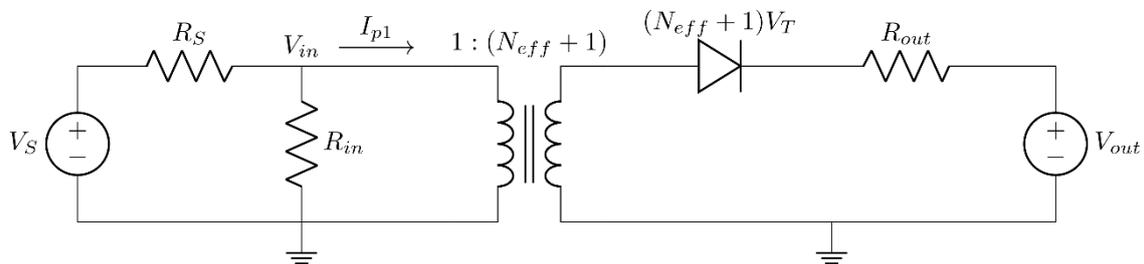


Figura 17 Circuito che modella il problema in esame

Il circuito in Figura 17 è equivalente a quello riportato in Figura 18, dove R_{eq} e V_{eq} , le cui espressioni sono riportate rispettivamente in equazione (18) e (19), rappresentano il circuito equivalente di Thévenin del secondario, riportato al primario.

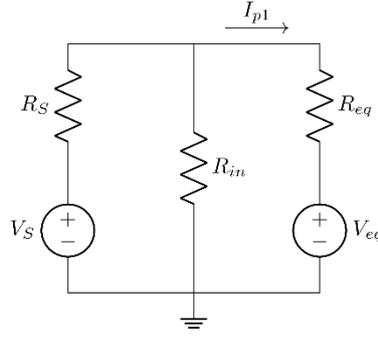


Figura 18 Circuito equivalente a quello riportato in Figura 17

$$R_{eq} = \frac{R_{out}}{(N_{eff} + 1)^2} \quad (18)$$

$$V_{eq} = V_T + \frac{V_{out}}{(N_{eff} + 1)} \quad (19)$$

Ricavando dal circuito equivalente la corrente che scorre nel primario I_{p1} , è possibile determinare la corrente che scorre nel secondario, e quindi la potenza P_{out} ceduta al carico, la cui espressione è riportata in equazione (20).

$$P_{out} = \frac{V_{out}}{N_{eff} + 1} \cdot \frac{V_S R_{in} - V_{eq}(R_S + R_{in})}{R_{eq}(R_S + R_{in}) + R_S R_{in}} \quad (20)$$

Infine, dividendo (20) per (15), si ottiene la P_{TN} , riportata in equazione (21).

$$P_{TN} = \frac{4R_S}{V_S^2} \cdot \frac{V_{out}}{N_{eff} + 1} \cdot \frac{V_S R_{in} - V_{eq}(R_S + R_{in})}{R_{eq}(R_S + R_{in}) + R_S R_{in}} \quad (21)$$

Definendo il termine A , il quale non dipende né da V_S né da V_{out} e ha l'espressione riportata in equazione (22), l'equazione (21) può essere riscritta nell'equazione (23).

$$A = \frac{4R_S}{[R_{eq}(R_S + R_{in}) + R_S R_{in}](N_{eff} + 1)} \quad (22)$$

$$P_{TN} = A \left[\frac{V_{out}}{V_S} R_{in} - \frac{V_{out}}{V_S^2} V_T (R_S + R_{in}) - \left(\frac{V_{out}}{V_S} \right)^2 \frac{R_S + R_{in}}{N_{eff} + 1} \right] \quad (23)$$

Dall'equazione (23) si può osservare come P_{TN} dipenda sia da V_{out}/V_S che da V_{out}/V_S^2 . Supponendo di pilotare i CTS della pompa di carica in modo che i transistor, quando accesi, si trovino in regione di inversione, allora si può considerare la tensione V_T come trascurabile e P_{TN} diviene solo funzione di V_{out}/V_S , come riportato in equazione (24).

$$P_{TN} \cong A \left[\frac{V_{out}}{V_S} R_{in} - \left(\frac{V_{out}}{V_S} \right)^2 \frac{R_S + R_{in}}{N_{eff} + 1} \right] \quad (24)$$

Il fatto che P_{TN} sia funzione del rapporto tra la tensione di uscita V_{out} e la tensione a vuoto della sorgente V_S , permette di calcolarla senza fare ipotesi circa il valore di V_S , il quale è aleatorio e suggerisce la possibilità di sfruttare questo rapporto per effettuare il *Maximum Power Point Tracking* (MPPT). Da un punto di vista qualitativo, il rapporto V_{out}/V_S offre una misura dello stato di carica in transitorio del condensatore di uscita. In particolare, man mano che la pompa di carica fa salire la tensione del nodo di uscita, a parità di tensione in ingresso, il rapporto sopra indicato aumenta.

Essendo P_{TN} funzione di variabili quali il numero di stadi N , il prodotto Cf_{sw} e il rapporto V_{out}/V_S , nonché di parametri quali la resistenza di canale dei CTS R , la resistenza della sorgente R_S e i coefficienti α_T e α_B relativi alle capacità parassite di *top* e *bottom plate*, per poter studiare l'andamento della P_{TN} sono stati determinati numericamente dei *contour plot*. Questi ultimi presentano, nell'asse delle ordinate, il numero di stadi N e, nell'asse delle ascisse, in scala logaritmica, il prodotto Cf_{sw} , e sono relativi ad un certo valore del rapporto V_{out}/V_S , della resistenza di canale R e dei parametri tecnologici α_T e α_B . In Figura 19 è riportato l'andamento di P_{TN} per vari rapporti V_{out}/V_S e per $R = 1000 \Omega$, $R_S = 5000 \Omega$ e $\alpha_T = \alpha_B = 0.1$.

Dalla Figura 19 si evince che esiste un ampio insieme di punti (Cf_{sw}, N) per cui il convertitore opera in un intorno del punto di massimo trasferimento di potenza e che il baricentro di questi si sposta al variare del rapporto V_{out}/V_S . Questo suggerisce come sia necessario riconfigurare sia il numero di stadi N che la frequenza f_{sw} , alla quale opera la pompa di carica, per inseguire il punto di massimo trasferimento di potenza, nonché di come questo possa essere fatto valutando il rapporto V_{out}/V_S . In Figura 20 sono riportati i *contour plot* dell'efficienza del convertitore. Da questa si può dedurre che nei punti in Figura 19, dove la pompa di carica di Dickson trasferisce la massima potenza al carico, si ha un'elevata estrazione di potenza dalla sorgente, ma una modesta efficienza nel trasferirla al carico.

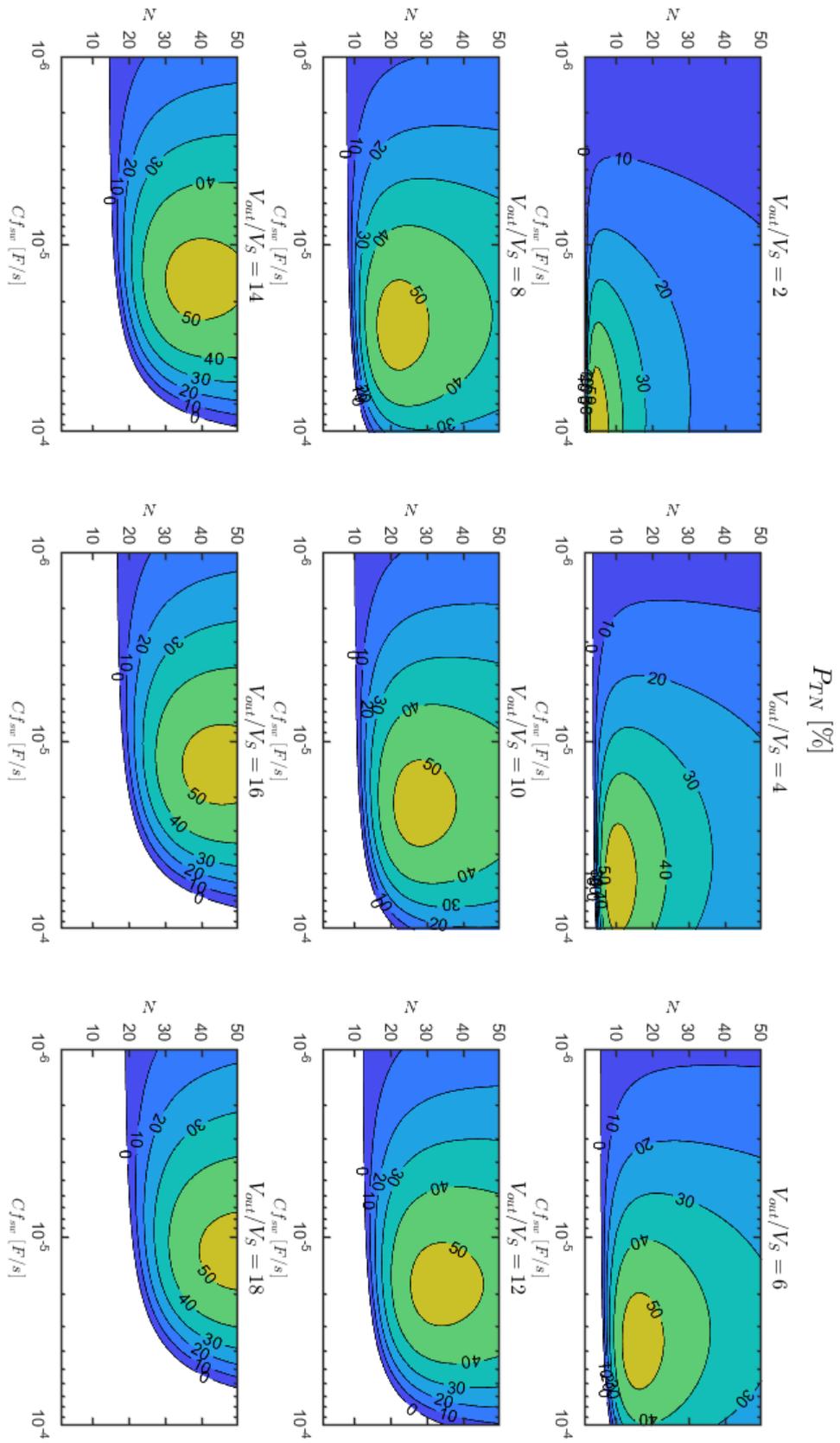


Figura 19: Contour Plot di P_{TN} al variare di V_{out}/V_S , N , Cf_{sw} , per $R_S=5 \text{ k}\Omega$, $\alpha_T=\alpha_B=0.1$

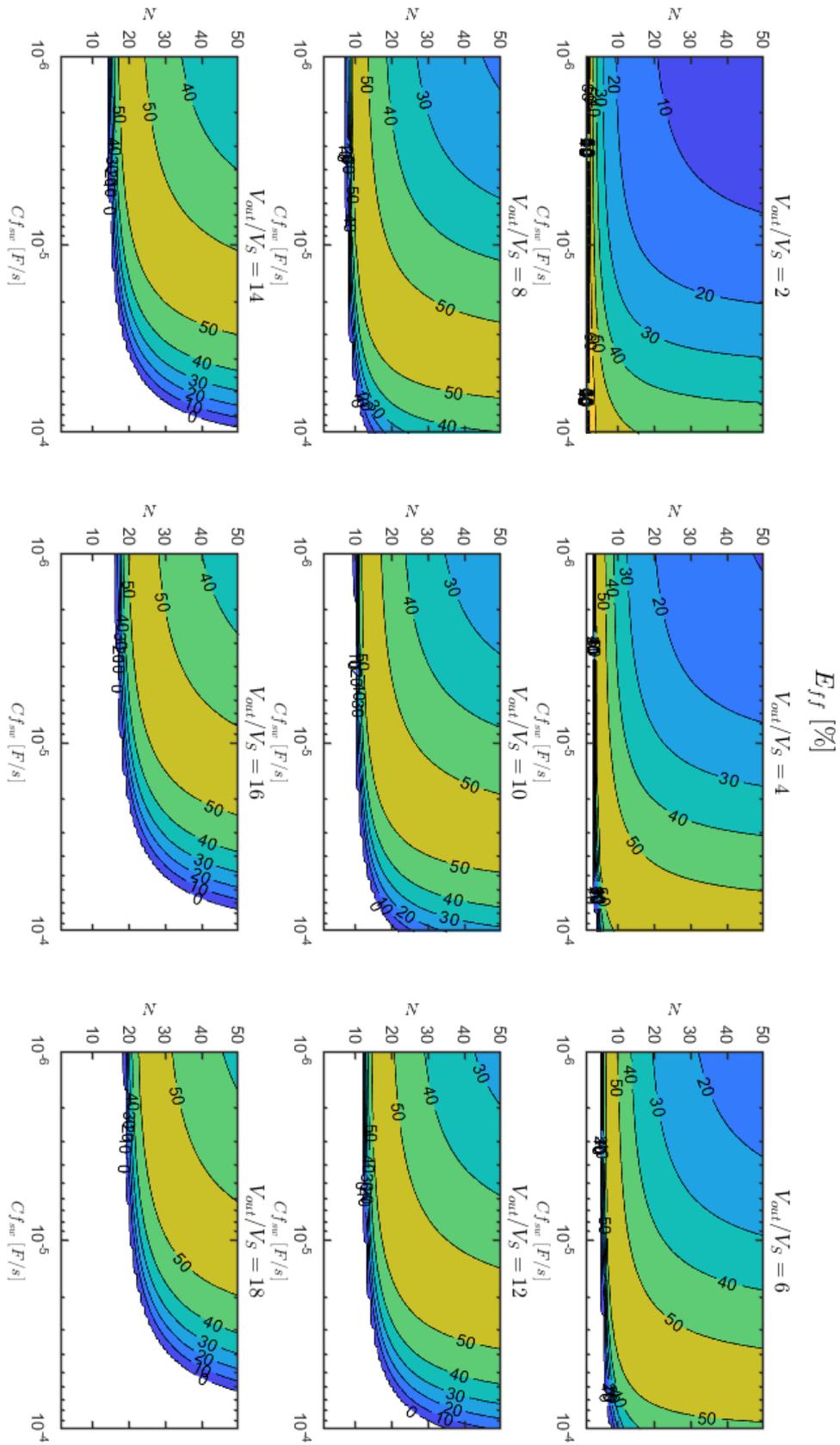


Figura 20: Efficienza al variare di V_{out}/V_S , N , C^*f_{sw} , per $R_S=5\text{ k}\Omega$, $\alpha_T=\alpha_B=0.1$

Basandosi sui *contour plot* e variando un parametro alla volta, è possibile determinare l'influenza degli stessi sulla P_{TN} . In particolare, R_S , α_T e α_B sono parametri che dipendono, rispettivamente, dal rettificatore e dalla tecnologia utilizzati; pertanto, non sono oggetto di design, mentre R è un parametro sul quale si può agire, implementando tecniche di *Gate Biasing* o *Body Biasing*.

In Figura 21 è riportato il contour plot relativo a $V_{out}/V_S = 10$, $R_S = 5000 \Omega$, $\alpha_T = \alpha_B = 0.1$ al variare della resistenza R dei CTS. Dallo stesso si evince che è fondamentale pilotare i CTS in modo che offrano una resistenza elettrica nell'ordine dei $k\Omega$, e che non si ottiene alcun vantaggio ad abbassarla ulteriormente. In Figura 22 è riportato l'andamento di P_{TN} al variare di α_B , per $V_{out}/V_S = 10$, $R_S = 5000 \Omega$, $\alpha_T = 0.1$ e $R = 1000 \Omega$. Il valore di α_B , che compare nell'espressione di R_{in} , ha un importante impatto sia sul valore che sulla posizione del punto di massimo trasferimento di potenza. In Figura 23 è riportato l'andamento di P_{TN} al variare di α_T , per $V_{out}/V_S = 10$, $R_S = 5000 \Omega$, $\alpha_B = 0.1$ e $R = 1000 \Omega$. Il valore di α_T ha un modesto impatto sul valore del punto di massimo trasferimento di potenza.

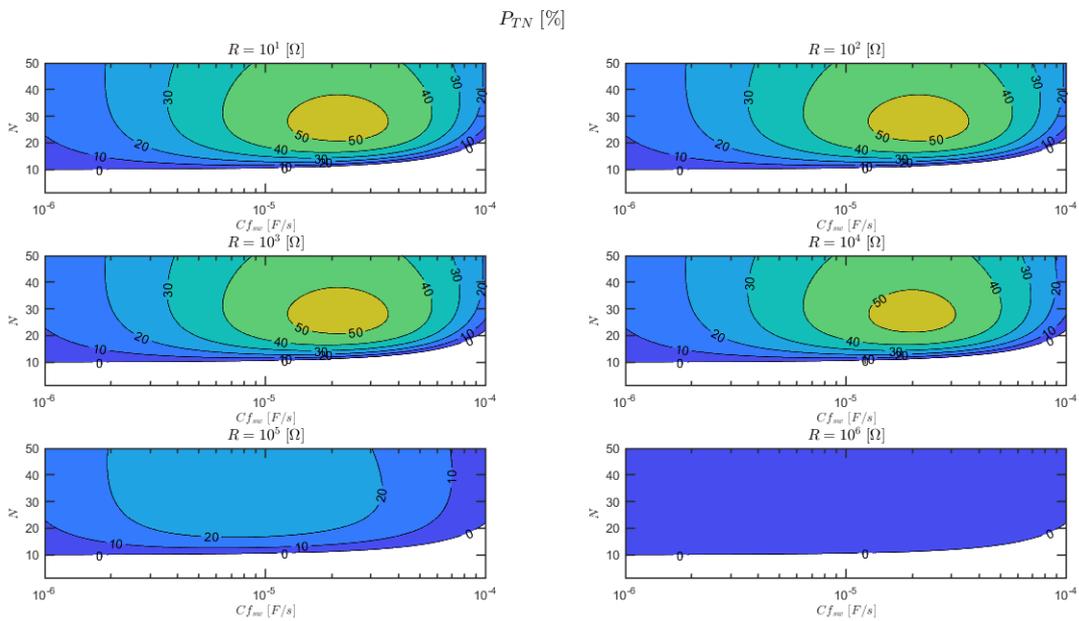


Figura 21 P_{TN} al variare di R , N , $C*f_{sw}$ per $R_S=5 \text{ k}\Omega$, $V_{out}/V_S=10$, $\alpha_T= \alpha_B=0.1$

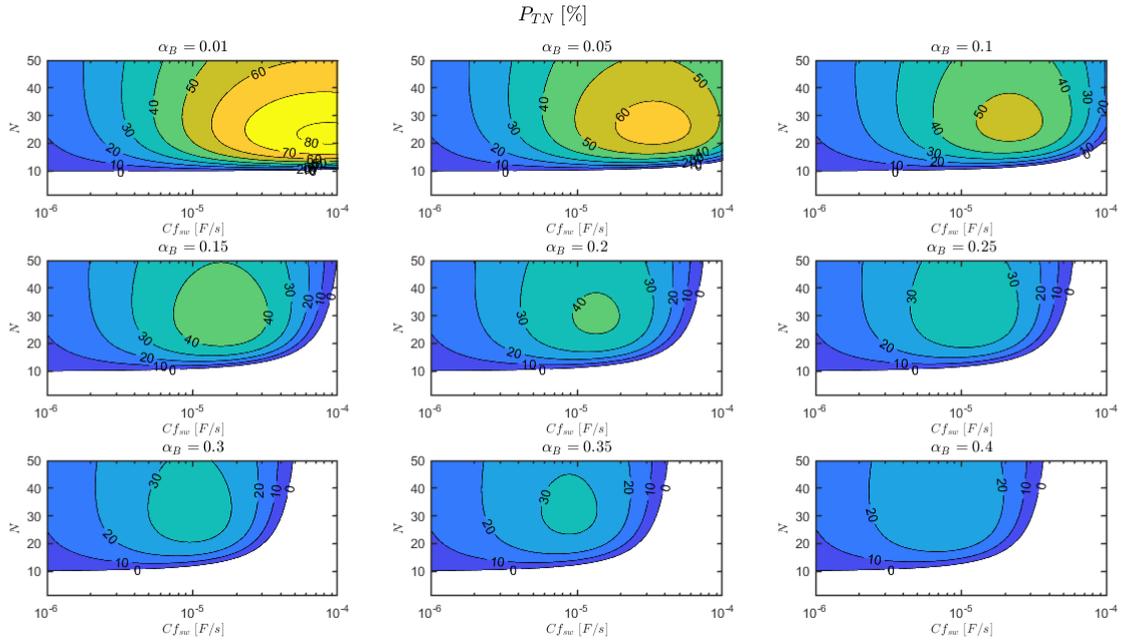


Figura 22 P_{TN} al variare di α_B , N , C^*f_{sw} per $R_S=5 \text{ k}\Omega$, $V_{out}/V_s=10$, $\alpha_T=0.1$

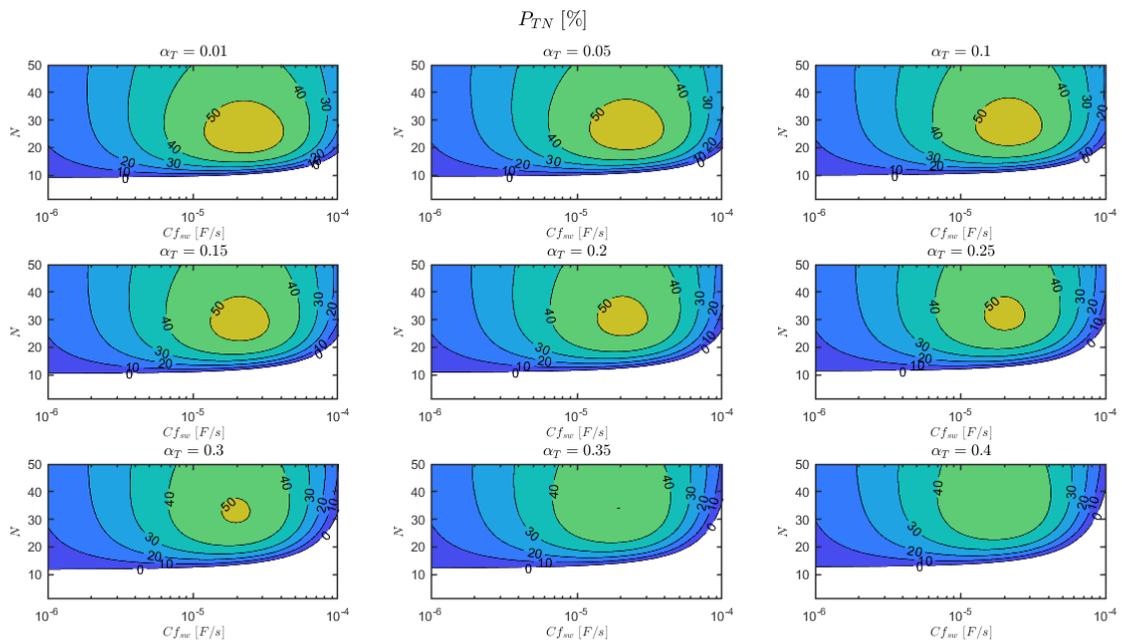


Figura 23 P_{TN} al variare di α_T , N , C^*f_{sw} per $R_S=5 \text{ k}\Omega$, $V_{out}/V_s=10$, $\alpha_B=0.1$

Facendo riferimento alle considerazioni effettuate al termine della sezione 1.3.5, è importante sottolineare che il modello utilizzato per la trattazione di cui sopra descrive il comportamento medio della pompa di carica su un periodo di switching; pertanto, tutte le tensioni e le correnti determinate a livello teorico sono costanti nel tempo e pari al valor

medio temporale di quelle che si avrebbero nella realtà, calcolato su un periodo di switching. È evidente che ciò comporta una discrepanza tra i valori di P_{TN} predetti teoricamente e quelli reali, dato che la potenza erogata da una sorgente resistiva è legata al valore istantaneo della corrente da essa fornita, e non al suo valore medio.

Tutto quanto esposto comporta che il valore di P_{TN} determinato teoricamente può discostarsi da quello ottenuto nella realtà. Ciononostante, la trattazione teorica fatta, anche se non descrive fedelmente il circuito considerato, permette di effettuare delle considerazioni sulle proprietà che deve possedere il convertitore e fornisce un importante punto di partenza per il suo design.

2.2 Struttura del convertitore

Sulla base delle osservazioni effettuate, si possono trarre, in prima approssimazione, alcune conclusioni circa le specifiche che dovrà possedere il convertitore. Facendo riferimento a Figura 19, si può notare che si ha il massimo trasferimento di potenza al carico per prodotti Cf_{sw} compresi tra 10^{-5} e 10^{-4} F/s. Considerando *flying capacitor* aventi capacità nell'ordine delle decine di pF - essendo esso un valore tipico per pompe di carica integrate, con un numero di stadi nell'ordine della decina e un'occupazione d'area nell'ordine del mm^2 - la frequenza dovrà essere nell'ordine delle centinaia di kHz.

Considerando come caso peggiore quello in cui la sorgente è caratterizzata da una tensione a vuoto $V_S = 0.2$ V, è evidente che non sia possibile operare la pompa di carica nel punto di massimo trasferimento di potenza. Questo perché, per tensioni così basse, i transistor operano profondamente sottosoglia e non è possibile né realizzare un clock con fronti ripidi e frequenze nell'ordine delle centinaia di kHz, né pilotare i CTS in modo che abbiano una resistenza equivalente nell'ordine dei $k\Omega$. Per questo motivo è stato realizzato il convertitore prevedendo che parte della potenza estratta venga riutilizzata per generare il clock e pilotare i CTS, mantenendo il medesimo in un intorno del punto di massimo trasferimento di potenza. In letteratura questa soluzione è tipicamente realizzata prevedendo un Circuito di *Start Up*, il cui scopo è quello di fornire l'energia necessaria ad "avviare" il convertitore la prima volta.

Il circuito di *Start Up* è tipicamente una pompa di carica meno efficiente rispetto a quella principale, ma adatta ad operare con basse tensioni di ingresso. Esistono sia soluzioni in cui il circuito di *Start Up* carica direttamente la capacità di uscita [29], sia soluzioni nelle

quali viene caricato un altro condensatore più piccolo [30]. Le prime, se permettono di ridurre il numero di componenti che formano il convertitore, sono però più lente delle seconde, soprattutto se la capacità di uscita è grande.

La struttura scelta per il convertitore oggetto della presente tesi è riportata in Figura 24. Il sistema è composto da un circuito di *Start Up*, il cui scopo è quello di caricare la capacità C_{SU} quando questa non ha una tensione ai suoi capi sufficiente a garantire il corretto funzionamento del *Low Drop Out Regulator* (LDO), e dal *Main-Converter*, che, quando è attivo, fornisce corrente o al carico C_{OUT} o alla capacità C_{SU} . Il circuito di *Start Up* è formato dai blocchi “SU-Charge Pump”, “SU-Clock” e “SU-PhaseGen”, i quali realizzano una pompa di carica di Dickson pilotata da un clock a fasi non sovrapposte. Il LDO presente nel *Main-Converter* viene utilizzato per fornire un'alimentazione costante pari a 0.8 V al “MAIN-Clock” e al blocco “MAIN-PhaseGen+MPPT”, che realizza l'MPPT e genera i segnali per controllare la “MAIN-Charge Pump”.

Un LDO è intrinsecamente inefficiente in presenza di differenze di tensione elevate tra ingresso e uscita; tuttavia, si ipotizza che il suo consumo complessivo in questo progetto sia solamente una frazione molto piccola della potenza complessivamente convertita.

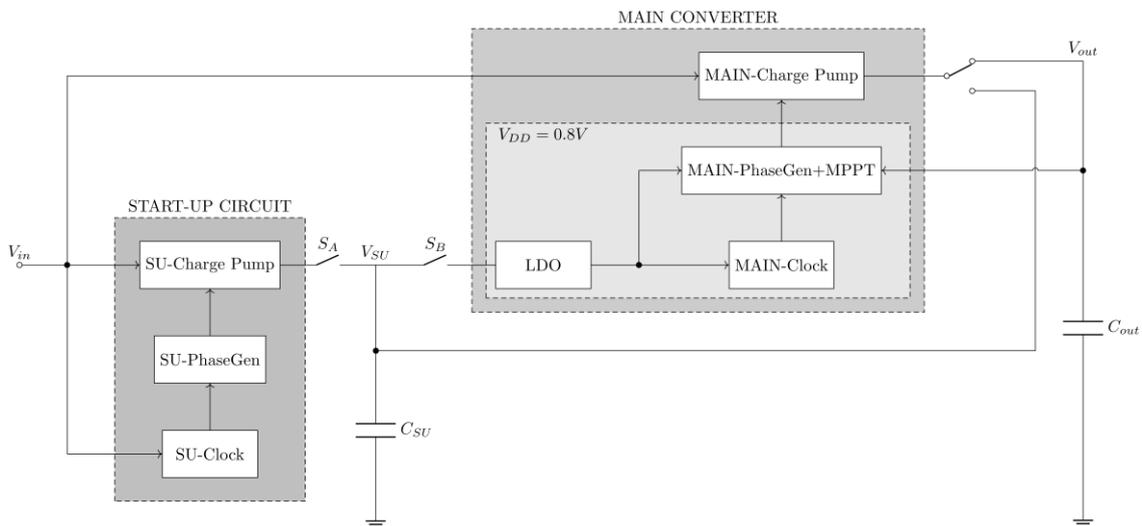


Figura 24 Schema a blocchi del convertitore DC-DC SC proposto

Il funzionamento del sistema può essere diviso in tre fasi: START-UP, REGULAR, RECHARGE. Durante la prima di queste, l'intero convertitore è spento, ad eccezione

dello *Start Up Circuit*, il quale carica la capacità C_{SU} . Quando V_{SU} supera $V_{SU,f}$, termina la fase di START UP ed iniziano le fasi REGULAR e RECHARGE, accendendosi il MAIN-Converter. Durante la fase REGULAR, il convertitore fornisce corrente dalla sorgente alla capacità C_{OUT} , mentre i blocchi “Main-Clock” e “MAIN-PhaseGen+MPPT”, tramite il LDO, scaricano la capacità C_{SU} . Quando V_{SU} diviene minore di $V_{SU,min}$ si interrompe la fase REGULAR ed inizia la fase di RECHARGE, durante la quale il MAIN-Converter trasferisce corrente dalla sorgente alla capacità C_{SU} , caricandola. Quando V_{SU} supera la tensione $V_{SU,max}$, si ritorna alla fase REGULAR. Una volta acceso il MAIN-Converter, le fasi REGULAR e RECHARGE si alternano per l'intero funzionamento del convertitore, fino a che non viene raggiunta una tensione di 3.3 V sulla capacità C_{OUT} . Qualora, a causa di una diminuzione di V_S , il sistema non riesca ad autosostenersi, esso ritorna alla fase di START-UP. L'andamento qualitativo delle tensioni V_{SU} e V_{out} durante le tre fasi è riportato in Figura 25.

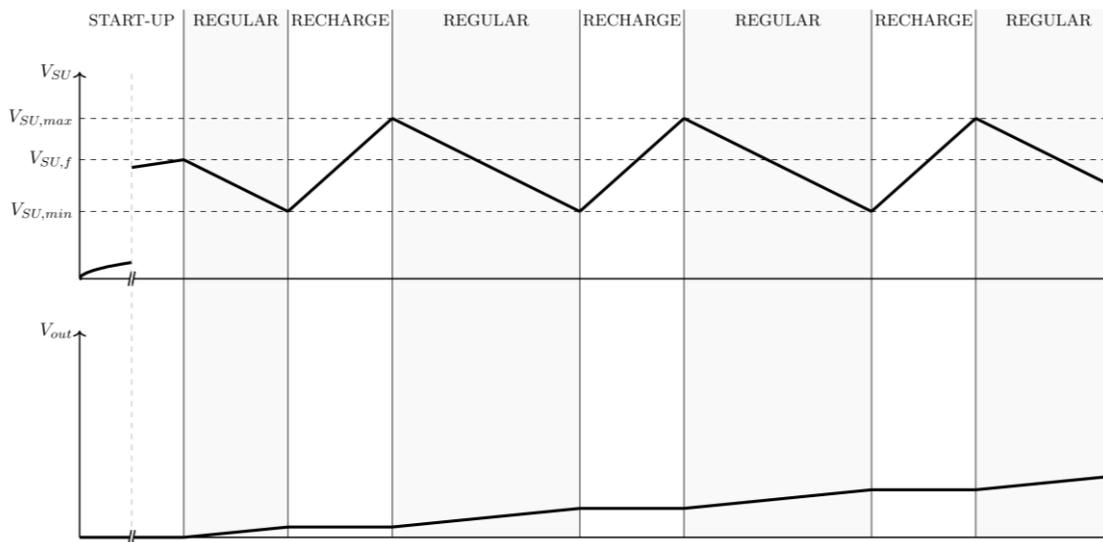


Figura 25 Andamento qualitativo delle tensioni V_{SU} e V_{out} , durante le fasi START-UP, REGULAR e RECHARGE

È stato scelto di separare il condensatore C_{SU} , che alimenta il LDO, da C_{OUT} , ovvero di utilizzare una soluzione *Two-Way Energy Storage (TWS)* [30], e questo per due motivi: *in primis* perché, se $V_S = 0.2 V$, il tempo necessario per caricare C_{out} fino a $V_{SU,f}$ diverrebbe eccessivo essendo questo dimensionato per sostenere un carico esterno; *in secundis* al fine di minimizzare la potenza media dissipata per mantenere il convertitore nel punto di massimo trasferimento di potenza. Infatti, supponendo che i blocchi alimentati dal LDO consumino una corrente costante – cosa nella realtà non vera, ma che rappresenta una buona approssimazione per il caso in esame, dato che essi estraggono la medesima

quantità di carica da C_{SU} in ogni periodo di switching – si ha che la potenza media estratta da C_{SU} è proporzionale a $(V_{SU,max} + V_{SU,min})$. Il valore di $V_{SU,min}$ è dettato dalla minima tensione che garantisce il corretto funzionamento del LDO, mentre il valore di $V_{SU,max}$ può essere scelto a piacere, compatibilmente con la tecnologia microelettronica utilizzata. Questo fornisce un grado di libertà in più per mantenere contenuti i consumi del convertitore rispetto alla soluzione in cui V_{SU} e V_{out} coincidono.

Capitolo 3 Architettura e Realizzazione dei Blocchi Circuitali

Nel presente capitolo viene descritta l'architettura e la realizzazione dei blocchi circuitali presenti in Figura 24. Parte di essi sono stati realizzati in tecnologia BCD di STMicroelectronics.

3.1 Start up Circuit

3.1.1 Start up Charge Pump

Come discusso nel capitolo precedente, il ruolo del circuito di *Start Up* è quello di fornire al sistema l'energia sufficiente per accendersi la prima volta. Esso deve essere in grado di operare con tensioni di ingresso estremamente basse, ed è accettabile che lo faccia con scarse performance. Per questo motivo, è stato scelto di realizzare la pompa di carica di *Start Up* utilizzando l'architettura *Cross Coupled*, discussa in sezione 1.3.3, preferibile in quanto, implementando una tecnica di *Gate Biasing Non Switch Controlled*, non richiede la presenza di circuiti ausiliari. La pompa di carica implementata è riportata in Figura 26. Essa è stata realizzata con transistori a 1.2V.

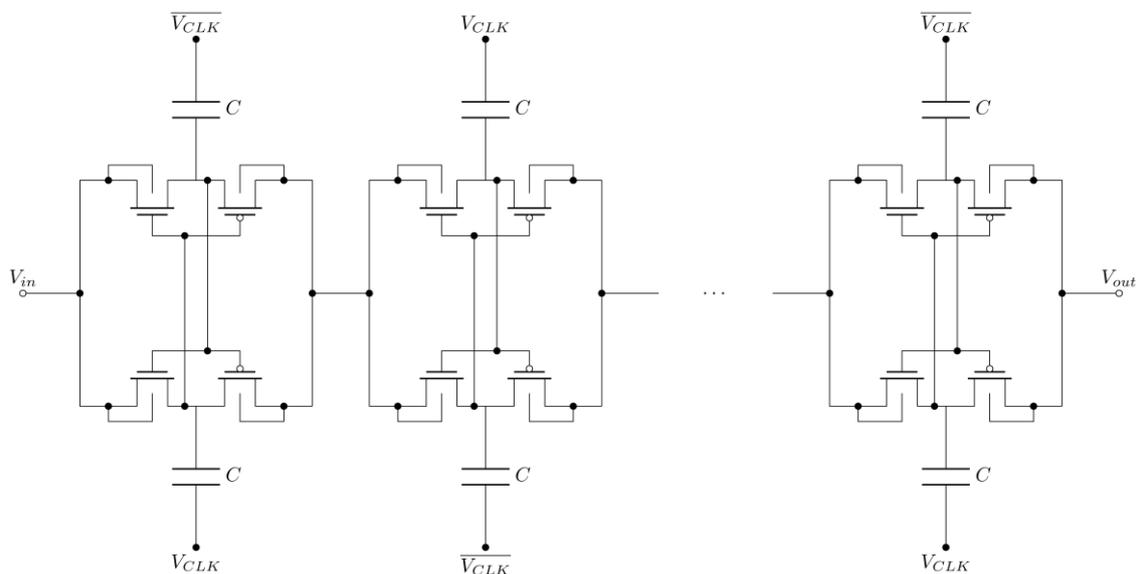


Figura 26: Pompa di carica di Start Up utilizzata

Supponendo che la tensione a vuoto della sorgente sia $V_S = 0.2 V$, i transistor si troveranno ad operare sottosoglia e l'espressione della corrente I_{DS} che scorre tra drain e source è descritta da una legge esponenziale [31]. In equazione (25) è riportata l'espressione di I_{DS} relativa ad un transistor nMOS.

$$I_{DS} \cong \frac{W}{L} \cdot I_{Sth} \cdot \exp\left(\frac{V_{GS} - V_{Tn}}{mV_{Th}}\right) \left[1 - \exp\left(-\frac{V_{DS}}{V_{Th}}\right)\right], \quad (25)$$

dove I_{Sth} è in prima approssimazione indipendente da V_{GS} , m è un parametro tipicamente poco maggiore di 1, V_{Tn} è la tensione di soglia del transistor e V_{Th} è la tensione termica, pari a circa 26 mV a temperatura ambiente.

Si può notare che la corrente I_{DS} dipende esponenzialmente dalla differenza tra la tensione V_{GS} e la tensione di soglia dei transistor V_{Tn} . Come discusso in sezione 1.3.3, nell'architettura *Cross Coupled* la tensione tra gate e source V_{GS} è dettata dalla tensione fornita in ingresso alla pompa di carica; pertanto, essa non è oggetto di ottimizzazione. La tensione di soglia, invece, presenta una dipendenza dal fattore di forma dei transistor, per questo è stato scelto di realizzare gli nMos e i pMos con un fattore di forma pari, rispettivamente, a (40/10) e (60/10). Essi non sono caratterizzati dalla lunghezza di canale minima, poiché per tali rapporti (W/L) una maggiore lunghezza di canale permette di avere una minore tensione di soglia.

I *flying capacitor* della pompa di carica di start up sono stati realizzati utilizzando condensatori MOM, in questo caso preferibili in quanto lineari. Sebbene il valore di capacità che permetterebbe alla pompa di carica di ottenere le massime prestazioni sia maggiore, è stato scelto di realizzare le capacità da 1 pF, per evitare di utilizzare *buffer* eccessivamente grandi per pilotarle.

Il numero di stadi della pompa di carica realizzata è pari a 8. Tale valore è stato scelto in modo che essa sia in grado di caricare il condensatore C_{SU} ad una tensione pari a 1.2 V anche nel caso in cui la sorgente sia caratterizzata da una tensione a vuoto $V_S = 0.2 V$.

3.1.2 Start up Clock

Quanto al clock relativo alla pompa di carica di *Start Up*, è stato scelto di realizzare un *Ring Oscillator* [32]. Questa tipologia di oscillatori, il cui circuito è riportato in Figura 27, è composta da un anello formato da un numero N di invertitori, dispari e maggiore o uguale a tre. Ciò assicura che il circuito non sia caratterizzato da un punto di equilibrio stabile, garantendone l'oscillazione.

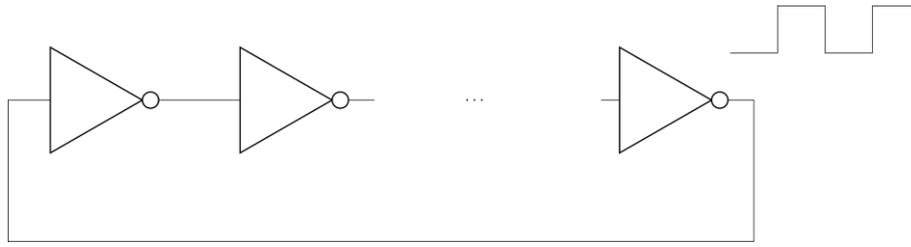


Figura 27 Ring Oscillator

La forma d'onda generata da un *Ring Oscillator* è un'onda quadra di *duty cycle* pari a 0.5, caratterizzata da una frequenza di oscillazione la cui espressione, se gli inverter sono uguali tra loro, è riportata in equazione (26).

$$f_{osc} = \frac{1}{N \cdot (t_{pHL} + t_{pLH})}, \quad (26)$$

dove t_{pHL} e t_{pLH} sono il tempo di propagazione dell'invertitore per il segnale di uscita che passa, rispettivamente, da alto a basso e da basso ad alto.

La potenza dissipata da questo circuito è riportata in equazione (27), dove V_{DD} è la tensione di alimentazione fornita all'oscillatore e C_{TOT} è il valore della capacità che ogni inverter carica e scarica in ciascun periodo. Essendo la frequenza di oscillazione inversamente proporzionale a N , la potenza dissipata dal circuito è indipendente dal numero di invertitori.

$$P_{diss} = NC_{TOT}V_{DD}^2 f_{osc} \quad (27)$$

Dato che per $V_S = 0.2 V$ i transistor operano sottosoglia, il loro dimensionamento è stato determinato, in base alle considerazioni fatte in sezione 3.1.1, come il compromesso tra la tensione di soglia dei transistor e la capacità C_{TOT} . È stato scelto, quindi, di realizzare sia i pMos che gli nMos utilizzando transistor da 1.2V, ad area minima.

Il circuito realizzato è riportato in Figura 28. A differenza di un *Ring Oscillator* classico è stato sostituito un invertitore con un NAND, il quale permette di abilitare o disabilitare l'oscillatore tramite un segnale di *enable* attivo basso, indicato con \overline{EN} .

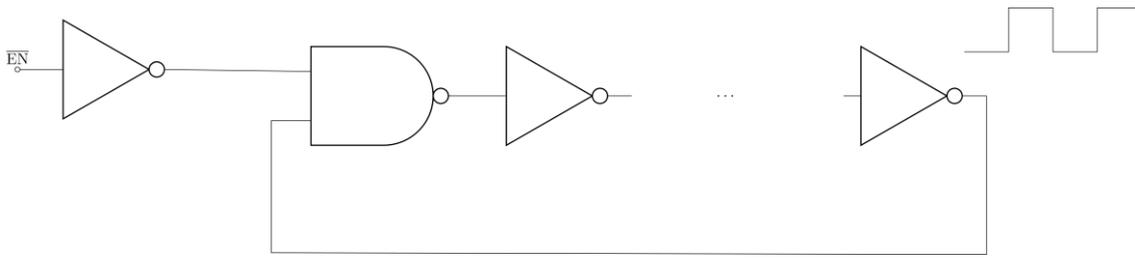


Figura 28: Oscillatore di Start Up utilizzato

È stata adottata questa soluzione per far sì che lo *Start Up Clock* sia abilitato quando il *Main Converter* è spento, e che possa essere disabilitato una volta che termina la fase di START-UP, evitando che il circuito di *Start Up* continui a consumare potenza.

Il numero di stadi dell'oscillatore ad anello è pari a $N = 33$, ed è stato scelto in quanto permette di ottenere, per $V_S = 0.2 V$, un clock con fronti sufficientemente ripidi. Il circuito è stato simulato considerando una sorgente caratterizzata da $V_S = 0.2 V$ e $R_S = 5 k\Omega$. Esso oscilla ad una frequenza di $199 kHz$, consumando una potenza pari a $379.3 \mu W$. Le forme d'onda prodotte sono riportate in Figura 29.

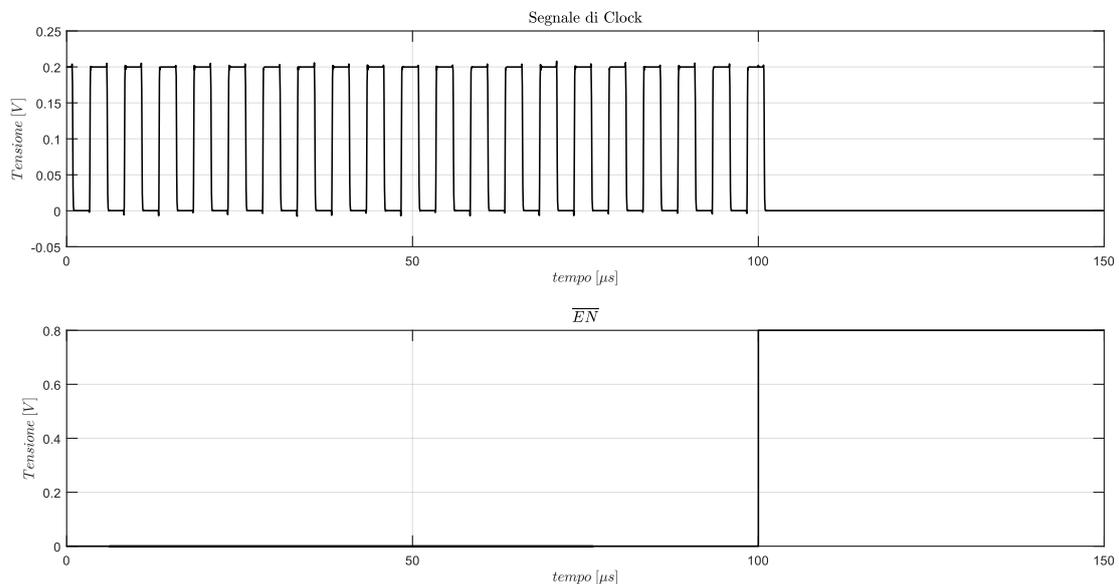


Figura 29: Segnale generato dallo Start Up Clock e spegnimento dello stesso tramite il segnale \overline{EN}

3.1.3 Start Up Phases Generator

Per garantire che le fasi che pilotano la pompa di carica di *Start Up* siano non sovrapposte, è stato utilizzato il circuito riportato in Figura 30 a).

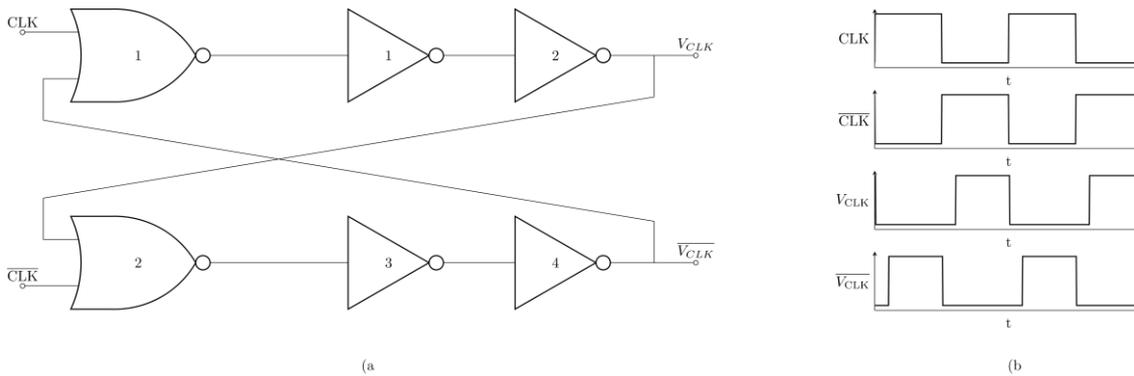


Figura 30: a) Circuito utilizzato per ottenere due onde quadre a fasi non sovrapposte; b) andamento qualitativo dei segnali generati

Per apprezzarne il funzionamento, si faccia riferimento a Figura 30 b). Inizialmente, i segnali CLK e \overline{CLK} sono, rispettivamente, alto e basso. In tale condizione, il NOR 1 avrà in ingresso due segnali alti e la sua uscita sarà bassa, mentre il NOR 2 avrà in ingresso due segnali bassi e la sua uscita sarà alta. Quando CLK e \overline{CLK} commutano, diventando, rispettivamente, basso ed alto, solo l'uscita del NOR 2 commuterà, passando da alta a bassa. In seguito ad un tempo t_d , dato dalla propagazione dei segnali attraverso gli invertitori 3 e 4, $\overline{V_{CLK}}$ passerà da alto a basso, comportando la commutazione del segnale in uscita al NOR 1 e, dopo un ulteriore tempo t_d , V_{CLK} passerà da basso ad alto. Tale funzionamento garantisce che i segnali V_{CLK} e $\overline{V_{CLK}}$ non siano mai contemporaneamente alti, introducendo un *dead time* pari alla somma dei tempi di propagazione di due invertiter e di un NOR.

3.1.4 Passaggio dalla fase di START-UP alla fase REGULAR

Per definire la fine della fase di START-UP e la conseguente accensione del *Main Converter*, deve essere introdotto un circuito che, controllando la tensione V_{SU} , determini quando è stato raggiunto il valore $V_{SU,f}$. Esso deve operare quando il *Main Converter* è spento e deve consumare la minor potenza possibile. Questo perché, essendo alimentato da V_{SU} , sottrae carica alla capacità C_{SU} , diminuendo la massima tensione che la pompa di carica di *Start Up* riesce a generare. Una possibile soluzione per realizzare tale circuito è il *voltage detector* proposto in [33].

Con riferimento alla Figura 16, essendo la tensione $V_{SU,f}$ maggiore di $V_{SU,min}$, vi è un intervallo di tensioni V_{SU} per le quali il *Main Converter* è acceso e si ha che $V_{SU} < V_{SU,f}$. È quindi necessario introdurre un secondo circuito che determini se il *Main Converter* è

accesso o meno. Ciò può essere fatto controllando se il LDO generi la corretta tensione in uscita, condizione necessaria e sufficiente affinché il *Main Converter* possa operare. Anche questo secondo circuito potrebbe realizzarsi introducendo un secondo *voltage detector* simile al precedente.

In questo modo, disponendo di due segnali, dove il primo controlla se il condensatore C_{SU} ha una tensione $V_{SU} > V_{SU,f}$ e il secondo determina se l'LDO sta operando come atteso, è possibile gestire il passaggio dalla fase di START-UP alle fasi REGULAR/RECHARGE, e viceversa. Per apprezzarne il funzionamento si faccia riferimento alla Figura 31.

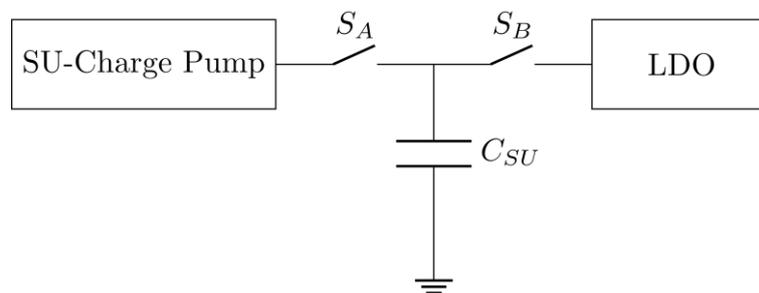


Figura 31: Circuiti e interruttori coinvolti nel passaggio dalla fase di START-UP a REGULAR/RECHARGE

Nel primo caso, supponendo che inizialmente il condensatore C_{SU} sia scarico e il *Main Converter* sia spento, si avrà che $V_{SU} < V_{SU,f}$, con lo switch S_A chiuso e quello S_B aperto. La pompa di carica di *Start Up* caricherà C_{SU} , e il LDO, non essendo alimentato, sarà spento. Quando la tensione V_{SU} supera $V_{SU,f}$, commuta l'uscita del primo *voltage detector* e lo switch S_B viene chiuso; il LDO è alimentato dal condensatore C_{SU} e, dopo un certo tempo, genererà una tensione pari a $0.8 V$ in uscita, facendo commutare il secondo *voltage detector* e aprire lo switch S_A .

Nel secondo caso, supponendo che inizialmente il *Main Converter* sia acceso, si avrà che $V_{SU,min} < V_{SU} < V_{SU,max}$ e il LDO opera correttamente. Se però la potenza della sorgente dovesse diminuire troppo, il convertitore non sarebbe più in grado di ricaricare la capacità C_{SU} fino alla tensione $V_{SU,max}$. Conseguentemente, esso rimarrebbe in fase RECHARGE, raggiungendo una condizione di equilibrio caratterizzata da quel valore di tensione V_{SU} per il quale la potenza fornita al condensatore C_{SU} è pari a quella dissipata per operare il convertitore. Se tale valore dovesse essere sufficientemente basso da non permettere il funzionamento corretto del LDO, il secondo *voltage detector* commuterebbe, aprendo lo switch S_B , chiudendo S_A e facendo tornare il circuito in fase di START-UP. In alternativa,

e cioè se il valore di tensione V_{SU} per la quale si raggiunge l'equilibrio fosse tale da garantire il corretto funzionamento del LDO, il convertitore rimarrebbe invece in tale condizione di equilibrio in attesa che la sorgente eroghi una potenza maggiore.

Sulla base di quanto detto, si avrà che lo switch S_A che collega il circuito di *Start Up* al condensatore C_{SU} è chiuso se e solo se il LDO non genera la corretta tensione in uscita, mentre lo switch S_B , che collega C_{SU} al LDO, è chiuso o se si verifica la condizione $V_{SU} > V_{SU,f}$, oppure se il LDO opera come atteso.

Il segnale che determina l'apertura dello switch S_A è utilizzato anche per disabilitare lo *Start Up Clock*.

3.2 Main Converter

3.2.1 Main Charge Pump

Come discusso in sezione 2.2, per operare il convertitore nel punto in cui la Potenza Trasmessa Normalizzata è massima, è necessario che i CTS della pompa di carica di Dickson presentino una resistenza equivalente nell'ordine dei $k\Omega$. Essendo, nel caso peggiore, la tensione a vuoto della sorgente V_S minore della tensione di soglia dei transistor, si esclude la possibilità di utilizzare soluzioni come la *Cross Coupled Charge Pump*. Per questo motivo, è stato scelto di realizzare una *Bootstrap Charge Pump*, similmente a quanto fatto in [29].

I *flying capacitor* della pompa di carica riportata in Figura 32 sono pilotati dalle fasi ϕ_1 e ϕ_2 che variano tra 0 e V_{in} , mentre i gate dei transistor $M0$ che formano i CTS sono pilotati dalle fasi ϕ_3 e ϕ_4 , che variano tra 0 e 0.8 V. Il valore di quest'ultima tensione è stata determinata per via simulativa come compromesso tra la riduzione della resistenza dei CTS e la minimizzazione della potenza estratta da C_{SU} .

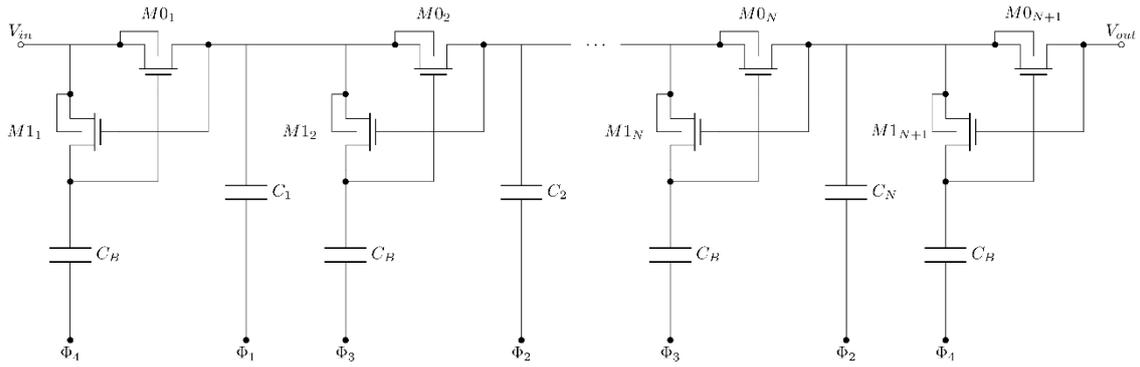


Figura 32: Main Charge Pump utilizzata

I transistor M0, che collegano *pumping capacitor* adiacenti, e M1, necessari per effettuare il *bootstrapping*, sono realizzati utilizzando transistori MOS a 5V Low Voltage, caratterizzati da un fattore di forma pari, rispettivamente, a $(20/1)$ e $(1/1)$. Anche tali dimensionamenti sono stati determinati per via simulativa, come compromesso tra la resistenza elettrica offerta dai transistor e la loro occupazione d'area, la quale è direttamente legata alla potenza dissipata per pilotarli.

I *flying capacitors* sono stati realizzati utilizzando condensatori MOS di capacità pari a 40 pF , in quanto essi sono quelli che dispongono della maggiore capacità per unità d'area. Tale scelta permette di mantenere contenuta l'occupazione d'area del chip, che è strettamente legata al suo costo, nonché di diminuire, a parità di prodotto Cf_{sw} , la frequenza di switching e, quindi, i consumi del convertitore.

Per realizzare C_B è stato scelto di utilizzare condensatori MOM di capacità pari a 100 fF , in questo caso preferibili poiché lineari. Questa tipologia di condensatori è caratterizzata da una minore capacità per unità di area, ma ciò non rappresenta una criticità, dato che i valori di capacità da realizzare sono contenuti.

Come discusso in sezione 2.1, le prestazioni della pompa di carica dipendono anche dai parametri tecnologici α_T e α_B , relativi alle capacità parassite di *top* e *bottom plate* dei *flying capacitor*. In particolare, è stato osservato come la capacità parassita di *bottom plate* sia quella che ha il maggiore impatto sulla Potenza Trasmessa Normalizzata, da cui deriva che è opportuno collegare il condensatore in modo che $\alpha_B < \alpha_T$. Al fine di determinare quale sia il collegamento ottimale dei *flying capacitor*, sono stati ricavati per via simulativa i *contour plot* relativi alla Potenza Trasmessa Normalizzata sia nel caso in cui il "gate" del condensatore MOS sia l'armatura a tensione più alta, quindi il *top plate*, sia nel caso in cui esso costituisca l'armatura a tensione più bassa, cioè il *bottom plate*.

La simulazione è stata effettuata considerando una sorgente caratterizzata da $V_S = 0.2 V$ e $R_S = 5 k\Omega$, dei segnali ϕ_3 e ϕ_4 a fasi non sovrapposte, che variano tra 0 e 0.8 V con frequenza f_{sw} , dei buffer ideali per pilotare i *flying capacitors*, e un generatore di tensione V_{out} come carico. La simulazione circuitale è stata eseguita in impostazione “tran”, facendola perdurare per un tempo utile da permettere al circuito di raggiungere la condizione di regime. Successivamente, è stata calcolata la potenza media trasferita al carico relativa all'ultimo millisecondo di simulazione e, da questa, la P_{TN} . Tale procedimento è stato ripetuto per 10 valori di frequenza distribuiti in maniera logaritmica tra 15 kHz e 1.5 MHz, per 8 numeri di stadi N distribuiti linearmente tra 5 e 40, e per 9 tensioni del carico V_{out} distribuite linearmente tra 0.4 e 3.6 V.

In Figura 33 è riportato il risultato di tali simulazioni nel caso in cui il “gate” del condensatore MOS costituisca l'armatura a tensione più alta, mentre in Figura 34 sono mostrati i risultati che si ottengono nel caso in cui il “gate” costituisca l'armatura a tensione più bassa. Da questi *contour plot* è possibile apprezzare che nel secondo caso la pompa di carica di Dickson è più performante, motivo per cui i condensatori sono stati collegati prevedendo che il “gate” costituisca il *bottom plate* del condensatore.

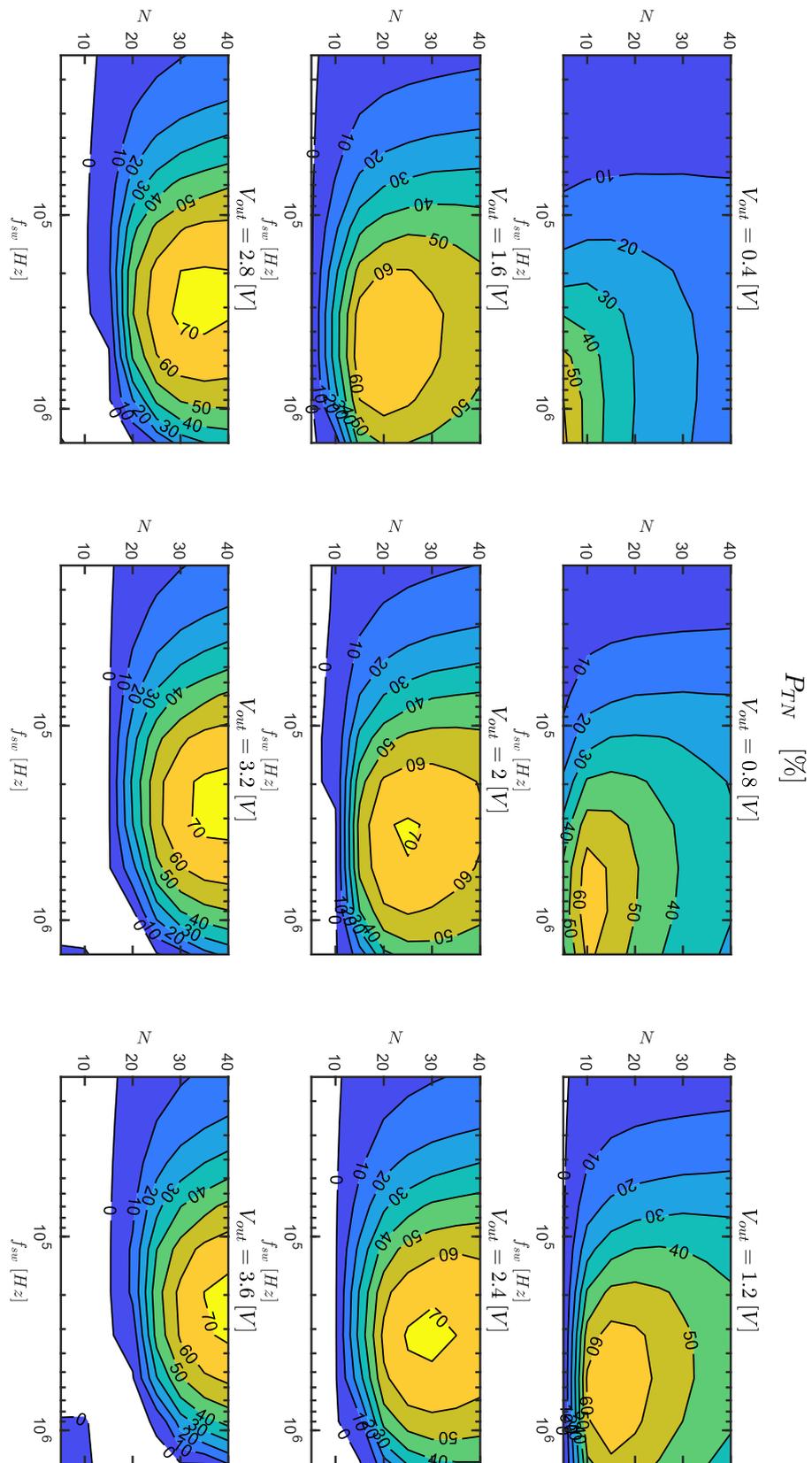


Figura 33: Contour plot della Potenza Trasmessa Normalizzata determinato per via simulativa, nel caso in cui il "gate" del condensatore MOS costituisca il top plate, considerando $R_S = 5 \text{ k}\Omega$, $V_S = 0.2 \text{ V}$

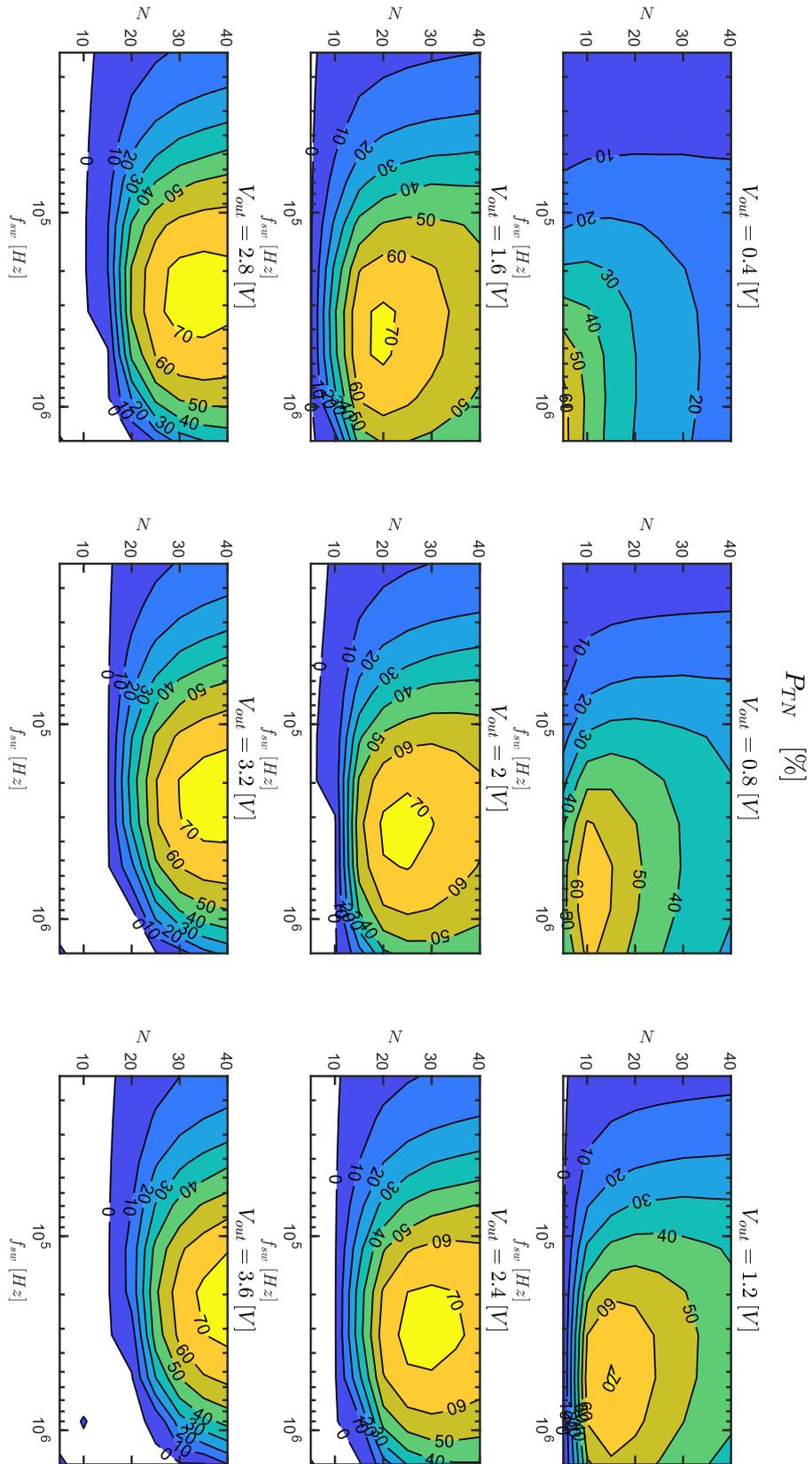


Figura 34: Contour plot della Potenza Trasmessa Normalizzata determinato per via simulativa, nel caso in cui il "gate" del condensatore MOS costituisca il bottom plate e considerando $R_S=5\text{ k}\Omega$, $V_S=0.2\text{ V}$

Successivamente, per determinare se l'introduzione di un condensatore di *bypass* migliori o meno le prestazioni della pompa di carica, sono state ripetute le medesime simulazioni, introducendo una capacità di 50 nF in parallelo alla sorgente. Tale capacità, filtrando le componenti ad alta frequenza della corrente in ingresso alla pompa di carica, mantiene la tensione V_{in} circa costante.

I risultati ottenuti sono riportati in Figura 35. Nei punti dove la P_{TN} è massima, la capacità introdotta aumenta l'estrazione di potenza dalla sorgente a discapito dell'efficienza del convertitore, con l'effetto che si ottengono valori di P_{TN} peggiori rispetto al caso in cui essa sia assente. Per questo motivo, il condensatore di *bypass* non è stato incluso nel design del convertitore.

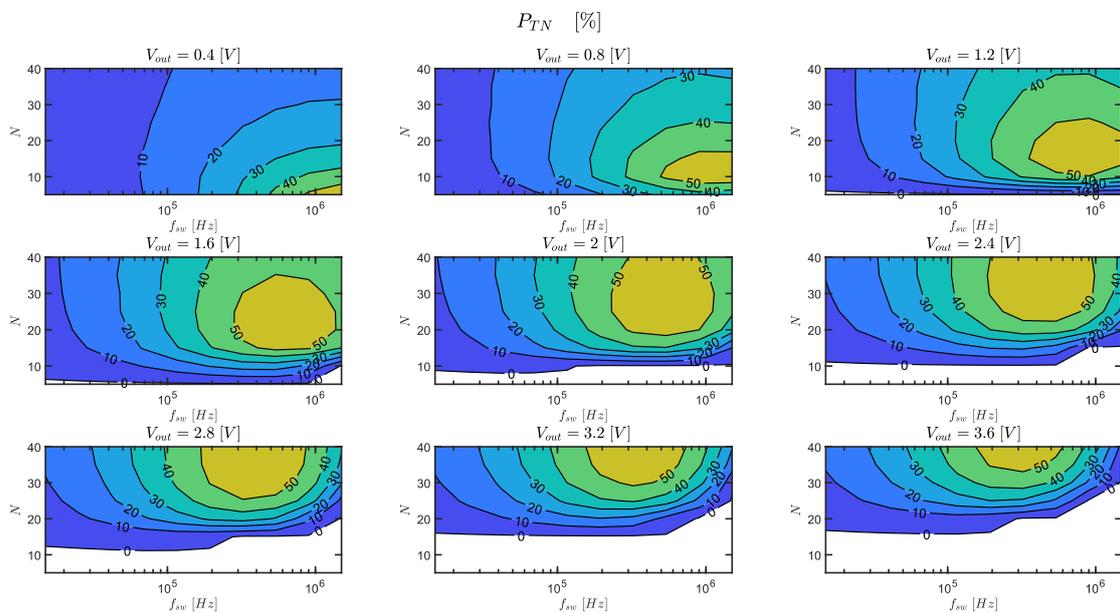


Figura 35: Contour plot della Potenza Trasmessa Normalizzata determinato per via simulativa considerando $R_s=5\text{ k}\Omega$, $V_s=0.2\text{ V}$ e una capacità di 50 nF in parallelo alla sorgente

In seguito, per verificare che la Potenza Trasmessa Normalizzata sia funzione del rapporto V_{out}/V_s come discusso in sezione 2.1, sono state ricavate per via simulativa i valori di questa per $V_{out}/V_s = 4$, $N = 10$, per 4 valori della tensione V_s distribuiti linearmente tra 0.2 V e 0.8 V , e per 25 valori di frequenza distribuiti in maniera logaritmica tra 15 kHz e 1.5 MHz .

I risultati di tali simulazioni sono riportati in Figura 36, dalla quale emerge che l'andamento della P_{TN} è simile per tutti i valori di V_s considerati, ma che il valore del suo

massimo diminuisce all'aumentare di V_S . Ciò è dovuto al fatto che in una pompa di carica *Bootstrap* la tensione tra gate e source dell' i -esimo CTS è pari a V_{BOOST} meno la differenza tra le tensioni, rispettivamente, ai capi del condensatore i -esimo e $i-1$ -esimo (equazione (8)), differenza che aumenta al crescere di V_S . Per questo, la resistenza equivalente dei CTS della pompa di carica aumenta all'aumentare di V_S , degradando la P_{TN} del convertitore.

Le curve ottenute permettono inoltre di apprezzare il passaggio da regime SSL, dove le stesse sono pressoché sovrapposte – in virtù del fatto che la resistenza dei CTS non influisce sulle performance – al regime FSL, dove la resistenza dei CTS ha un maggiore impatto sul valore della P_{TN} .

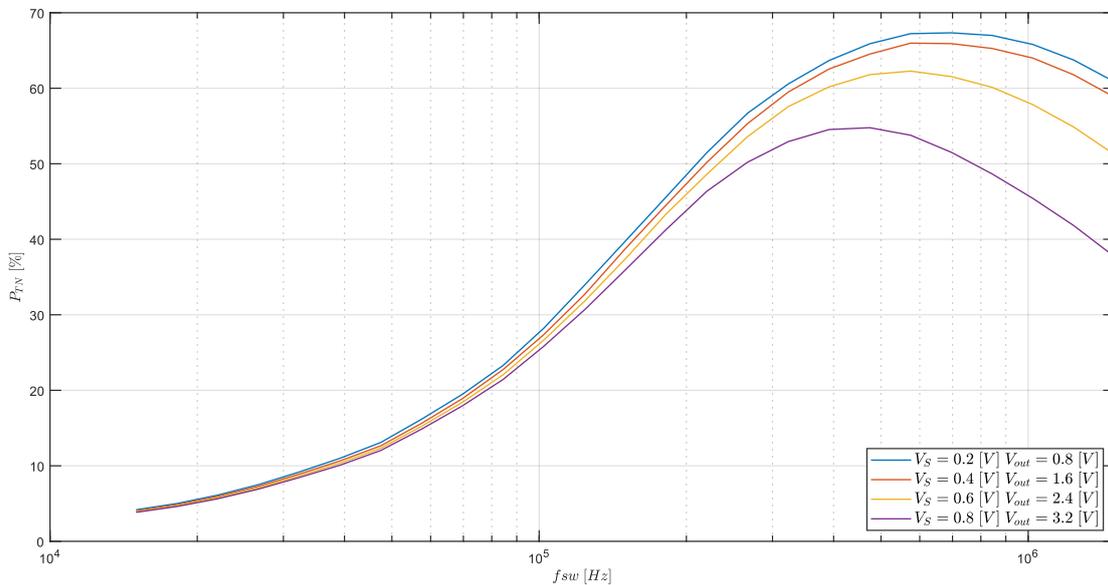


Figura 36: Potenza Trasmessa Normalizzata al variare di V_S e f_{sw}

Definiti i componenti utilizzati ed il loro dimensionamento, è necessario ora determinare la politica secondo cui effettuare il *Maximum Power Point Tracking*.

Occorre premettere che, vista l'esistenza di un ampio insieme di coppie (f_{sw}, N) tali per cui la pompa di carica opera in un intorno del *Maximum Power Point*, è stato scelto di non utilizzare un algoritmo di MPPT "tempo continuo". Ciò permette di evitare complessi sistemi di controllo in retroazione della frequenza, diminuendo il numero di blocchi richiesti e, conseguentemente, i consumi del convertitore.

Sulla base dei *contour plot* ricavati è evidente come sia possibile spostare il punto di lavoro della pompa di carica, lungo l'asse x , variando la frequenza f_{sw} , mentre, lungo l'asse y , variando il numero di stadi N . Inoltre, si può osservare che il punto in cui la P_{TN} è massima si sposti sul piano $f_{sw}N$, al variare della tensione di uscita V_{out} .

Supponendo che la resistenza R_S sia uguale a $5\text{ k}\Omega$, e facendo riferimento alle considerazioni teoriche riportate in sezione 2.1, è stato scelto di implementare l'MPPT riconfigurando la pompa di carica come riportato in Tabella 2.

	N	f_{sw} [kHz]
$V_{out}/V_S < 5$	10	500
$5 \leq V_{out}/V_S < 10$	20	250
$V_{out}/V_S \geq 10$	30	250

Tabella 2: MPPT implementato

I punti di lavoro sono stati determinati considerando quelle coppie (f_{sw}, N) che permettono di ottenere valori di P_{TN} prossimi al suo valore massimo, prediligendo, a parità di prestazioni, quelle caratterizzate dalla frequenza di switching minore, in modo da minimizzare la potenza dissipata per operare il convertitore.

Tale scelta, relativamente al *contour plot* riportato in Figura 34, si traduce nella Figura 37, dove in ogni sotto-grafico è indicato, in rosso, il punto di lavoro della pompa di carica per quella particolare tensione V_{out} . Da quest'ultima figura si può apprezzare come, utilizzando unicamente tre punti di lavoro per la pompa di carica, sia possibile ottenere P_{TN} comprese tra il 40% e il 70% e che questa sia meno performante per rapporti V_{out}/V_S bassi. Ciò non comporta un problema se $V_S = 0.2\text{ V}$ in quanto, durante la carica del condensatore di uscita, il convertitore passerà solo una piccola porzione del tempo totale ad operare in tali punti. D'altro canto, al crescere della tensione V_S , il convertitore lavorerà per un lasso di tempo sempre maggiore nei punti dove è poco performante, ma questo è comunque accettabile nell'ottica di minimizzare il tempo di carica del caso peggiore, dato che la maggiore potenza estraibile dalla sorgente compensa la minore P_{TN} del convertitore.

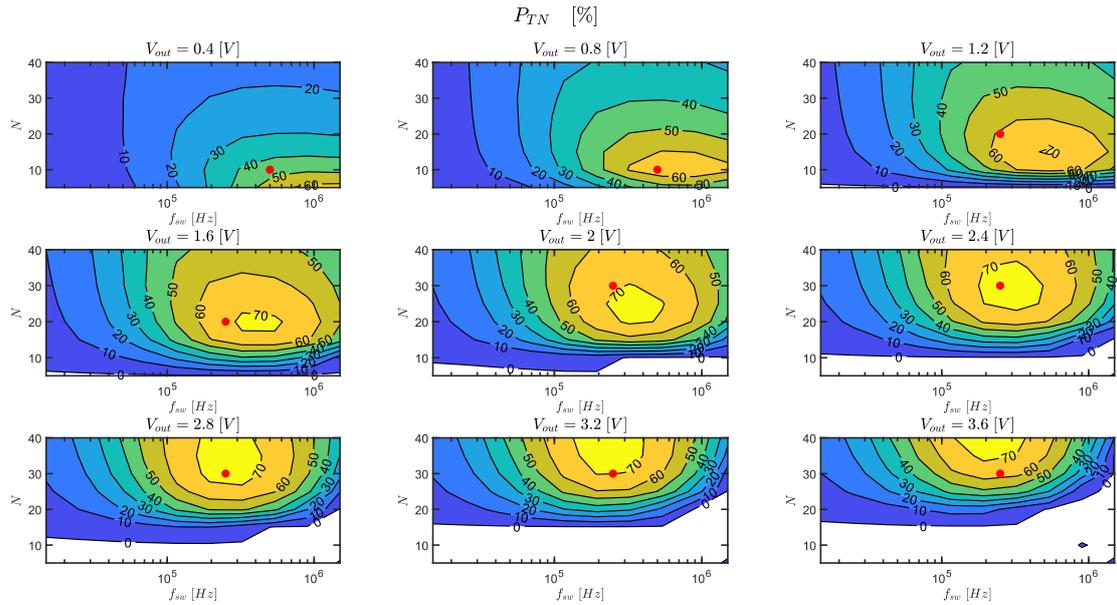


Figura 37: Contour Plot della Potenza Trasmessa Normalizzata determinato per via simulativa considerando $R_S = 5 \text{ k}\Omega$, $V_S = 0.2 \text{ V}$. In rosso è rappresentato il punto di lavoro della pompa di carica secondo l'MPPT

Infine, sono stati ricavati anche i *contour plot* relativi al caso in cui $R_S = 1 \text{ k}\Omega$, riportati in Figura 38.

Rispetto ai risultati ottenuti per $R_S = 5 \text{ k}\Omega$, si evince che il punto dove la P_{TN} è massima si ottiene per coppie (f_{sw}, N) differenti. Questo comporta che una soluzione per l'MPPT che si basa sul rapporto V_{out}/V_S come quella riportata in Tabella 2 e prima illustrata, debba essere definita previa caratterizzazione della sorgente. Per far fronte a questa problematica, si potrebbe o modificare l'algoritmo di MPPT, facendo sì che il convertitore sia in grado di adattarsi anche a variazioni di R_S , oppure, per quelle applicazioni dove la figura di merito di interesse è il tempo di carica nel caso peggiore, scegliendo quella politica per l'MPPT che minimizza il massimo tempo di carica.

Nell'ottica di minimizzare il massimo tempo di carica del condensatore di uscita, che è l'obiettivo che si propone il presente progetto di tesi, l'MPPT proposto, seppure con le sue criticità, appare una soluzione accettabile.

Ciò in quanto permette, anche nel caso in cui $R_S = 1 \text{ k}\Omega$, di trasferire al carico una potenza P_{out} pari, se non maggiore, a quella che si trasferisce quando $R_S = 5 \text{ k}\Omega$. Ciò è dovuto al fatto che la massima potenza estraibile dalla sorgente quando $R_S = 1 \text{ k}\Omega$ è cinque volte maggiore rispetto a quella che si può estrarre quando $R_S = 5 \text{ k}\Omega$.

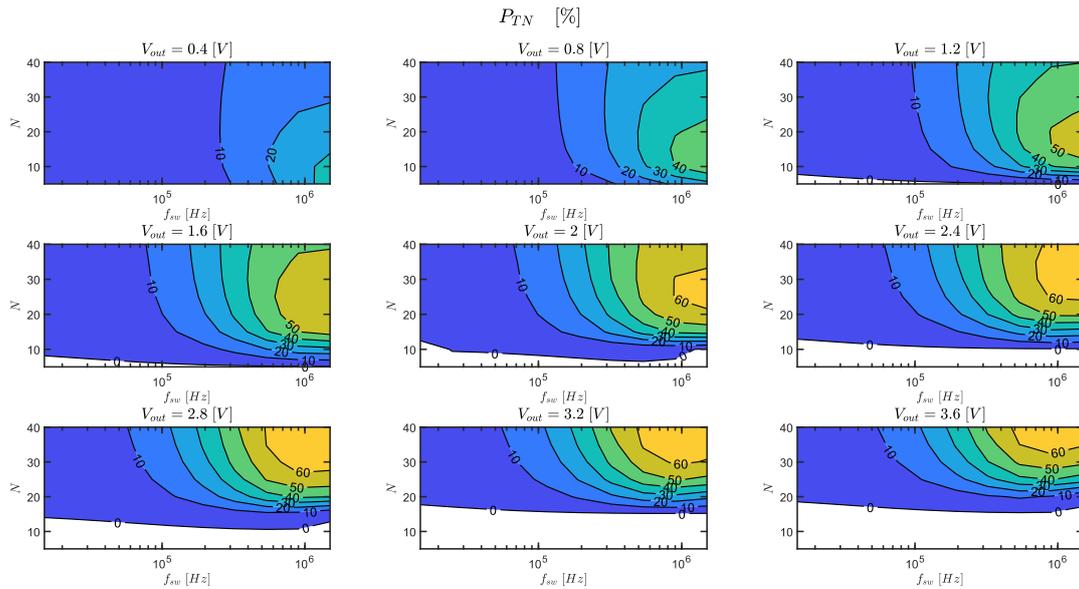


Figura 38: Contour plot della Potenza Trasmessa Normalizzata, nel caso in cui $R_S=1\text{ k}\Omega$, $V_S=0.2\text{ V}$

3.2.2 Main Clock

In letteratura esistono diverse soluzioni per realizzare clock a basse potenze. Tra di esse, alcune utilizzano oscillatori a rilassamento, dove il periodo di oscillazione è dettato dal tempo di carica e scarica di una capacità, ed è indipendente dalla tensione di alimentazione [34] [35] [36].

Nella presente tesi, invece, supponendo di disporre di un LDO a nanopotenze [37], è stato scelto di utilizzare un *Current starved Ring Oscillator* [32], Figura 39.

Il LDO, alimentando il clock con la corrente I_D , dissipa una potenza pari a $(V_{SU} - V_{DD}) \cdot I_D$. Per questa ragione, l'impiego di un LDO risulta accettabile solo se il consumo intrinseco dell'oscillatore è notevolmente inferiore alle potenze che il convertitore è in grado di estrarre.

Il circuito scelto per realizzare il *Main Clock* è riportato in Figura 40 a). Esso è formato da 14 invertitori *current starved*, rappresentati con il colore nero, il cui circuito è riportato in Figura 40 b), e da due invertitori *current starved* "enabled", di colore rosso, il cui circuito è riportato in Figura 40 c).

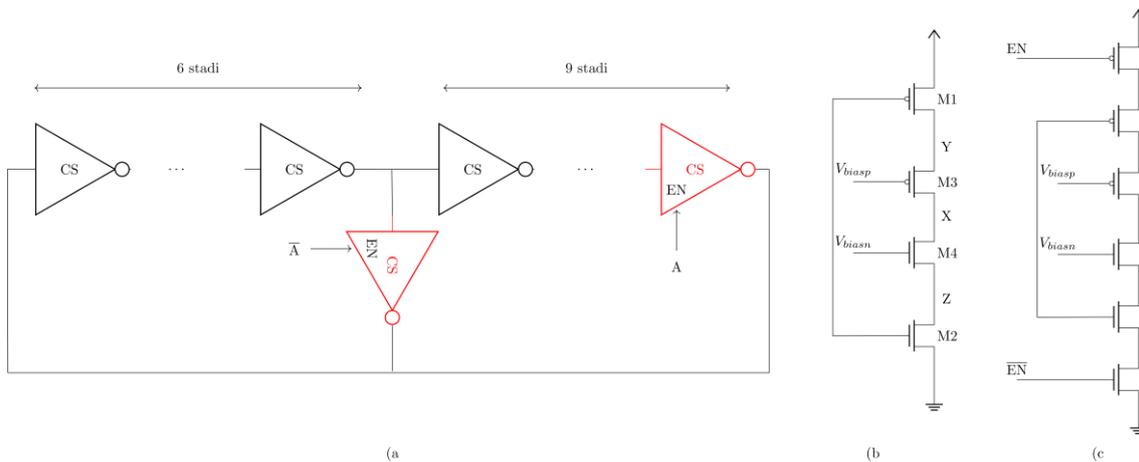


Figura 40: Struttura del Main Clock implementato

Gli invertitori CS utilizzati differiscono rispetto a quelli classici, riportati in Figura 39, per la posizione dei transistor; infatti, le coppie M1-M3 e M2-M4 hanno posizioni invertite.

Il motivo di tale scelta può essere apprezzato facendo riferimento a Figura 41 e a Figura 39. Scegliendo di realizzare i transistor M1 e M2 ad area minima, mentre quelli M3 e M4 con un fattore di forma di $(1/10)$ per alleviare l'effetto di modulazione di lunghezza di canale, la capacità sul nodo X sarà paragonabile, se non minore, a quelle presenti sui nodi Y e Z. Come conseguenza di ciò, supponendo che la tensione in ingresso all'invertitore passi da alta a bassa, non appena il pMos M1 diviene conduttivo, si avrà ripartizione di carica tra le capacità dei nodi X e Y. Questo causa un aumento repentino della tensione sul nodo X tale da far commutare l'inverter successivo e compromettere il corretto funzionamento del circuito.

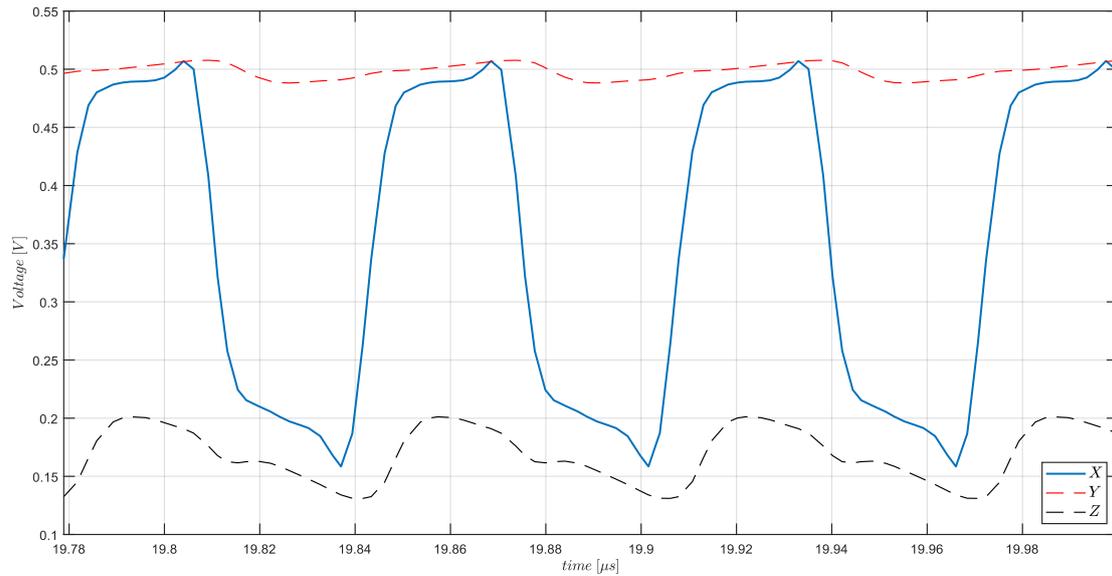


Figura 41: Andamento nel tempo dei segnali X, Y, Z in un Current Starved Ring Oscillato come quello di Figura 39, considerando M1-M2 ad area minima e M3-M4 con un fattore di forma (1/10)

I segnali X, Y e Z relativi al clock realizzato con gli invertitori CS proposti sono riportato in Figura 42. Da essa si può notare che la tensione dei source di M3 e M4, quando essi devono rispettivamente caricare e scaricare il nodo X, sono V_{DD} e 0. Questo garantisce che gli specchi di corrente impongano una corrente pari a I_D e quindi che il circuito abbia il funzionamento atteso.

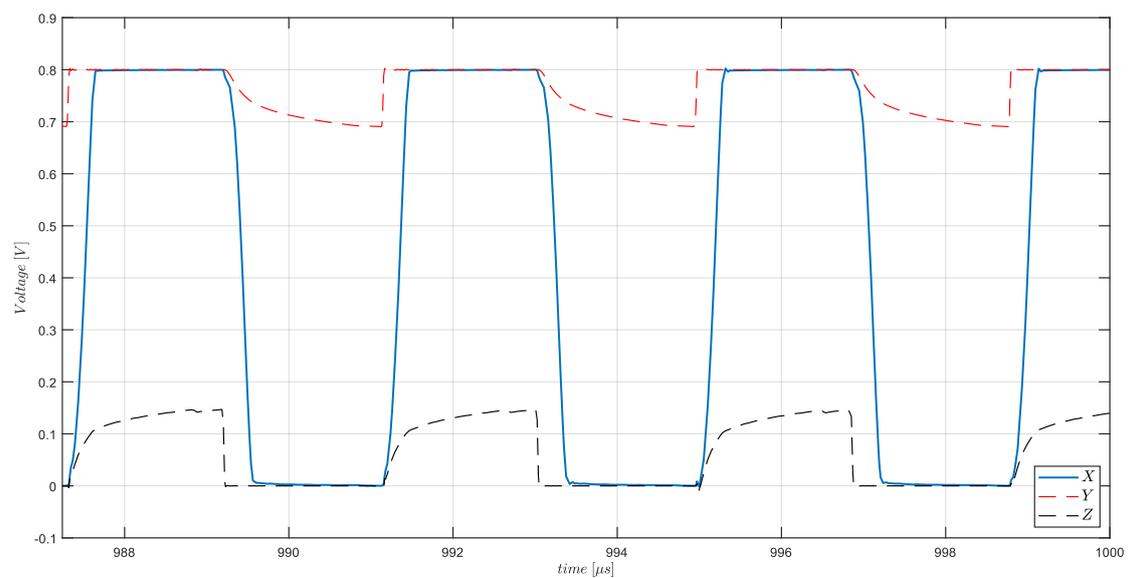


Figura 42: Andamento dei segnali X, Y, Z nel Current Starved Ring Oscillator implementato, considerando M1-M2 ad area minima e M3-M4 con un fattore di forma (1/10)

Per quanto riguarda gli invertitori CS “enabled”, essi sono stati introdotti per poter variare la frequenza del *Main Clock*. Infatti, disponendo di un segnale di *enable* che permette di abilitarli o disabilitarli, è possibile variare il numero di invertitori che formano l’anello. Dato che per realizzare l’MPPT è sufficiente che il clock oscilli a due frequenze, l’una la metà dell’altra, si è scelto di utilizzare 15 stadi per la frequenza di 250 kHz e 7 stadi per la frequenza di 500 kHz.

Infine, per quanto riguarda la porzione di circuito adibita a raddrizzare i fronti del clock, è stato introdotto un invertitore CS, caratterizzato da transistor M3 e M4 aventi un fattore di forma (10/10), seguito da un altro invertitore non *current starved*. La presenza del primo permette di contenere la potenza dissipata, in quanto garantisce che il secondo non abbia un eccessivo lasso di tempo in cui entrambi i transistor sono conduttivi.

Il circuito è stato simulato in ambiente CAD in entrambe le modalità di funzionamento, considerando una tensione di alimentazione pari a 0.8 V e una corrente $I_D = 5 \text{ nA}$. I risultati ottenuti sono riportati in Figura 43. Il *Main Clock* realizza un’onda quadra di *duty cycle* circa pari a 0.5, caratterizzata da una frequenza di 479 kHz e 256 kHz, rispettivamente, nella prima e nella seconda modalità di funzionamento. Tali valori si discostano da 500 kHz e 250 kHz, scelti per l’MPPT, ma tale fatto non comporta un problema in quanto la pompa di carica lavora in un intorno del punto di massimo trasferimento di potenza al carico per un ampio insieme di frequenze.

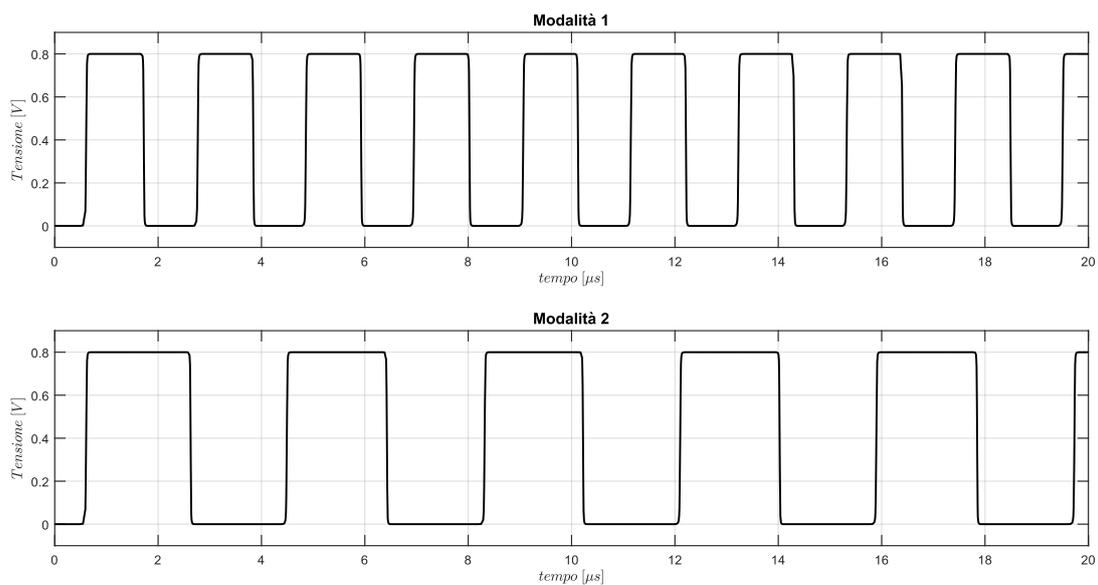


Figura 43: Forme d’onda generate dal *Main Clock* nelle due modalità di funzionamento previste: la prima caratterizzata da un frequenza di 479kHz, mentre la seconda da una frequenza di 256kHz

Generando la frequenza di 256 kHz , il circuito dissipa una potenza di 35.85 nW , mentre, alla frequenza di 479 kHz , una potenza pari a 63.43 nW . Tali valori di potenza differiscono rispetto a quelli predetti teoricamente da (29), sia perché viene dissipata potenza nella periodica carica e scarica dei nodi interni Y e Z , sia perché essa tiene conto anche della potenza dissipata per raddrizzare i fronti del clock.

Il circuito è stato simulato, in entrambe le modalità, anche considerando i *corner* di processo Fast e Slow. Da tali simulazioni è stato osservato che il Main Clock non oscilla per il corner Fast, mentre si ha una variazione di frequenza di circa il 9% per il corner Slow. Questo suggerisce che il circuito progettato, sebbene funzioni considerando transistori tipici, richieda ulteriori modifiche.

3.2.3 Main Phases Generator + MPPT

Per implementare l'MPPT come descritto in Tabella 2 e generare i segnali che controllano la pompa di carica, è necessario sia valutare il rapporto V_{out}/V_S , sia verificare quando debba essere caricata la capacità C_{SU} .

Per determinare in quale dei tre regimi di funzionamento previsti dall'MPPT si trovi la pompa di carica, è stato utilizzato un circuito il cui schema a blocchi è riportato in Figura 44. Esso è formato da un partitore di tensione che permette di determinare $V_{out}/5$ e $V_{out}/10$ e due comparatori che confrontano tali tensioni con V_S . La tensione di uscita COMP1 del comparatore 1 è alta qualora $V_{out}/V_S > 5$, mentre la tensione COMP2 del comparatore 2 è alta nel caso in cui $V_{out}/V_S > 10$.

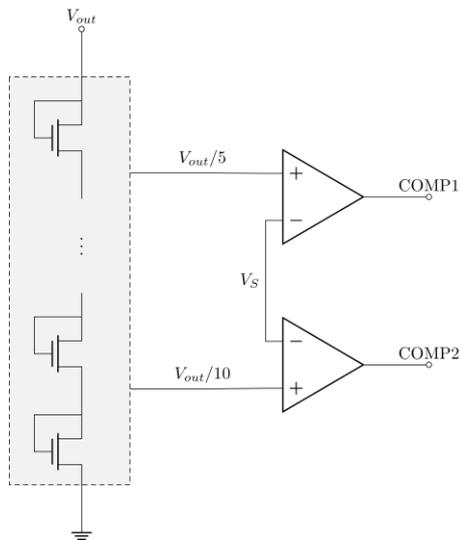


Figura 44: Circuito che monitora il rapporto V_{out}/V_S e determina in quale dei tre casi, descritti in Tabella 2, si trova la pompa di carica

La tensione a vuoto della sorgente V_S non è nota a priori e non può essere misurata mentre la pompa di carica principale estrae corrente dalla sorgente stessa. Per questo motivo, è necessario prevedere il periodico spegnimento della pompa di carica principale e campionamento della tensione V_S . Il periodo che intercorre tra un campionamento di V_S e il successivo sarà dettato dal processo aleatorio che descrive statisticamente tale tensione, mentre il segnale di temporizzazione necessario per scandire tali campionamenti può essere realizzato tramite un multivibratore astabile o un contatore. Si indica con SAMPLE il segnale che, se alto, determina l'intervallo di tempo in cui avviene il campionamento di V_S .

Per sancire le fasi REGULAR e RECHARGE è stato utilizzato un circuito il cui schema a blocchi è riportato in Figura 45. Similmente al caso precedente, è presente un partitore di tensione che genera due frazioni della tensione V_{SU} e due comparatori che confrontano queste ultime con un riferimento di tensione. Le uscite dei comparatori sono, rispettivamente, i segnali di SET e RESET di un Latch SR, il quale memorizza la fase in cui si trova il convertitore. Le frazioni di V_{SU} da generare, nonché il valore del riferimento di tensione da utilizzare, devono essere scelti sulla base dei valori $V_{SU,min}$ e $V_{SU,max}$ adottati per il convertitore. Supponendo di disporre di un LDO capace di operare per tensioni di ingresso minori di 1 V, nel presente lavoro è stata scelta $V_{SU,min}$ uguale a 1 V e $V_{SU,max}$ pari a 2 V. Con tali valori, il controllo della tensione V_{SU} può essere realizzato prevedendo un partitore che genera le tensioni $V_{SU}/2$ e $V_{SU}/4$ e un riferimento di tensione pari a 0.5 V.

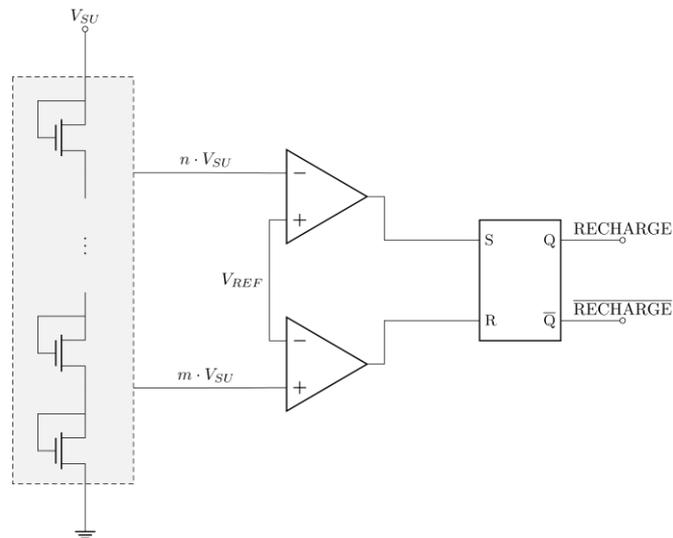


Figura 45: Circuito che monitora la tensione V_{SU} e determina se il circuito si trovi nella fase di RECHARGE o meno

Per il controllo della tensione V_{out} , il partitore di tensione è stato realizzato utilizzando 10 transistori nMos 5V Low Voltage connessi a diodo caratterizzati da un fattore di forma (1/40). La scelta di realizzare i transistor poco conduttivi è stata fatta in modo tale da contenere la potenza dissipata dal partitore. Per via simulativa è stato verificato che quest'ultima sia pari a 24.95 nW quando $V_{out} = 3.3 \text{ V}$. Il partitore relativo alla tensione V_{SU} è stato realizzato con 8 nMos 5V Low Voltage connessi a diodo, caratterizzati da un fattore di forma (1/5) per le stesse motivazioni del precedente. In questo caso la dissipazione di potenza è pari a 22.4 nW quando $V_{SU} = 2 \text{ V}$.

Per realizzare il comparatore è stata utilizzata la soluzione proposta in [38] e riportata in Figura 46. Essi sono stati polarizzati con una corrente I_{REF} pari a 10 nA . Un valore così contenuto della corrente di riferimento permette di ridurre i consumi del comparatore, comportando però un allungamento dei tempi di commutazione dello stesso. Tale fatto non rappresenta, tuttavia, una criticità per questa applicazione, dato che i segnali che il comparatore riceve in ingresso variano lentamente nel tempo e la velocità con la quale il circuito reagisce a tali variazioni ha un'importanza secondaria rispetto ai suoi consumi. Un esempio del funzionamento del comparatore, considerando una tensione di alimentazione pari a 0.8 V , $V_+ = 0.4 \text{ V}$ e un segnale V_- che varia tra 0 e 0.8 V in un millisecondo, è riportato in Figura 47.

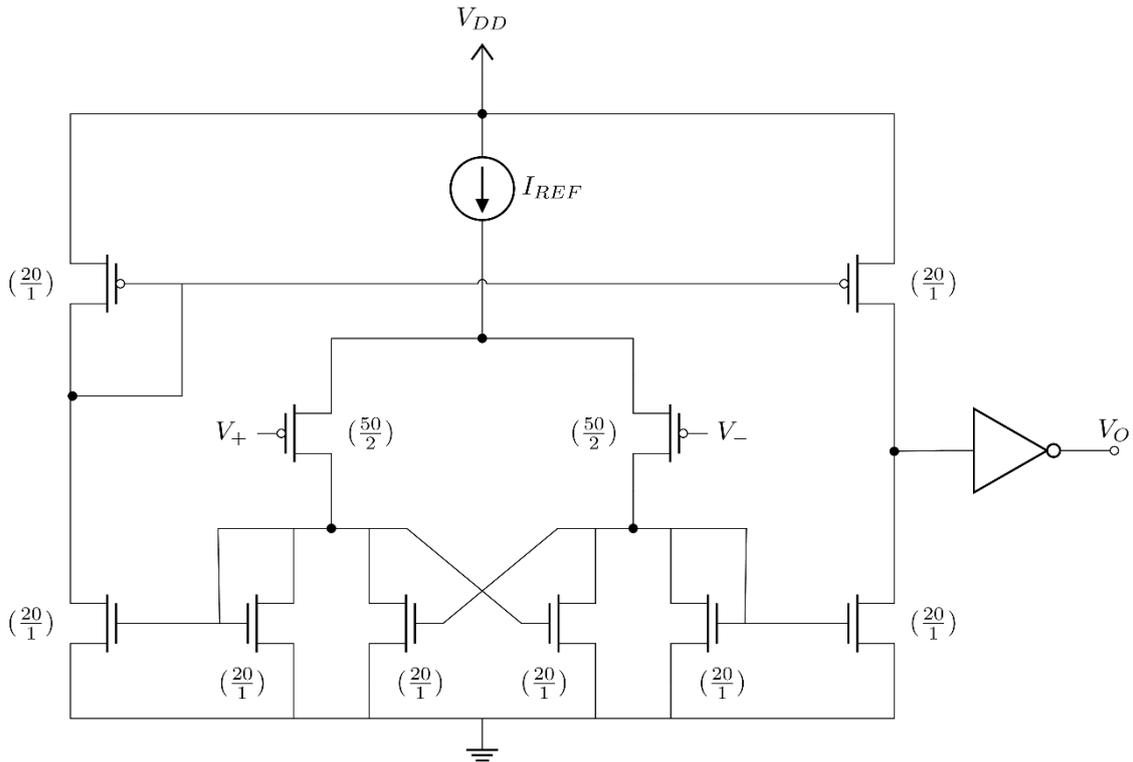


Figura 46: Comparatore Low Power utilizzato, figura adattata da [38]

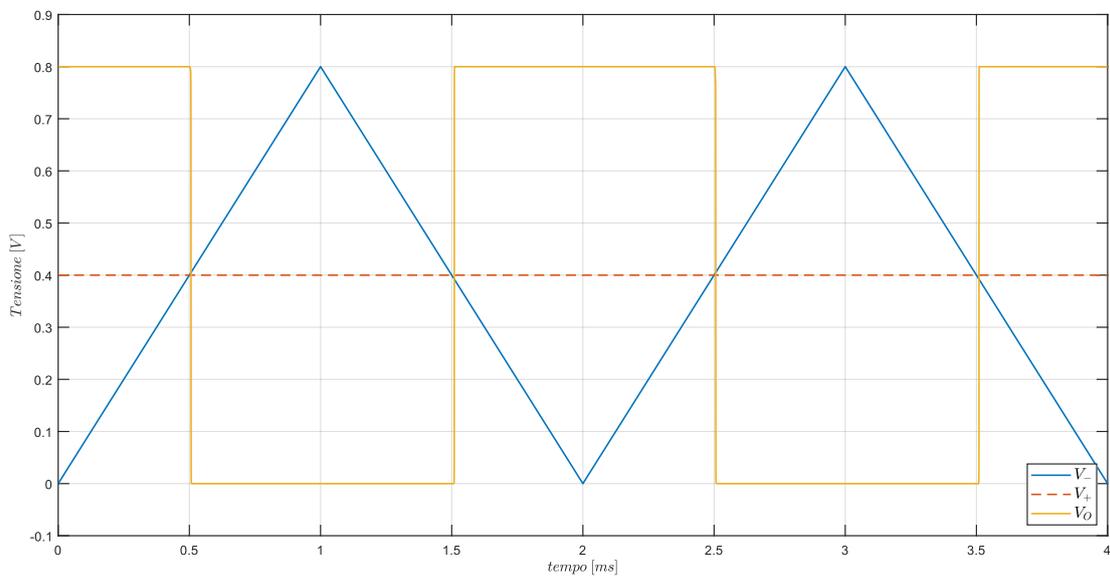


Figura 47: Esempio di funzionamento del comparatore implementato, considerando $V_+=0.4V$ e V_- che varia tra 0V e 0.8V in un millisecondo

Sulla base dei segnali COMP1, COMP2 e RECHARGE sono generate le fasi che controllano la *Main Charge Pump*. Nell'ottica di minimizzare i consumi, dato che è prevista la possibilità di variare il numero di stadi della pompa di carica, in un dato momento sono generate le sole fasi che controllano gli stadi utilizzati in quel momento.

Per sancire quali stadi della pompa di carica debbano essere attivi, è stata realizzata la logica riportata in Figura 48, che genera i segnali EN1, EN2, EN3, in grado di abilitare o disabilitare, rispettivamente, i primi dieci stadi, i secondi dieci o gli ultimi dieci. Dato che i primi dieci stadi della *Main Charge Pump* sono sempre funzionanti quando questa è attiva, EN1 è pari al negato del segnale SAMPLE.

I secondi dieci stadi vengono attivati, quando SAMPLE è basso, sia nel caso in cui $V_{out}/V_S > 5$ sia quando il convertitore entra nello stato di RECHARGE. Per questo motivo, il segnale EN2 è dato dall'AND tra $\overline{\text{SAMPLE}}$ e il risultato dell'OR tra i segnali COMP1 e RECHARGE. La scelta di utilizzare la pompa di carica in configurazione con $N = 20$ stadi per effettuare la ricarica di C_{SU} è stata fatta in modo da evitare di inserire gli ulteriori partitori e comparatori necessari per realizzare l'MPPT rispetto a V_{SU} , semplificando la struttura del convertitore. Il numero di stadi $N = 20$ è tale da rendere la ricarica massimamente efficiente per tensioni $V_S = 0.2 V$. Il segnale generato dall'OR tra RECHARGE e COMP1 è utilizzato anche per variare la frequenza del Main Clock: quando tale segnale è basso la frequenza di oscillazione sarà $479 kHz$, mentre quando è alto, $256 kHz$.

Gli ultimi 10 stadi della pompa di carica vengono attivati qualora $V_{out}/V_S > 10$, il convertitore non si trova nello stato di RECHARGE e SAMPLE è basso, per questo il segnale EN3 è il risultato dell'AND tra COMP2, $\overline{\text{RECHARGE}}$, $\overline{\text{SAMPLE}}$.

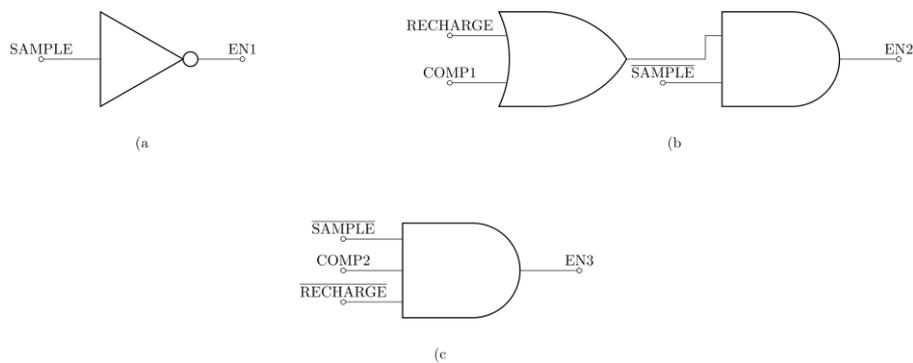


Figura 48: Circuito che genera i segnali di enable EN1, EN2, EN3

Sulla base dei segnali CLK, $\overline{\text{CLK}}$, EN_i, sono generate le fasi $\phi_{1,i}$, $\phi_{2,i}$, $\phi_{3,i}$ e $\phi_{4,i}$ relative all'i-esimo sotto-insieme di dieci stadi, come riportato in Figura 49. Il circuito che

permette di generare le fasi $\phi_{3,i}$ e $\phi_{4,i}$ è tale che $\phi_{3,i}$ (risp. $\phi_{4,i}$) passi da basso ad alto solo se CLK (risp. $\overline{\text{CLK}}$) è alto e $\overline{\phi_{4,i}}$ (risp. $\overline{\phi_{3,i}}$) è alto. Questo garantisce sia che non si verifichi mai la condizione in cui sia $\phi_{3,i}$ che $\phi_{4,i}$ sono entrambi alti, evitando che si abbia una corrente che scorre dal carico verso la sorgente, sia che il *dead time* sia il minore possibile, condizione importante in quanto *dead time* troppo lunghi impatterebbero negativamente l'estrazione di potenza dalla sorgente. I buffer utilizzati per generare i segnali $\phi_{1,i}$ e $\phi_{2,i}$ sono stati realizzati utilizzando due nMos, come proposto in [29] e riportato in Figura 49. Tale implementazione è necessaria, dato che il segnale V_{in} che li alimenta può essere minore della tensione di soglia dei transistor, rendendo impraticabile l'utilizzo di pMos.

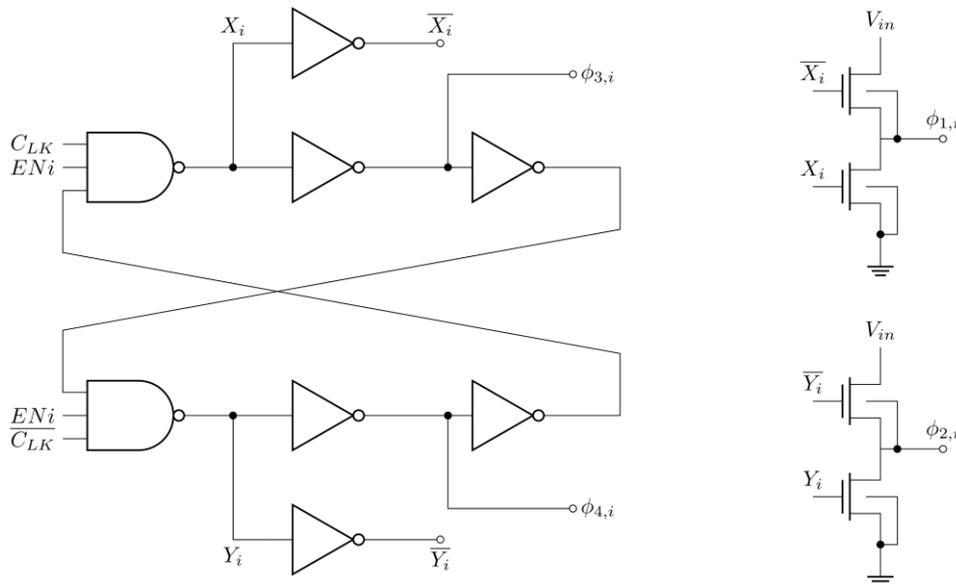


Figura 49: Circuito utilizzato per generare le fasi che controllano l'i-esimo insieme di 10 stadi della pompa di carica

Una volta definite le condizioni nelle quali l'i-esimo sotto-insieme di dieci stadi è attivo o meno, è quindi necessario determinare i segnali che controllano gli switch che permettono di convogliare la potenza estratta dalla sorgente ai condensatori C_{out} e C_{SU} . Si faccia riferimento a Figura 50, dove i blocchi A, B, C rappresentano ciascuno dieci stadi della pompa di carica.

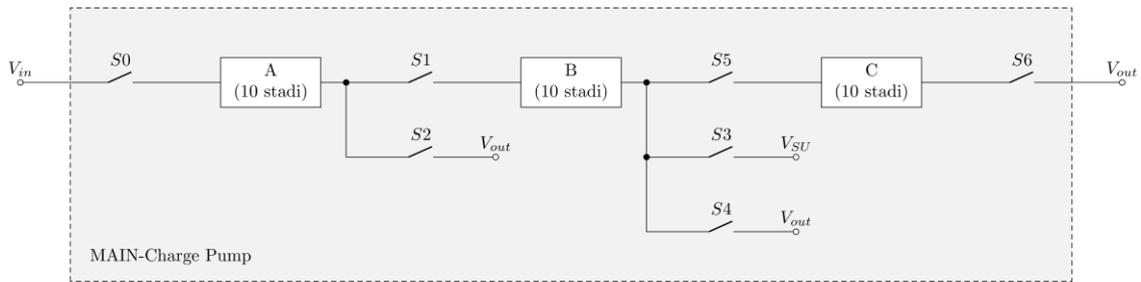


Figura 50: Rappresentazione schematica della Main Charge Pump, comprensiva degli switch che permettono di realizzare MPPT e ricarica

Sulla base delle modalità di funzionamento della pompa di carica illustrate in precedenza, si può rilevare quanto segue.

Lo switch S0, che collega la Main Charge pump alla sorgente, sarà chiuso se e solo se SAMPLE è basso. Lo switch S1, che collega il blocco A al blocco B, dovrà essere chiuso se e solo se gli stadi di B sono attivi, quindi se EN2 è alto. Lo switch S2, che collega A al condensatore C_{out} , dovrà essere chiuso se gli stadi di A e B sono, rispettivamente, attivi e disattivi, e quindi se il risultato dell'AND tra $\overline{EN2}$ e EN1 è un segnale alto. Dato che nell'espressione di EN2 compare EN1 stesso, la condizione di accensione dello switch S2 può essere semplificata come l'AND tra EN1 e il risultato del NOR tra RECHARGE e COMP1. Lo switch S3, che collega B al condensatore C_{SU} , dovrà essere chiuso se il sistema si trova nella fase RECHARGE, e sarà pilotato da tale segnale. Lo switch S4, che collega B al condensatore C_{out} , dovrà essere chiuso se il convertitore non è in fase di RECHARGE e gli stadi di B e C sono, rispettivamente, attivi e disattivi, e dunque se il risultato dell'AND tra i segnali EN2, $\overline{EN3}$ e $\overline{RECHARGE}$ è alto. Infine, gli switch S5 e S6, i quali collegano, rispettivamente, i blocchi B-C e il blocco C al condensatore C_{out} , saranno chiusi se e solo se gli ultimi dieci stadi sono attivi, ovvero quanto EN3 è alto.

In Tabella 3 è riassunto quanto detto sopra.

Switch	Condizione affinché lo switch sia chiuso
S0	\overline{SAMPLE}
S1	EN2
S2	$EN1 \cdot (\overline{RECHARGE + COMP1})$
S3	RECHARGE
S4	$EN2 \cdot \overline{EN3} \cdot \overline{RECHARGE}$

S5	EN3
S6	EN3

Tabella 3: Espressioni secondo le quali sono generati i segnali che pilotano gli interruttori di Figura 50

Dato che gli interruttori S3 e S4 collegano il medesimo nodo della pompa di carica rispettivamente a V_{SU} e V_{out} , è necessario prevedere un *dead time* tra l'apertura di uno e la chiusura dell'altro per evitare che si abbia ripartizione di carica tra i condensatori C_{SU} e C_{out} .

Capitolo 4 Simulazione complessiva del sistema

Per verificare il funzionamento del sistema, è stata effettuata una simulazione comprensiva di tutti i blocchi circuitali precedentemente descritti. Poiché non tutti sono stati progettati, alcuni di essi sono stati sostituiti con blocchi ideali.

In particolare, sono stati considerati ideali: gli interruttori S0-S9 e S_A-S_B, il LDO, i riferimenti di correnti e tensioni, il circuito che permette di gestire il passaggio dalla fase di START-UP alle fasi REGULAR/RECHARGE, e il circuito adibito al campionamento di V_S , quest'ultimo effettuato ogni millisecondo spegnendo il *Main Converter* per 10 μs . Tutti gli altri blocchi sono stati realizzati utilizzando componenti in tecnologia BCD di STMicroelectronics.

Nelle simulazioni presentate in questo capitolo, sono state considerate nell'ordine: una capacità C_{SU} pari a 2.2 nF, una tensione $V_{SU,f} = 1.2 V$ e una capacità $C_{out} = 100 nF$. La scelta del valore di quest'ultima è stato effettuato per ridurre il tempo di simulazione, ma non impatta sulla validità dei risultati ottenuti, dato che è possibile stimare il tempo di carica relativo alla generica capacità C_{out} secondo l'equazione (30). Il termine T_{CARICA} tiene conto del tempo impiegato per caricare la capacità C_{out} , considerando come istante iniziale il passaggio dalla fase di START-UP alle fasi REGULAR/RECHARGE. Questo perché il lasso di tempo passato dal convertitore in fase di START-UP non dipende dal valore di C_{out}

$$T_{CARICA|C_{out}} = \frac{T_{CARICA|100 [nF]} \cdot C_{out}}{100 [nF]} \quad (30)$$

Per determinare il tempo complessivo che il convertitore impiega a caricare la generica capacità C_{out} , supponendo che nell'istante iniziale esso sia completamente scarico, sarà sufficiente sommare a $T_{CARICA|C_{out}}$ il tempo passato in fase di START-UP: $T_{START-UP}$, come mostrato in equazione (31).

$$T_{TOT} = T_{CARICA|C_{out}} + T_{START-UP} \quad (31)$$

Al fine di dimostrare il funzionamento del sistema anche quando è completamente scarico, le simulazioni delle sezioni 4.1 e 4.2 sono state effettuate imponendo a 0 V le tensioni iniziali dei condensatori C_{SU} e C_{out} .

4.1 Simulazione per $V_S = 0.2$ V e $R_S = 5$ k Ω

Di seguito sono riportati i risultati della simulazione ottenuti considerando una sorgente caratterizzata da $V_S = 0.2$ V e $R_S = 5$ k Ω .

In Figura 51 sono rappresentati i segnali V_{SU} e V_{out} ottenuti. Essi hanno un andamento simile a quello discusso in Figura 25. Di seguito sono illustrati i risultati ottenuti.

La pompa di carica di *Start Up* carica il condensatore C_{SU} fino ad una tensione $V_{SU} = 1.2$ V in 237.077 ms, estraendo dalla sorgente una potenza media pari a 6.68 nW, corrispondente ad una P_{TN} media pari allo 0.33 %. La P_{TN} media è definita come il rapporto tra la potenza media ceduta al condensatore, calcolata sull'intero tempo di carica dello stesso, divisa per la massima potenza estraibile dalla sorgente e moltiplicata per cento, in modo da ottenere una percentuale.

Una volta raggiunta la condizione $V_{SU} > V_{SU,f}$, termina la fase di START-UP e iniziano le fasi REGULAR/RECHARGE in cui viene alternata la carica dei condensatori C_{SU} e C_{out} . Dopo ulteriori 1318.36 ms il condensatore C_{out} raggiunge una tensione $V_{out} = 3.3$ V. La potenza media estratta durante la carica di C_{out} è pari a 413 nW e corrisponde ad una P_{TN} media pari al 20.65 %. Essa è più bassa rispetto ai valori di P_{TN} illustrati in sezione 3.2.1 perché tiene conto anche del tempo trascorso in fase di RECHARGE, il quale, per tensioni V_S così ridotte, costituisce la maggior parte del tempo totale.

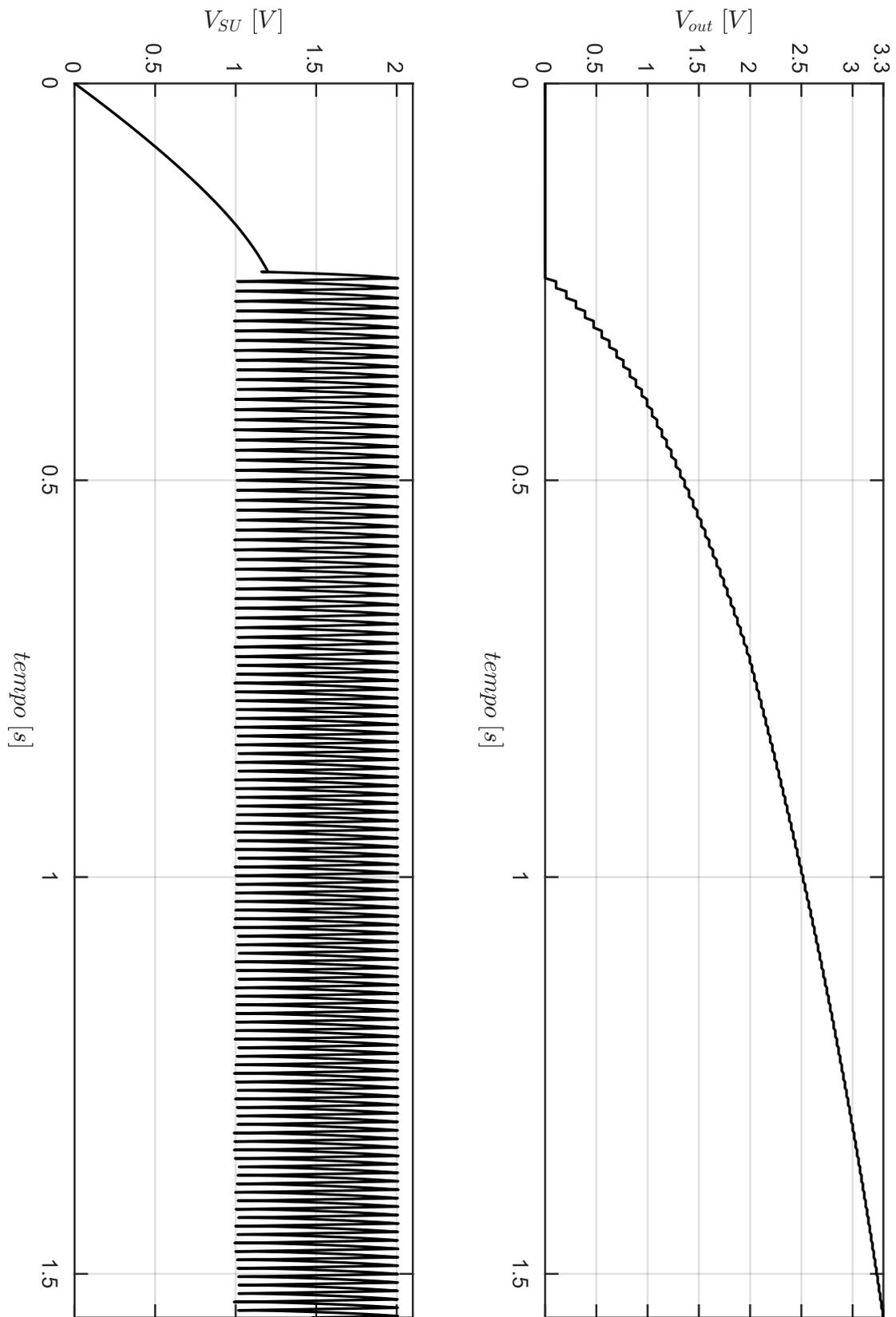


Figura 51 Andamento nel tempo dei segnali V_{SU} e V_{out} per una sorgente caratterizzata da $V_S=0.2V$ e $R_S=5\text{ k}\Omega$

In Figura 52 è riportato l'andamento del segnale V_{in} per un intervallo di tempo centrato sull'istante in cui si ha il passaggio dalla fase di START-UP alla fase RECHARGE. Si può apprezzare come, durante la fase di START-UP la tensione V_{in} sia circa pari a V_S , mentre quando si accende il *Main Converter*, la tensione V_{in} oscilla con un valore medio prossimo a $V_S/2$. Dato che la potenza estratta dalla sorgente è tanto maggiore quanto più V_{in} è vicina a $V_S/2$ – diminuendo la stessa man mano che V_{in} si allontana da tale valore – si può affermare, in prima approssimazione, che la potenza estratta in seguito all'accensione del *Main Converter* sia maggiore rispetto a quella estratta durante la fase di START-UP.

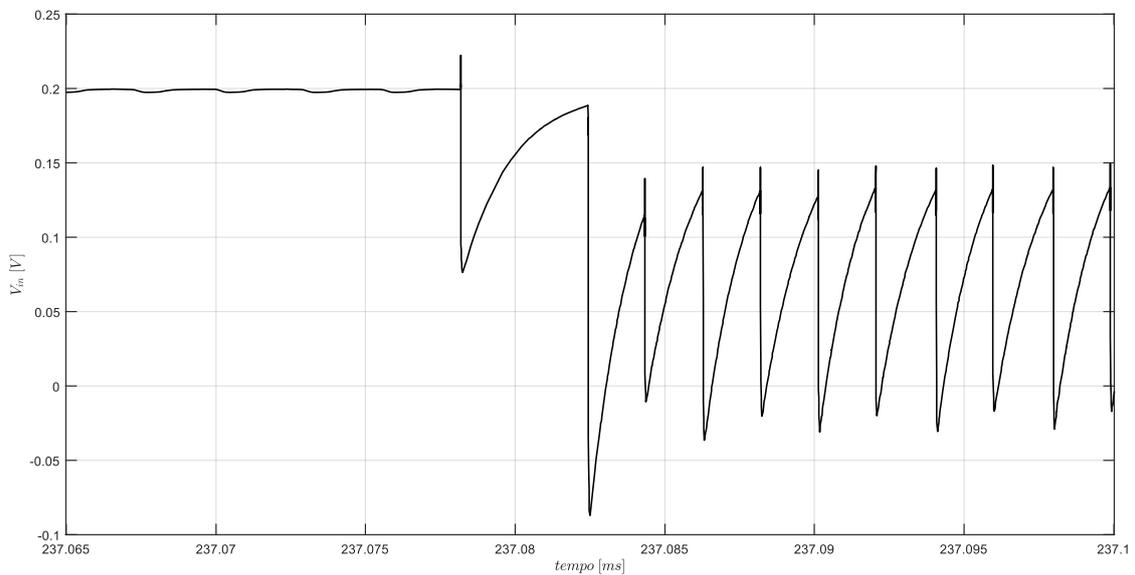


Figura 52 Andamento della tensione di ingresso al convertitore in corrispondenza dell'accensione del *Main Converter*.

In Figura 53 sono riportati gli andamenti di V_{out} , COMP1 e COMP2. COMP1 passa da basso ad alto quando $V_{out} = 5 \cdot V_S = 1 V$, mentre COMP2 quando $V_{out} = 10 \cdot V_S = 2 V$.

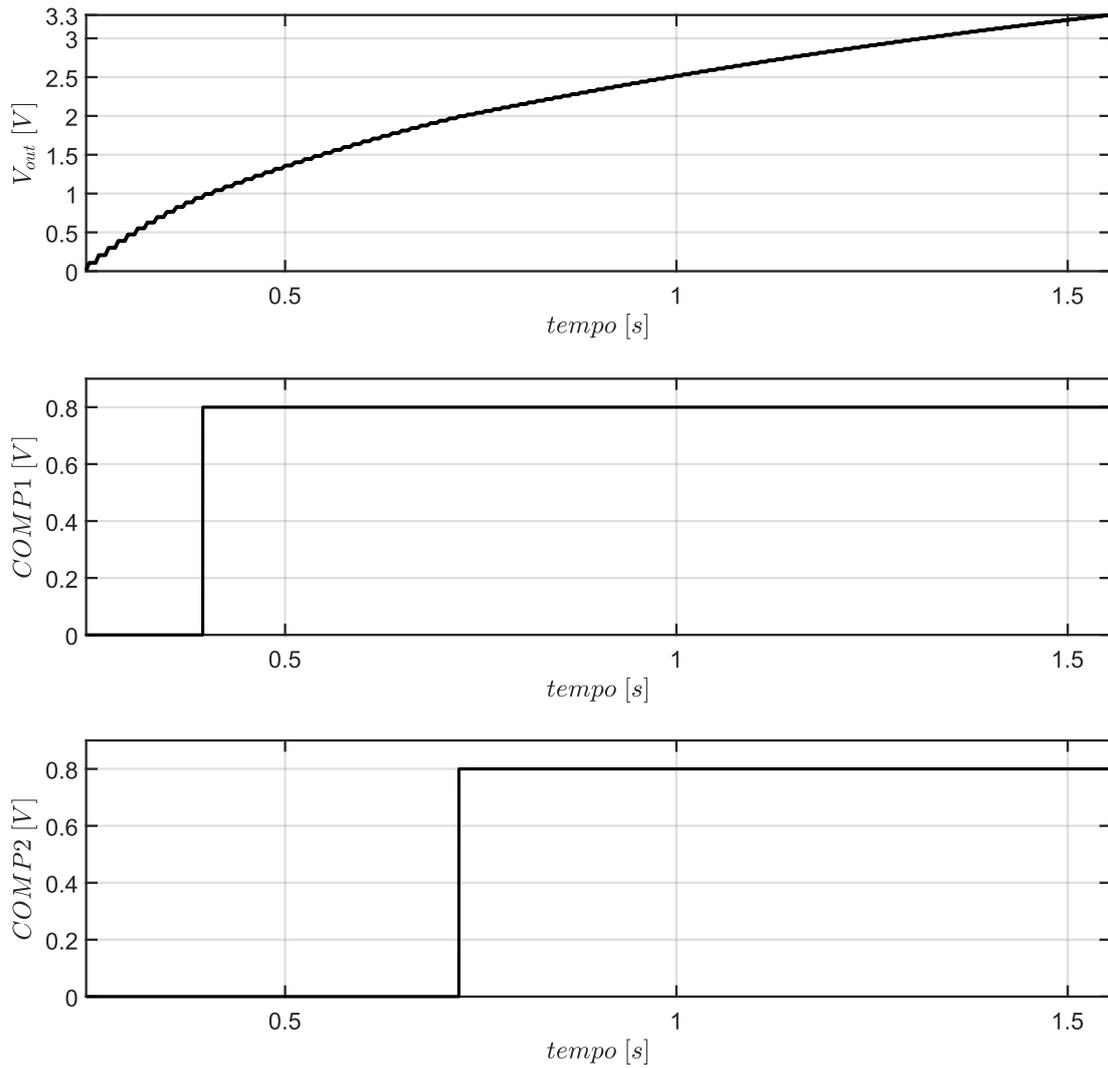


Figura 53 Segnali V_{out} , $COMP1$, $COMP2$ relativi al funzionamento del convertitore per $V_S=0.2 V$ e $R_S=5 k\Omega$

In Figura 54 è riportato l'andamento di V_{in} in corrispondenza del passaggio di $COMP1$ da basso ad alto, e infatti si può apprezzare come vari la frequenza f_{sw} del clock e conseguentemente il periodo di oscillazione di V_{in} .

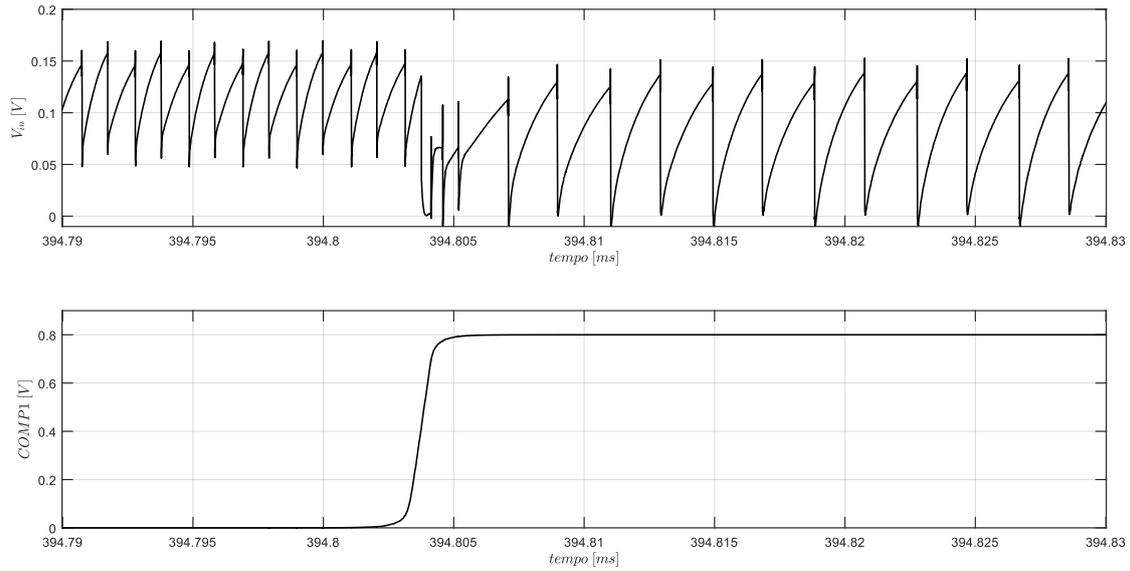


Figura 54 Andamento della tensione in ingresso al convertitore in corrispondenza del passaggio da alto a basso del segnale COMP1. Si può vedere la variazione della frequenza del clock, e la conseguente variazione del periodo di oscillazione di V_{in} .

Per verificare che il funzionamento della pompa di carica principale sia pari a quello descritto in sezione 3.2.1, è stata anche calcolata la P_{TN} su un'unica fase REGULAR per tensioni V_{out} rispettivamente pari a 0.8 V, 2 V, 3.2 V. Le formule utilizzate e i valori determinati sono riportati nelle equazioni (32)-(34), nelle quali la P_{TN} è determinata calcolando la potenza media trasferita al carico – definita come il rapporto tra la variazione di energia immagazzinata nel condensatore C_{out} e il tempo nella quale tale variazione avviene - divisa per la massima potenza estraibile dalla sorgente, che in questo caso è $2 \mu W$, e infine moltiplicata per cento in modo da ottenere una percentuale.

$$P_{TN}|_{V_{out} \cong 0.8} = \frac{0.5 \cdot 100 \cdot 10^{-9} \cdot (0.8245^2 - 0.7672^2)}{(361.02 - 357.26) \cdot 10^{-3}} \cdot \frac{100}{2 \cdot 10^{-6}} = 60.64 \% \quad (32)$$

$$P_{TN}|_{V_{out} \cong 2} = \frac{0.5 \cdot 100 \cdot 10^{-9} \cdot (2.0171^2 - 2.0010^2)}{(733.13 - 730.72) \cdot 10^{-3}} \cdot \frac{100}{2 \cdot 10^{-6}} = 67.1 \% \quad (33)$$

$$P_{TN}|_{V_{out} \cong 3.2} = \frac{0.5 \cdot 100 \cdot 10^{-9} \cdot (3.2190^2 - 3.2071^2)}{(1482.28 - 1479.31) \cdot 10^{-3}} \cdot \frac{100}{2 \cdot 10^{-6}} = 64.18 \% \quad (34)$$

Nella pratica, la capacità C_{out} avrà un valore nell'ordine delle centinaia di μF . Considerando $C_{out} = 100 \mu F$ e facendo riferimento alle equazioni (30)-(31), è possibile stimare il tempo di carica totale T_{TOT} in 1318.6 s, corrispondente a circa ventidue minuti.

4.2 Simulazione per $V_S = 0.5 V$ e $R_S = 5 k\Omega$

Di seguito sono riportati i risultati della simulazione ottenuti considerando una sorgente caratterizzata da $V_S = 0.5 V$ e $R_S = 5 k\Omega$. In Figura 55 è rappresentato l'andamento dei segnali V_{out} e V_{SU} . Analogamente al caso considerato in precedenza, di seguito vengono illustrati i risultati ottenuti.

Il tempo impiegato per caricare la capacità C_{SU} è pari a 11.37 ms, estraendo una potenza media dalla sorgente di 139.31 nW corrispondente ad una P_{TN} media di 1.11 %. Una volta acceso il *Main Converter*, il convertitore impiega ulteriori 113.82 ms per caricare C_{out} fino a $V_{out} = 3.3 V$. La potenza media estratta dalla sorgente è pari a 4.78 μW e corrisponde ad una P_{TN} media di 38.27 %.

Il valore di quest'ultima è maggiore rispetto a quello ottenuto dalla simulazione con $V_S = 0.2 V$ e $R_S = 5 k\Omega$. Ciò non contraddice le considerazioni effettuate in sezione 3.2.1 secondo le quali la P_{TN} del convertitore, a parità di rapporto V_{out}/V_S , diminuisca all'aumentare di V_S . Questo perché il maggiore valore della P_{TN} media è dovuto alla riduzione della frazione del tempo totale trascorsa in fase di RECHARGE.

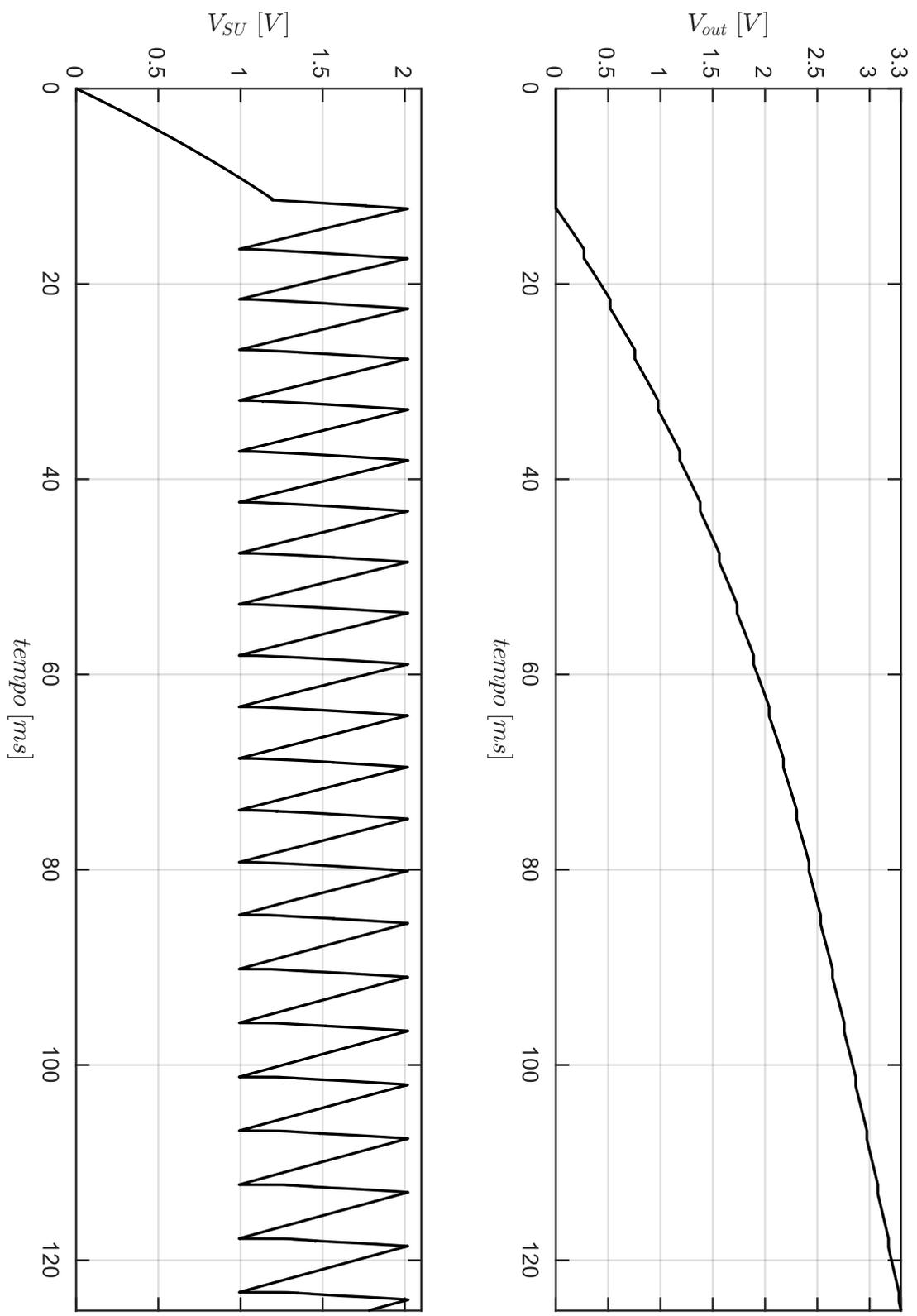


Figura 55 Andamento nel tempo dei segnali V_{SU} e V_{out} per una sorgente caratterizzata da $V_S=0.5$ V e $R_S=5$ k Ω

A differenza del caso precedente, COMP1 passa da basso ad alto quando $V_{out} = 5 \cdot V_S = 2.5 V$, mentre COMP2 rimane sempre basso, come apprezzabile in Figura 56.

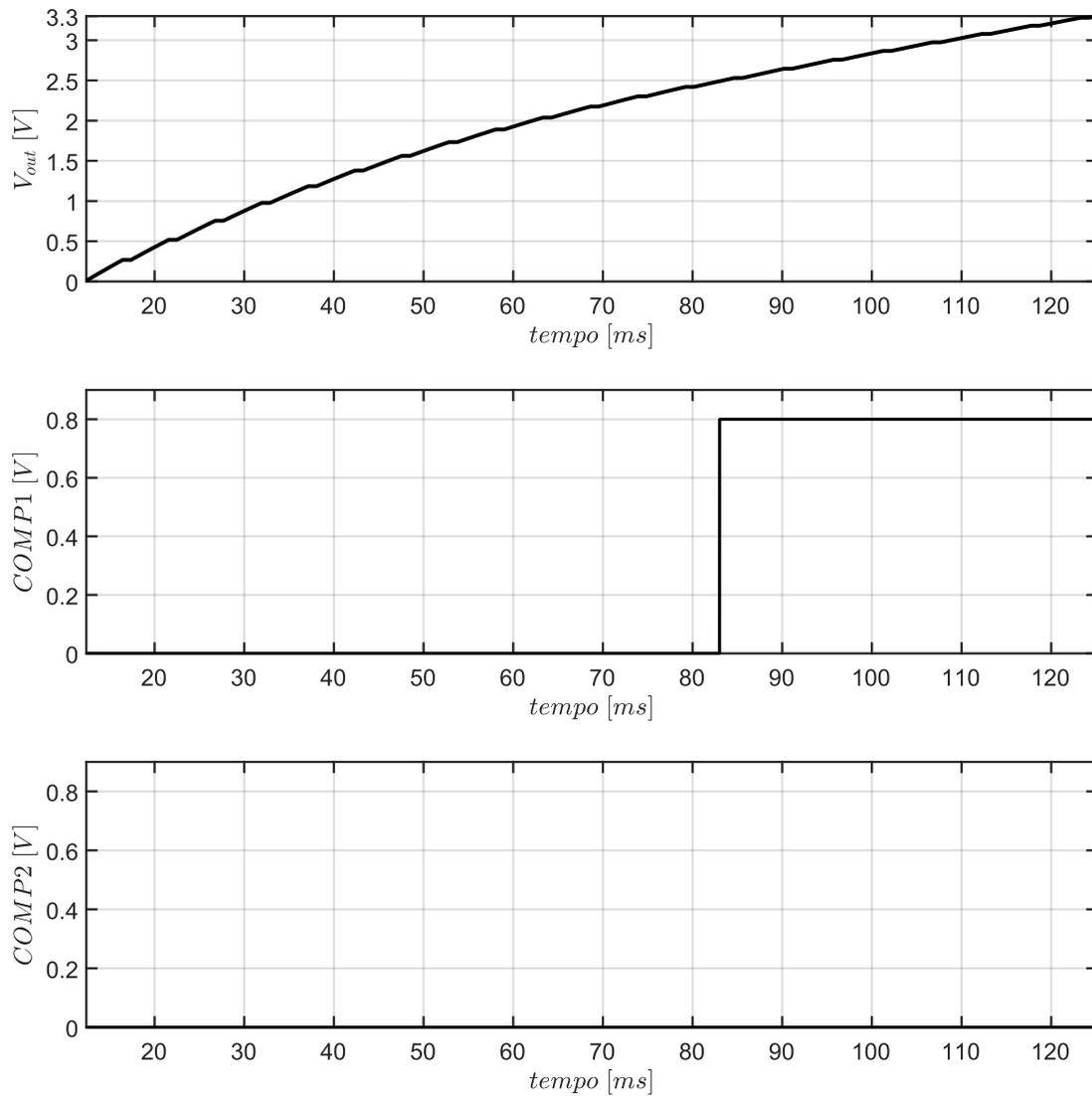


Figura 56 Segnali V_{out} , COMP1, COMP2 relativi al funzionamento del convertitore per $V_S=0.5 V$ e $R_S=5 k\Omega$

Nel caso in cui il condensatore C_{out} abbia una capacità di $100 \mu F$, il convertitore impiegherebbe un minuto e cinquantquattro secondi per caricarla.

4.3 Simulazione per V_S che varia nel tempo e $R_S = 5 k\Omega$

Per verificare la capacità del convertitore di gestire una sorgente caratterizzata da V_S che varia nel tempo, è stata effettuata un'ulteriore simulazione.

Tale simulazione considera come stato iniziale quello caratterizzato da $V_S = 0.3 V$, $R_S = 5 k\Omega$, $V_{out} = 1.6 V$. In tale condizione la pompa di carica avrà COMP1 alto e COMP2 basso; quindi, avrà EN1 ed EN2 alti, utilizzando 20 stadi e una frequenza di switching pari a $256 kHz$. La tensione V_S viene mantenuta pari a $0.3 V$ per $800 \mu s$ e, successivamente, viene aumentata a $0.5V$, con un *rise time* di $100 \mu s$. Come apprezzabile in Figura 57, non appena avviene il campionamento della tensione V_S , il segnale COMP1 passa da alto a basso, EN2 diviene quindi basso e il *Main Converter* torna ad utilizzare 10 stadi e una frequenza di switching pari a $479 kHz$.

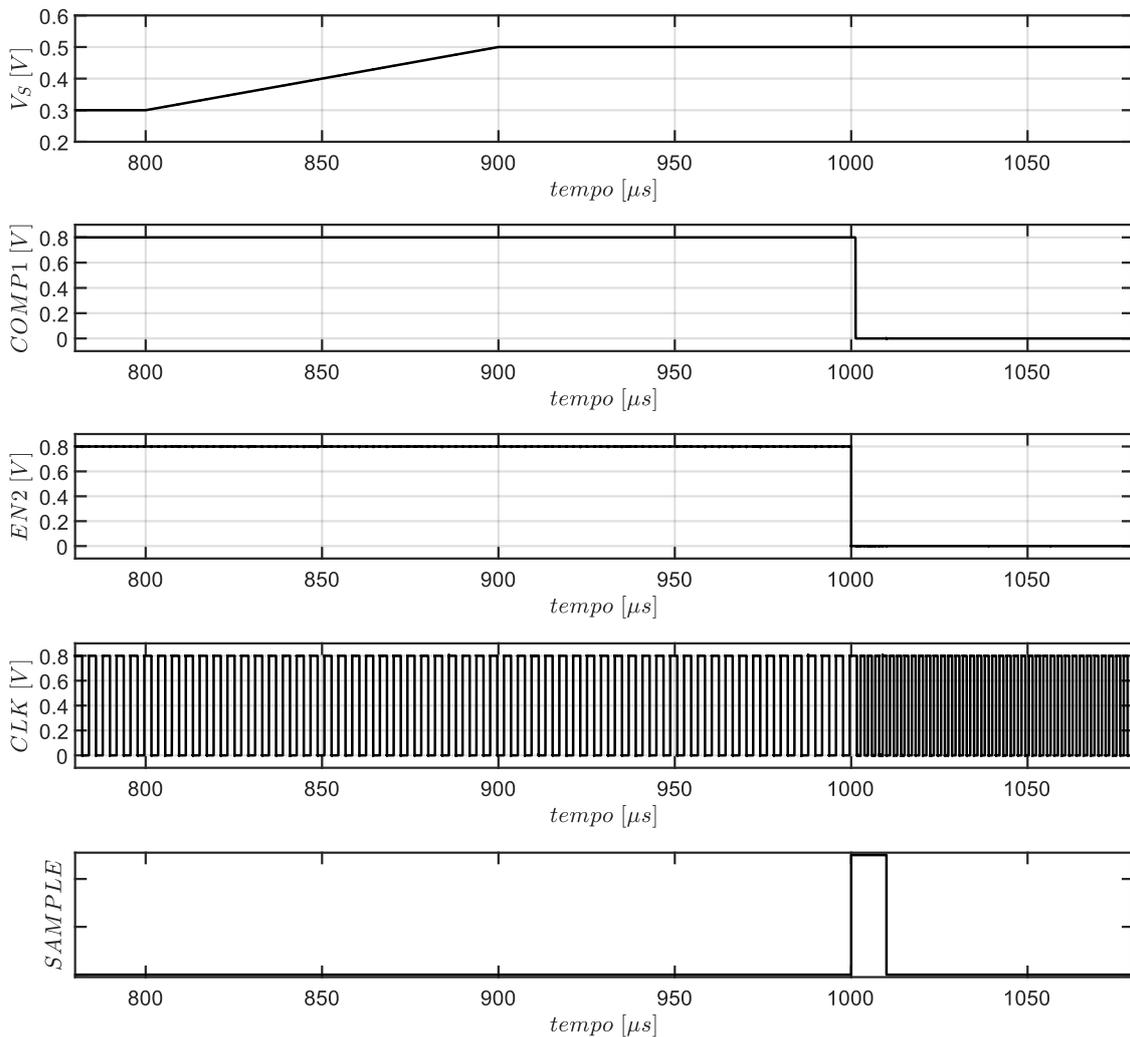


Figura 57 Comportamento del convertitore in presenza di V_S che varia nel tempo da 0.3 a 0.5 V. Non appena viene campionata V_S , la pompa di carica si riconfigura, diminuendo il numero di stadi utilizzati da 20 a 10 e aumentando la frequenza f_{sw} da 256 a 479 kHz

Capitolo 5 Conclusione e sviluppi futuri

La presente tesi ha analizzato un tema tipico dell'Energy Harvesting “*Harvest Store Use*” da sorgenti a Radio Frequenza, ovvero la carica di un condensatore da una sorgente resistiva tramite un convertitore DC/DC *Switched Capacitor*.

Dapprima è stata analizzata teoricamente la possibilità di utilizzare una pompa di carica di Dickson per tale scopo; successivamente, considerando il caso in cui la sorgente sia caratterizzata da $V_S = 0.2 V$ e $R_S = 5 k\Omega$, è stata proposta un'architettura per il convertitore che permettesse di operare con tale tensione in ingresso, prevedendo la sua riconfigurazione in base allo stato di carica del condensatore allo scopo di lavorare, per l'intero tempo di carica, in un intorno del punto di massimo trasferimento di potenza al carico. Infine, è stata sviluppata parte dei blocchi costituenti il convertitore, di cui è stato verificato il funzionamento tramite simulazioni numeriche. Da queste ultime è stato ricavato che il convertitore è in grado di estrarre, in media, $413 nW$ dalla sorgente precedentemente considerata.

La possibilità di estrarre tali quantità di potenza anche per sorgenti resistive caratterizzate da V_S nell'ordine delle centinaia di millivolt, consente di rendere i nodi sensori funzionanti anche in tali situazioni, permettendo, a parità di distanza dalla sorgente RF, di ridurre la minima potenza irradiata necessaria a garantire il funzionamento del sensore stesso, e, a parità di potenza irradiata dalla sorgente RF, di aumentare la distanza massima alla quale tale sensore può operare.

Nonostante sia stato verificato il funzionamento del convertitore proposto, il suo progetto non è da considerarsi ultimato, in quanto devono essere progettate tutte quelle parti del circuito che sono state considerate ideali, e deve essere studiato il funzionamento dei blocchi circuitali progettati considerando variazioni di processo e temperatura.

Un possibile futuro sviluppo del lavoro potrebbe essere quello di modificare l'algoritmo di MPPT per estendere il funzionamento del convertitore a sorgenti caratterizzate da R_S differenti o non note a priori. Questo potrebbe essere realizzato introducendo dei bit statici di configurazione, sulla base dei quali modificare il funzionamento del convertitore, alterando, ad esempio, la struttura della *Main Charge Pump* e del *Main Clock*.

Un ulteriore possibile miglioramento del convertitore proposto può essere quello di confrontare la tensione V_S con un riferimento di tensione. In tal caso, al crescere di V_S , si

potrebbe aumentare la tensione V_{BOOST} che pilota i CTS della *Main Charge Pump*, ovviando così alla degradazione della P_{TN} illustrata in sezione 3.2.1, oppure potrebbe modificarsi il numero di stadi della *Main Charge Pump* e del *Main Clock* per garantire che, anche per quei valori di V_S , il convertitore lavori in un intorno del punto di massima P_{TN} .

Bibliografia

- [1] Seeman, Michael D and Ng, Vincent W and Le, Hanh-Phuc and John, Mervin and Alon, Elad and Sanders, Seth R, «A comparative analysis of Switched-Capacitor and inductor-based DC-DC conversion technologies,» in *2010 IEEE 12th Workshop on Control and Modeling for Power Electronics (COMPEL)*, Boulder, CO, USA, 2010.
- [2] M. D. Seeman, A design methodology for switched-capacitor DC-DC converters, University of California, Berkeley, 2009.
- [3] Morimura, Hiroki and Shibata, Nobutaro, «A step-down boosted-wordline scheme for 1-V battery-operated fast SRAM's,» *IEEE Journal of Solid-State Circuits*, vol. 33, pp. 1220--1227, 1998.
- [4] Su, Feng and Ki, Wing-Hung, «Component-efficient multiphase switched-capacitor DC--DC converter with configurable conversion ratios for LCD driver applications,» *IEEE transactions on circuits and systems II: Express briefs*, vol. 55, pp. 753--757, 2008.
- [5] Ying, TianRui and Ki, Wing-Hung and Chan, Mansun, «Area-efficient CMOS charge pumps for LCD drivers,» *IEEE Journal of Solid-State Circuits*, vol. 38, pp. 1721--1725, 2003.
- [6] Cha, Jeongwon and Ahn, Minsik and Cho, Changhyuk and Lee, Chang-Ho and Kim, Haksun and Laskar, Joy, «Analysis and design techniques of CMOS charge-pump-based radio-frequency antenna-switch controllers,» *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 56, pp. 1053--1062, 2009.
- [7] Ballo, Andrea and Grasso, Alfio Dario and Palumbo, Gaetano and Tanzawa, Toru, «Charge pumps for ultra-low-power applications: Analysis, design, and new solutions,» *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 68, pp. 2895--2901, 2021.

- [8] McRae, Timothy and Prodic, Aleksandar, «Design oriented analysis of switched capacitor DC--DC converters,» *IEEE Open Journal of Power Electronics*, vol. 1, pp. 2--13, 2019.
- [9] Cockcroft, John Douglas and Walton, Ernest TS, «Experiments with high velocity positive ions.—(I) Further developments in the method of obtaining high velocity positive ions,» *Proceedings of the royal society of London. Series A, containing papers of a mathematical and physical character*, vol. 136, pp. 619--630, 1932.
- [10] Ueno, F and Inoue, T and Oota, I and Harada, I, «Emergency power supply for small computer systems,» in 1991., *IEEE International Symposium on Circuits and Systems*, 1991.
- [11] R.-A. Cernea, «Charge pump circuit with exponential multiplication». US Brevetto 5,436,587, 25 July 1995.
- [12] J. Brugler, «Theoretical performance of voltage multiplier circuits,» *IEEE Journal of Solid-State Circuits*, vol. 6, pp. 132--135, 1971.
- [13] J. F. Dickson, «On-chip high-voltage generation in MNOS integrated circuits using an improved voltage multiplier technique,» *IEEE Journal of solid-state circuits*, vol. 11, pp. 374--378, 1976.
- [14] T. Tanzawa, *On-chip high-voltage generator design*, Springer, 2013.
- [15] Ki, Wing-Hung and Lu, Yan and Su, Feng and Tsui, Chi-Ying, «Analysis and design strategy of on-chip charge pumps for micro-power energy harvesting applications,» in *Conference on Very Large Scale Integration, VLSI-SoC 2011*, Hong Kong, China, 2011.
- [16] Lin, P and Chua, L, «Topological generation and analysis of voltage multiplier circuits,» *IEEE Transactions on circuits and systems*, pp. 517--530, 1977.
- [17] Palumbo, Gaetano and Pappalardo, Domenico, «Charge pump circuits: An overview on design strategies and topologies,» *IEEE Circuits and Systems Magazine*, pp. 31--45, 2010.

- [18] Gariboldi, R and Pulvirenti, F, «A 70 m Ω intelligent high side switch with full diagnostics,» in *ESSCIRC'95: Twenty-first European Solid-State Circuits Conference*, 1995.
- [19] Pelliconi, Roberto and Iezzi, David and Baroni, Andrea and Pasotti, Marco and Rolandi, Pier Luigi, «Power efficient charge pump in deep submicron standard CMOS technology,» in *Proceedings of the 27th European Solid-State Circuits Conference*, 2001.
- [20] Umezawa, Akira and Atsumi, Shigeru and Kuriyama, Masao and Banba, Hironori and Imamiya, Ken-ichi and Naruke, Kiyomi and Yamada, Seiji and Obi, Etsushi and Oshikiri, Masamitsu and Suzuki, Tomoko and others, «A 5-V-only operation 0.6- μ m flash EEPROM with row decoder scheme in triple-well structure,» *IEEE Journal of Solid-State Circuits*, pp. 1540--1546, 1992.
- [21] Atsumi, Shigeru and Kuriyama, Masao and Umezawa, Akira and Banba, Hironori and Naruke, Kiyomi and Yamada, Seiji and Ohshima, Yoichi and Oshikiri, Masamitsu and Hiura, Yohei and Yamane, Tomoko and others, «A 16-Mb flash EEPROM with a new self-data-refresh scheme for a sector erase operation,» *IEICE Transactions on Electronics*, pp. 791--799, 1994.
- [22] Ballo, Andrea and Bottaro, Michele and Grasso, Alfio Dario and Palumbo, Gaetano, «A general behavioral model of charge pump DC-DC converters,» *2020 International Conference on Electrical, Communication, and Computer Engineering (ICECCE)*, pp. 1--4, 2020.
- [23] T. Tanzawa, «On the output impedance and an output current--power efficiency relationship of Dickson charge pump circuits,» *IEEE Transactions on Circuits and Systems II: Express Briefs*, pp. 1664--1667, 2017.
- [24] «ITU Internet Reports 2005: The Internet of Things, Executive Summary,» Int. Telecommun. Union (ITU), Geneva, Switzerland, 2005.
- [25] Sanislav, Teodora and Mois, George Dan and Zeadally, Sherali and Folea, Silviu Corneliu, «Energy harvesting techniques for internet of things (IoT),» *IEEE Access*, vol. 9, pp. 39530--39549, 2021.

- [26] Lu, Xiao and Wang, Ping and Niyato, Dusit and Kim, Dong In and Han, Zhu, «Wireless networks with RF energy harvesting: A contemporary survey,» *IEEE Communications Surveys & Tutorials*, vol. 17, pp. 757--789, 2014.
- [27] Masotti, Diego and Costanzo, Alessandra and Francia, Paolo and Filippi, Matteo and Romani, Aldo, «A load-modulated rectifier for RF micropower harvesting with start-up strategies,» *IEEE Transactions on Microwave Theory and Techniques*, vol. 62, pp. 994--1004, 2014.
- [28] Aloqlah, Abdullah S and Alhawari, Mohammad, «Demystifying Maximum Power Transfer Methodologies for Charge Pumps: An Analytical Approach,» in *IEEE International Midwest Symposium on Circuits and Systems (MWSCAS)*, 2021 .
- [29] Fuketa, Hiroshi and Matsukawa, Takashi and others, «Fully integrated, 100-mV minimum input voltage converter with gate-boosted charge pump kick-started by LC oscillator for energy harvesting,» *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 64, pp. 392--396, 2016.
- [30] Dini, Michele and Romani, Aldo and Filippi, Matteo and Tartagni, Marco, «A nanopower synchronous charge extractor IC for low-voltage piezoelectric energy harvesting with residual charge inversion,» *IEEE Transactions on Power Electronics*, vol. 31, pp. 1263--1274, 2015.
- [31] D. Esseni, *Fondamenti di CIRCUITI DIGITALI INTEGRATI*, Padova: SGEEditoriali, 2007.
- [32] R. J. Baker, *CMOS: circuit design, layout, and simulation*, John Wiley & Sons, 2019.
- [33] Chen, Po-Hung and Ishida, Koichi and Ikeuchi, Katsuyuki and Zhang, Xin and Honda, Kentaro and Okuma, Yasuyuki and Ryu, Yoshikatsu and Takamiya, Makoto and Sakurai, Takayasu, «Startup Techniques for 95 mV Step-Up Converter by Capacitor Pass-On Scheme and V_{th} -Tuned Oscillator With Fixed Charge Programming,» *IEEE Journal of Solid-State Circuits*, vol. 47, pp. 1252--1260, 2012.

- [34] U. Denier, «Analysis and design of an ultralow-power CMOS relaxation oscillator,» *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 57, pp. 1973--1982, 2010.
- [35] Dai, Shanshan and Rosenstein, Jacob K, «A 14.4 nW 122KHz dual-phase current-mode relaxation oscillator for near-zero-power sensors,» in *2015 IEEE Custom Integrated Circuits Conference (CICC)*, 2015.
- [36] Chiang, Yu-Hsuan and Liu, Shen-Iuan, «A submicrowatt 1.1-MHz CMOS relaxation oscillator with temperature compensation,» *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 60, pp. 837--841, 2013.
- [37] M. Villa, *Progetto di un regolatore di tensione Low-Dropout in tecnologia CMOS a micropotenza*, 2023.
- [38] Dini, Michele and Romani, Aldo and Filippi, Matteo and Bottarel, Valeria and Ricotti, Giulio and Tartagni, Marco, «A nanocurrent power management IC for multiple heterogeneous energy harvesting sources,» *IEEE transactions on power electronics*, vol. 30, pp. 5665--5680, 2014.