

ALMA MATER STUDIORUM

UNIVERSITÀ DI BOLOGNA

SCUOLA DI INGEGNERIA E ARCHITETTURA

Dipartimento di Ingegneria dell'Energia Elettrica e
dell'Informazione "Guglielmo Marconi" - DEI

Corso di Laurea Magistrale in Ingegneria Elettronica

**PROGETTO DI UN SISTEMA DI MISURA
INTEGRATO PER LA CALIBRAZIONE
STATICA DI UN CURRENT-STEERING
RF-DAC A 14 BIT IN TECNOLOGIA
FINFET**

Candidato:

Giulio Bertondini

Relatore:

Chiar.mo Prof. Antonio Gnudi

Correlatore:

Ing. Roberto Pelliconi

Indice

Abstract	9
Introduzione	11
1 Architettura del DAC	15
1.1 Introduzione	15
1.2 Principali caratteristiche dei DAC	15
1.3 Current-Steering DAC	19
1.4 Mismatch	26
2 Modello Verilog-A del DAC	29
2.1 Introduzione	29
2.2 Modello del DAC	29
2.3 Effetto dei mismatch statici	31
2.4 Algoritmo di riordino	35
2.5 Algoritmi di correzione	38
2.6 Risultati di simulazione con 300 seed	41
2.7 Implicazioni hardware	45
3 Sistema di misura	49
3.1 Introduzione	49
3.2 Tecnologia FinFET utilizzata	49
3.3 Funzionamento del sistema	51
3.4 Conversione corrente-tensione	53
3.5 Comparatore	62
3.6 Strategia di misura degli unary e risultati di simulazione	71
4 Simulazioni con il modello Verilog-A includendo l'incertezza di misura	79
3.1 Introduzione	79
3.2 Aggiunta dell'incertezza di misura	79
3.3 Effetto su HD2, HD3 e SFDR	80
4 Conclusioni	83

Bibliografia	85
Ringraziamenti	87

Indice delle figure

Figura 1. Catena di elaborazione del segnale.	16
Figura 2. DAC.	16
Figura 3. Funzione di trasferimento di un DAC a 3 bit	17
Figura 4. Uscita sinusoidale di un DAC a 3 bit e 5 bit	17
Figura 5. Esempio funzione di trasferimento con DNL	18
Figura 6. Esempio Non-Linearità Integrale	18
Figura 7. Current-Steering DAC.	19
Figura 8. Current-Steering DAC con generatori in scala binaria	20
Figura 9. Glitch della tensione di uscita del DAC binario a 3 bit	20
Figura 10. Funzione di trasferimento non monotona	21
Figura 11. Codifica termometrica	21
Figura 12. Matrice di generatori termometrici	22
Figura 13. DAC a 14 bit con segmentazione termometrica e binaria	23
Figura 14. Resistenze di terminazione e carico del DAC	23
Figura 15. Circuito semplificato con soli unary	24
Figura 16. Circuito semplificato con soli binary.	24
Figura 17. Dettaglio generatori unary.	26
Figura 18. Commutazioni non contemporanee.	27
Figura 19. Modello del DAC	30
Figura 20. Non-idealità di corrente	31
Figura 21. INL parabolica	32
Figura 22. Funzione di trasferimento del DAC con INL parabolica.	32
Figura 23. Spettro segnale full scale con mismatch senza gradiente di processo	33
Figura 24. Spettro segnale full scale con mismatch e gradiente di processo ..	33
Figura 25. Spettro con rimescolamento pseudo-casuale degli unary	35
Figura 26. Algoritmo di riordino degli unary	36
Figura 27. DNL prima e dopo il riordinamento	37
Figura 28. INL prima e dopo il riordinamento	37
Figura 29. Spettro con algoritmo di riordino degli unary	38
Figura 30. Primo algoritmo di correzione degli unary	39

Figura 31. Secondo algoritmo di correzione.	40
Figura 32. Algoritmi di correzione a confronto	41
Figura 33. Distribuzioni gaussiane con diverse deviazioni standard.	41
Figura 34. Distribuzioni della HD2 full scale nei quattro casi	42
Figura 35. Distribuzioni della HD3 full scale nei quattro casi	42
Figura 36. Distribuzioni della SFDR full scale nei quattro casi	43
Figura 37. Zona centrale della INL.	43
Figura 38. Distribuzioni della HD2 -10dB nei quattro casi	44
Figura 39. Distribuzioni della HD3 -10dB nei quattro casi.	44
Figura 40. Distribuzioni della SFDR -10dB nei quattro casi	45
Figura 41. Schema DAC e sistema di misura	46
Figura 42. Hardware aggiuntivo per misurare I_{unary}	46
Figura 43. Schema per implementare il reordering	47
Figura 44. Struttura FinFET.	49
Figura 45. FinFET interdigitato con 2 finger e 4 fin per finger	50
Figura 46. Sistema di misura.	52
Figura 47. Funzionamento comparatore.	53
Figura 48. Primo TIA simulato.	54
Figura 49. M4 connesso a diodo.	55
Figura 50. TIA ai piccoli segnali per il calcolo della resistenza di ingresso.	55
Figura 51. TIA modificato con l'introduzione di due stadi a drain comune.	57
Figura 52. Guadagno DC del TIA vs I_{in}	59
Figura 53. Rumore sull'uscita del TIA	61
Figura 54. Comparatore	62
Figura 55. Circuiti costituenti il comparatore	63
Figura 56. Andamento delle tensioni nel latch	64
Figura 57. Glitch di corrente nel mosfet MA del latch	65
Figura 58. Diversi tempi di risposta del latch	65
Figura 59. Logica di output del comparatore	66
Figura 60. Segnali di output del comparatore	66
Figura 61. Massimo ritardo del segnale VALID	67
Figura 62. PDF rumore gaussiano	68
Figura 63. CDF rumore gaussiano	68
Figura 64. Impostazione simulazione per la ricerca del rumore del comparatore	69

Figura 65. Rumore all'ingresso del comparatore	69
Figura 66. Funzione di distribuzione cumulativa del rumore del comparatore	70
Figura 67. Generazione di <i>Iref</i>	71
Figura 68. Prime statistiche di misura	72
Figura 69. Interpolazione lineare	73
Figura 70. Rumore flicker con 100 misure consecutive	73
Figura 71. 100 misure distribuite	74
Figura 72. Statistiche di misura con 100 misure distribuite	74
Figura 73. Statistiche di misura con 100 misure distribuite e rumore multi-seed	75
Figura 74. Statistiche di misura con 400 misure distribuite e rumore multi-seed	76
Figura 75. INL ottenute dopo il reordering	80
Figura 76. HD2 -10dB back off con reordering reale	81
Figura 77. HD3 -10dB back off con reordering reale	81
Figura 78. SFDR -10dB back off con reordering reale	82

Indice delle tabelle

Tabella 1. Tensione di uscita e resistenza di ingresso TIA	60
Tabella 2. Potenza assorbita dal TIA vs I_{in}	60
Tabella 3. Input referred noise del TIA	62
Tabella 4. Tensioni comparatore	64

Abstract

Il presente lavoro di tesi, svolto nel corso di 6 mesi di tirocinio presso Xilinx Irlanda, è focalizzato sullo studio e calibrazione degli effetti introdotti dalle non-idealità di tipo statico presenti nei convertitori digitale-analogici (Digital to Analog Converter: DAC) a radio frequenza con architettura Current-Steering, basata su un insieme di generatori di corrente con segmentazione mista termometrica e binaria: 14 bit binari suddivisi in 8 LSB binari e 6 MSB binari convertiti in 63 bit termometrici.

Le non-idealità statiche includono i mismatch dei generatori e un gradiente di processo che condiziona fortemente il valore delle correnti dei generatori. Questo porta ad avere problemi di distorsione armonica nel segnale analogico generato dal DAC.

Sono stati implementati e simulati, in Verilog-A, algoritmi per la riduzione della distorsione utilizzando dapprima i valori di corrente dei generatori forniti da un modello Verilog-A del DAC. In realtà, su silicio, queste correnti devono essere misurate con precisione con un sistema di misura. È stato quindi progettato, utilizzando librerie FinFET TSMC (Taiwan Semiconductor Manufacturing Company) in Cadence Virtuoso, un sistema di misura integrato che consente di misurare le correnti di tutti i 63 generatori termometrici del valore nominale di 500uA, con una precisione di circa 50nA, impiegando un tempo di alcune decine di ms e consentendo in questo modo la calibrazione del DAC.

Infine sono stati modificati gli algoritmi precedentemente introdotti nel modello del DAC, inserendo degli opportuni coefficienti legati alla precisione di misura del sistema progettato, ottenendo risultati molto positivi in cui si nota l'efficacia del sistema di misura e della calibrazione del DAC in situazioni realistiche.

Introduzione

L'evoluzione delle telecomunicazioni è guidata dalla velocità di elaborazione dei dati dei circuiti elettronici che compongono i sistemi radio.

Un sistema classico di ricezione e trasmissione è essenzialmente composto da circuiti digitali per l'elaborazione dei dati, da convertitori analogico-digitali (ADC Analog to Digital Converter) e digitale-analogici (DAC Digital to Analog Converter), da amplificatori, filtri e da blocchi analogici di mixing, o mixer, che modulano e convertono un segnale a bassa frequenza in un segnale ad alta frequenza, in caso di trasmissione, e un segnale ad alta frequenza in un segnale a bassa frequenza, in caso di ricezione.

Il processo di trasmissione tipicamente è il seguente: i dati digitali, provenienti dall'elaboratore digitale, vengono convertiti in un segnale analogico tramite un DAC; il segnale viene poi convertito dal mixer in un segnale a radiofrequenza in cui la frequenza della portante dipende dall'applicazione finale (ad esempio intorno ai 100MHz, se consideriamo una comune radio da automobile, o di molto superiore in caso di telefonia mobile e connessione Wi-Fi).

I mixer sono costituiti da moltiplicatori di tensione spesso difficilmente integrabili sullo stesso chip in cui sono presenti l'elaboratore digitale e i convertitori ADC e DAC, per questo motivo fanno classicamente parte di un circuito integrato a sé stante.

In un sistema elettronico, più sono i blocchi separati, più risulta difficile avere alte prestazioni in quanto, con l'aumentare delle frequenze di funzionamento, nascono diversi effetti parassiti limitanti come effetti antenna indesiderati, capacità parassite e resistività delle connessioni fra un circuito integrato e l'altro. Per eliminare questi effetti parassiti, nei moderni sistemi elettronici per le telecomunicazioni si è pensato di rimuovere i mixer analogici esterni che modulano il segnale; in questo modo è però necessario che i convertitori ADC e DAC lavorino già a radio frequenza.

I DAC che lavorano a radio frequenza vengono chiamati RFDAC (Radio Frequency DAC); la modulazione, prima fatta dai mixer esterni, viene ora

effettuata digitalmente dai circuiti logici presenti prima del DAC a radio frequenza.

Lo stesso ragionamento vale per i circuiti costituenti la catena di ricezione; in questo caso si hanno gli ADC a radio frequenza, o RFADC.

Un sistema integrato, in cui l'elaboratore digitale e diversi altri blocchi, come memorie, ADC e DAC, sono integrati sullo stesso "die", viene chiamato "System on Chip" (SoC): ad esempio i SoC comunemente inseriti nei telefoni cellulari includono una CPU costituita da diversi core, un processore grafico, un NPU (Neural Processing Unit), memorie RAM e molto altro.

Un SoC per applicazioni legate alle telecomunicazioni può contenere RFADC e RFDAC e, non necessitando dei mixer analogici esterni, presenta, rispetto ai sistemi classici, un grosso miglioramento delle prestazioni dinamiche, un ridotto consumo di potenza e dimensioni fisiche ridotte del sistema finale.

Tutti i DAC possono però essere affetti da problemi di non-idealità che condizionano le prestazioni dell'intero sistema; è quindi importante progettare dei convertitori aventi al proprio fianco dei circuiti capaci di calibrare e migliorare le prestazioni del convertitore stesso.

Il presente lavoro di tesi ha l'obiettivo di descrivere le diverse fasi di progetto di un sistema di misura integrato, utile alla calibrazione statica di un RFDAC con architettura Current-Steering.

Nel primo capitolo viene introdotta l'architettura circuitale del DAC a radio frequenza e vengono discusse le cause delle non-idealità di tipo statico. Viene poi descritto, nel secondo capitolo, il modello Verilog-A del DAC, utile alla valutazione degli effetti negativi introdotti dalle non-idealità statiche; in questo capitolo vengono inoltre descritte alcune possibili tecniche di riduzione di questi effetti indesiderati, illustrando i diversi risultati ottenuti dalle simulazioni.

Le non-idealità tuttavia, prima di essere corrette, devono essere misurate: nel terzo capitolo vengono descritti i circuiti costituenti il sistema di misura progettato e analizzate alcune strategie di misura adottabili in presenza di rumore. Viene inoltre determinata l'incertezza di misura che influenza il processo di misura.

Nel quarto capitolo vengono esposti e discussi i risultati di simulazione, ottenuti dal modello Verilog-A del DAC, includendo l'incertezza di misura individuata nel terzo capitolo, ottenendo risultati molto positivi che dimostrano l'utilità della calibrazione anche nel caso in cui è presente un errore di misura.

Infine nel quinto e ultimo capitolo vengono esposte le conclusioni ed indicati alcuni dei possibili sviluppi futuri.

Il lavoro di tesi è stato compiuto nell'arco di 6 mesi di tirocinio, svolto a Dublino, lavorando presso il dipartimento AMS (Analog Mixed Signal) di Xilinx Irlanda, avendo come scopo la calibrazione statica degli RFDAC integrati nei SoC della famiglia di prodotti UltraScale+.

1

Architettura del Convertitore Digitale-Analogico

1.1 Introduzione

Nei sistemi elettronici i blocchi circuitali fondamentali, che consentono di passare dal dominio dei segnali analogici al dominio dei dati digitali, e viceversa, sono i convertitori analogico-digitali (Analog to Digital Converter: ADC) e digitale-analogici (Digital to Analog Converter: DAC). Questi convertitori possono essere progettati in modi molto diversi a seconda del tipo di applicazione finale in cui si utilizzano: per un multimetro è necessario utilizzare un convertitore lento e preciso mentre per un oscilloscopio o un sistema a radio frequenza è necessario un convertitore molto veloce.

In questo capitolo dopo alcuni richiami generali sui convertitori viene descritta l'architettura del DAC utilizzata da Xilinx per i chip progettati per applicazioni ad alta frequenza.

Successivamente vengono introdotte le diverse problematiche legate ai mismatch inevitabilmente presenti su un dispositivo reale.

1.2 Principali caratteristiche dei DAC

L'elaborazione dei segnali avviene in diversi passi successivi. Prima di tutto il segnale analogico proveniente dal mondo fisico, dopo essere stato filtrato/amplificato, viene campionato, quantizzato e convertito in un segnale digitale a N bit dal convertitore analogico-digitale; avviene poi l'elaborazione digitale vera e propria ed infine il segnale digitale viene trasformato in un segnale analogico dal convertitore digitale-analogico (Figura 1).

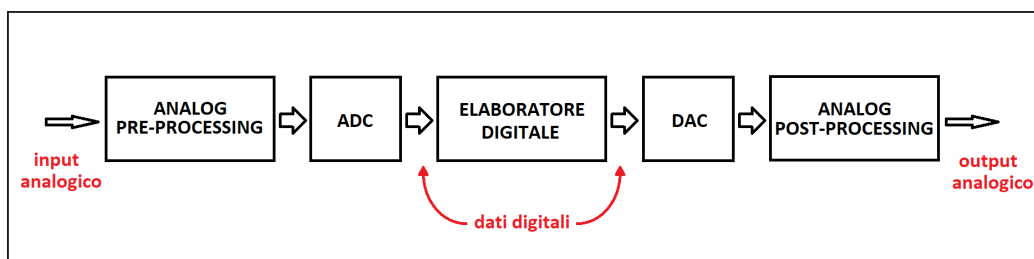


Figura 1. Catena di elaborazione del segnale

Un convertitore digitale-analogico è quindi un componente che prende in ingresso un dato digitale a N bit ($D_{N-1}D_{N-2}...D_0$) e produce in uscita una tensione analogica. Se ad istanti di tempo consecutivi l'ingresso digitale varia, il DAC produce in uscita un segnale analogico variabile nel tempo.

Il numero N di bit costituenti l'ingresso digitale definisce la risoluzione del convertitore.

Un parametro di progetto del DAC è la tensione di fondo-scala V_{FS} , legata al range massimo di tensione che il DAC può generare (Figura 2).

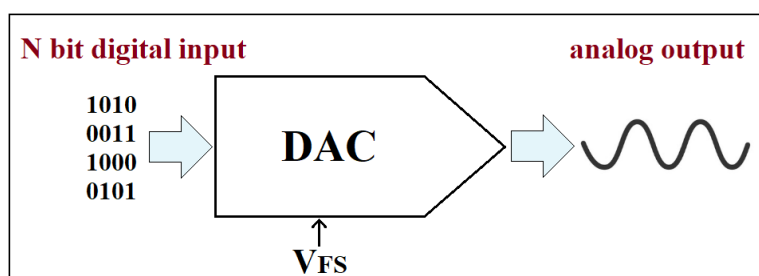


Figura 2. DAC

Il DAC genera in uscita un segnale analogico che varia con step di tensione in cui la minima altezza, o quanto di tensione V_q , dipende dal numero di bit e dalla tensione di fondo-scala secondo la formula:

$$V_q = \frac{V_{FS}}{2^N}$$

Il quanto di tensione viene anche chiamato LSB, Least Significant Bit, che è equivalente alla differenza fra due tensioni che vengono generate a partire da due codici digitali in ingresso adiacenti.

In Figura 3 è rappresentata la funzione di trasferimento ideale di un convertitore digitale-analogico a 3 bit.

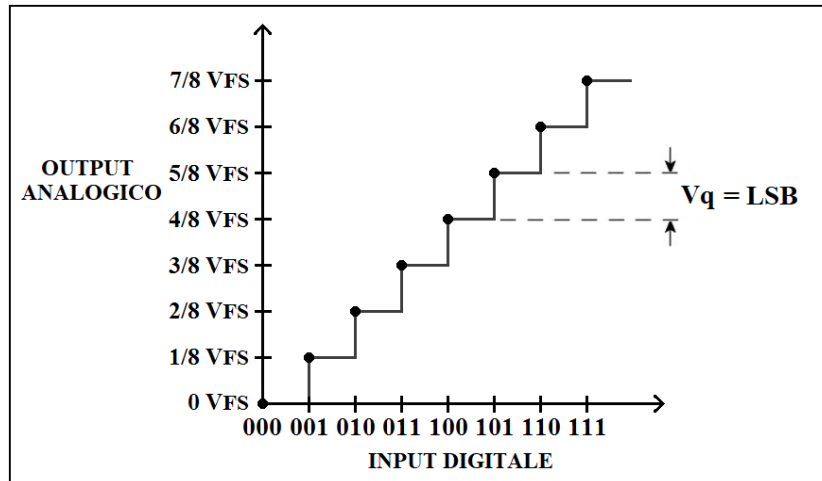


Figura 3. Funzione di trasferimento di un DAC a 3 bit

La tensione ideale di uscita è data dalla formula:

$$V_{out_{ideale}}[k] = k \cdot LSB \quad \text{con } k = D_{N-1}2^{N-1} + D_{N-2}2^{N-2} + \dots + D_02^0$$

Supponendo di volere in uscita un segnale analogico sinusoidale, è chiaro che più il quanto di tensione è piccolo, maggiore è la pulizia della sinusoide e minori sono le non-idealità (Figura 4).

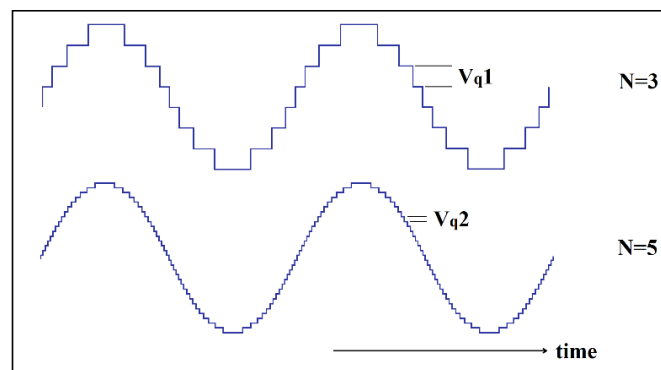


Figura 4. Uscita sinusoidale di un DAC a 3 bit e 5 bit

Anche considerando un DAC ideale, il segnale analogico generato presenta una non-idealità dovuta al quanto di tensione che non può essere infinitesimo (rumore di quantizzazione).

Quando si passa da un codice digitale ad un altro codice distante 1 LSB, la tensione analogica in uscita idealmente deve, come detto, aumentare o diminuire di 1 V_q . Realmente però l'altezza degli step, nella funzione di trasferimento del DAC, non è sempre uguale al quanto di tensione ideale.

La Non-Linearità Differenziale (Differential Non-Linearity: DNL) è definita come la differenza, espressa in LSB, fra step reale e step ideale (Figura 5).

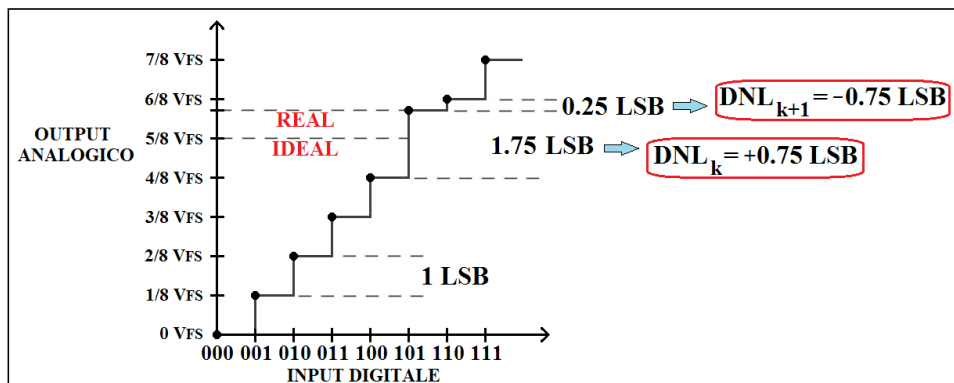


Figura 5. Esempio funzione di trasferimento con DNL

La Non-Linearità Integrale (Integral Non-Linearity: INL) è definita come la differenza, espressa in LSB, fra output analogico reale e output analogico ideale:

$$INL[k] = \frac{V_{out_{reale}}[k] - V_{out_{ideale}}[k]}{LSB} = \frac{V_{out_{reale}}[k] - k \cdot LSB}{LSB}$$

La INL è quindi un indicatore molto importante, calcolato punto per punto come somma delle DNL_j con $j=0, \dots, k$ (o $INL[k]=INL[k-1]+DNL[k]$), che dà un'idea del comportamento statico globale del DAC (Figura 6).

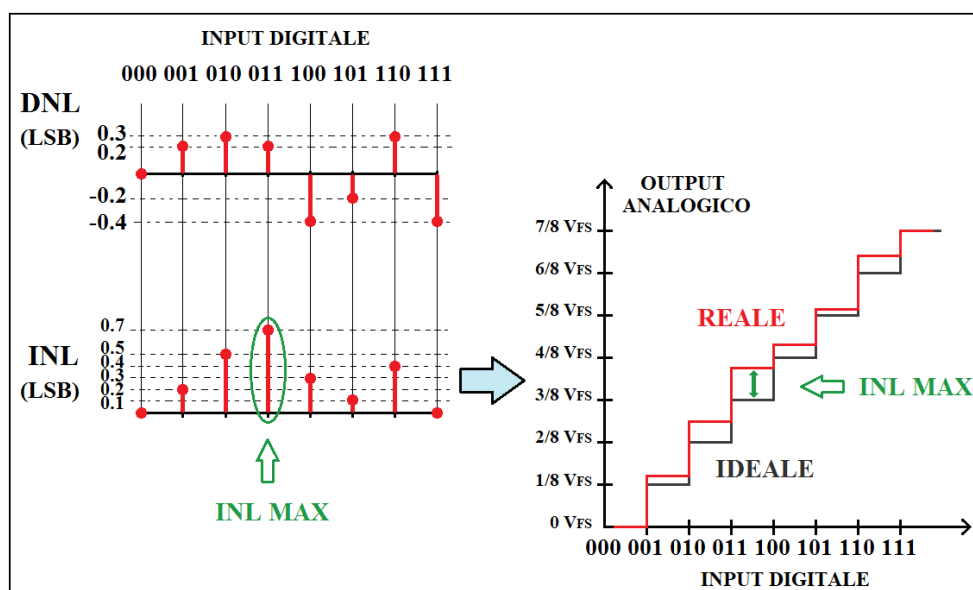


Figura 6. Esempio Non-Linearità Integrale

1.3 Current-Steering DAC

Esistono diverse architetture e circuiti che implementano un convertitore digitale-analogico, molti dei quali utilizzano come componenti principali resistenze (architetture classiche a scala binaria) e condensatori (architetture a distribuzione di carica).

L'architettura che si presta meglio alle applicazioni ad alta frequenza è comunemente chiamata "Current-Steering DAC". Questa tipologia di convertitore digitale-analogico si basa su un insieme di generatori di corrente in quantità dipendente dalla risoluzione del convertitore.

Tramite due interruttori per ogni generatore, la corrente può essere fatta scorrere in due diversi rami (ramo "p" e ramo "n") a seconda del valore del dato digitale in ingresso. Se la corrente combinata di tutti i generatori viene fatta fluire opportunamente su due resistenze (resistenze di terminazione) si ottiene la tensione di uscita V_{OUT_DAC} (Figura 7).

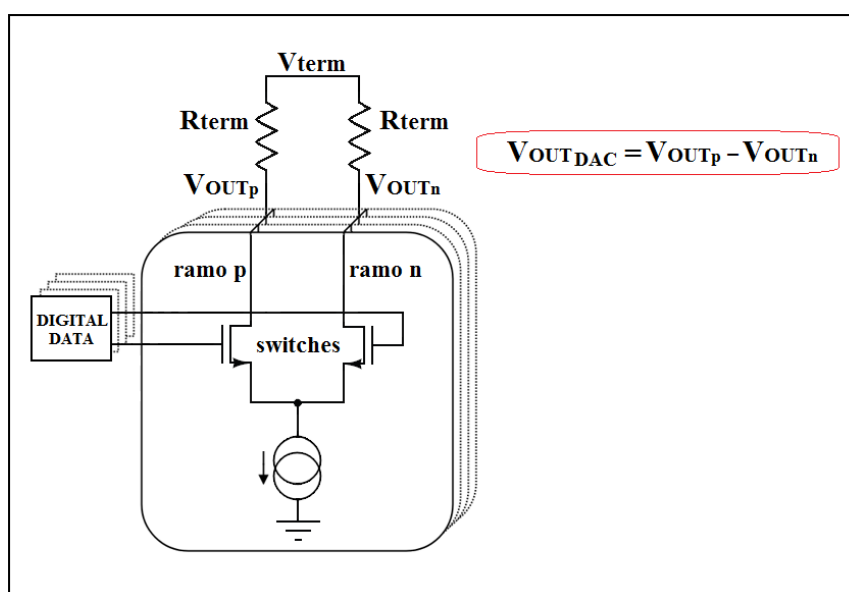


Figura 7. Current-Steering DAC

L'architettura concettualmente più semplice è la Current-Steering con generatori di corrente in scala binaria, in cui ogni generatore imprime il passaggio di una corrente che ha valore dipendente dal peso del rispettivo bit del dato digitale in ingresso (Figura 8).

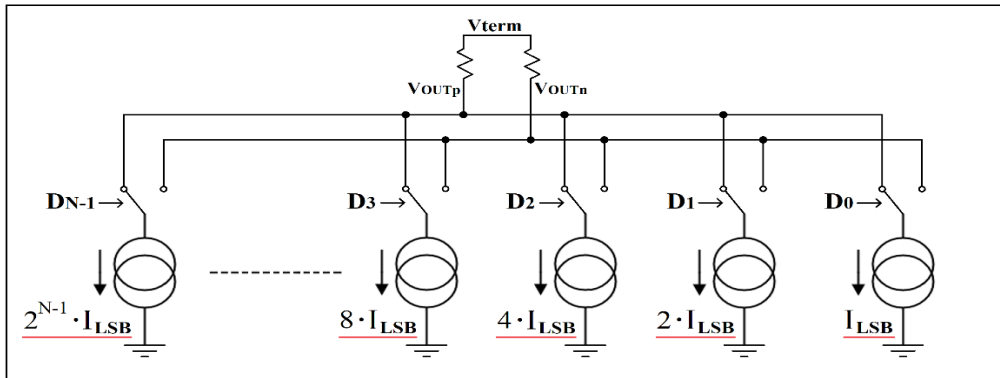


Figura 8. Current-Steering DAC con generatori in scala binaria

A livello di layout, i mosfet, che costituiscono gli interruttori e i generatori relativi ai bit di maggiore peso, devono essere molto più grandi e conduttivi (rapporto W/L molto più grande) rispetto ai mosfet utilizzati per gli interruttori e i generatori relativi ai bit di minore peso.

Il DAC sul quale è stato svolto il lavoro ha una risoluzione di 14 bit; utilizzando un'architettura binaria del tipo appena visto, gli interruttori relativi al MSB devono condurre una corrente 8192 volte maggiore della corrente relativa al LSB, quindi sono 8192 volte più grandi; pertanto le capacità che i circuiti di driving devono pilotare sono altamente incostanti fra bit e bit, con grosse difficoltà nel mantenere allineate temporalmente le commutazioni degli interruttori che devono commutare contemporaneamente.

Si consideri la transizione $011\dots1 \rightarrow 100\dots0$: idealmente, la tensione di uscita cambierebbe solo di $1 Vq$ però, per un certo lasso di tempo durante la transizione, si potrebbe avere la configurazione $111\dots1$, quindi in uscita si avrebbe un grosso spike di tensione (Figura 9).

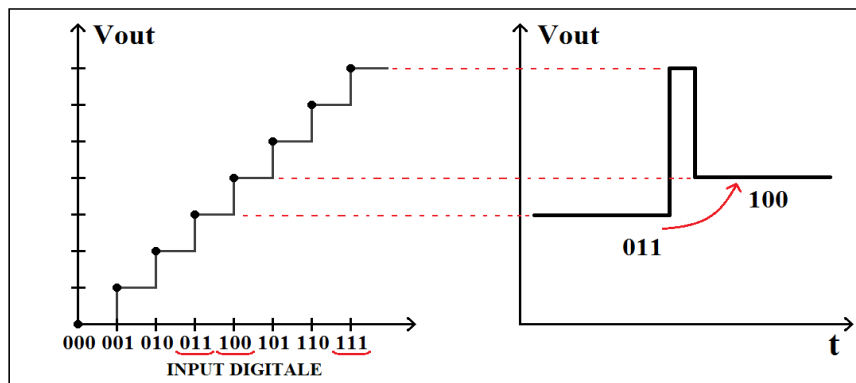


Figura 9. Glitch della tensione di uscita del DAC binario a 3 bit

Un altro problema dell'architettura binaria riguarda la monotonicità della funzione di trasferimento ingresso-uscita del DAC. Si consideri, in un DAC a 5 bit, la transizione 01111 → 10000: se i 4 generatori meno significativi non sono ideali ma ognuno di essi introduce una frazione di Vq in più rispetto al valore teorico di $1 Vq$, avendo un'aggiunta complessiva indesiderata rilevante e, se il generatore più significativo invece che produrre un valore ideale di $2^4 Vq$ produce un valore minore, la funzione di trasferimento perderebbe la monotonicità (Figura 10).

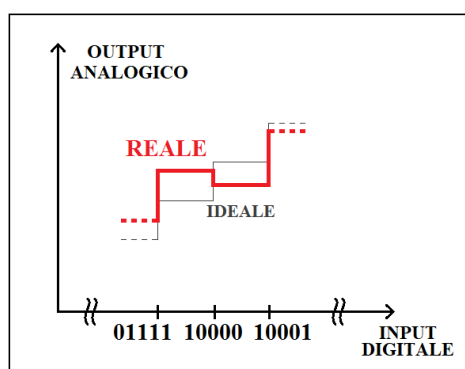


Figura 10. Funzione di trasferimento non monotona

Inoltre, l'architettura binaria non si presta bene alla tecnica di calibrazione esposta nei prossimi capitoli di questa tesi.

Un'altra possibilità è l'utilizzo di un'architettura con codifica termometrica "unary" in cui ogni generatore contribuisce alla tensione di uscita con un valore pari a 1 LSB. Per realizzare questa architettura occorrono 2^N-1 generatori di corrente (Figura 11 e Figura 12).

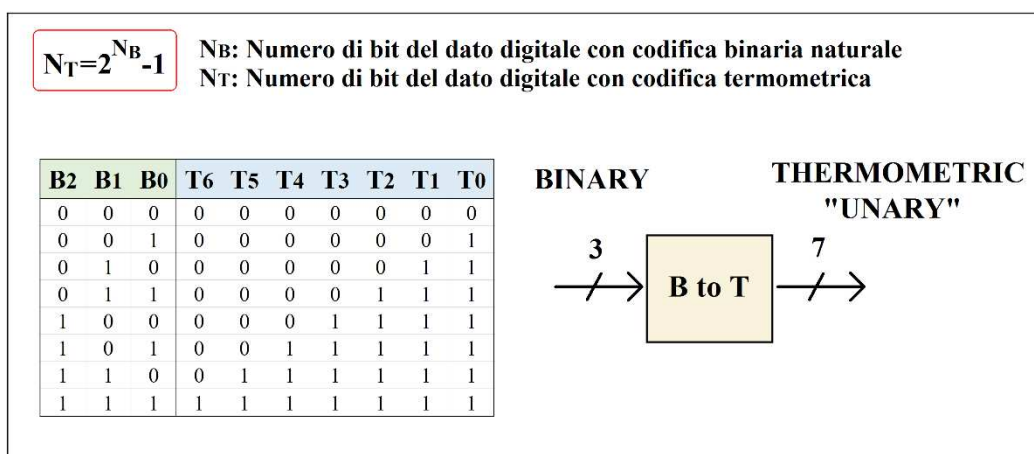


Figura 11. Codifica termometrica

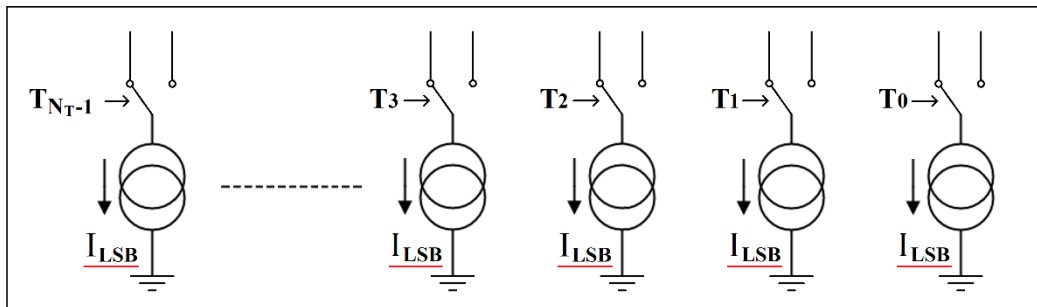


Figura 12. Matrice di generatori termometrici

Con questa architettura si elimina il problema degli spike di tensione indesiderati presenti nell'architettura binaria in quanto nel passare da una configurazione alla successiva, solo un interruttore alla volta viene fatto cambiare di stato mentre tutti gli altri rimangono nello stesso stato della configurazione precedente.

Un DAC termometrico è intrinsecamente monotono: nel passare da una configurazione digitale alla successiva, l'unica operazione che si fa è aggiungere la corrente di un generatore, la quale può essere maggiore o minore del valore nominale però si sta comunque sommando una quantità positiva; lo stesso ragionamento vale nel caso opposto in cui la tensione di uscita deve scendere: si deve sottrarre la corrente, maggiore o minore del valore nominale, di un generatore, pertanto inevitabilmente la corrente totale non può che calare.

Anche questa architettura è affetta da problemi: un DAC a 14 bit richiederebbe 16383 generatori termometrici e altrettanti segnali digitali T_j di controllo degli interruttori; si avrebbero quindi grossi problemi di layout con un grande numero di linee digitali entranti nella regione analogica del convertitore dove sono presenti i generatori (Current-Source Array: CSA).

I DAC di Xilinx sono realizzati utilizzando entrambe le tipologie circuitali: di 14 bit, i 6 bit più significativi (6 MSB) sono di tipo termometrico (63 generatori unary) mentre i restanti 8 bit meno significativi (LSB) sono di tipo binario naturale (Figura 13).

Si ha quindi un buon compromesso fra le due architetture; la maggior parte della potenza di uscita è comunque fornita dagli unary, con i vantaggi sopracitati, però, avendo un buon numero di bit binari, si ha una grossa riduzione del numero di segnali digitali di ingresso, semplificando il layout. Il numero totale di generatori, interruttori e segnali digitali di ingresso per questa architettura diventa quindi 71 (T_j con $j=0, \dots, 62$ per gli unary e B_i con $i=0, \dots, 7$ per i binary).

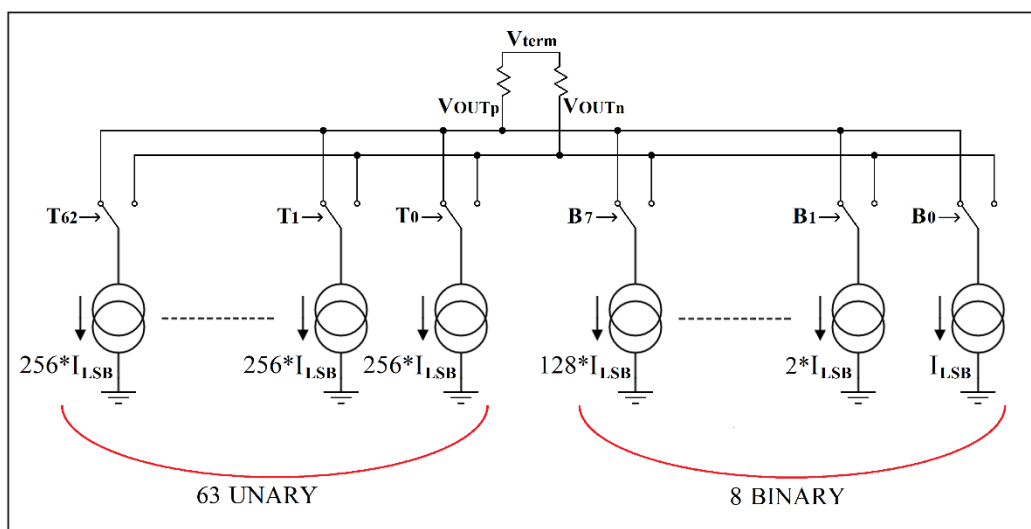


Figura 13. DAC a 14 bit con segmentazione termometrica e binaria

L'uscita differenziale consente di eliminare la dipendenza di $VOUT_{DAC} = VOUT_p - VOUT_n$ dalla tensione di terminazione V_{term} e consente di ottenere una tensione sia positiva che negativa: se la maggior parte della corrente dei generatori viene deviata sul ramo p, la tensione $VOUT_p$ è minore della tensione $VOUT_n$, pertanto la tensione differenziale di uscita è negativa; se la maggior parte della corrente viene invece deviata sul ramo n, la tensione $VOUT_n$ è minore della tensione $VOUT_p$, quindi la tensione differenziale di uscita è positiva.

Nei DAC di Xilinx le due resistenze di terminazione, interne al chip, hanno un valore pari a 50Ω e per motivi legati all'alta frequenza di funzionamento del DAC, per il corretto adattamento di potenza, fra OUT_p e OUT_n deve essere presente un carico, esterno al chip, del valore di 100Ω (Figura 14).

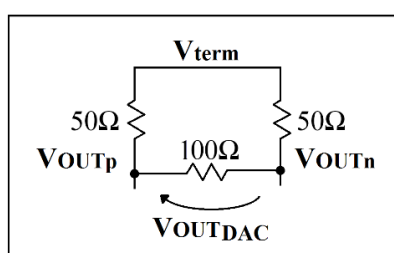


Figura 14. Resistenze di terminazione e carico del DAC

Per individuare la formula della $VOUT_{DAC}$ si procede prima con l'individuazione della formula nel caso in cui sono presenti solo gli unari (Figura 15) poi si somma il risultato che si ottiene considerando solo i binari (Figura 16).

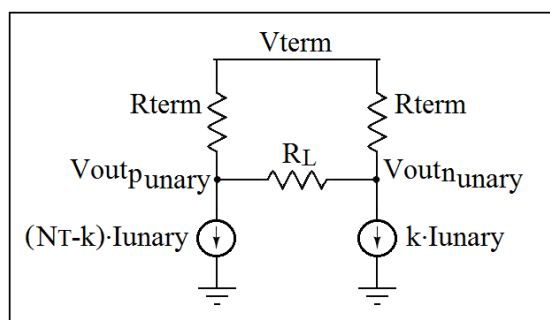


Figura 15. Circuito semplificato con soli unary

La formula della tensione differenziale di uscita nel caso di soli generatori termometrici unary, ottenuta applicando più volte il principio di sovrapposizione degli effetti, è data da:

$$VOUT_{DAC_unary} = \frac{R_{term} \cdot R_L}{2 \cdot R_{term} + R_L} \cdot (2 \cdot k - N_T) \cdot I_{unary} = 25 \cdot (2 \cdot k - N_T) \cdot I_{unary}$$

Dove k indica il numero di unary che imprime una corrente sul ramo n ; N_T è il numero totale di unary, quindi è pari a 63; I_{unary} è la corrente del generatore unary ed è pari a $256 \cdot I_{LSB}$.

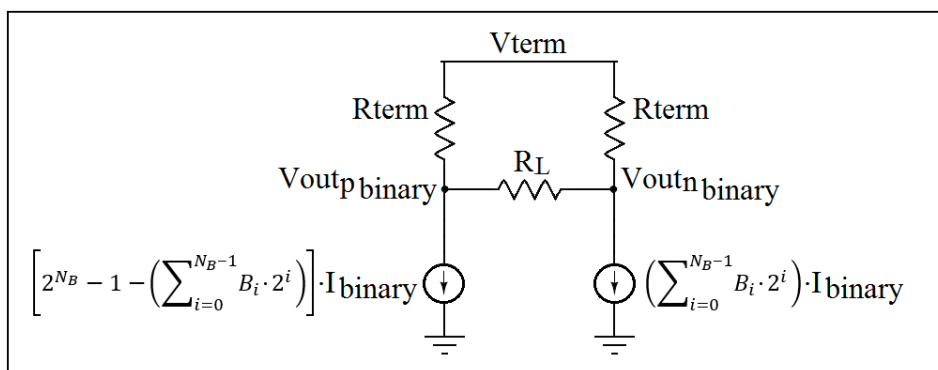


Figura 16. Circuito semplificato con soli binary

La formula della tensione differenziale di uscita nel caso di soli generatori binari è data da:

$$\begin{aligned} VOUT_{DAC_binary} &= \frac{R_{term} \cdot R_L}{2 \cdot R_{term} + R_L} \cdot \left[2 \cdot \left(\sum_{i=0}^{N_B-1} B_i \cdot 2^i \right) - 2^{N_B} - 1 \right] \cdot I_{binary} \\ &= 25 \cdot \left[2 \cdot \left(\sum_{i=0}^{N_B-1} B_i \cdot 2^i \right) - 2^{N_B} - 1 \right] \cdot I_{binary} \end{aligned}$$

Dove B_i vale 1 quando il generatore binario corrispondente imprime la sua corrente sul ramo n ; N_B è il numero di bit relativi alla porzione del dato digitale di ingresso mantenuta in codifica binaria naturale, quindi è pari a 8; I_{binary} è la corrente del generatore binario meno significativo ed è pari a I_{LSB} .

La formula finale considerando entrambi i contributi è:

$$\begin{aligned} VOUT_{DAC} &= 25 \cdot \left\{ (2 \cdot k - N_T) + \frac{1}{256} \cdot \left[2 \cdot \left(\sum_{i=0}^7 B_i \cdot 2^i \right) - 255 \right] \right\} \cdot I_{unary} \\ &= \frac{(DIG_CODE)_{10} - (MID_CODE)_{10}}{2^N - 1} \cdot 50 \cdot I_{TOT} \end{aligned}$$

Dove $(DIG_CODE)_{10}$ indica il valore in base decimale corrispondente al codice digitale binario di ingresso a 14 bit (prima della suddivisione in unary e binary); $(MID_CODE)_{10}$ indica il valore in base decimale corrispondente al codice binario intermedio, quindi $2^{13}=8192$ (precisamente sarebbe 8191.5 in quanto il valore decimale massimo del dato di ingresso è $2^{14}-1=16383$); N è il numero di bit del dato digitale binario di ingresso; I_{TOT} è la corrente totale somma delle correnti di tutti gli unary e tutti i binary.

La formula si può semplificare in:

$$VOUT_{DAC} \approx \frac{(DIG_CODE)_{10} - 2^{13}}{2^{14}} \cdot 50 \cdot I_{TOT}$$

Il DAC di Xilinx su cui si è lavorato nel corso del tirocinio presenta diverse modalità di funzionamento utilizzabili a seconda del range della tensione di uscita desiderato. In questa tesi è stata presa come riferimento la modalità in cui I_{TOT} è pari a 32 mA.

Con DIG_CODE costituito da tutti "1" si ottiene il valore massimo della tensione differenziale di uscita pari a 0.8V; con DIG_CODE costituito da tutti "0" si ottiene il valore minimo della tensione di uscita pari a -0.8V.

La tensione di uscita varia in un range di ampiezza 1.6V, pertanto, avendo un convertitore a 14 bit, il quanto di tensione è circa 98uV.

Facendo riferimento alla formula della tensione di uscita considerando solo gli unary, oppure considerando che il contributo dello unary è 256 volte maggiore di 1 LSB (256·98uV), agendo sull'interruttore di un solo unary la tensione di uscita ha una variazione di 25mV.

Essendo la corrente totale dei binary circa uguale alla corrente di uno unary, la corrente dello unary è:

$$I_{unary} = \frac{I_{TOT}}{N_T + 1} = \frac{I_{TOT}}{64} = 500\mu A$$

Come detto, la maggior parte del contributo alla tensione di uscita è dato dai generatori unary, pertanto la valutazione dei mismatch e la successiva calibrazione del DAC vengono fatte proprio basandosi solo sugli unary, come verrà spiegato in seguito.

1.4 Mismatch

I generatori di corrente circuitualmente sono costituiti da diversi mosfet che complessivamente cercano di realizzare dei generatori il più possibile ideali.

Il generatore di corrente è costituito da molti transistor in serie e parallelo che complessivamente occupano una grande area (grande transistor equivalente); inoltre è presente un transistor, con tensione di gate fissata, che permette di aumentare la resistenza di uscita del generatore (infinita per un generatore di corrente ideale); il generatore è quindi di tipo cascode (Figura 17).

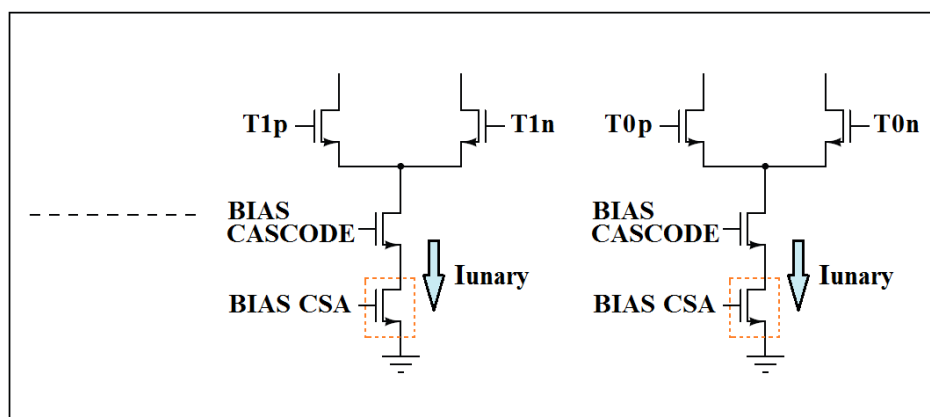


Figura 17. Dettaglio generatori unary

Ogni generatore unary viene progettato per introdurre una corrente del valore di 500 μ A con una certa dispersione statistica: una volta prodotto il circuito, la corrente di uno unary può valere 501 μ A o 497 μ A.

Si ha quindi una distribuzione con valore medio 500uA e con una certa varianza. Il modello di Pelgrom per i mismatch dei mosfet [1] indica che la varianza di una certa proprietà del transistor è inversamente proporzionale all'area occupata:

$$\sigma_p^2 \sim \frac{1}{Area}$$

Tutti i 63 generatori unary devono essere il più possibile uguali fra loro, per questo motivo si tende a progettarli occupando una grande area di silicio, minimizzando quindi i mismatch.

Il DAC su cui è stato svolto questo lavoro ha come finalità le applicazioni ad alta frequenza, pertanto bisogna fare attenzione alle dimensioni dei vari blocchi del circuito: più i generatori sono grandi più le diverse interconnessioni diventano lunghe; cresce quindi il rischio che gli effetti parassiti introdotti dalle linee possano limitare le performance dinamiche del convertitore, esiste quindi un trade-off da valutare.

È presente quindi una certa varianza che produce dei mismatch di corrente sempre presenti sia a bassa frequenza che ad alta frequenza; si parla pertanto di mismatch statici di corrente: data la deviazione standard σI , la corrente degli unary è quasi al 100% compresa nell'intervallo $[500\mu A - 5 \cdot \sigma I, 500\mu A + 5 \cdot \sigma I]$.

Un'altra non-idealità molto importante, specialmente ad alta frequenza, riguarda la sincronizzazione dei segnali di controllo degli interruttori che devono commutare simultaneamente.

Quando la tensione del segnale di uscita varia molto velocemente, più di uno unary deve commutare in un solo istante di clock.

Se devono commutare 4 unary contemporaneamente, è molto importante che i rispettivi segnali di controllo degli interruttori siano il più possibile temporalmente allineati. Se gli interruttori non commutano contemporaneamente, per un certo lasso di tempo è presente una configurazione sbagliata degli unary (Figura 18).

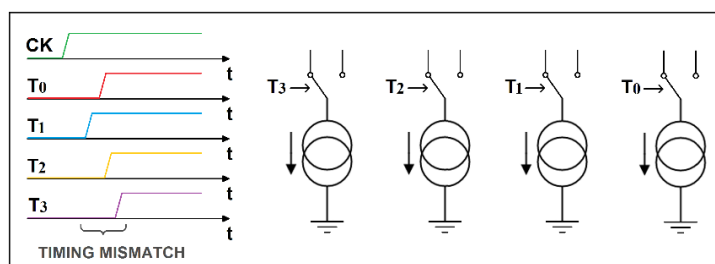


Figura 18. Commutazioni non contemporanee

Si ha quindi un errore di corrente (quindi di tensione di uscita) dovuto ai mismatch temporali; in questo caso si parla di mismatch dinamici.

Quando la frequenza del segnale in uscita aumenta, quindi variazioni di tensione sempre più veloci, i mismatch dinamici limitano sempre di più le prestazioni del DAC.

Ai fini della produzione finale dei dispositivi è importante trattare sia i mismatch statici che dinamici. In questa tesi vengono approfonditi i mismatch statici.

2

Modello del DAC

2.1 Introduzione

Gli effetti delle principali non-idealità sono stati simulati utilizzando un modello preesistente scritto in Verilog-A in Cadence Virtuoso.

In questo capitolo, come prima cosa, viene fatta un'introduzione al modello del DAC, descrivendo le funzionalità dei diversi blocchi presenti senza entrare nel dettaglio del codice Verilog-A, ma dando una visione generale a black box.

In seguito vengono descritti tre algoritmi di riordino-correzione, scritti e introdotti nel modello, utili alla riduzione degli effetti delle non-idealità di tipo statico, presentando i diversi risultati ottenuti in tre importanti figure di merito prima e dopo l'utilizzo degli algoritmi.

2.2 Modello del DAC

Per valutare le prestazioni del DAC in presenza di non-idealità e in seguito verificare l'efficacia degli algoritmi di calibrazione, sono state fatte simulazioni in cui il segnale di riferimento è di tipo sinusoidale.

Il DAC deve quindi ricevere in ingresso una sequenza di dati digitali che nel tempo descrivono un segnale sinusoidale. Il modo più semplice di generare questa sequenza temporale di dati digitali è l'utilizzo di un convertitore analogico-digitale ideale con una sinusoide in ingresso (Figura 19).

A questo punto i 14 bit, di cui si è parlato nel capitolo precedente, vengono suddivisi dal secondo blocco in termometrici e binary: i 6 bit di maggiore peso vengono convertiti in 63 bit termometrici unary, i restanti bit meno significativi rimangono in codifica binaria, come descritto nel primo capitolo.

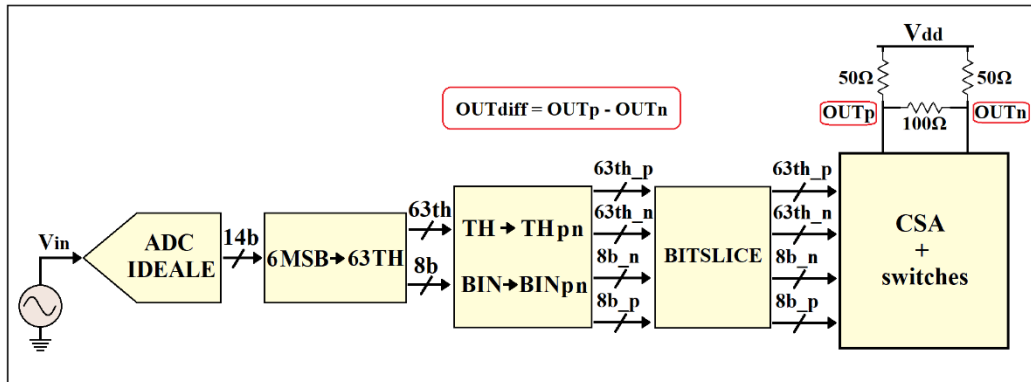


Figura 19. Modello del DAC

Il blocco successivo genera le sequenze p e n (sia per i bit termometrici sia per i bit binari) che a livello hardware corrispondono ai segnali digitali che attivano, per ogni cella elementare del Current-Steering DAC, o l'interruttore p o l'interruttore n per il passaggio della corrente nel ramo p o nel ramo n. Il blocco "Bitslice" introduce le non-idealità temporali, non trattate in questa tesi. Queste non-idealità comprendono i diversi ritardi con cui i segnali digitali attivano o disattivano gli interruttori n e p nelle celle del DAC.

L'ultimo blocco costituisce il Current-Source Array del DAC, in cui vengono definiti tutti i valori di corrente dei generatori termometrici e binari. In questo blocco si introducono i mismatch statici che modificano la corrente ideale dei generatori. Le correnti reali dei generatori termometrici unary vengono definite, nel modello, secondo la formula:

$$I_U[k] = I_{U_ideale} \cdot (1 + unary_coeff[k]) \quad k = 0,1,2,\dots,62$$

I_{U_ideale} è la corrente ideale degli unary che, se il DAC lavora nella modalità 20mA o 32mA, può valere 312uA o 500uA. Il coefficiente $unary_coeff_k$, in generale diverso per ogni unary, viene calcolato sommando i seguenti contributi:

- un numero casuale generato secondo una distribuzione gaussiana a media nulla e varianza definita come $\sigma I / I$, con valore pari a $1.5 \cdot 10^{-3}$
- un numero deterministico ottenuto secondo una legge lineare, che modella un probabile gradiente di processo lineare che altera il valore di corrente.

La varianza σI effettiva si calcola semplicemente moltiplicando $1.5 \cdot 10^{-3}$ per la corrente dello unary 500uA:

$$\sigma I = 1.5 \cdot 10^{-3} \cdot 500 \cdot 10^{-6} = 750nA$$

La quasi totalità (99.73%) dei valori è quindi compresa in un intervallo di $\pm 3 \cdot \sigma I = \pm 2.25 \mu A$ (o 99.99% con $\pm 5 \cdot \sigma I$) intorno al valore ideale 500uA; in più è però presente la deviazione lineare dovuta al gradiente di processo.

La linea rossa tratteggiata in Figura 20 mostra chiaramente l'andamento delle correnti, dovuto al gradiente di processo.

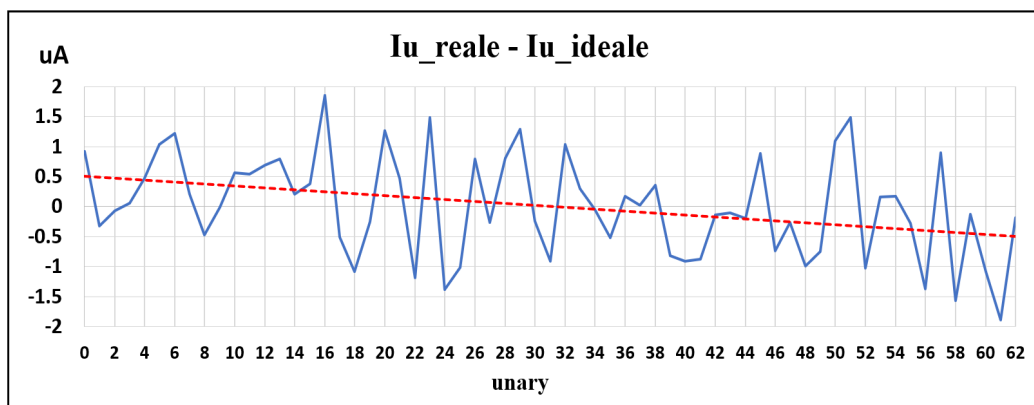


Figura 20. Non-idealità di corrente

L'effetto del gradiente di processo può essere ridotto progettando il CSA con un layout in cui i generatori di corrente sono distribuiti formando una struttura a baricentro comune (common centroid layout), utilizzata largamente sui chip presenti sul mercato. Questo genere di layout però richiede l'utilizzo di una grande area sul chip, incrementando gli effetti parassiti (resistenze e capacità) delle linee di interconnessione, quindi influenzando le prestazioni dinamiche del DAC.

Per migliorare le prestazioni dinamiche si progetta quindi il CSA con un layout più compatto, accettando però la presenza di un gradiente di processo il cui effetto deve essere studiato e limitato con una tecnica di calibrazione.

2.3 Effetto dei mismatch statici

In presenza di un gradiente di processo si ha un andamento dispari delle correnti rispetto alla regione centrale in cui è presente unary 31 (anche la DNL, espressa in LSB, ha lo stesso andamento visto in Figura 20), questo porta ad avere una INL di tipo parabolico in cui il picco della parabola è situato nella zona centrale dell'asse degli unary (Figura 21).

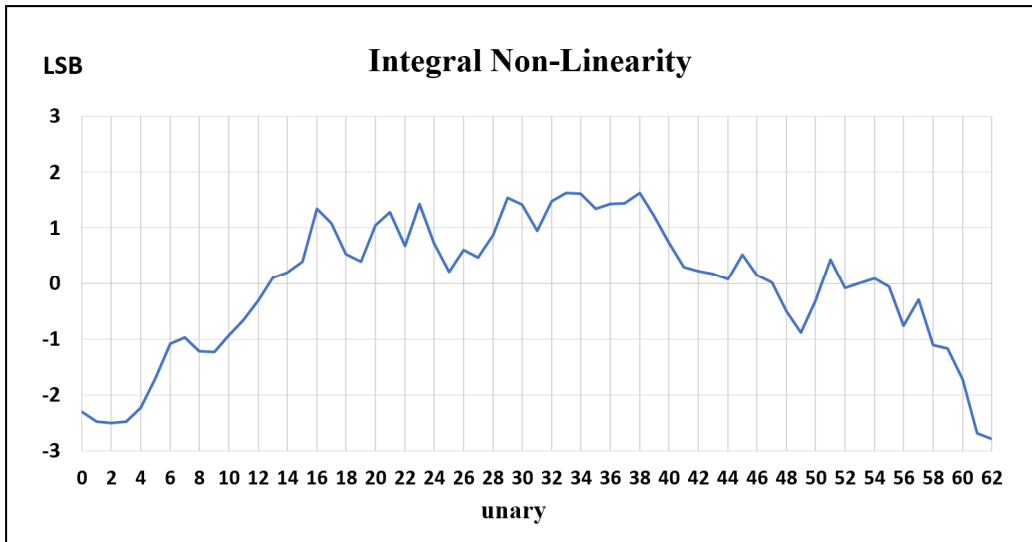


Figura 21. INL parabolica

Un segnale prodotto da un circuito non lineare può essere descritto in serie di potenze $y(t) = a_0 + a_1 \cdot x(t) + a_2 \cdot x^2(t) + a_3 \cdot x^3(t) + \dots$ dove ogni termine di ordine maggiore di 1 rappresenta un termine di non-linearità.

Facendo riferimento alla funzione di trasferimento rappresentata in Figura 22 si ottiene, da un modello semplificato, che se il codice digitale in ingresso (asse x) descrive una funzione sinusoidale ($\sin(\omega t)$ o $\cos(\omega t)$), in uscita si genera una componente spettrale con frequenza doppia rispetto alla fondamentale:

$$[\cos(\omega_0 t)]^2 = \frac{1}{2} + \frac{1}{2} \cos(2\omega_0 t)$$

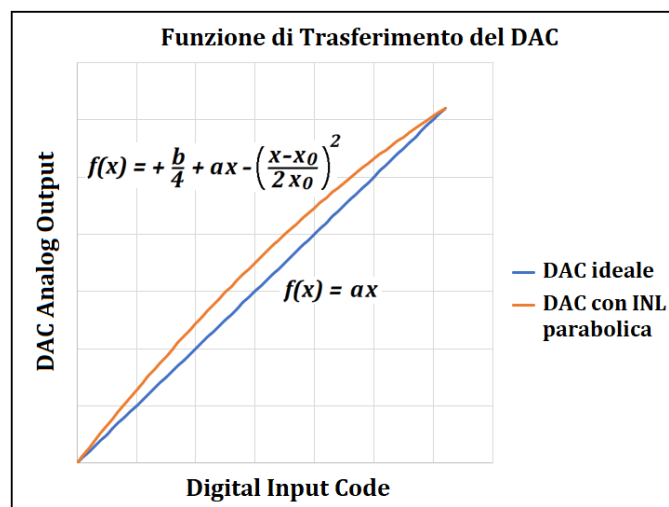


Figura 22. Funzione di trasferimento del DAC con INL parabolica

Quando l'INL presenta un andamento parabolico si genera quindi una grande seconda armonica nello spettro del segnale di uscita del DAC.

Per le prime simulazioni è stato impostato all'ingresso dell'ADC un segnale sinusoidale con frequenza f_0 di circa 600MHz e ampiezza tale da utilizzare tutti gli unary del DAC (segnale full scale $\pm 0.8V$): $x(t) = 0.8 \cdot \cos(2\pi \cdot 600 \cdot 10^6 \cdot t)$.

In Figura 23 è rappresentato lo spettro del segnale full scale $y(t)$ prodotto dal modello del DAC, dove i valori di corrente degli unary sono generati casualmente a partire da un seed iniziale non considerando il gradiente di processo.

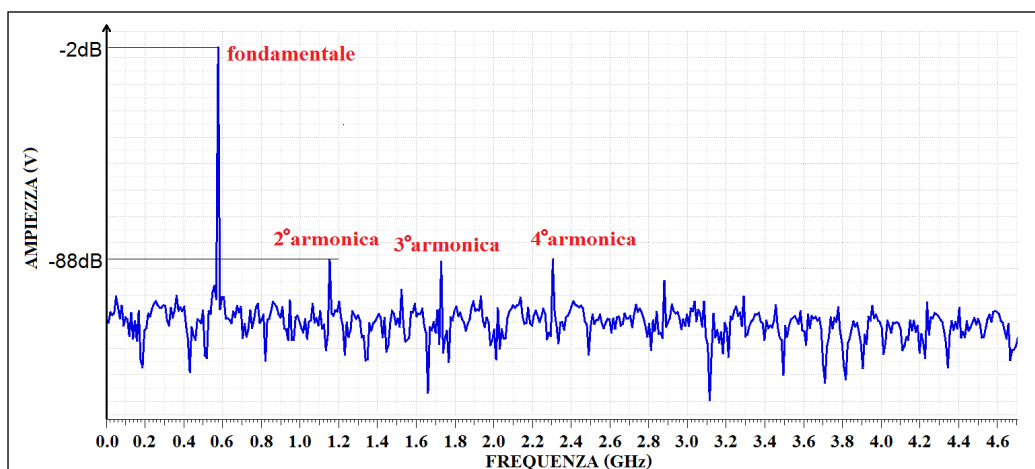


Figura 23. Spettro segnale full scale con mismatch senza gradiente di processo

In Figura 24 è rappresentato lo spettro del segnale full scale $y(t)$ prodotto dal modello del DAC considerando anche il gradiente di processo lineare; si nota chiaramente una grande seconda armonica.

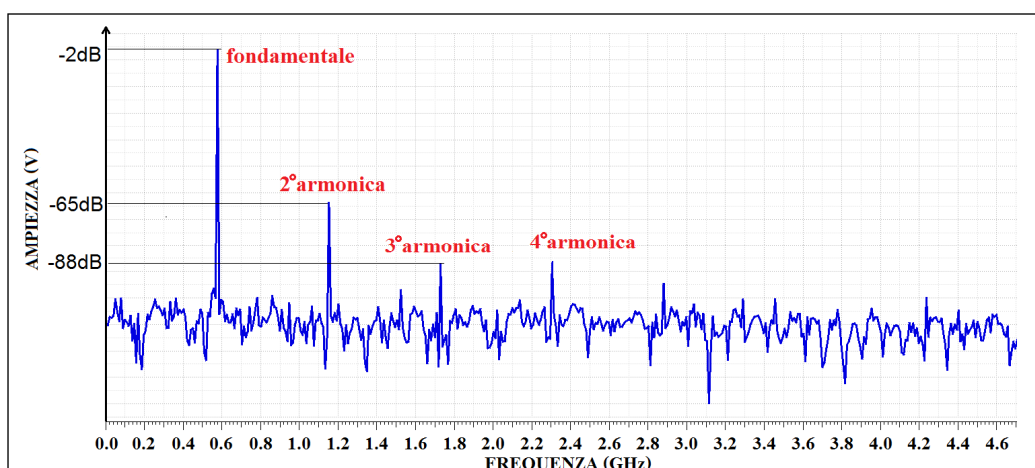


Figura 24. Spettro segnale full scale con mismatch e gradiente di processo

Tre figure di merito molto importanti per valutare la pulizia dello spettro sono:

- HD2 (Harmonic Distorsion 2) definita come la differenza, espressa in dB, fra l'ampiezza della seconda armonica e l'ampiezza della fondamentale
- HD3 (Harmonic Distorsion 3) definita come la differenza, espressa in dB, fra l'ampiezza della terza armonica e l'ampiezza della fondamentale
- SFDR_noHD23 (Spurious-Free Dynamic Range escluse le armoniche 2 e 3), che in questa tesi viene chiamata semplicemente SFDR, ed è definita come la differenza, espressa in dB, fra l'ampiezza della fondamentale e l'ampiezza della componente spettrale più grande (armonica o rumore) escluse le armoniche 2 e 3.

Le HD2 e HD3 sono quantità indicate negativamente (più sono negative meglio è) mentre SFDR è una quantità indicata positivamente (più è grande meglio è).

In Figura 23: HD2=-86dB (la seconda armonica è 86dB più piccola della fondamentale), HD3=-87dB (la terza armonica è 87dB più piccola della fondamentale di 87dB) e SFDR=86dB (la fondamentale è 86dB più grande della componente spettrale più grande escluse le armoniche 2 e 3).

In Figura 24: HD2=-63dB (seconda armonica dovuta alla INL parabolica), HD3=-87dB e SFDR=86dB.

Si nota quindi molto bene l'effetto che il gradiente di processo ha sullo spettro del segnale di uscita.

Per garantire migliori prestazioni del DAC è importante trovare un modo per aumentare la linearità del segnale di uscita e ridurre l'ampiezza delle armoniche presenti nello spettro.

Una prima tecnica consiste in un "rimescolamento" pseudo-casuale dei generatori unary facendo in modo di non seguire l'ordine iniziale soggetto al gradiente di processo, quindi eliminando la grande seconda armonica. Questa tecnica però introduce del rumore di fondo in quanto non si hanno più delle non-idealità costanti nel tempo (Figura 25).

Per ogni frequenza, la corrispondente componente spettrale ha un'ampiezza più bassa dell'ampiezza della seconda armonica generata dal gradiente di processo, però si ha un innalzamento generale di tutte le componenti spettrali. Deve quindi essere trovata una tecnica più efficace in cui il riordinamento dei generatori non venga fatto casualmente ma secondo una certa logica, oppure si deve applicare un algoritmo di correzione dei valori di corrente degli unary.

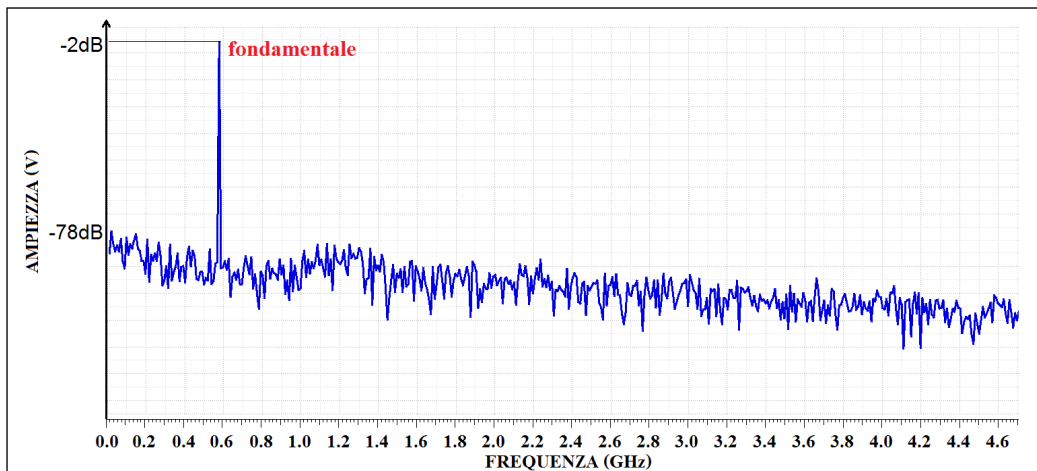


Figura 25. Spettro con rimescolamento pseudo-casuale degli unary

2.4 Algoritmo di riordino

Nel caso di non-idealità generate da un gradiente di processo lineare, lo spettro del segnale presenta, come detto, una grande componente armonica del secondo ordine. Per ridurre drasticamente questo effetto negativo è stato introdotto nel modello un algoritmo di riordino dei generatori di corrente termometrici.

L'algoritmo si basa sui seguenti punti:

- nella generazione del segnale analogico di uscita, non seguire l'ordine fisico dei generatori unary, ma seguire un ordine in cui uno unary con più corrente del valore ideale viene seguito da uno unary con meno corrente, poi di nuovo uno unary con più corrente e così via
- la distorsione armonica viene limitata da una forma migliore della curva della INL risultante
- la definizione delle posizioni decise dall'algoritmo di riordinamento avviene una volta sola subito dopo l'accensione del DAC
- selezionare i generatori più simili per le posizioni centrali e per i bordi
selezionare i generatori con maggiore mismatch
- i segnali tipici utilizzati nelle telecomunicazioni non vengono generati esercitando tutti i 63 unary (full scale), ma rimanendo attorno alla zona centrale, esercitando per esempio gli unary da 25 a 39; è quindi importante avere la migliore forma della INL proprio nella zona centrale.

Praticamente l' algoritmo di reordering si implementa molto semplicemente con 4 passaggi consecutivi:

- 1) gli unary vengono ordinati dal più grande al più piccolo, mantenendo memoria della posizione originale fisica e definendo le nuove posizioni temporanee (ogni unary è definito come un vettore tridimensionale ($I_{u_reale}[k]$, *posizione originale k*, *nuova posizione j*))
- 2) si compie ora uno scambio, centrato attorno allo unary centrale ($j = 31$), degli unary con nuova posizione pari: $j=0$ con $j=62$, $j=2$ con $j=60$, $j=4$ con $j=58$ e così via fino all'ultimo scambio $j=30$ con $j=32$
- 3) si aggiornano le nuove posizioni j dei i vettori con l'ordine corrente dei vettori ottenendo la coppia finale di indici j e k (Figura 26)

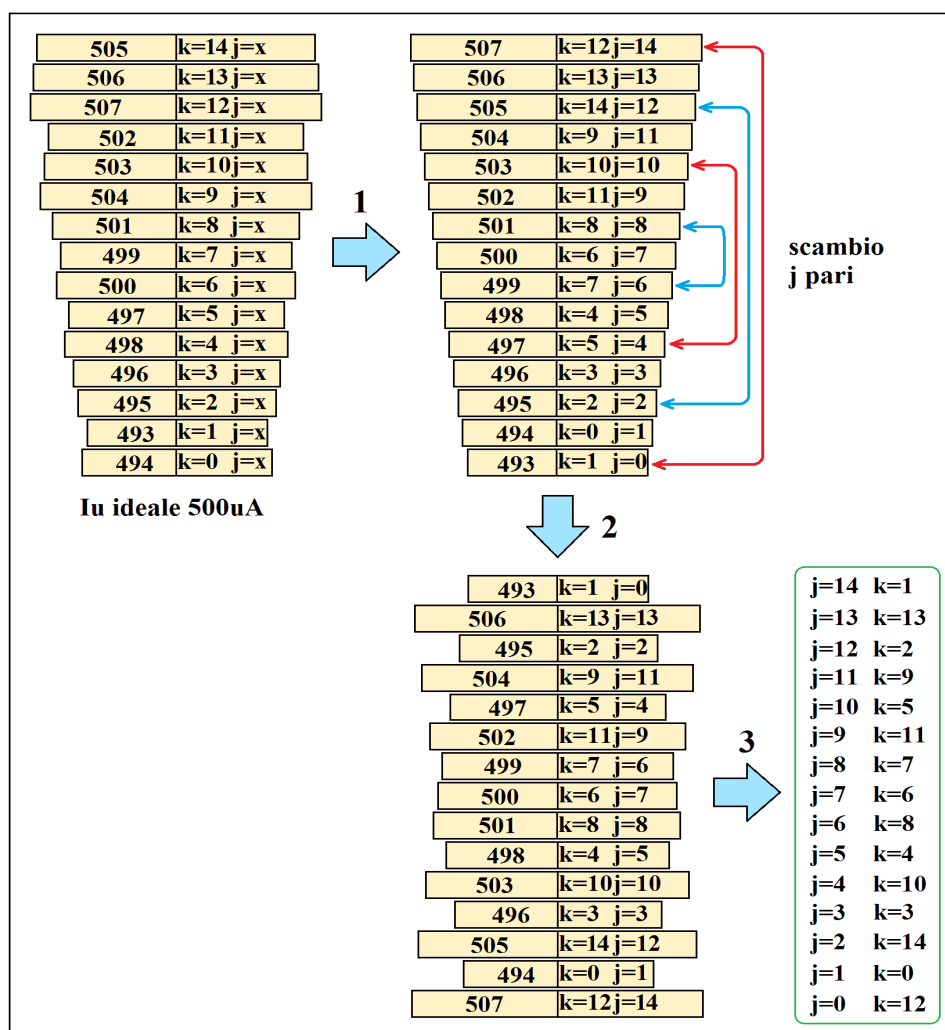


Figura 26. Algoritmo di riordino degli unary

- 4) si assegnano le nuove posizioni agli unary: riferendosi alla Figura 26, quando il segnale viene generato non si parte dallo unary in posizione 0 ma dallo unary in posizione 12, poi, proseguendo, non si continua con lo unary 1 ma con lo unary 0, poi con lo unary 14, eccetera.

Utilizzando questo algoritmo gli unary più simili sono quindi nella zona centrale e gli unary meno simili nelle zone esterne (Figura 27).

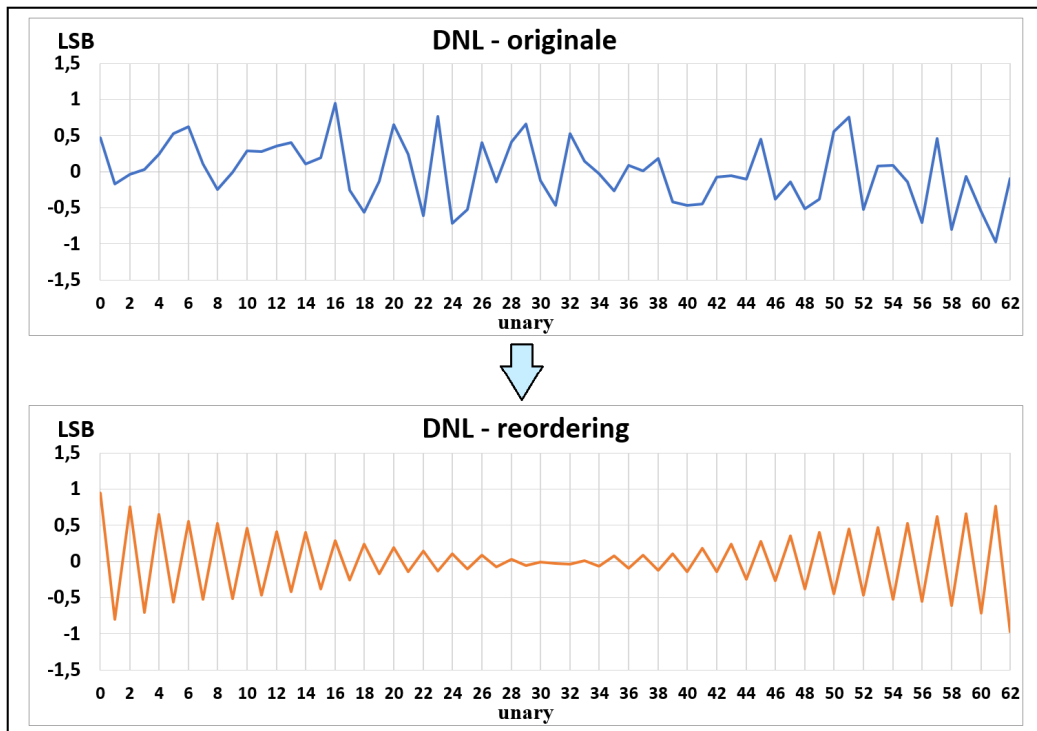


Figura 27. DNL prima e dopo il riordinamento

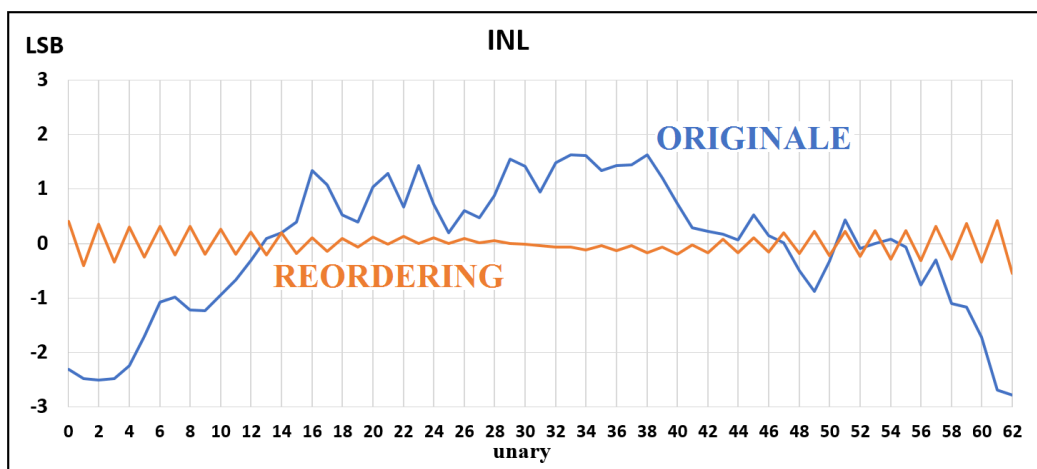


Figura 28. INL prima e dopo il riordinamento

In Figura 28 si vede chiaramente il netto miglioramento della forma dell'INL: la forma parabolica è del tutto eliminata, per questo la seconda armonica nello spettro viene abbassata drasticamente (Figura 29).

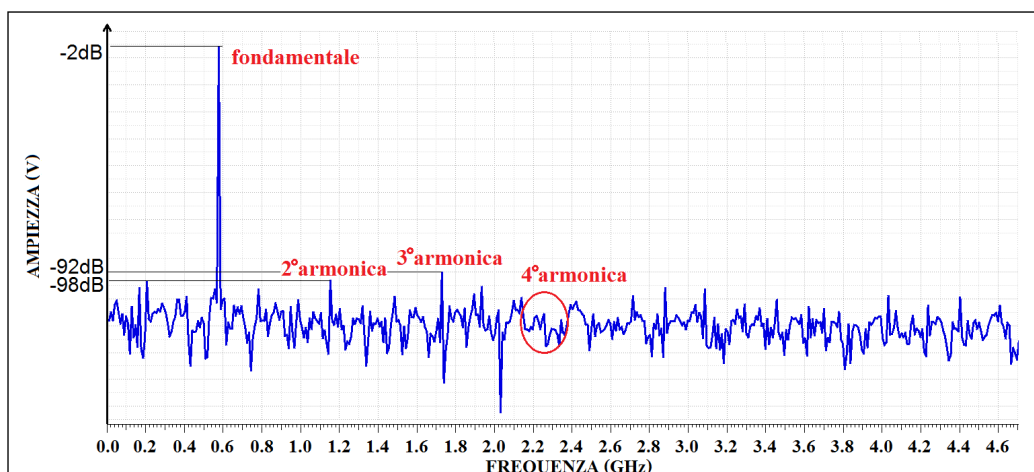


Figura 29. Spettro con algoritmo di riordino degli unary

Come si può notare, oltre alla seconda armonica, cala drasticamente anche la quarta armonica in quanto anche quest'ultima si genera a partire da andamenti parabolici della INL.

Si può fare un confronto numerico fra le HD2, HD3 e SFDR originali con gradiente di processo e quelle ottenute dopo il riordinamento:

- originali (senza gradiente di processo): HD2 = -86dB, HD3 = -87dB, SFDR = 86dB
- originali (con gradiente di processo): HD2 = -63dB, HD3 = -87dB, SFDR = 86dB
- nuove: HD2 = -96dB, HD3 = -90dB, SFDR = 93dB

L'effetto del gradiente di processo è del tutto eliminato e si ottengono persino risultati migliori rispetto al caso senza gradiente.

2.5 Algoritmi di correzione

Oltre all'algoritmo di reordering sono stati scritti e implementati due algoritmi di correzione degli unary chiamati "correction unary" e "correction INL".

Il correction unary è l' algoritmo concettualmente più semplice: se la corrente di uno unary è maggiore di una certa soglia I_a toglie una data corrente; se la corrente di uno unary è minore di una certa soglia I_b aggiunge una data corrente (Figura 30).

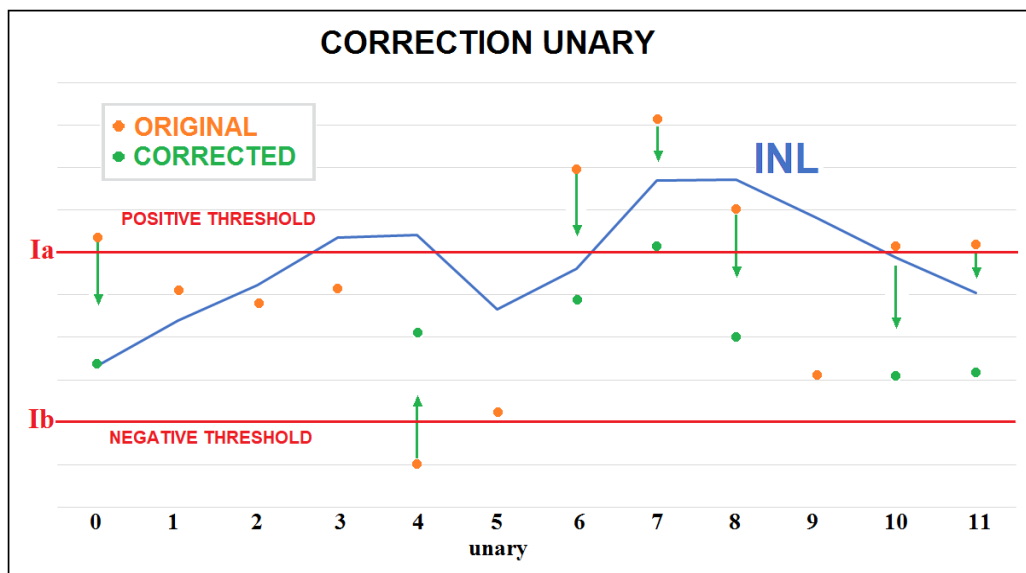


Figura 30. Primo algoritmo di correzione degli unary

A livello numerico sono stati impostati i seguenti valori: soglia alta = $500\mu\text{A} + \sigma I = 500.750\mu\text{A}$, soglia bassa = $500\mu\text{A} - \sigma I = 499.250\mu\text{A}$ e corrente correttiva $\pm 1.5 \cdot \sigma I = 1.125\mu\text{A}$. Esempio: se uno unary ha una corrente pari a $501\mu\text{A}$ allora viene corretto sottraendo $1.125\mu\text{A}$, ottenendo $499.875\mu\text{A}$; se uno unary ha una corrente pari a $499\mu\text{A}$ allora viene corretto aggiungendo $1.125\mu\text{A}$, ottenendo $500.125\mu\text{A}$; se uno unary ha una corrente di $500,1\mu\text{A}$ non si fa nessuna correzione. Il secondo algoritmo “correction INL” compie sempre delle correzioni sugli unary come appena visto nel primo algoritmo, però al posto di verificare che la corrente di ogni singolo unary sia dentro un certo intervallo $[I_b, I_a]$, verifica che la INL, espressa in corrente e non in LSB, sia dentro un certo intervallo $[INL_b, INL_a] = [-\sigma I, \sigma I]$.

Esempio: unary[0] vale $500.4\mu\text{A}$, unary[1] vale $500.3\mu\text{A}$ e unary[2] vale $500.5\mu\text{A}$ allora i punti della INL, in μA , sono $INL[0]=0.4\mu\text{A}$, $INL[1]=0.7\mu\text{A}$ e $INL[2]=1.2\mu\text{A}$; l'ultimo punto della INL supera la soglia $\sigma I=0.75\mu\text{A}$ allora si corregge unary[3] sottraendo $1.125\mu\text{A}$ e si ricalcola l'ultimo punto della INL con il valore corretto dell'ultimo unary ottenendo $INL[3]=0,075\mu\text{A}$.

Ricapitolando: se un punto della INL è maggiore di una certa soglia si corregge lo unary che ha portato la INL oltre la soglia $INLa$, se un punto della INL è minore di una certa soglia $INLb$ si corregge lo unary che ha portato la INL sotto la soglia. Naturalmente se già unary[0] ha un valore maggiore di 500.75uA viene corretto subito perché già in questo punto la INL sarebbe maggiore di 0.75uA.

In Figura 31 è illustrato l' algoritmo appena descritto.

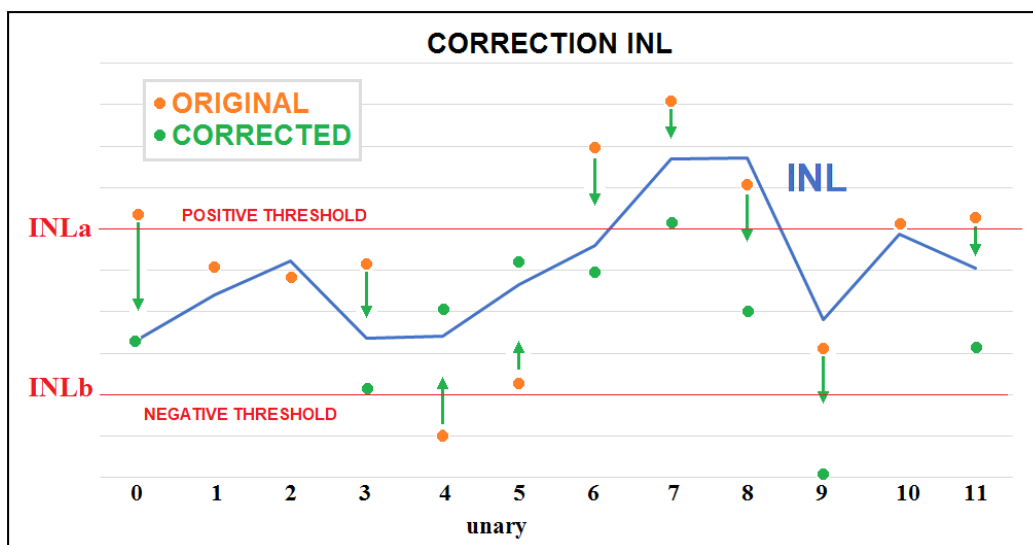


Figura 31. Secondo algoritmo di correzione

Riferendosi alla Figura 31: unary[0] farebbe uscire la INL dal range, quindi viene corretto; anche unary[3] farebbe uscire la INL dal range, pertanto viene corretto; la stessa cosa vale per unary 4, 5, 6, 7, 8, 9 e 11.

Come si intuisce, l'obiettivo di questo algoritmo è cercare di restringere il più possibile la INL dentro certi limiti, aumentare la linearità della funzione di trasferimento del DAC e avere quindi una differenza $V_{out_reale} - V_{out_ideale}$ più piccola possibile.

In Figura 32 sono rappresentate le due INL ottenute dopo aver applicato i due algoritmi di correzione visti.

Come si può vedere, la INL più ristretta attorno 0 LSB è quella ottenuta con l' algoritmo correction INL, mentre la INL ottenuta con l' algoritmo correction unary presenta variazioni più ampie. Quest'ultimo è l' algoritmo meno efficace: si vede ancora chiaramente, anche se con valori più piccoli rispetto al caso originale, una forma parabolica della INL.

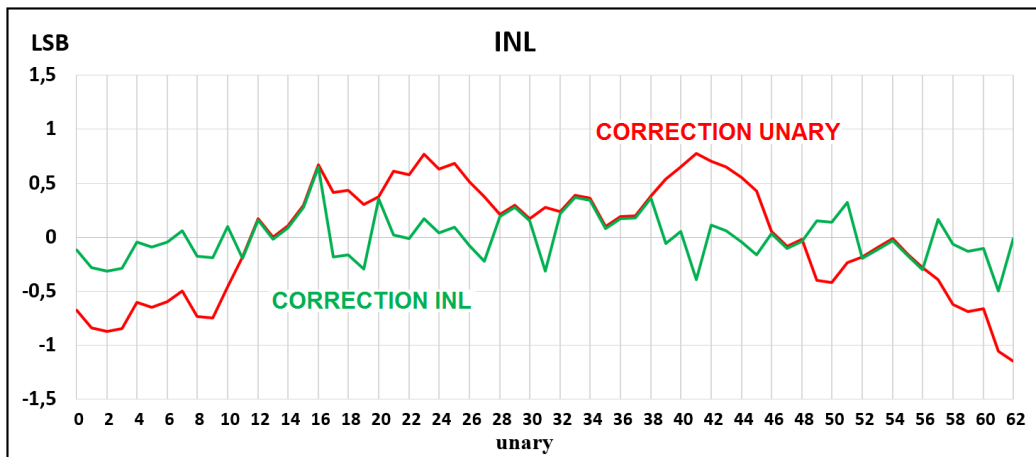


Figura 32. Algoritmi di correzione a confronto

2.6 Risultati di simulazione con 300 seed

Finora le figure di merito HD2, HD3 e SFDR sono state indicate per un solo seed di generazione casuale dei mismatch statici degli unary; per valutare correttamente l'efficacia degli algoritmi di reordering e correzione sono state fatte simulazioni a 300 seed. Si hanno quindi 300 diverse generazioni dei mismatch (avendo comunque sempre lo stesso $\sigma I/I$); intuitivamente questo equivale ad avere 300 chip uguali che forniscono risultati diversi fra loro, in quanto le non-idealità di produzione non sono predicibili e costanti fra chip e chip.

I risultati delle simulazioni con 300 seed vengono graficati come una distribuzione: in generale più la distribuzione è ampia più le prestazioni non sono costanti fra seed e seed; le prestazioni invece sono più costanti se la distribuzione è più compatta (Figura 33).

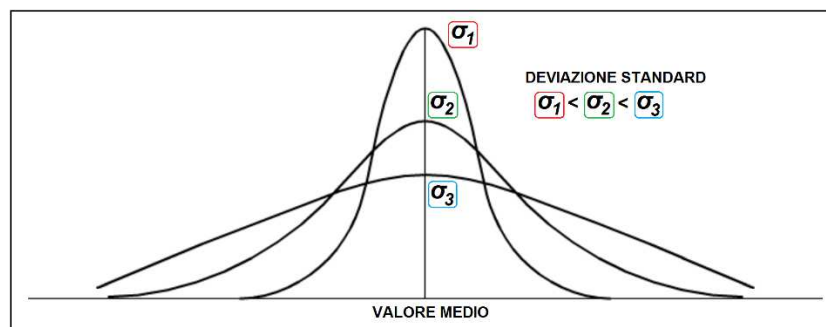


Figura 33. Distribuzioni gaussiane con diverse deviazioni standard

Per le HD2 e HD3 si hanno prestazioni migliori se la distribuzione è più spostata verso sinistra (valore medio più piccolo), mentre per la SFDR si hanno prestazioni migliori se la distribuzione è più spostata verso destra (valore medio più grande). Le Figure 34, 35 e 36 mostrano le distribuzioni ottenute per le tre figure di merito con un segnale full scale a 600Mhz.

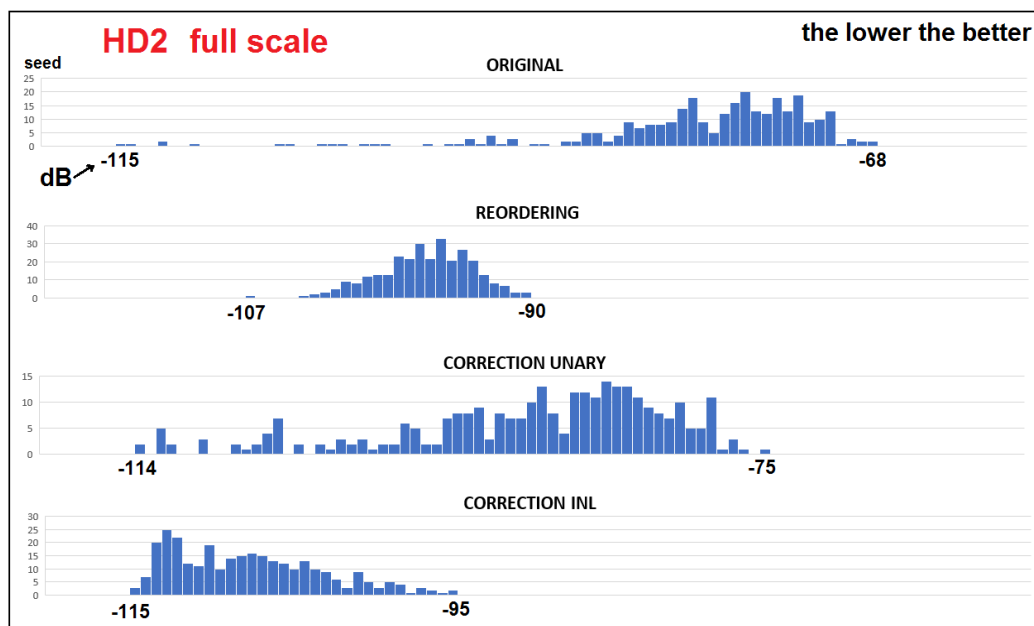


Figura 34. Distribuzioni della HD2 full scale nei quattro casi

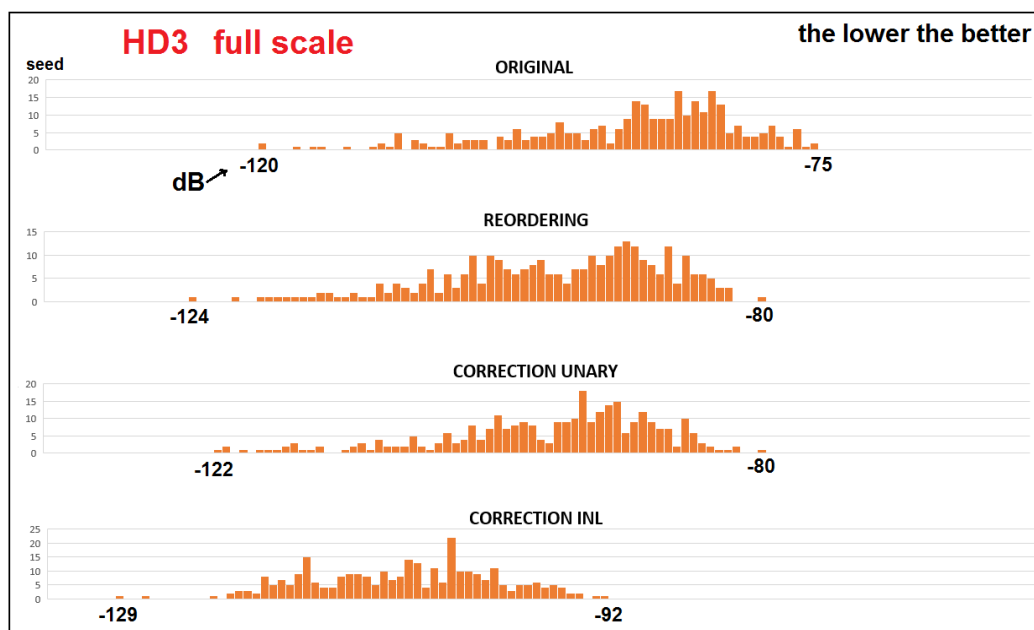


Figura 35. Distribuzioni della HD3 full scale nei quattro casi

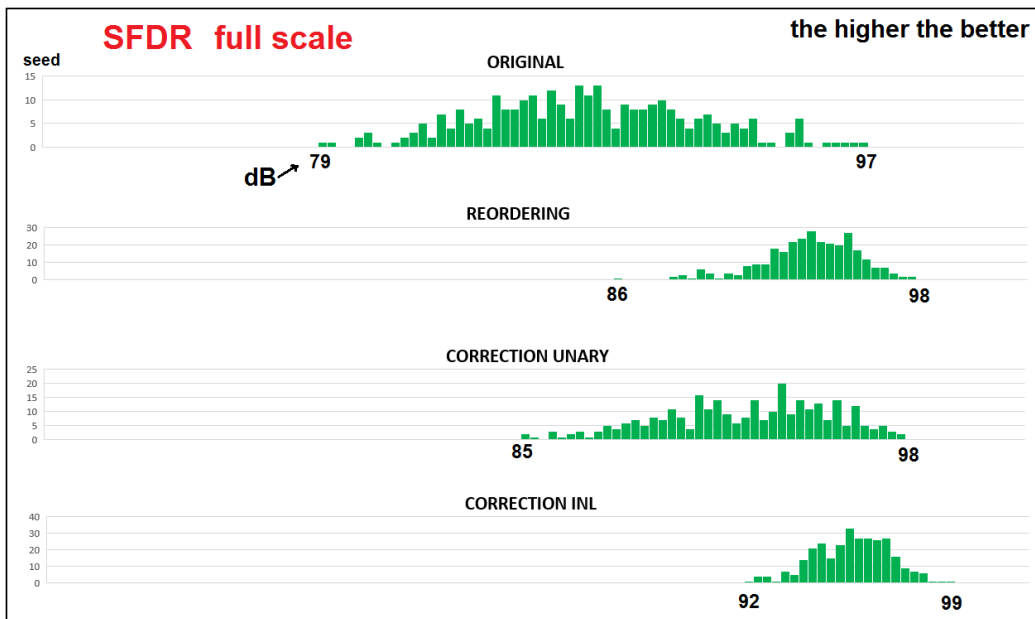


Figura 36. Distribuzioni della SFDR full scale nei quattro casi

Nelle figure sono indicati i valori massimi e minimi per ogni figura di merito, non sono però questi ultimi i dati su cui basarsi per valutare le prestazioni. È necessario valutare la posizione e la compattezza delle distribuzioni.

L'algoritmo che presenta le migliori prestazioni è il correction INL in quanto mostra distribuzioni più compatte e meglio posizionate; il secondo migliore algoritmo è il reordering.

Finora sono state fatte simulazioni con un segnale full scale, però come detto nel paragrafo 2.4, i segnali tipici utilizzati nelle telecomunicazioni non vengono generati esercitando tutti i 63 unary (full scale), ma rimanendo attorno alla zona centrale (ampiezza ridotta a 1/3) (Figura 37).

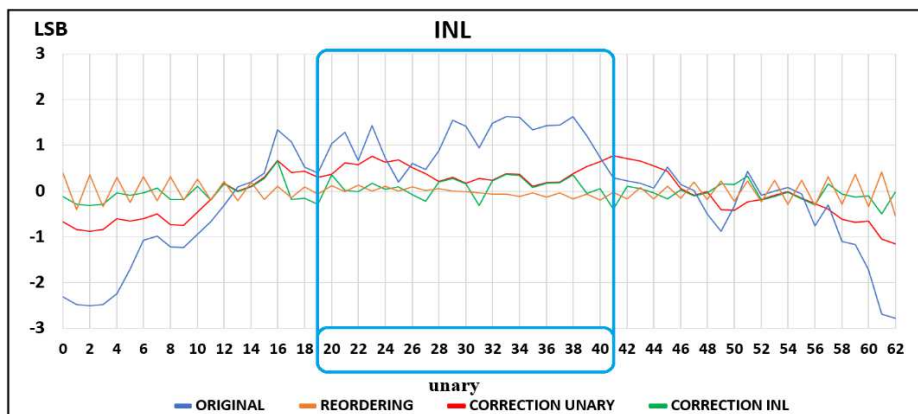


Figura 37. Zona centrale della INL

Sono state quindi fatte simulazioni a 300 seed in cui l'ampiezza del segnale è 1/3 rispetto al caso full scale (-10dB back off) e tale da esercitare solo gli unary centrali.

Le Figure 38, 39 e 40 mostrano le distribuzioni ottenute per le tre figure di merito con un segnale ad ampiezza ridotta a 1/3 (-10dB back off) a 600Mhz.

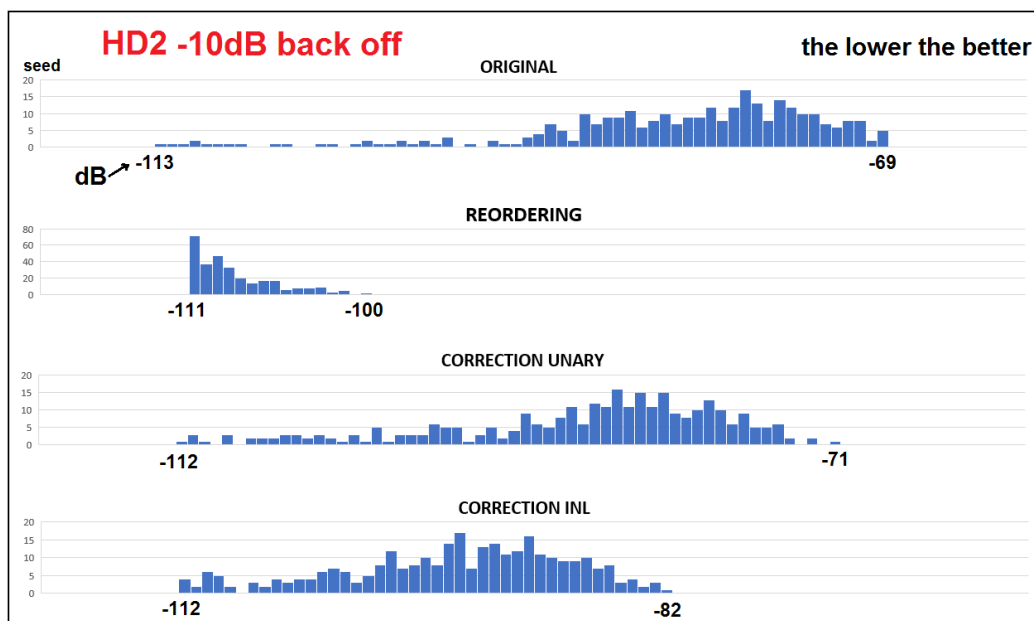


Figura 38. Distribuzioni della HD2 -10dB nei quattro casi

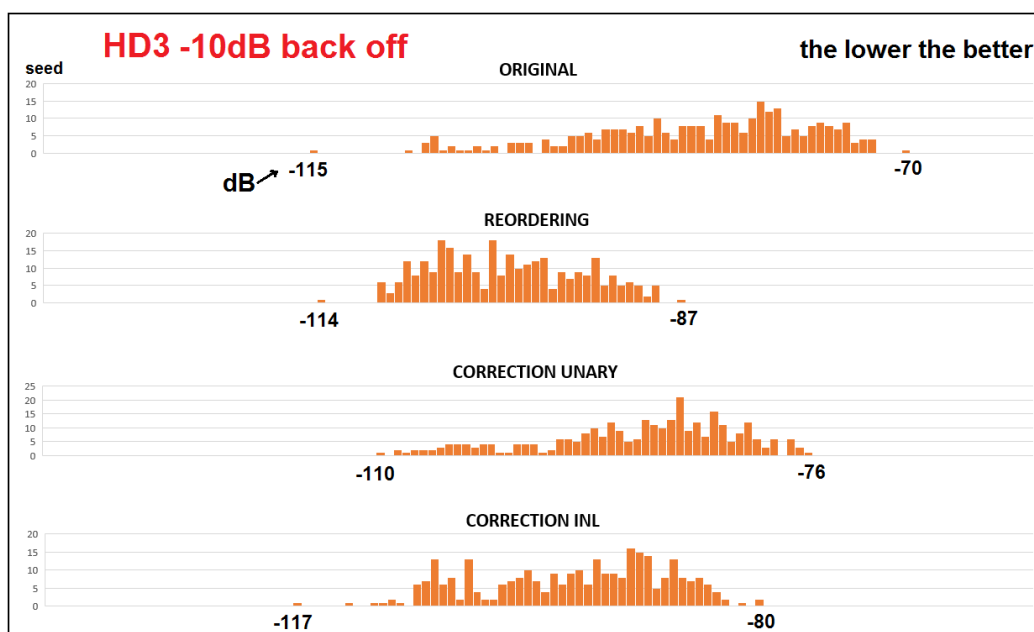


Figura 39. Distribuzioni della HD3 -10dB nei quattro casi

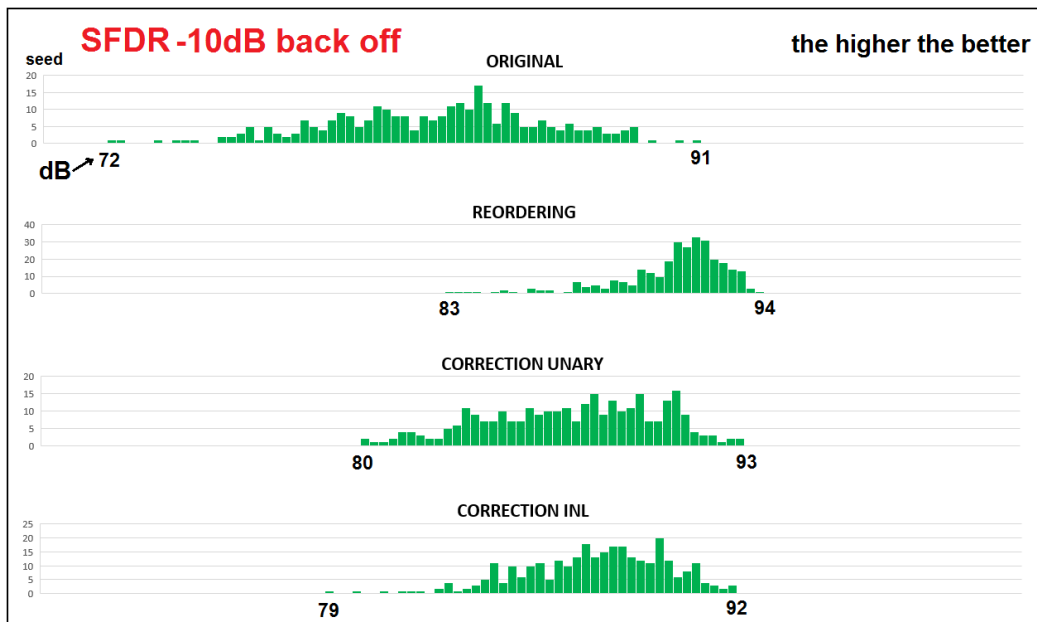


Figura 40. Distribuzioni della SFDR -10dB nei quattro casi

Come si può notare, con ampiezza ridotta a 1/3 (caso realistico), l'algoritmo di reordering è il migliore algoritmo fra i tre implementati sul modello del DAC, avendo una distribuzione più compatta e meglio posizionata.

Gli algoritmi implementati presentano 3 modalità operative e 2 soglie: nessuna correzione, correzione di $+I_{correction}$ oppure correzione di $-I_{correction}$. Sono quindi necessari 2 bit per selezionare uno dei tre casi.

Un modo per aumentare le prestazioni utilizzando un algoritmo di correzione consiste nell'effettuare una correzione più precisa con più di 2 bit, avendo quindi più di due soglie e più di un solo valore di correzione.

A questo punto, per determinare quale algoritmo utilizzare ai fini della produzione fisica del chip su cui verrà integrato il DAC, si devono fare alcune considerazioni sull'hardware che deve essere aggiunto per poter applicare l'algoritmo di reordering o un algoritmo di correzione.

2.6 Implicazioni hardware

Gli algoritmi di riordino e correzione richiedono, come prima cosa, come dati di ingresso i valori di corrente di tutti gli unary.

Nel capitolo 3 viene illustrato nei dettagli il sistema di misura, progettato durante il lavoro di tesi, che permette di ottenere i valori di corrente degli unary (Figura 41).

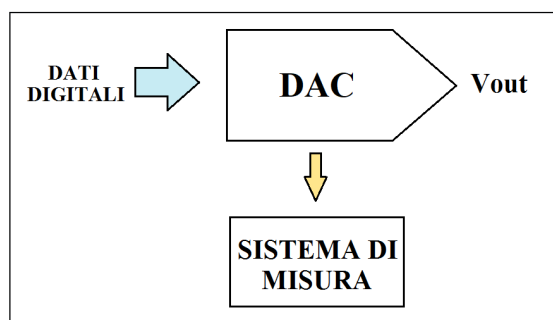


Figura 41. Schema DAC e sistema di misura

Il sistema di misura richiede, fra gli ingressi, $I_{unary}[k]$; un modo per ottenere la corrente dello unary è rappresentato in Figura 42.

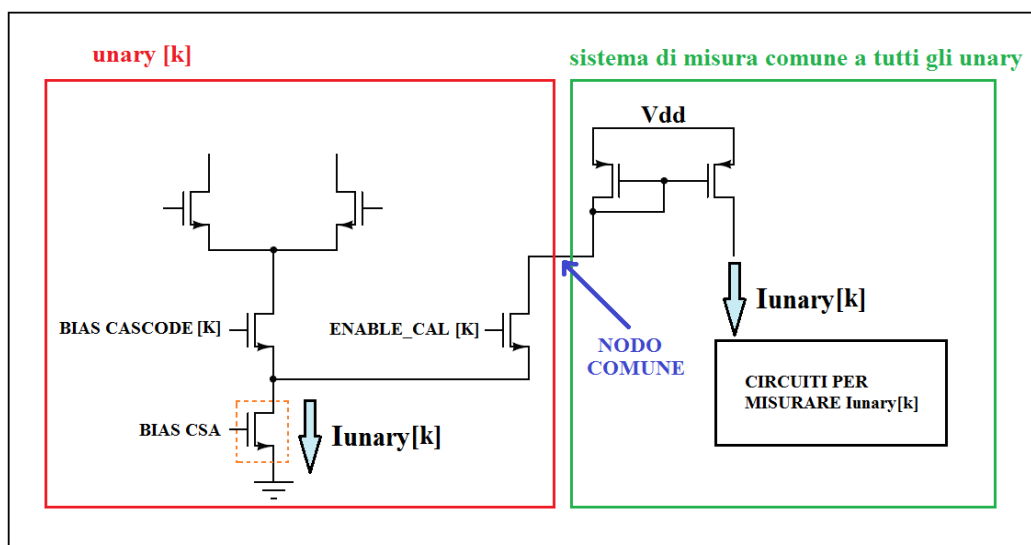


Figura 42. Hardware aggiuntivo per misurare I_{unary}

Per poter misurare le correnti bisogna modificare la cella di ogni unary inserendo un mosfet che permette di selezionare lo unary k-esimo.

Spegnendo il mosfet cascode e accendendo il mosfet di selezione (a sua volta un cascode) si ottiene, tramite lo specchio di corrente, la corrente dello unary k-esimo pronta per la fase di misura.

Dal punto di vista del layout è importante progettare i due cascode il più simili

possibile, altrimenti si rischia di misurare una corrente diversa dalla vera corrente che genera il CSA durante il normale funzionamento del DAC e pertanto effettuare una calibrazione non ottimale.

A questo punto possono essere fatte le considerazioni sugli algoritmi di reordering e correzione.

Effettuare una correzione implica l'inserimento di un circuito che aggiunge o toglie corrente in ogni cella unary del DAC.

In [2] viene proposto un DAC in cui ogni cella unary è formata dai mosfet che costituiscono gli interruttori, il CSA, il cascode e un DAC a 6 bit, chiamato CAL DAC, per effettuare la correzione.

Può essere implementato anche un CAL DAC a soli 2 bit però in generale, aggiungere molti componenti all'interno di ogni unary implica un grosso aumento dell'area occupata dal DAC, incrementando gli effetti parassiti indesiderati che si sta cercando di limitare proprio utilizzando un layout compatto invece di un layout distribuito a baricentro comune.

Per un DAC a radio frequenza è fondamentale limitare il più possibile gli effetti parassiti dovuti alla lunghezza delle linee di interconnessione, quindi risulterebbe rischioso l'utilizzo di un algoritmo di correzione.

L'algoritmo di reordering invece, oltre al mosfet da aggiungere ad ogni unary per selezionare la corrente $I_{unary}[k]$ da misurare (comunque presente anche in caso di utilizzo di un algoritmo di correzione, visto che la misura deve comunque essere fatta), non richiede hardware aggiuntivo nelle zone critiche del layout: serve solo una logica digitale, che, una volta ricevuti i valori di corrente dal sistema di misura, esegue i passaggi per ottenere il riordino e, una volta trovate le nuove posizioni, cambiare l'ordine in cui i bit termometrici arrivano agli interruttori degli unary. Tutte queste operazioni verrebbero fatte lontano dal layout analogico del DAC (Figura 43).

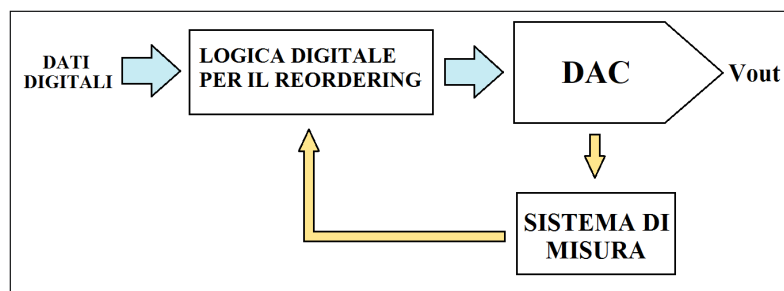


Figura 43. Schema per implementare il reordering

L'algoritmo scelto è quindi quello di reordering.

Per concludere, come accennato nel Capitolo 1, l'architettura current-steering binaria, oltre ai problemi descritti, non si presta al tipo di calibrazione scelto.

L'algoritmo di reordering infatti non potrebbe essere in alcun modo implementato su una architettura in cui tutti i generatori di corrente sono profondamente diversi fra loro (corrente che aumenta con le potenze di 2).

3

Sistema di misura

3.1 Introduzione

I valori di corrente degli unary, utilizzati come dati di input dagli algoritmi di riordino e correzione, fino ad ora sono stati generati in Verilog-A tramite generazione casuale. Una volta prodotto fisicamente il circuito integrato, in realtà queste correnti devono essere misurate precisamente tramite un sistema di misura integrato situato nella stessa regione del die utilizzata per il DAC.

In questo capitolo vengono presentati i diversi blocchi costituenti il sistema di misura progettato e simulato su Cadence Virtuoso, utilizzando le librerie FinFET fornite da TSMC (Taiwan Semiconductor Manufacturing Company), raggiungendo una precisione di circa 50nA.

3.2 Tecnologia FinFET utilizzata

Un dispositivo FinFET è un transistor ad effetto di campo, in cui il contatto di gate avvolge su 3 lati il “fin” nel quale, una volta applicata una tensione di gate, si forma il canale per la conduzione della corrente elettrica (Figura 44).

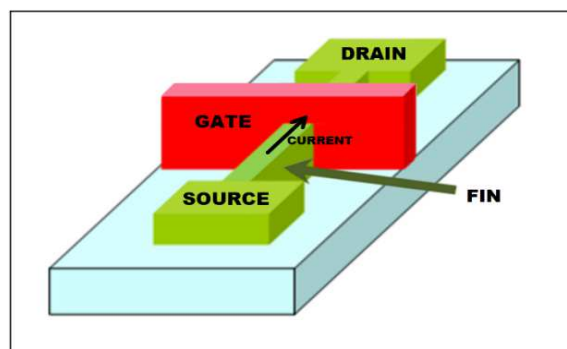


Figura 44. Struttura FinFET

Questo tipo di dispositivo incorpora più di una interfaccia ossido-semiconduttore soggetta all'effetto del campo elettrico generato dalla tensione di gate; pertanto, rispetto ai classici transistor planari, si ha un migliore controllo del flusso di carica che attraversa il canale, un guadagno intrinseco g_m/g_{ds} più alto e, a parità di questo rapporto fra conduttanze, un'area occupata minore in quanto per aumentare il flusso di corrente anche l'altezza del fin può essere aumentata.

Se vengono posizionati più fin in parallelo, fra source e drain, si ha un aumento della conducibilità del transistor in quanto vengono a formarsi più canali in parallelo.

In combinazione con l'aumento del numero dei fin in parallelo, un altro modo per aumentare la conducibilità e la simmetria del transistor consiste nell'utilizzo di strutture interdigitate in cui il dispositivo complessivo è suddiviso in più transistor elementari connessi fra loro, realizzando una struttura a pettine in cui i "denti" prendono il nome di "finger". Tutti i source, drain e gate sono connessi a contatti di source, drain e gate comuni all'intero transistor (Figura 45).

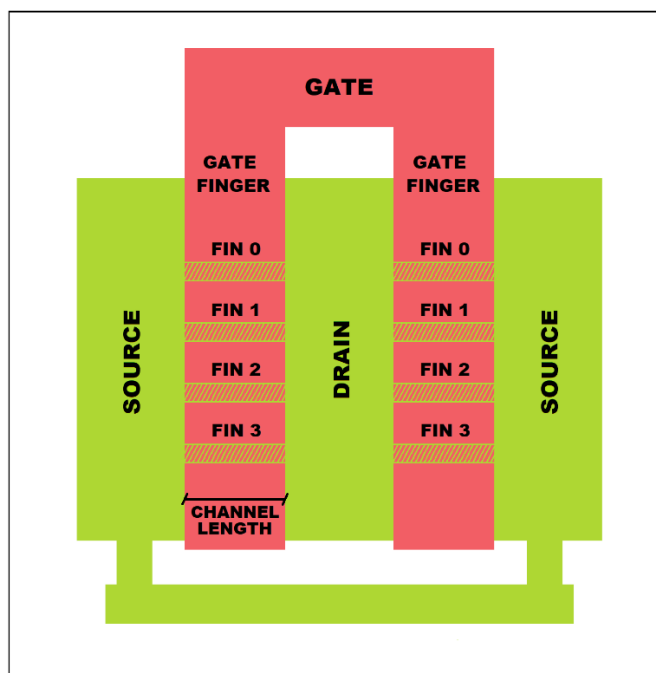


Figura 45. FinFET interdigitato con 2 finger e 4 fin per finger

Aumentare il numero di fin e finger equivale ad aumentare la conducibilità del transistor e quindi la sua W equivalente, pertanto il dimensionamento viene fatto proprio modificando il numero di fin e il numero di finger.

Un ultimo parametro modificabile è il “multiplier”, il quale permette di istanziare più strutture separate, del tipo appena descritto, connesse in parallelo.

La libreria TSMC utilizzata comprende diverse tipologie di transistor fra cui i dispositivi I/O con lunghezza di canale di 135nm e i dispositivi core con lunghezza di canale di 8nm.

La scelta è stata fatta valutando le seguenti considerazioni: tutte le misure delle correnti degli unary vengono fatte una volta sola prima che il DAC entri nella fase normale di funzionamento; per questo motivo non ci sono grossi vincoli né sul tempo totale di misura (1ms o 10ms non è importante) né sulla potenza assorbita dall'alimentazione. Per quanto riguarda le tensioni di alimentazione supportate bisogna fare attenzione in quanto, con tensioni troppo basse, risulterebbe complicato rispettare le condizioni di saturazione dei transistor in alcuni blocchi del sistema progettato.

I dispositivi core a 8nm, anche se molto veloci, non sono stati presi in considerazione in quanto la massima alimentazione supportata è troppo bassa.

I transistori utilizzati sono pertanto i dispositivi I/O FinFET con una lunghezza di canale pari a 135nm e con tensione di alimentazione supportata pari a 1.8V.

3.3 Funzionamento del sistema

Lo schema generale del sistema di misura è basato sul sistema proposto [3]: sono presenti due sottrattori di corrente, due amplificatori a transimpedenza (TIA Trans-Impedance Amplifier) e un comparatore (Figura 46).

Il sistema ha come ingressi tre correnti: la corrente del singolo unary I_{unary} , una corrente di riferimento I_{ref} variabile e una corrente di bias I_b dello stesso valore teorico della corrente dello unary.

La corrente I_b viene usata per fare in modo che all'ingresso dell'amplificatore a trans-impedenza, che converte la corrente in tensione, ci sia un valore di corrente positivo o negativo nell'intorno di 0A. In questo modo il TIA può lavorare con basse correnti senza il rischio di avere distorsioni.

Nella modalità di funzionamento del DAC a 32mA ogni unary ha un valore teorico di corrente pari a 500uA, che in realtà può essere 500.2uA o 499.5uA, o ancora diverso; anche I_b ha un valore teorico di 500uA, pertanto la corrente di ingresso

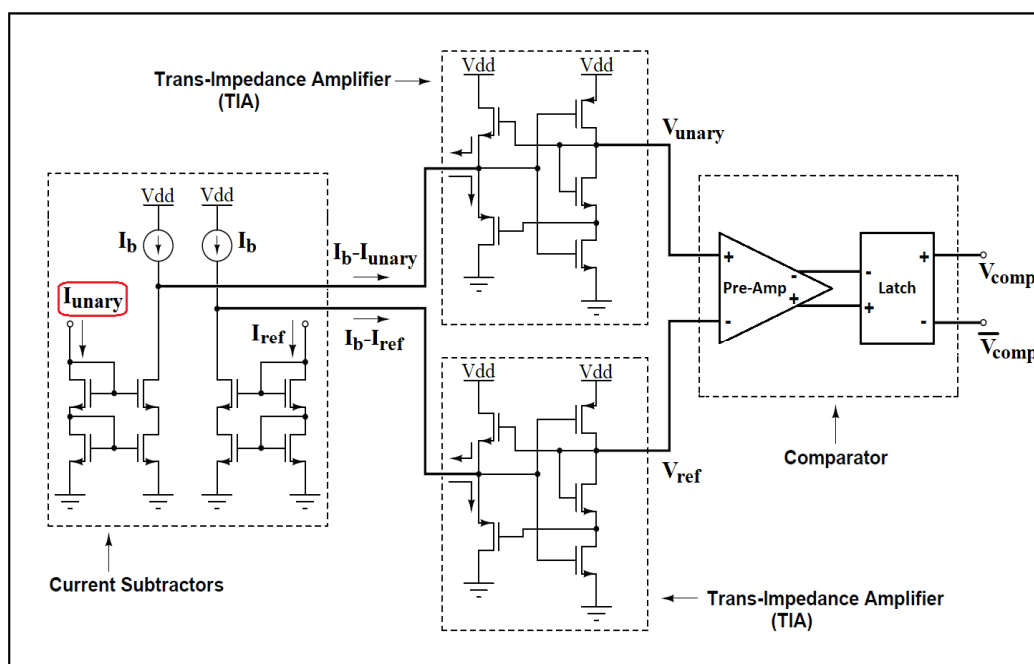


Figura 46. Sistema di misura

del TIA, $I_b - I_{unary}$, può essere $-0.2\mu A$ o $0.5\mu A$. Vale lo stesso ragionamento per il secondo TIA che ha in ingresso $I_b - I_{ref}$.

Il sistema di misura progettato viene implementato sul die di silicio una volta sola per tutto il DAC, in quanto per fare la misura di tutte le correnti degli unary è sufficiente selezionare una corrente I_{unary} , farne la misura e selezionarne una successiva; il sistema è quindi comune a tutti gli unary.

Naturalmente anche la corrente di bias I_b può avere un valore reale diverso da quello teorico, ma ciò può essere considerato un problema trascurabile in quanto l'errore è uguale per tutti gli unary e quindi non importante per l'algoritmo reordering.

A questo punto, le due correnti differenziali $I_b - I_{unary}$ e $I_b - I_{ref}$ vanno in ingresso ai due amplificatori a trans-impedenza per essere convertite in tensioni.

Le due correnti presentano delle variazioni molto piccole, dell'ordine del μA , per questo motivo i due TIA, oltre che convertire in tensione, devono amplificare (guadagno invertente = $-R_m$) in modo tale da avere delle variazioni di tensione significativamente più grandi delle piccole variazioni di corrente in ingresso. Quando la corrente di ingresso è troppo grande, il TIA presenta un guadagno non costante rispetto alla corrente di input, rischiando che un certo input venga amplificato con un determinato guadagno ed un altro input venga amplificato con

uno diverso: i due sottrattori di corrente servono proprio per evitare che i TIA ricevano in ingresso una corrente troppo alta.

Le due tensioni generate dai due TIA vanno poi in ingresso al comparatore a valle, formato da un preamplificatore e da un latch, il quale risponde con un valore di tensione sull'uscita diverso in base a quale delle due correnti in ingresso al sistema sia maggiore dell'altra (Figura 47).

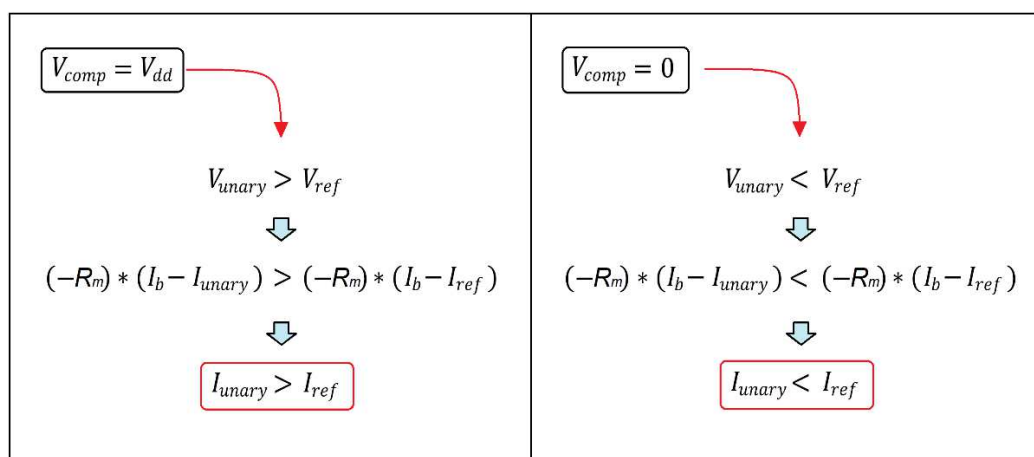


Figura 47. Funzionamento comparatore

Si consideri ora, per esempio, una I_{unary} pari a 500.5uA e una I_{ref} pari a 499uA: la tensione di uscita del comparatore V_{comp} diventa quindi uguale a V_{dd} , essendo I_{unary} maggiore di I_{ref} . Se aumentando la I_{ref} ad un certo punto il comparatore cambia di stato, fornendo in uscita 0, la misura del valore di I_{unary} è compiuta: la I_{unary} è uguale alla I_{ref} che ha spinto il comparatore a cambiare stato.

3.4 Conversione corrente-tensione

Le correnti provenienti dai sottrattori di corrente, come detto, devono essere convertite in una tensione tramite un amplificatore a transimpedenza.

Questo blocco circuitale è un amplificatore nel quale la tensione di uscita è proporzionale, secondo il valore del suo guadagno, alla corrente di ingresso; idealmente deve avere impedenza di ingresso molto piccola e impedenza di uscita molto piccola rispetto al carico a valle.

Il primo TIA simulato è il circuito proposto in [3] (Figura 48).

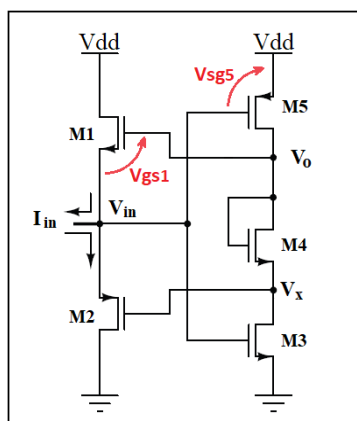


Figura 48. Primo TIA simulato

Come prima cosa si calcola l'espressione del guadagno totale dell'amplificatore a transimpedenza:

$$A_{TIA} = \frac{v_o}{i_{in}} = \frac{v_{in} \cdot (A_3 + A_5)}{i_{in}} = R_{in} \cdot (A_3 + A_5)$$

Dove R_{in} rappresenta la resistenza di ingresso del TIA, A_3 rappresenta il guadagno di tensione dello stadio di uscita costituito da M3, avente come carico le conduttanze differenziali di M4 e M5 e A_5 rappresenta il guadagno di tensione dello stadio di uscita costituito da M5, avente come carico le conduttanze differenziali di M4 e M3.

M5 è un transistor pmos in configurazione ad amplificatore a source comune, dunque il guadagno A_5 è dato dalla formula:

$$A_5 = -\frac{g_{m5}}{g_{oL5}} \quad \text{dove} \quad g_{oL5} = g_{L5} + g_{ds5} \quad (\text{espressione analoga per } A_3)$$

l'espressione del guadagno pertanto diventa:

$$A_{TIA} = \frac{v_o}{i_{in}} = -R_{in} \cdot \left(\frac{g_{m5}}{g_{oL5}} + \frac{g_{m3}}{g_{oL3}} \right) = -R_{in} \cdot (g_{m5} \cdot r_{oL5} + g_{m3} \cdot r_{oL3})$$

La presenza del transistor M4 garantisce che i due transistor M1 e M2 abbiano tensioni V_{gs1} e V_{gs2} non prossime a 0V: la tensione V_{in} ha un valore circa uguale a $V_{dd}/2$; senza M4, le due tensioni V_o e V_x sarebbero anch'esse circa uguali a $V_{dd}/2$, quindi si otterrebbe $V_{gs1} = V_{gs2} = 0V$.

La conduttanza differenziale del transistor M4 è $g_{m4} + g_{ds4} \approx g_{m4}$, essendo M4 connesso a diodo (Figura 49).

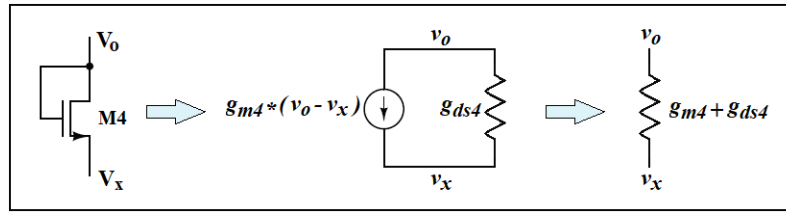


Figura 49. M4 connesso a diodo

Per il calcolo dell'espressione di r_{oL5} (e r_{oL3}) non si considera la conduttanza g_{m4} in quanto, essendo molto grande, il suo inverso $(g_{m4})^{-1}$ non dà contributo:

$$r_{oL5} \approx \left(\frac{1}{g_{m4}} + \frac{1}{g_{ds3}} \right) // \left(\frac{1}{g_{ds5}} \right) \approx \frac{1}{g_{ds3}} // \frac{1}{g_{ds5}} = \frac{1}{g_{ds3} + g_{ds5}}$$

Resta ora da individuare l'espressione della resistenza di ingresso; si consideri il circuito ai piccoli segnali di M1 e M2 in Figura 50.

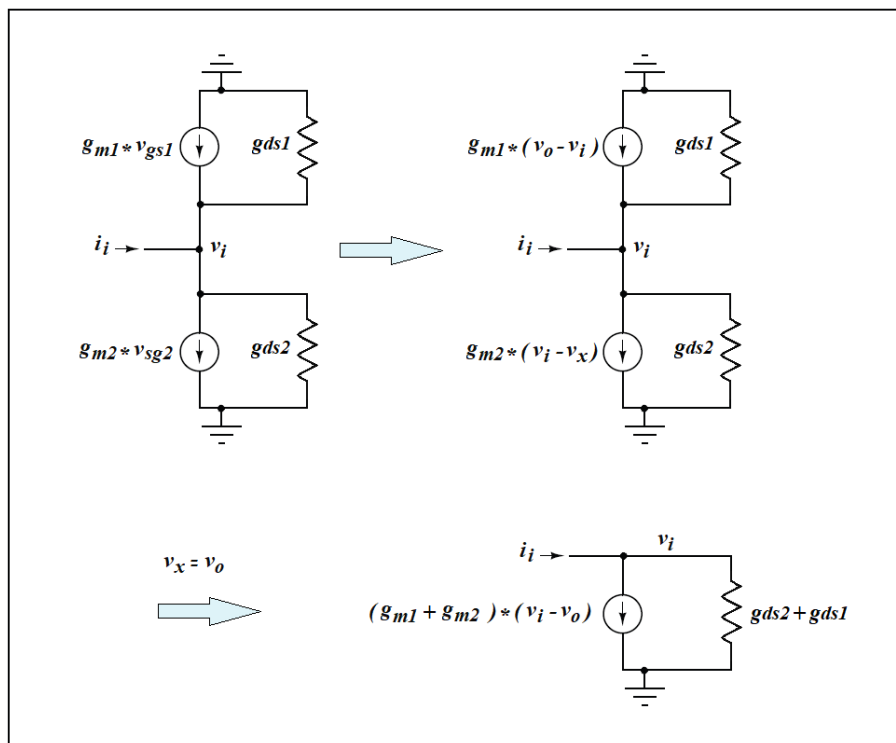


Figura 50. TIA ai piccoli segnali per il calcolo della resistenza di ingresso

$$R_{in} = \frac{v_i}{i_{in}}$$

$$i_{in} = (g_{m1} + g_{m2}) \cdot (v_i - v_o) + (g_{ds1} + g_{ds2}) \cdot v_i$$

$$i_{in} = (g_{m1} + g_{m2}) \cdot [v_i - (A_3 + A_5) \cdot v_i] + (g_{ds1} + g_{ds2}) \cdot v_i$$

$$R_{in} = \frac{1}{(g_{m1} + g_{m2}) \cdot [1 - (A_3 + A_5)] + g_{ds1} + g_{ds2}}$$

Può essere ora concluso il calcolo del guadagno totale:

$$A_{TIA} = \frac{v_o}{i_{in}} = R_{in} \cdot (A_3 + A_5) = - \frac{1}{(g_{m1} + g_{m2})}$$

Il modulo del guadagno è quindi dato dall'inverso della somma delle transconduttanze dei due transistor M1 e M2 sul ramo di ingresso; scegliendo il numero di fin, finger e multiplier, questi due transistor sono stati dimensionati con piccole g_m in modo tale da aumentare il guadagno.

Essendo la corrente di ingresso I_{in} una corrente molto piccola, positiva o negativa del valore di alcuni uA, e la resistenza di ingresso R_{in} anch'essa molto piccola (si veda formula di R_{in}), la tensione sul nodo di ingresso V_{in} presenta delle variazioni v_{in} molto piccole e, per verificare le condizioni di saturazioni dei transistori, può essere considerata una tensione costante, come detto, del valore di circa $V_{dd}/2$.

Questo amplificatore a transimpedenza presenta grosse problematiche nel rispettare sia le condizioni di saturazione del secondo ramo (M3, M4, M5) sia le condizioni di funzionamento sopra soglia del primo ramo (M1, M2). Non rispettare queste condizioni implicherebbe un guadagno molto variabile a seconda del valore della corrente di ingresso.

Per soddisfare la condizione di funzionamento sopra soglia di M1 deve valere:

$$\begin{aligned} V_{gs1} = V_o - V_{in} > V_{thn} &\Rightarrow V_o > V_{thn} + V_{in} \Rightarrow \\ \Rightarrow V_{dd} - V_{sd5} > V_{thn} + V_{in} &\Rightarrow V_{sd5} < V_{dd} - V_{in} - V_{thn} \Rightarrow \\ &\Rightarrow V_{sd5} < \frac{V_{dd}}{2} - V_{thn} \end{aligned}$$

per soddisfare la condizione di funzionamento in saturazione di M5 deve valere:

$$\begin{aligned} V_{sd5} > V_{sg5} - |V_{thp}| = V_{dd} - V_{in} - |V_{thp}| &\Rightarrow \\ \Rightarrow V_{sd5} > \frac{V_{dd}}{2} - |V_{thp}| \end{aligned}$$

Lo stesso ragionamento vale per i transistori M2 e M3.

Le tensioni di soglia dei transistori nmos e pmos non sono molto diverse fra loro: V_{thp} in modulo è leggermente maggiore di V_{thn} , pertanto il range, in cui sia le condizioni di saturazione che le condizioni di sopra soglia sono rispettate, è molto stretto.

È stato quindi progettato un TIA diverso che presenta alcune modifiche rispetto a quello proposto in [3].

L'idea consiste nel mantenere V_{in} , V_{g3} e V_{g5} separate con l'introduzione di due amplificatori elementari a drain comune costituiti dai transistori M6, M7, M8, M9, M10, M11 e due generatori di corrente di bias I_L , per la polarizzazione dei due nuovi stadi (Figura 51).

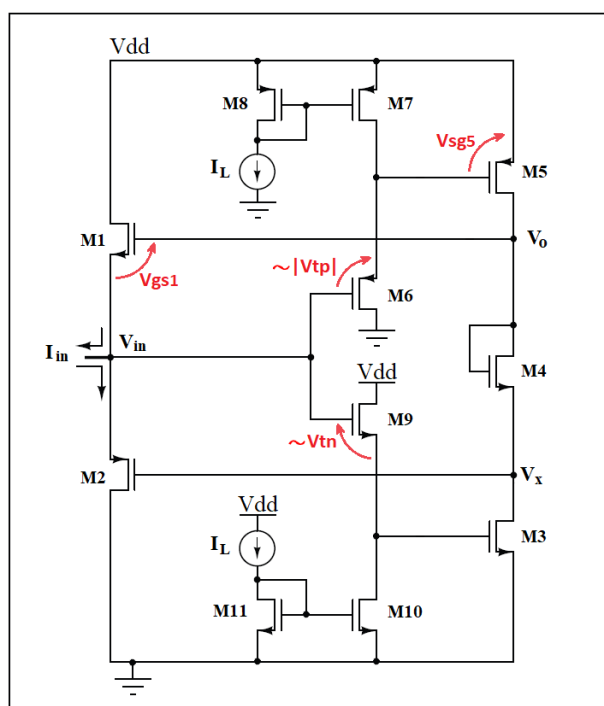


Figura 51. TIA modificato con l'introduzione di due stadi a drain comune

M7, M8 e I_L costituiscono il carico di M6 mentre M10, M11 e I_L costituiscono il carico di M9. Naturalmente le due I_L possono non avere lo stesso valore ideale, però come già detto, essendo il sistema di misura comune a tutti gli unary, l'errore risultante è lo stesso per tutte le misure.

Essendo il guadagno degli amplificatori a drain comune circa unitario, le espressioni della resistenza di ingresso R_{in} e del guadagno totale A_{TIA} rimangono invariate.

Questi due amplificatori a drain comune fungono da level shifter di tensione, portando una tensione più alta di circa $|V_{thp}|$ rispetto a V_{in} al gate di M5 e una tensione più bassa di circa V_{thn} rispetto a V_{in} al gate di M3.

In questo circuito risulta più semplice rispettare le condizioni di saturazione e le condizioni di sopra soglia per M1 e M5.

La condizione per il funzionamento sopra soglia di M1 rimane invariata:

$$V_{gs1} = V_o - V_{in} > V_{thn} \Rightarrow V_{sd5} < \frac{V_{dd}}{2} - V_{thn}$$

Mentre la condizione di funzionamento in saturazione di M5 diventa:

$$\begin{aligned} V_{sd5} > V_{sg5} - |V_{thp}| &= V_{dd} - (V_{in} + |V_{thp}|) - |V_{thp}| \Rightarrow \\ \Rightarrow V_{sd5} > \frac{V_{dd}}{2} - 2 \cdot |V_{thp}| \end{aligned}$$

Queste due condizioni sono contemporaneamente facilmente rispettabili. Con la tecnologia utilizzata si ottiene il seguente intervallo approssimato:

$$100mV < V_{sd5} < 600mV$$

Con i dimensionamenti finali scelti si ottiene una V_{sd5} circa uguale a 500mV, con variazioni di alcune decine di mV in base alla corrente di ingresso I_{in} , rispettando quindi le condizioni. Come già detto, lo stesso ragionamento vale per i transistori M2 e M3.

Si è quindi giunti alla determinazione dei dimensionamenti dei transistor M1, M2, M3, M4, M5 e i transistor costituenti i due stadi a drain comune.

A questo punto si determina il range di variazione della corrente di ingresso I_{in} in cui verificare le condizioni di saturazione, determinare il valore numerico di guadagno e infine fare un'analisi di rumore.

In ingresso ai due TIA si hanno due correnti differenziali $I_b - I_{unary}$ e $I_b - I_{ref}$. Si devono quindi tenere in considerazione le non-idealità di tutte le correnti.

Si suppone di progettare il generatore I_b con le stesse caratteristiche di I_{unary} con $\sigma I/I = 1.5 \cdot 10^{-3}$.

I_{ref} come detto è la corrente variabile che permette la determinazione di I_{unary} e deve quindi essere generata con un DAC, supponendo un $\sigma I/I$ anche in questo caso pari a $1.5 \cdot 10^{-3}$.

Si calcola ora il σI complessivo per le due correnti in ingresso ai due TIA nel caso in cui le variazioni di corrente sono massime, quindi nella modalità di funzionamento a 32mA, in cui I_{unary} ideale vale 500uA:

$$\sigma I_{unary} = 1.5 \cdot 10^{-3} \cdot I_{unary} = 1.5 \cdot 10^{-3} \cdot 500 \cdot 10^{-6} = 750nA$$

$$\sigma I_b = \sigma I_{ref} = \sigma I_{unary}$$

$$\sigma I_{tot} = \sqrt{(\sigma I_b)^2 + (\sigma I_{unary})^2} = 1060nA$$

Il valore ideale delle due correnti di ingresso dei TIA è pari a 0A, quindi è stato scelto un intervallo di corrente centrato sullo 0 con estensione $\pm 5\mu A$ corrispondenti a circa $\pm 5 \cdot \sigma I_{tot}$.

Trovato il range di variazione della corrente in ingresso al TIA si può proseguire illustrando le principali caratteristiche ottenute dalle simulazioni.

Il guadagno DC del TIA, ottimizzato dimensionando M1 e M2 con basse g_m , presenta una piccola variazione intorno al valore intermedio di $-4.7K\Omega$ (Figura 52)

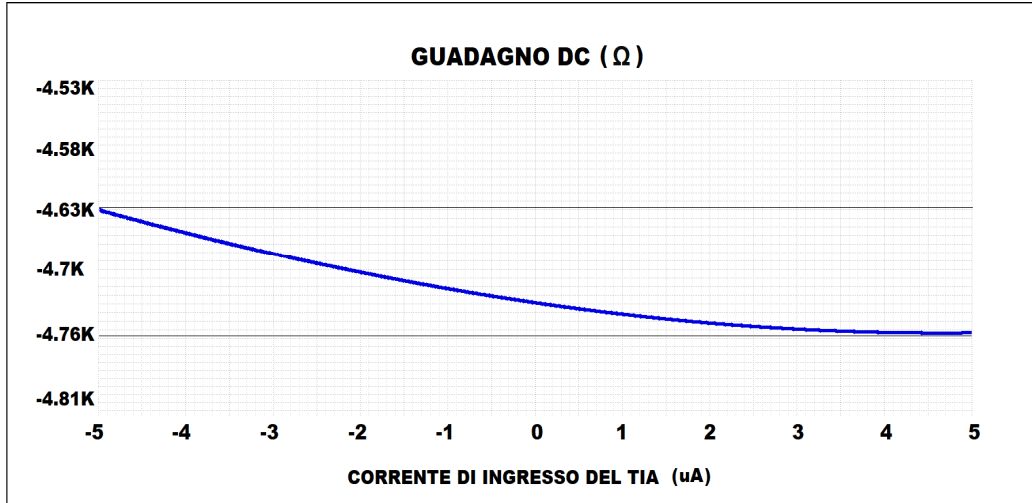


Figura 52. Guadagno DC del TIA vs In

Dalle simulazioni AC si è visto che in frequenza il TIA presenta una buona risposta, con modulo del guadagno costante a circa $4.7K\Omega$, fino ad una frequenza di circa 1GHz per poi calare con una pendenza di circa 50 dB/dec.

Nel funzionamento del sistema di misura, il TIA lavora, come descritto nei prossimi paragrafi, ad una frequenza di qualche MHz; si può quindi considerare il

valore del guadagno individuato dalla simulazione DC, facendo poi attenzione al comportamento AC solo nelle simulazioni riguardanti l'input referred noise.

Fino alla frequenza di 1GHz, per punti fissati della corrente di ingresso, dalle simulazioni sono stati ottenuti i valori della tensione di uscita e della resistenza di ingresso riportati in Tabella 1.

	$I_{in}=-5\mu A$	$I_{in}=0$	$I_{in}=5\mu A$
V_o (mV)	1290.7	1267.3	1243.6
R_{in} (Ω)	46	50	55

Tabella 1. Tensione di uscita e resistenza di ingresso TIA

Come si può notare in tabella, il TIA presenta una bassa resistenza di ingresso e a fronte di una variazione della corrente di ingresso di 10uA si ha una variazione della tensione di uscita di 47.2mV (guadagno 4.71K).

Come già detto, il sistema compie tutte le misure, impiegandoci alcuni ms, una volta solo prima che il DAC entri nella fase normale di funzionamento; per questo motivo il consumo di potenza non è un dato fondamentale. In Tabella 2 vengono comunque esposti i valori della potenza assorbita al variare della corrente di ingresso.

$I_{in}=-5\mu A$	$I_{in}=0$	$I_{in}=5\mu A$
329.9uW	333.4uW	337.9uW

Tabella 2. Potenza assorbita dal TIA vs I_{in}

Nel processo di misurazione degli unary riveste molta importanza il valore efficace (RMS Root-Mean-Square) del rumore equivalente riportato all'ingresso del TIA.

Sono state fatte simulazione di tipo noise che come risultato restituiscono la densità spettrale del rumore presente sul nodo di uscita del circuito, indicato con unità $(nV)^2/Hz$.

Come si può vedere in Figura 53, il rumore sull'uscita del TIA è di tipo Flicker: si vede chiaramente l'andamento inversamente proporzionale alla frequenza tipico di questo tipo di rumore.

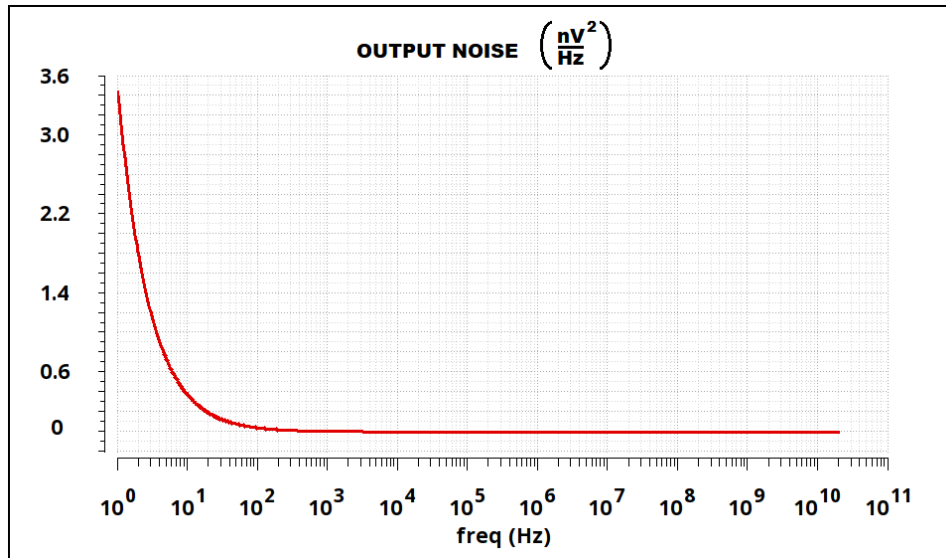


Figura 53. Rumore sull'uscita del TIA

Contemporaneamente alle simulazioni noise sono state fatte simulazioni AC in quanto, per ottenere il rumore riportato all'ingresso, si deve dividere la densità spettrale del rumore in uscita per il quadrato del modulo del guadagno del TIA. Ottenuta la densità spettrale del rumore riportato all'ingresso, indicato questa volta con unità $(nA)^2/Hz$ avendo diviso volt per ohm, per calcolarne il valore rms in una banda di frequenza si svolge l'operazione seguente:

$$i_{noise_rms} = \sqrt{\int_{f_1}^{f_2} [i_n(f)]^2 df}$$

dove i_n indica la densità spettrale della corrente di rumore in ingresso misurata in nA/\sqrt{Hz} . Le simulazioni noise però restituiscono direttamente la densità spettrale al quadrato misurata in $(nA)^2/Hz$, quindi il valore rms in questo caso è dato da:

$$i_{noise_rms} = \sqrt{\int_{f_1}^{f_2} ICPSD(f) df}$$

dove $ICPSD$ indica l'input current power spectral density in $(nA)^2/Hz$.

Il noise è stato valutato sia in condizione di caso peggiore (wc - worst case) che in condizioni tipiche: in questi due casi il simulatore genera dei valori da una distribuzione statistica in cui si ha una varianza maggiore per il worst case rispetto alla varianza del caso tipico.

Le simulazioni AC e noise sono state fatte per diversi valori DC della corrente di ingresso e integrando fra 1 Hz e 10GHz, ottenendo i risultati riportati in tabella 3.

INPUT REFERRED NOISE	$I_{in}=-5\mu A$	$I_{in}=0$	$I_{in}=5\mu A$
worst case noise rms	770nA	787nA	816nA
typical case noise rms	698nA	700nA	706nA

Tabella 3. Input referred noise del TIA

È stato quindi caratterizzato l'amplificatore a transimpedenza progettato, illustrando i risultati ottenuti in condizioni diverse della corrente di ingresso variabile all'interno di un certo range, calcolato in base alle non-idealità delle correnti di ingresso al sistema.

3.5 Comparatore

Dopo aver convertito le due correnti in ingresso al sistema in due tensioni con due amplificatori a transimpedenza, si può procedere con la fase di comparazione.

È stato progettato un comparatore dinamico, costituito da un preamplificatore e da un latch, avente come ingressi V_{unary} , V_{ref} e clock CK e come uscite V_{comp} e $\#V_{comp}$ e $VALID$ (Figura 54).

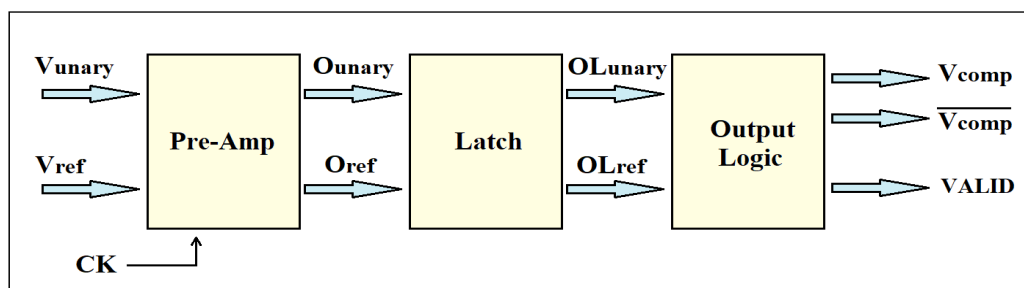


Figura 54. Comparatore

Quando CK vale "0", qualsiasi sia la differenza fra le due tensioni di ingresso, V_{comp} , $\#V_{comp}$ e $VALID$ sono fisse a 0V. Quando CK commuta andando a "1", V_{comp} e $\#V_{comp}$ vanno a V_{dd} e 0V o 0V e V_{dd} , in base a quale dei due ingressi è maggiore.

Finché V_{comp} e $\#V_{comp}$ non sono diversi, $VALID$ vale “0” dopodiché, quando il latch avrà completato la fase di decisione, $VALID$ andrà a “1”.

In Figura 55 sono illustrati i circuiti costituenti il preamplificatore e il latch.

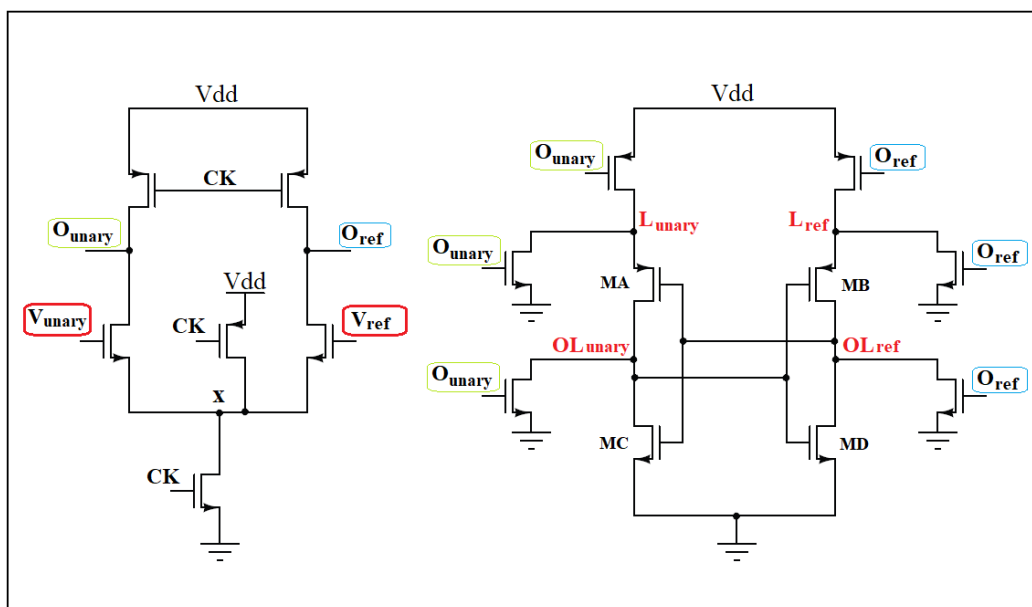


Figura 55. Circuiti costituenti il comparatore

Quando il segnale di clock CK vale “0” le tensioni O_{unary} , O_{ref} e X del preamplificatore sono pari a V_{dd} , mentre per quanto riguarda il latch, le tensioni L_{unary} , L_{ref} , OL_{unary} e OL_{ref} sono fisse a 0V in quanto i transistor “esterni”, con source a GND, conducono, visto che al loro gate è presente una tensione alta, mentre i due transistor pmos, con source a V_{dd} , sono spenti.

Questo comparatore è quindi un circuito dinamico in cui nella fase nella quale il clock è “0” si ha una precarica dei nodi interni al circuito, permettendo in questo modo di rimuovere eventuali effetti di memoria delle comparazioni precedenti.

A seguito della commutazione del clock da “0” a “1”, le tensioni O_{unary} , O_{ref} e X incominciano a calare; in base alla tensione presente sui gate di ingresso del preamplificatore, le tensioni O_{unary} e O_{ref} diminuiscono, in modo diverso, più o meno velocemente: se per esempio V_{unary} è maggiore di V_{ref} , allora O_{unary} scende più velocemente rispetto a O_{ref} . A seguito della commutazione del clock, istante per istante, si ha quindi una differenza fra le due tensioni di uscita del preamplificatore; questa differenza consente al latch di raggiungere lo stato finale della comparazione.

Nel latch, i transistor MA, MB, MC e MD “interni” costituiscono la parte del circuito atta alla memorizzazione dello stato logico raggiunto dopo la fase di decisione del comparatore, mentre i mosfet “esterni” sono i transistor che stimolano la decisione del latch in base agli ingressi del comparatore e, tramite simulazioni sul solo latch, si è visto che sono questi ultimi transistor ad introdurre più rumore, di tipo flicker; i transistor “esterni” sono stati pertanto dimensionati con un numero di fin e finger maggiore rispetto ai transistor “interni”.

In Tabella 4 e Figura 56 sono riportati gli andamenti delle tensioni del comparatore in base a quale dei due ingressi è maggiore.

ck: 0 → 1	Vref > Vunary	Vunary > Vref
	Ounary > Oref	Oref > Ounary
	OLunary → 0 OLref → Vdd	OLunary → Vdd OLref → 0

Tabella 4. Tensioni comparatore

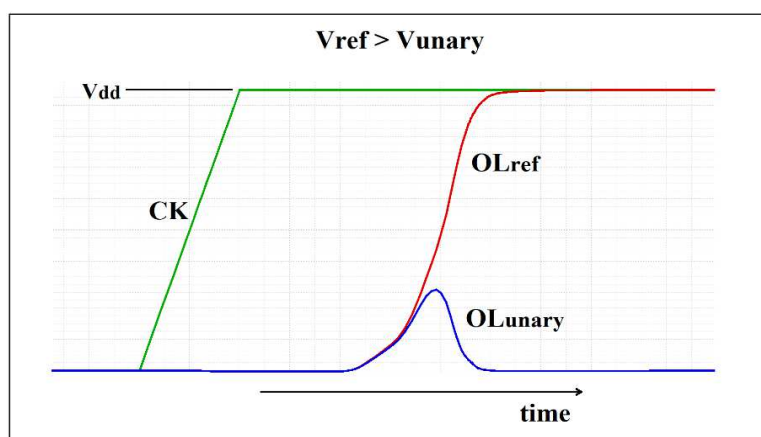


Figura 56. Andamento delle tensioni nel latch

Durante la fase di decisione, si ha una variazione molto veloce delle tensioni L_{unary} , L_{ref} , OL_{unary} e OL_{ref} . L'effetto di questa variazione, tramite le capacità C_{gd} dei mosfet "esterni", può fluire a monte fino agli ingressi del comparatore, causando problemi durante la fase di comparazione. Risulta quindi importante limitare questo disturbo che prende il nome di "kickback noise".

Il preamplificatore consente di ridurre il kickback noise riportato all'ingresso del comparatore e al contempo aumentare la differenza tra le due tensioni di ingresso provenienti dalle uscite dei TIA.

Durante il cambio di stato del latch, si ha un grande flusso di corrente tra i due poli dell'alimentazione in quanto, per un certo lasso di tempo, sia i transistor pmos "in alto" che i transistor nmos "in basso" conducono, generando un assorbimento impulsivo di corrente (Figura 57). Il consumo di potenza dinamica, trascurabile rispetto al consumo statico dei due TIA, deriva da questo picco di corrente.

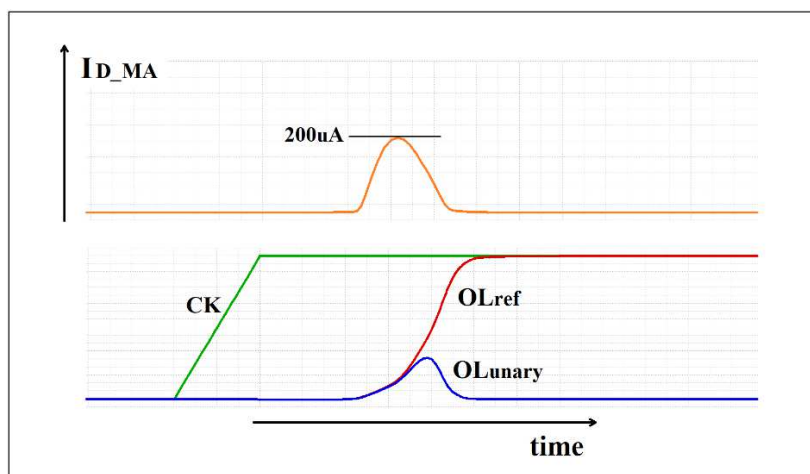


Figura 57. Glitch di corrente nel mosfet MA del latch

Per quanto riguarda i transistor del preamplificatore, i dimensionamenti sono stati mantenuti bassi per avere un guadagno basso poiché con un guadagno troppo alto si limiterebbe la larghezza di banda del circuito e la sua velocità di risposta. La velocità di risposta inoltre dipende dalla differenza fra le due tensioni di ingresso: più la differenza è alta, maggiore è la velocità di risposta (Figura 58).

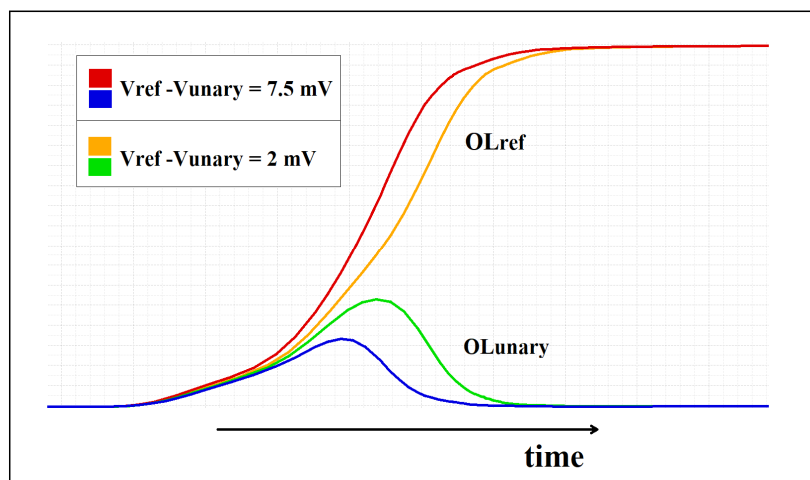


Figura 58. Diversi tempi di risposta del latch

La risposta del latch deve poi essere campionata quando le due uscite sono diverse. Si deve generare allora il segnale *VALID* con una porta logica XOR, però lo stato in cui le due tensioni di uscita del latch sono entrambe “1” non si realizza mai; per questo motivo può essere usato una porta logica NAND con 2 porte logiche NOT a monte. Le due tensioni di uscita del latch inoltre devono essere rigenerate in modo tale da poterle poi campionare ed avere una risposta pulita del comparatore. Servirebbero quattro porte logiche NOT (due per uscita), però possono essere usate le due NOT utilizzate per la generazione del *VALID* (Figura 59 e 60).

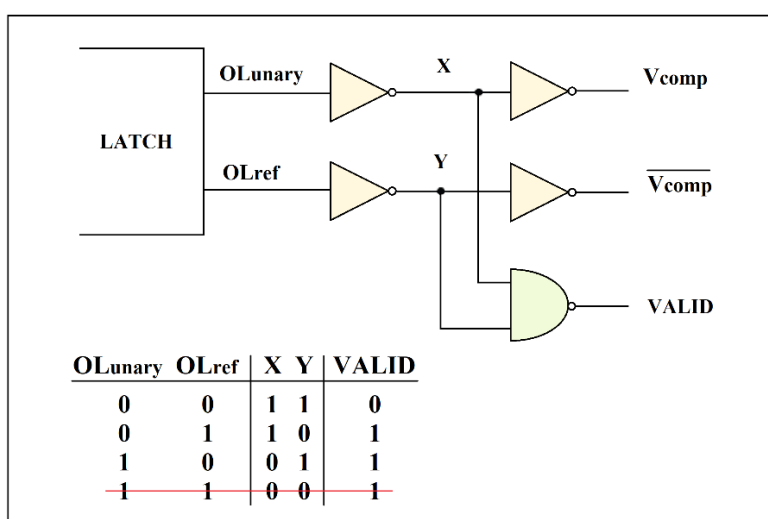


Figura 59. Logica di output del comparatore

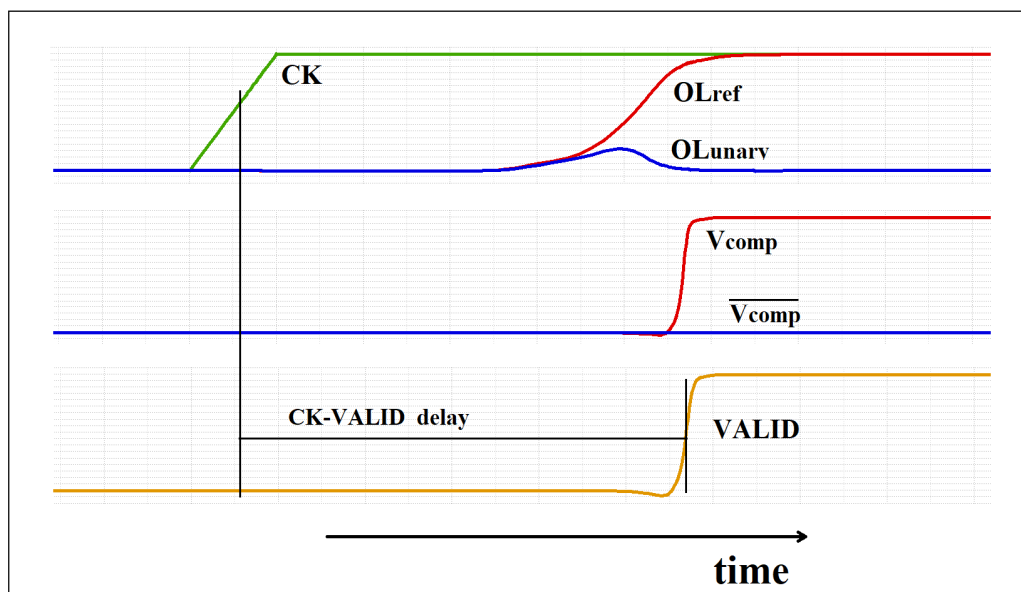


Figura 60. Segnali di output del comparatore

VALID è il segnale del comparatore che presenta il maggiore ritardo rispetto al fronte di clock, per questo motivo il ritardo *CK-VALID* è il tempo che determina la frequenza massima del clock del comparatore e quindi del sistema di misura.

Considerando il range del TIA di 10uA, la differenza massima fra le tensioni di ingresso del comparatore è 47mV e in questo caso il ritardo del *VALID* è circa 500ps. La precisione del sistema di misura che si vuole ottenere (circa 50nA) è praticamente solo determinata dal rumore del sistema, come spiegato nei prossimi paragrafi. Per rendere l'effetto dell'imprecisione del comparatore trascurabile si sceglie una differenza di tensione minima pari a 1/100 di $50n \cdot A_{TIA} \approx 2.5\mu V$, ottenendo un ritardo di circa 3ns.

Nell'intervallo di tempo tra il fronte positivo del clock e il fronte negativo, il comparatore deve riuscire a generare *VALID*, quindi il caso più estremo, in cui il sistema funziona ancora, si ha quando *VALID* viene generato proprio alla fine del mezzo periodo tra fronte positivo e fronte negativo del clock, per poi tornare a 0V nel semiperiodo basso del clock (Figura 61).

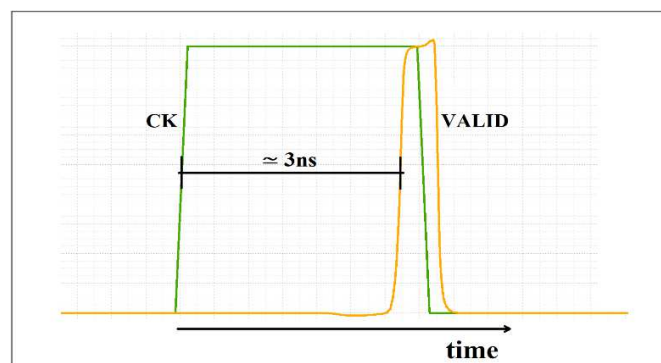


Figura 61. Massimo ritardo del segnale *VALID*

Un semiperiodo di clock deve quindi durare 3ns, pertanto, con un periodo di 6ns si trova una frequenza massima del clock pari a 167MHz. Superata questa frequenza, con una piccola tensione in ingresso, *VALID* non andrebbe mai a "1".

Trovata la massima frequenza raggiungibile dal sistema, che garantisce il corretto funzionamento del comparatore, si deve individuare il valore rms del rumore di tensione riportato all'ingresso del comparatore ed infine il valore rms del rumore di corrente, introdotto dal comparatore, riportato all'ingresso del TIA.

Avendo un comparatore dinamico con un segnale di clock, non si possono ottenere i dati sul rumore con le analisi AC e noise come fatto per il TIA.

L'idea consiste nell'individuazione della deviazione standard σ dalla funzione di ripartizione o funzione di distribuzione cumulativa (CDF Cumulative Distribution Function) del rumore, la cui PDF (Probability Distribution Function) è di tipo gaussiano:

$$PDF(x, \mu, \sigma) = \frac{1}{\sqrt{2\pi\sigma^2}} e^{-\frac{(x-\mu)^2}{2\sigma^2}}$$

che integrata restituisce la CDF:

$$CDF(x, \mu, \sigma) = \int_{-\infty}^x PDF(x, \mu, \sigma) dx = \frac{1}{2} \left[1 + \operatorname{erf} \left(\frac{x - \mu}{\sigma\sqrt{2}} \right) \right]$$

dove $\operatorname{erf}(\cdot)$ indica la funzione errore.

L'obiettivo è quindi la costruzione della CDF del rumore riportato all'ingresso del comparatore, poi individuare la deviazione standard e quindi il valore rms del rumore (Figura 62 e Figura 63).

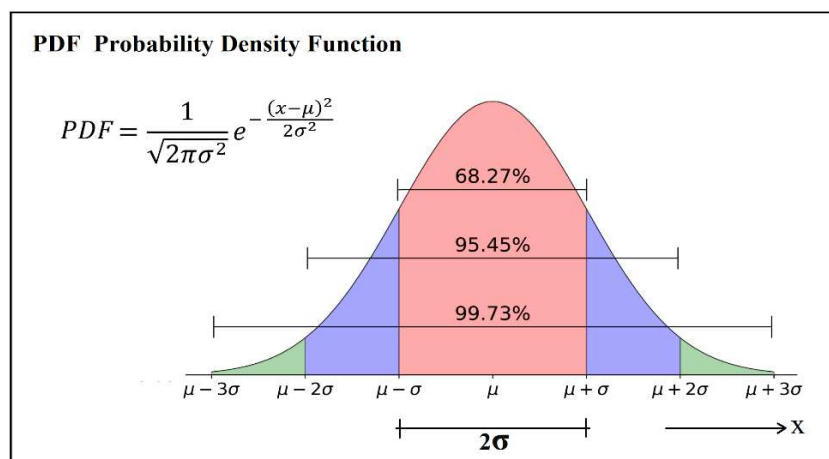


Figura 62. PDF rumore gaussiano

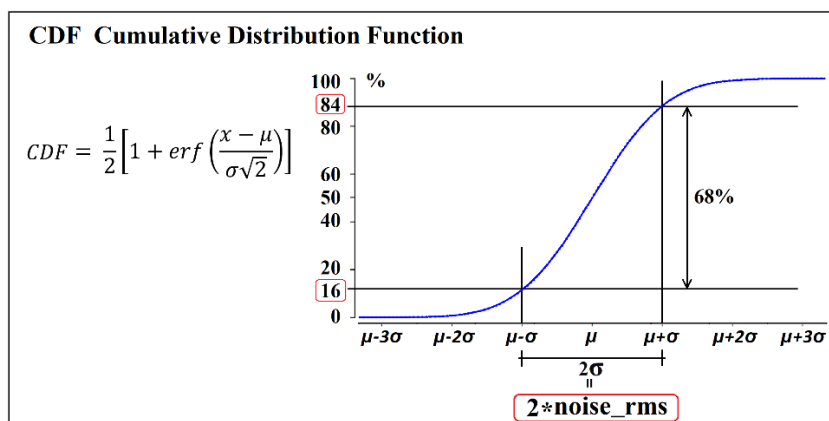


Figura 63. CDF rumore gaussiano

Sono state fatte simulazioni di tipo “transient noise” nel dominio del tempo in cui si è impostata la frequenza di clock del comparatore pari a 100MHz. Sui due ingressi del comparatore sono state imposte due tensioni, una fissa ed una variabile: una tensione è stata fissata al valore di uscita del TIA quando sono presenti 0A in ingresso, 1267mV, mentre per la tensione non fissa si è impostata una variazione di alcuni mV nell’intorno di 1267mV (Figura 64).

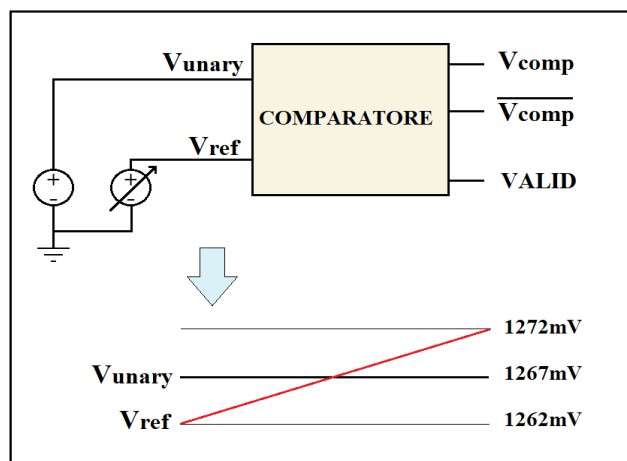


Figura 64. Impostazione simulazione per la ricerca del rumore del comparatore

In verità sugli ingressi è presente il rumore, introdotto dal circuito, che inquina le due tensioni di ingresso del comparatore (Figura 65).

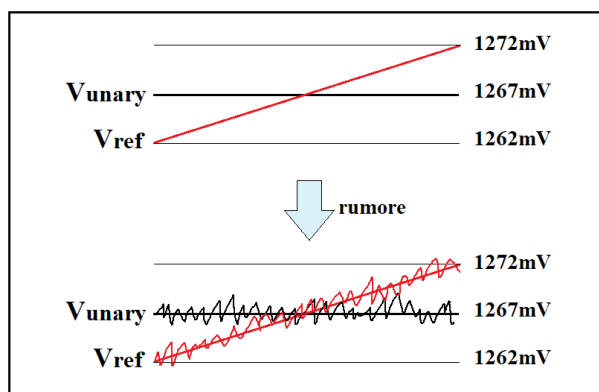


Figura 65. Rumore all’ingresso del comparatore

La tensione V_{ref} viene fatta variare in un intervallo di 10mV con step di 50uV; si hanno quindi 200 punti in cui V_{ref} è costante, dove si aggiunge però il rumore variabile.

Per ognuno dei 200 punti vengono svolte 100 comparazioni in cui il comparatore determina se $V_{ref} > V_{unary}$ o viceversa; si hanno quindi 100 periodi di clock per ognuno dei 200 punti.

Per ogni punto, le 100 comparazioni restituiscono un numero, compreso fra 0 e 100, che indica quante volte su 100 risulta $V_{ref} > V_{unary}$ nel punto medesimo. Si costruisce così la funzione di distribuzione cumulativa (Figura 66).

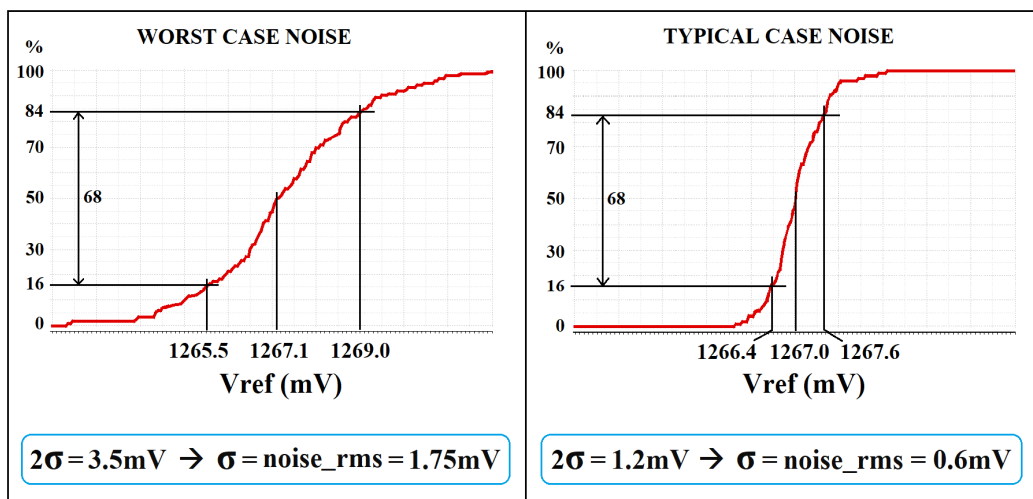


Figura 66. Funzione di distribuzione cumulativa del rumore del comparatore

Si ottengono quindi le tensioni rms di rumore all'ingresso del comparatore: 1.75mV nel caso peggiore e 0.6mV nel caso tipico. Questi due valori di tensione vengono riportati all'ingresso del TIA, dividendoli per il guadagno del TIA, ottenendo 372nA rms nel caso peggiore e 127nA rms nel caso tipico.

Considerata la condizione del TIA con corrente di ingresso nulla (si veda tabella 3; cambia comunque poco negli altri due casi), si ottiene allora il rumore di corrente totale riportato all'ingresso del TIA:

worst case:

$$I_{n_rms_TIA} = 787nA \quad e \quad I_{n_rms_comparatore} = 372nA$$

$$I_{n_rms_tot} = \sqrt{(787nA)^2 + (372nA)^2} = 870nA$$

typical case:

$$I_{n_rms_TIA} = 700nA \quad e \quad I_{n_rms_comparatore} = 127nA$$

$$I_{n_rms_tot} = \sqrt{(700nA)^2 + (127nA)^2} = 711nA$$

3.6 Strategia di misura degli unary e risultati di simulazione

Viste tutte le caratteristiche principali dei blocchi costituenti il sistema di misura si può procedere con la valutazione delle diverse strategie e tecniche di misura utilizzabili in presenza di rumore.

Come fatto per l'individuazione del rumore introdotto dal comparatore dinamico, la misura della I_{unary} viene realizzata facendo molte misure a 100MHz e costruendo, a partire da esse, una statistica che fornisce il risultato della misura.

Per il comparatore sono state fatte simulazioni in cui V_{ref} varia con uno step molto fine; invece per la variazione di I_{ref} non può essere preso uno step piccolo a piacere in quanto questa corrente deve essere generata fisicamente per poter fare la misura di I_{unary} ; nel caso del rumore del comparatore è stata fatta solo una simulazione che fisicamente non implica la reale generazione di nessuna quantità fisica.

I_{ref} deve aumentare con un certo step a partire da un valore di corrente sicuramente minore di I_{unary} , per esempio 490uA-495uA e step di 250nA.

Un circuito che genera la I_{ref} è costituito da un generatore di valore costante e da un current-steering DAC termometrico senza le resistenze di terminazione, visto che serve una corrente e non una tensione (Figura 67).

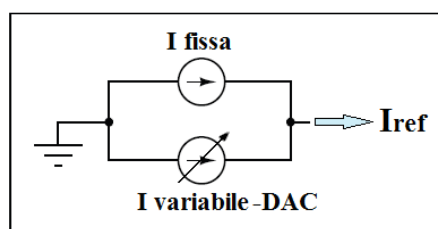


Figura 67. Generazione di I_{ref}

Ogni unary di questo DAC deve avere una corrente nominale di 250nA (può essere 248nA o 252nA: cambia poco in questo contesto); questo DAC, il cui progetto a livello transistor non è stato considerato in questa tesi, non risulta particolarmente critico: la risoluzione richiesta è di 6-7 bit, per coprire un buon range nell'individuazione di tutte le I_{unary} e la frequenza del clock è di pochi MHz, quindi non si tratta di un DAC a radio frequenza.

Definiamo ora, per semplicità, $I_b - I_{unary} = I_{in}$ e $I_b - I_{ref} = I_{in_ref}$.

Sono state fatte simulazioni transient noise su 7 differenti I_{in} (come avere 7 unary), distanziate di 200nA, in cui per ogni punto della I_{in_ref} vengono fatte 100 misure consecutive per determinare la percentuale di volte in cui $I_{in} > I_{in_ref}$ (che equivale a $I_{unary} < I_{ref}$)

Il valore della corrente misurata si ottiene dal punto della statistica dove I_{in} è maggiore di I_{in_ref} il 50% delle volte (quindi $I_{in}=I_{in_ref}$) e si guarda la I_{in_ref} corrispondente.

In Figura 68 sono rappresentate le prime statistiche ottenute con il rumore generato a partire da un seed.

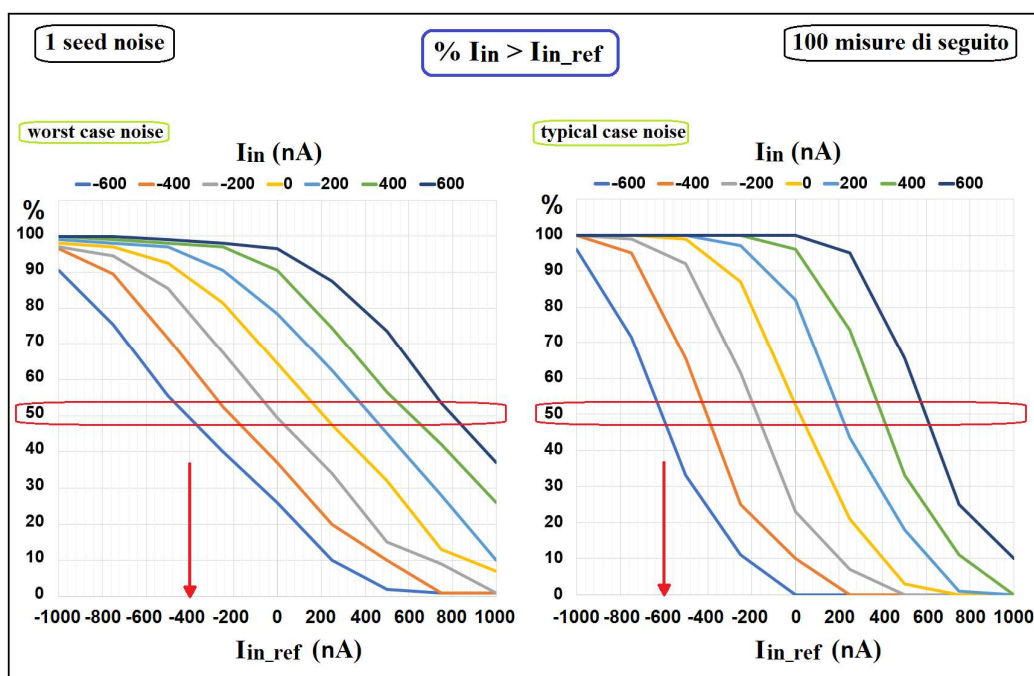


Figura 68. Prime statistiche di misura

Come si può notare dalle statistiche a destra (typical case noise), il valore della corrente I_{in} è fornito con ottima precisione: osservando la prima curva al 50%, la corrente I_{in_ref} vale circa -600nA, corrispondenti proprio ai -600nA impostati come corrente I_{in} . Lo stesso vale per le altre curve.

A livello fisico non viene generata, come detto, una corrente I_{in_ref} con step infinitesimo, ma viene generata a punti distanziati di 250nA. Un modo per valutare esattamente la misura al 50% è considerare i due valori di I_{in_ref} a cavallo del 50%, vedere la percentuale corrispondente ai 2 valori e fare una semplice interpolazione lineare (Figura 69).

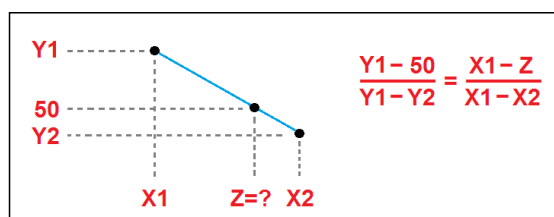


Figura 69. Interpolazione lineare

Nel grafico a sinistra (worst case noise), i risultati vengono forniti con un offset di circa 200nA per tutte le curve; questo non è causato da un vero offset del sistema di misura: non sono state fatte simulazioni con variazione dei parametri dei transistor.

In presenza di rumore flicker, le componenti spettrali di rumore a bassa frequenza influenzano il processo di misura, soprattutto per il worst case noise (nel typical case questo effetto negativo non è visibile). Per esempio, se tutte le 100 misure consecutive vengono fatte in un intervallo temporale in cui è presente una grande componente di rumore a valore positivo, il sistema di misura fornisce un risultato maggiore del valore atteso (Figura 70)

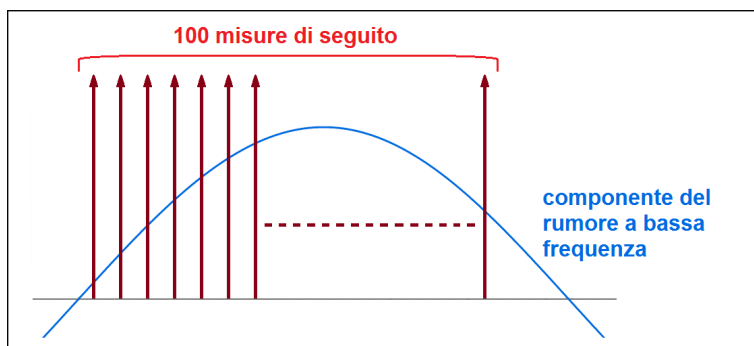


Figura 70. Rumore flicker con 100 misure consecutive

Un modo per evitare questo problema è cambiare strategia di misura: invece che 100 misure consecutive, farne 100 distribuite nel tempo, per esempio, a blocchi di 10, in modo da mediare il più possibile il contributo del rumore (Figura 71).

Con questa strategia si ottengono gli ottimi risultati rappresentati in Figura 72.

Per il typical case noise le statistiche di misura rimangono invariate, mentre nel worst case si ha un grosso miglioramento.

I valori della corrente I_{in_ref} al 50% forniscono una misura molto precisa della corrente di ingresso.

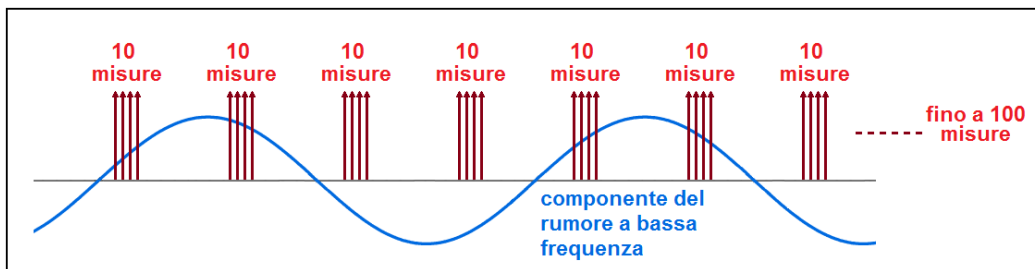


Figura 71. 100 misure distribuite

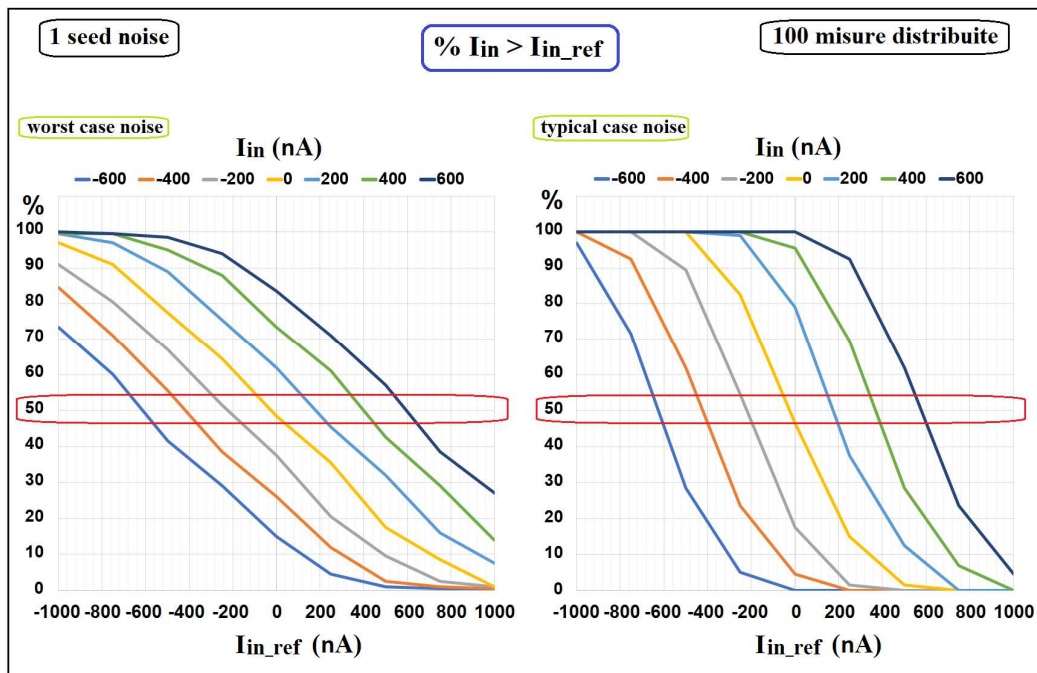


Figura 72. Statistiche di misura con 100 misure distribuite

Quando si fanno misure distribuite, per non perdere tempo, dopo aver completato le prime 10 misure su uno unary, non si attende prima di ricominciare con le altre 10, ma si cambia unary e si effettuano le prime 10 misure su quest'ultimo; si passa poi ad un altro unary e così via. Si fanno quindi 10 misure per ogni unary, poi si ricomincia e si effettuano le successive 10 misure per ogni unary; tutto questo si ripete finché per ogni unary non sono state fatte 100 misure.

A livello hardware i conteggi possono essere fatti con un contatore, una logica di controllo e una memoria.

Finora le misure sono state fatte con una generazione del rumore che parte da un solo seed. Ogni volta che si fanno le 100 misure, consecutive o distribuite, il rumore viene quindi generato sempre allo stesso modo per tutti i punti della I_{in_ref}

e per tutte le curve I_{in} .

In verità, cambiando I_{in_ref} ed anche nel passare da una I_{in} all'altra, il rumore non riparte mai dallo stesso punto e con le stesse caratteristiche in quanto si tratta di un processo totalmente casuale, variabile nel tempo e imprevedibile.

Per ottenere risultati più veritieri sono state fatte simulazioni multi-seed in cui ogni volta che cambia I_{in_ref} e ogni volta che cambia I_{in} il rumore assume valori totalmente indipendenti rispetto al punto/curva precedente.

I risultati delle simulazioni multi-seed sono rappresentati in Figura 73.

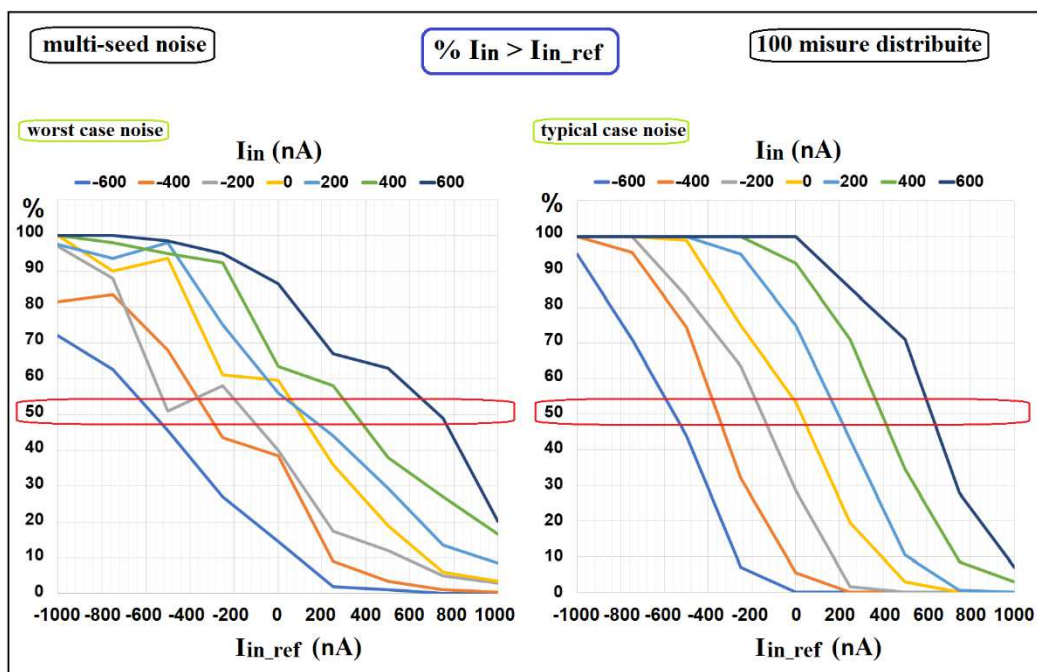


Figura 73. Statistiche di misura con 100 misure distribuite e rumore multi-seed

Nel typical case noise si ottengono comunque dei buoni risultati con una certa imprecisione: guardando la prima curva al 50%, il sistema di misura fornisce un risultato di circa -560nA invece che -600nA.

Nel worst case noise invece non si ottengono buoni risultati: le statistiche si incrociano più volte e guardando il 50% si nota che l'imprecisione è molto alta.

Bisogna quindi affinare il processo di misura per ridurre l'impatto negativo del rumore: invece che fare 100 misure distribuite a blocchi di 10, se ne possono fare 400 distribuite, sempre a blocchi di 10, per ogni punto di I_{in_ref} e per ogni unary; eseguire quindi 10 misure per ogni unary in sequenza e poi riiniziare 40 volte in modo da acquisire in totale 400 misure.

Passando da una strategia di misura costituita da 10 misure ripetute 10 volte ad una strategia costituita da 10 misure ripetute 40 volte, si ottiene un rumore equivalente mediato più piccolo secondo la formula:

$$rumore_mediato_{RMS} = \frac{rumore_{RMS}}{\sqrt{N_{ripetizioni}}}$$

In Figura 74 sono rappresentati i risultati delle simulazioni multi-seed con 400 misure, per ogni punto di I_{in_ref} , distribuite nel tempo.

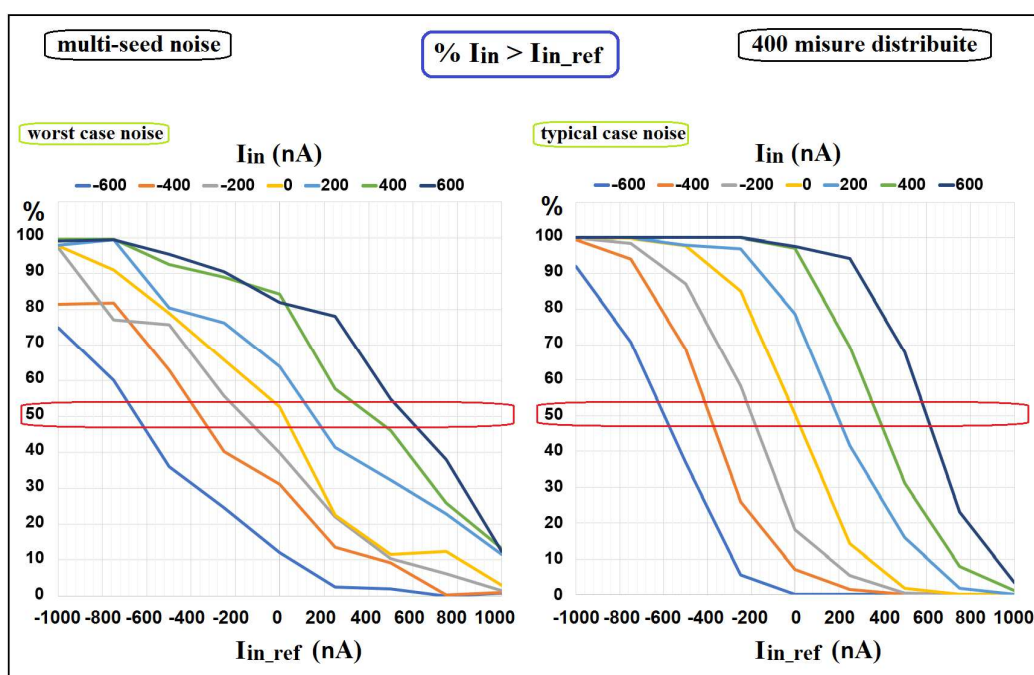


Figura 74. Statistiche di misura con 400 misure distribuite e rumore multi-seed

Nel typical case noise i risultati forniti sono ottimi a parte una piccolissima imprecisione, visibile ad esempio nella curva verde relativa alla corrente di ingresso 400nA.

Anche questa volta, nel worst case noise, sono presenti incroci delle curve, ma quello che conta è il cross nel 50%. Come si può vedere, il sistema fornisce una misura della corrente di ingresso con un'impresione massima di circa 40-50nA: al posto di -600nA restituisce -650nA, al posto di -400nA restituisce -350nA, al posto di 400nA fornisce 410nA, eccetera.

Come detto, il sistema non riceve in ingresso la corrente degli unary e la I_{ref} , ma le correnti differenziali $I_b - I_{unary}$ e $I_b - I_{ref}$; le due I_b , una volta prodotto il chip, potrebbero essere leggermente diverse fra loro, quindi il sistema di misura in questo caso non riuscirebbe a fornire un valore esatto della corrente dello unary, però, visto che l'errore sarebbe comune a tutti gli unary, il problema sarebbe trascurabile; la cosa importante è che il sistema riesca a distinguere le correnti, con una certa imprecisione, e riuscire a ordinare gli unary dal più grande al più piccolo. Per la stima del tempo totale di misura delle 63 correnti occorre fare un'ipotesi sul tempo di assestamento richiesto per passare da uno unary all'altro prima di effettuare le misure; si suppone che questo tempo sia di circa 100ns.

Il tempo massimo stimato è:

$$T_{TOT} = (10 \cdot T_{ck} + 100ns) \cdot 63 \cdot 40 \cdot N_{punti\ di\ I_{ref}}$$

Per coprire un range abbastanza ampio da essere sicuri di poter misurare le correnti di tutti gli unary, si può, per esempio, partire da una I_{ref} pari a 490uA e, con step di 250nA, arrivare a 510uA; i punti totali sono 80, pertanto il tempo massimo di misura è:

$$T_{TOT} = (10 \cdot 0,1us + 100ns) \cdot 63 \cdot 40 \cdot 80 = 221,76ms$$

Questo è il tempo massimo richiesto per la costruzione di tutte le statistiche di misura di tutti gli unary. In verità il tempo richiesto è molto minore: una volta trovati i due punti di I_{ref} a cavallo del 50% non serve proseguire con tutti i punti successivi; inoltre può essere adottata una strategia di ricerca efficiente di questi due punti per ridurre al massimo il tempo totale di misura.

Per verificare l'efficacia del sistema di misura, l'effetto dell'imprecisione di misura deve essere valutato inserendo, sul modello Verilog-A, un opportuno coefficiente nell'algoritmo di reordering, per poi rilanciare le simulazioni a 300 seed per le figure di merito HD2, HD3 e SFDR.

4

Simulazioni con il modello Verilog-A includendo l'incertezza di misura

4.1 Introduzione

In questo capitolo vengono riportati i risultati finali delle simulazioni fatte sul modello Verilog-A del DAC includendo l'imprecisione del sistema di misura.

4.2 Aggiunta dell'incertezza di misura

Nel modello, le correnti degli unary sono definite come:

$$I_U[k] = I_{U_ideale} \cdot (1 + unary_coeff[k]) \quad k = 0,1,2,\dots,62$$

Per valutare l'effetto dell'imprecisione di misura, i valori di corrente, che l'algoritmo di reordering prende in ingresso per trovare le nuove posizioni degli unary, non sono più le $I_U[k]$ ma $I_U[k] + I_{error}[k]$, dove $I_{error}[k]$ è una corrente aggiuntiva, rappresentante l'errore di misura, che può essere positiva o negativa, generata con una legge gaussiana con una deviazione standard di 50nA in linea con i risultati ottenuti nelle ultime simulazioni sul sistema di misura.

L'algoritmo di reordering calcola le nuove posizioni e riordina secondo le correnti $I_U[k] + I_{error}[k]$; in verità l'effettivo riordino ha effetto sulle correnti reali $I_U[k]$, pertanto si ha un riordino non perfetto.

Rispetto al reordering ideale ci si aspetta una differenza più grande quando bisogna calcolare le posizioni degli unary più simili: una corrente di 500,03uA potrebbe essere considerata più grande di una corrente di 500,06uA in quanto una misura dei due valori, con imprecisione di 50nA, potrebbe restituire rispettivamente 500,04uA e 500,2uA.

In Figura 75 sono riportate le INL che si ottengono dopo il reordering.

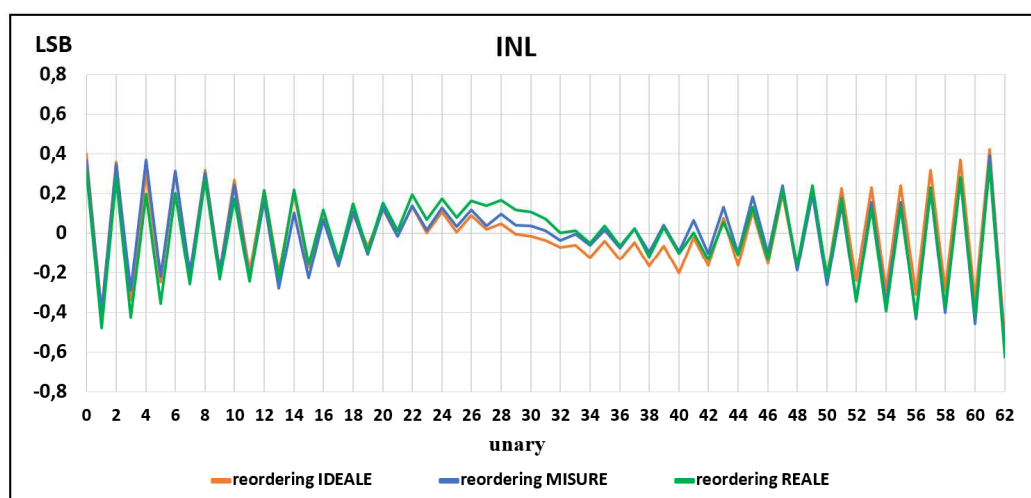


Figura 75. INL ottenute dopo il reordering

La INL arancione è la INL ideale ottenuta riordinando i valori veri delle correnti, effettuando le misure con imprecisione nulla (uguale alla INL ottenuta nel secondo capitolo).

La INL blu è la INL che si ottiene riordinando i valori misurati con imprecisione di misura di 50nA.

La INL verde è la INL ottenuta riordinando i valori veri delle correnti degli unary in cui le nuove posizioni vengono però calcolate basandosi sui valori misurati; quest'ultima INL è quella realistica.

4.3 Effetto su HD2, HD3 e SFDR

Come si può notare in Figura 75, la INL reale, nella zona centrale, tende ad alzarsi e riprendere leggermente una forma parabolica; ci si aspetta dunque un peggioramento delle prestazioni, rispetto al reordering ideale, per quanto riguarda la HD2.

Le simulazioni con 300 seed, in questo caso, sono state fatte solo con ampiezza ridotta a 1/3 rispetto al full scale (-10dB back off).

I risultati delle simulazioni sono riportati nelle Figure 76, 77 e 78.

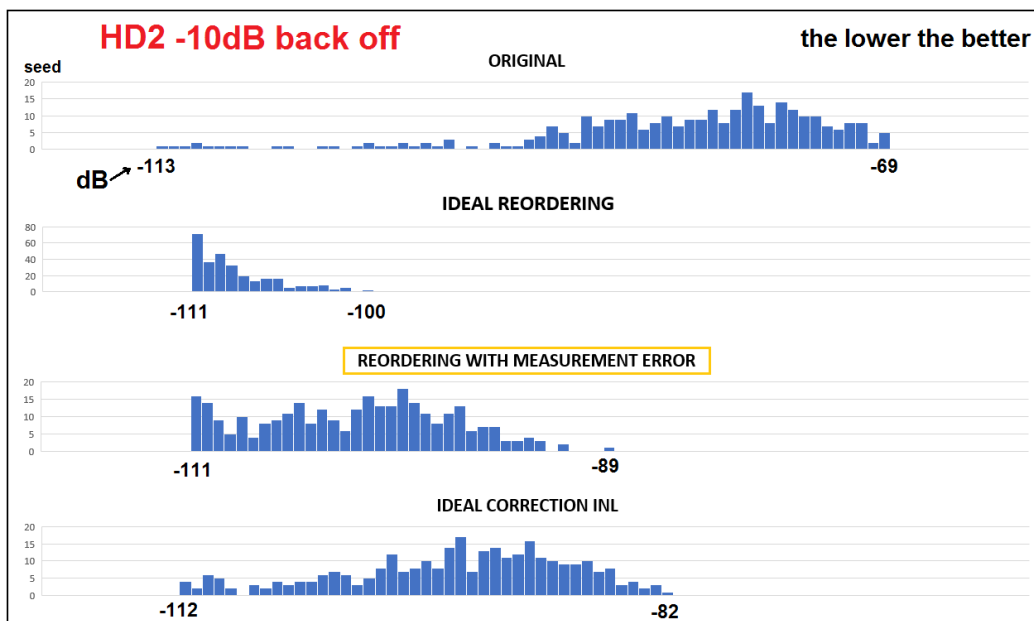


Figura 76. HD2 -10dB back off con reordering reale

Rispetto al reordering ideale, la HD2 mostra un visibile peggioramento, però i risultati sono comunque ottimi rispetto all'HD2 originale, senza reordering o correzioni, e migliori rispetto all'algoritmo correction INL ideale.

Quello rappresentato è tuttavia il caso peggiore: l'imprecisione di 50nA è presente solo con il worst case noise; nel typical case, essendo l'imprecisione molto più piccola, il reordering funzionerebbe sicuramente meglio (Figura 74).

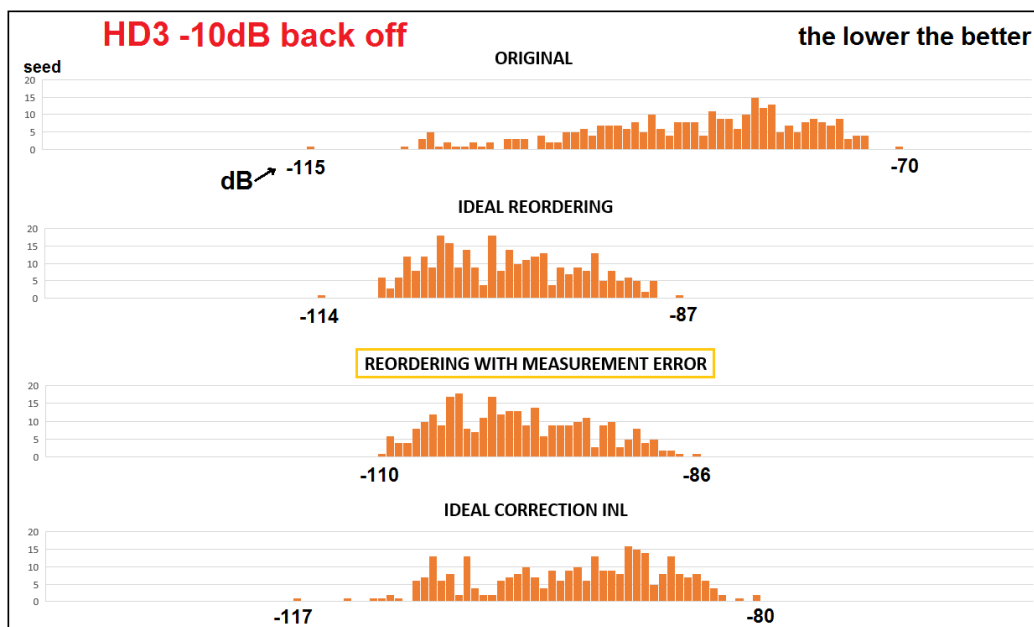


Figura 77. HD3 -10dB back off con reordering reale

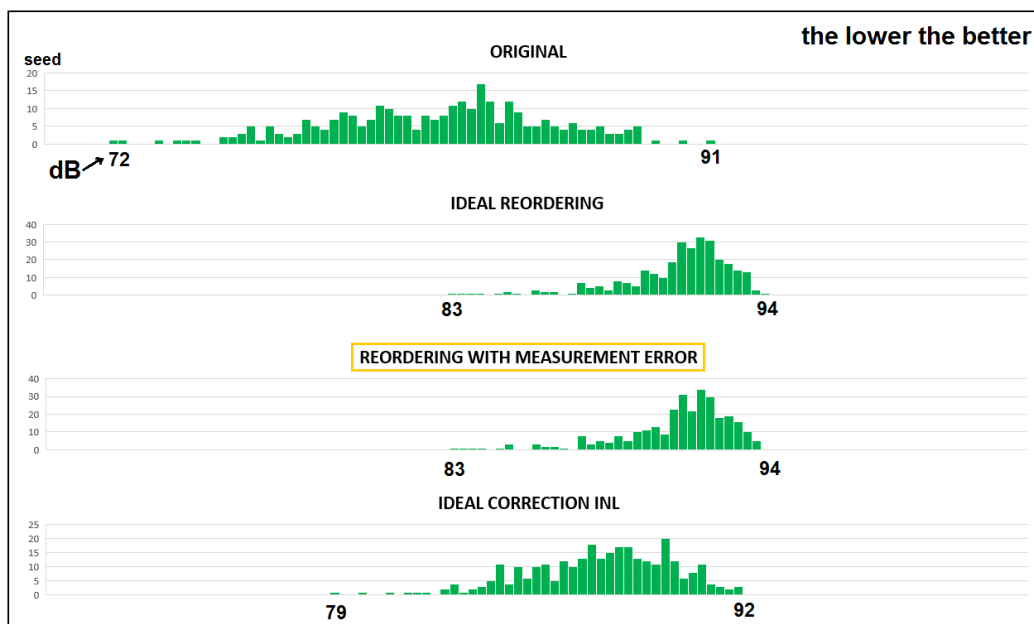


Figura 78. SFDR -10dB back off con reordering reale

Per quanto riguarda HD3 e SFDR, i risultati rimangono pressoché invariati rispetto al reordering ideale.

Il sistema di misura mostra quindi nel complesso ottimi risultati nelle tre figure di merito analizzate.

L'algoritmo di reordering dei generatori unari funziona quindi molto bene anche in presenza di un'imprecisione di misura, presentando i risultati migliori anche rispetto alla correzione ideale senza l'imprecisione di misura.

Conclusioni

In questo lavoro di tesi sono stati studiati e analizzati gli effetti delle non-idealità statiche presenti nei Current-Steering DAC a radiofrequenza.

Queste non-idealità introducono forti distorsioni nel segnale generato dal DAC riducendone la pulizia dello spettro.

Le non-idealità statiche analizzate comprendono i mismatch intrinseci dei generatori termometrici di corrente e un gradiente di processo lineare causato dall'utilizzo di un layout compatto del Current-Source Array, usato per minimizzare gli effetti parassiti delle linee di interconnessione, invece dell'utilizzo di un layout distribuito a baricentro comune.

Per minimizzare gli effetti negativi dei mismatch sono stati scritti in Verilog-A degli algoritmi di riordino e correzione dei generatori termometrici che compongono il DAC, valutando i risultati ottenuti in diverse simulazioni per le figure di merito HD2, HD3 e SFDR e individuando come scelta migliore l'algoritmo di riordino.

Fisicamente, per effettuare la calibrazione del DAC, è stato progettato in tecnologia FinFET TSMC, in ambiente Cadence Virtuoso, un sistema di misura delle correnti dei generatori termometrici ponendo molta attenzione nella valutazione del rumore generato dal sistema.

Infatti, il rumore è stato l'elemento decisivo nel determinare una corretta strategia di misura delle correnti dei generatori; il sistema impiega un tempo massimo di circa 220ms per ottenere le misure delle 63 correnti con una precisione di circa 50nA.

Successivamente, è stato valutato l'effetto dell'errore di misura con cui il sistema fornisce le misure dei valori di corrente modificando l'algoritmo di riordino con l'introduzione di un opportuno coefficiente, generato a partire dall'imprecisione di 50nA.

I risultati presentati nel capitolo 4 evidenziano l'efficacia del sistema di misura progettato e l'efficacia dell'algoritmo di riordino, sebbene sia presente un errore di misura.

In conclusione, l'obiettivo della tesi di studiare una tecnica di calibrazione del DAC con la proposta dell'utilizzo dei circuiti progettati è stato raggiunto.

Bibliografia

[1] Marcel J. M. Pelgrom, Aad C. J. Duinmaijer and Anton P. G. Welbers, "Matching Properties of MOS Transistors", IEEE Journal of Solid-State Circuits, vol 24, pp. 1433-1440, October 1989

[2] Zhu Dongmei, Fu Dongbing, Shi Jianguang and Li Kaicheng, "Digital Static Calibration Technology Used for 400MSPS, 16-bit DAC", IEEE International Conference of Electron Devices and Solid-State Circuits, pp. 91-94, December 2009

[3] Santanu Sarkar, Swapna Banerjee, "500 MHz Differential Latched Current Comparator for Calibration of Current Steering DAC", Proceedings of the 2014 IEEE Students' Technology Symposium, pp. 309-312, March 2014

Ringraziamenti

Desidero ringraziare il mio relatore, il professore Antonio Gnudi, per avermi dato la possibilità di entrare in contatto con Xilinx per lo svolgimento del tirocinio e del lavoro di tesi presso questa azienda.

Ringrazio il mio correlatore, l'ingegnere Roberto Pelliconi, per avermi supportato e seguito durante tutte le fasi di lavoro mostrando un'infinita pazienza e dedizione. Ringrazio l'Università di Bologna per avermi dimostrato che con impegno e fatica ogni traguardo è raggiungibile.

Un sentito ringraziamento va alla mia famiglia per avermi illuminato in tutti questi anni, supportandomi passo dopo passo con amore e fiducia.

Un profondo ringraziamento va alla mia ragazza Valentina, per avermi sopportato e supportato incondizionatamente, giorno dopo giorno, nell'affrontare gli alti e bassi vissuti in questi anni.

Ringrazio, inoltre, i miei colleghi di studio ed amici per la compagnia, le risate e tutti i momenti passati insieme in questi anni.

