

ALMA MATER STUDIORUM - UNIVERSITÀ DI BOLOGNA  
CAMPUS DI CESENA  
SCUOLA DI INGEGNERIA E ARCHITETTURA

CORSO DI LAUREA TRIENNALE IN INGEGNERIA BIOMEDICA

PROGETTO DI UN CONVERTITORE DC/DC CON TRANSISTOR IN  
NITRURO DI GALLIO (GaN) E SIMULAZIONE POST-LAYOUT

**Elaborato in**

Laboratorio Di Dispositivi e Impianti Fotovoltaici

**Relatore:**

Prof. Mauro Zanucoli

**Presentato da:**

Leonardo Urbinati

I Sessione

Anno Accademico 2018/2019



# Indice

<b>ABSTRACT .....</b>	<b>5</b>
<b>1 INTRODUZIONE SUI CONVERTITORI DI POTENZA IN GAN.....</b>	<b>7</b>
1.1 <b>Elettronica di Potenza .....</b>	<b>7</b>
1.2 <b>Convertitori di Potenza DC/DC.....</b>	<b>8</b>
1.3 <b>Buck Converter .....</b>	<b>10</b>
1.3.1 Dimensionamento del filtro LC .....	14
1.4 <b>Semiconduttori WBG in Nitruro di Gallio .....</b>	<b>16</b>
1.4.1 Vantaggi dei semiconduttori WBG .....	17
1.4.2 Vantaggi dei transistor in Nitruro di Gallio .....	18
1.4.3 Transistor E-HEMT .....	19
1.4.4 Zone di Lavoro Ottimali dei GaNFET .....	20
<b>2 SIMULAZIONE SPICE E REALIZZAZIONE DEL LAYOUT DI UN BUCK CONVERTER IN TECNOLOGIA GAN .....</b>	<b>21</b>
2.1 <b>Obbiettivi del Progetto.....</b>	<b>21</b>
2.2 <b>Problemi Principali .....</b>	<b>21</b>
2.2.1 Interferenze Elettromagnetiche, EMI.....	21
2.2.2 Effetto dei parassiti .....	23
2.3 <b>Descrizione del Circuito Realizzato .....</b>	<b>25</b>
2.3.1 Schema Circuitale e Componenti .....	25
2.3.2 Opzioni Circuitali per la Riduzione delle Oscillazioni nel Nodo di Switching e del Ripple della Tensione di Uscita.....	30
2.3.3 Progetto del circuito stampato .....	31
2.4 <b>Simulazione e Risultati.....</b>	<b>33</b>
<b>3 SIMULAZIONE POST LAYOUT .....</b>	<b>35</b>
3.1 <b>Premessa .....</b>	<b>35</b>
3.2 <b>Procedimento di Estrazione .....</b>	<b>35</b>
3.3 <b>Analisi dei Risultati.....</b>	<b>43</b>

<b>4</b>	<b>SIMULAZIONE ELETTROMAGNETICA DI UN LAYOUT NON OTTIMIZZATO</b> .....	<b>46</b>
<b>4.1</b>	<b>Descrizione del Layout</b> .....	<b>46</b>
4.1.1	Conseguenze delle differenze Circuitali sulla Realizzazione del Layout.....	47
<b>4.2</b>	<b>Processo di Estrazione</b> .....	<b>47</b>
<b>4.3</b>	<b>Analisi dei risultati</b> .....	<b>49</b>
4.3.1	Possibili Interventi per la Riduzione degli Effetti Parassiti .....	50
4.3.2	Simulazione a frequenza di commutazione ridotta. ....	51
	<b>CONCLUSIONI</b> .....	<b>55</b>
	<b>BIBLIOGRAFIA</b> .....	<b>57</b>

## Indice delle Figure

Figura 1.1 Schema Semplificato di Convertitori Lineari .....	8
Figura 1.2 - Schema Semplificato di Convertitori a Commutazione .....	9
Figura 1.3 - Transistor LS On e Transistor HS Off.....	10
Figura 1.4 - Transistor LS Off e Transistor HS On.....	10
Figura 1.5 - Forme d'onda Principali Buck Converter .....	10
Figura 1.6 - Relazione tra Tensione e Corrente sull'induttore .....	13
Figura 1.7 - Relazione tra tensione e corrente sul condensatore .....	14
Figura 1.8 - Conduttori, Semiconduttori e Isolatori .....	16
Figura 1.9 - Proprietà di Si, Gan e SiC .....	17
Figura 1.10 - Schema Semplificato e Capacità di un Transistor E-HEMT .....	19
Figura 1.11 - Zone di Lavoro di Si, GaN e SiC .....	20
Figura 2.1 - Loop di Corrente in un Buck Converter .....	23
Figura 2.2 - Corrente sull'Induttore .....	23
Figura 2.3 - Area critica per EMI .....	23
Figura 2.4 - Loop di Corrente formato dai Collegamenti con la Sorgente e Carico.....	24
Figura 2.5 - Analisi di Fourier forme d'onda della Corrente Pulsatile, RICHTECK.....	24
Figura 2.6 - Oscillazione di Tensione sul Nodo di Commutazione.....	25
Figura 2.7 - Schema Parassiti Semplificato .....	25
Figura 2.8 - Schema circuitale realizzato con SPICE.....	26
Figura 2.9 - Schema Driver UCC27611 .....	27
Figura 2.10 - Schema Semplificato degli Isolatori .....	28
Figura 2.11 - Forme d'onda di Ingresso, Modulazione e Uscita.....	28
Figura 2.12 - EPC2052 .....	29
Figura 2.13 - Efficienze EPC2052 .....	29
Figura 2.14 - Andamento Capacità EPC2052 in funzione della VDS.....	30
Figura 2.15 - Anello circuitale tra driver e transistor lato basso, Layout e Schematico.....	32
Figura 2.16 - Anello circuitale tra driver e transistor lato alto, Layout e Schematico.....	32
Figura 2.17 - Confronto tra Layout e Schematico semplificato.....	33
Figura 2.18 - Layout Buck Converter .....	33
Figura 2.19 - Corrente sull'induttore e Tensione al nodo di Switch.....	34
Figura 2.20 -Tensione sull'induttore .....	34
Figura 3.1 - Interfaccia grafica per i layout ADS.....	36
Figura 3.2 - Schema Substrato .....	37
Figura 3.3 - Mesh del Circuito .....	38
Figura 3.4 - Pista di Loop 0,3mm .....	40
Figura 3.5 Estrazione Parassiti su Pista 0,3mm ADS .....	40
Figura 3.6 - Estrazione dei Parassiti su Pista 0,8mm .....	41
Figura 3.7 - Resistenza Parassità dei Condensatori.....	42

Figura 3.8 - Schema interruttori ADS .....	42
Figura 3.9 - Forme d'onda nodo di Switch ricavata dalle simulazioni EM, ADS .....	44
Figura 3.10 Tensione e corrente su induttore, ADS .....	44
Figura 4.1 - Layout Critico.....	47
Figura 4.2 - Mesh del layout Secondario .....	48
Figura 4.3 - Schema circuitale con Modello EM .....	48
Figura 4.4 - Tensione al Nodo di Potenza del Layout Secondario a 1MHz.....	47
Figura 4.5 - Collegamenti Ingresso e Terra del Layout critico.....	49
Figura 4.6 - Anelli di corrente tra Transistor e Driver, Layout critico.....	49
Figura 4.7 - Tensione al nodo di Switch del Layout critico con frequenza 500KHz.....	50
Figura 4.8- Tensione e Corrente sull'Induttore, 500kHz .....	50

## Abstract

L'elettronica di potenza riveste un ruolo fondamentale in moltissime applicazioni di interesse generale per la collettività, spaziando dall'ambito industriale, al consumer, all'automotive e alla conversione di energia. È ben noto il legame tra costo, affidabilità e prestazioni dei circuiti di potenza e la sostenibilità energetica ed ambientale di edifici, città, nazioni coinvolgendo tecnologie di trasporto, conversione dell'energia sia da fonti rinnovabili che non. Maggiore è l'efficienza (il rapporto tra potenza di uscita e potenza di ingresso del convertitore) minore è l'energia che viene chiesta alla sorgente e pertanto, in generale, minore è l'impatto ambientale (emissione di anidride carbonica ed altre sostanze nocive).

I convertitori DC/DC sono dispositivi utilizzati in ambito elettronico per la conversione di potenza in regime di corrente continua finalizzati all'abbassamento (come nel caso dei Buck converter) oppure all'innalzamento (Boost converter) dei livelli di tensione.

Gli obiettivi dell'elaborato sono la progettazione e la simulazione (includendo l'estrazione di parassiti di layout) di un convertitore switching in corrente continua operante alla frequenza di 1 MHz in grado di convertire una sorgente di 48V ad una tensione di uscita di 12V, sfruttando transistor in Nitruro di Gallio (GaN). I transistor GaN sono realizzati con materiale semiconduttore a bandgap energetico relativamente elevato (wide band gap semiconductors) che notoriamente sono caratterizzati da favorevoli proprietà di trasporto elettronico (in particolare mobilità dei portatori). Recentemente è stato dimostrato in letteratura che l'utilizzo di transistor GaN consente di ottenere significativi vantaggi nei circuiti di conversione della potenza: minore ingombro, densità di potenza più elevate, maggiore efficienza di conversione.

Per il progetto ottimizzato del convertitore è stata effettuata una fase di individuazione dei componenti commerciali idonei allo scopo. Sfruttando il simulatore circuitale LTSPICE, è stato progettato lo schema circuitale ed è stato simulato ad elevate frequenze di commutazione per verificarne il corretto funzionamento.

Al fine di evidenziare le differenze di funzionamento tra circuito ideale e circuito stampato è stato realizzato un layout utilizzando il tool KICAD cercando di curare a livello di progetto le parti notoriamente critiche. Sono state poi effettuate simulazioni elettromagnetiche per l'estrazione dei parassiti con un tool di Keysight (ADS) in modo da valutarne l'impatto in termini di funzionamento, prestazione ed efficienza di conversione.

Infine, come caso di studio rilevante nella presente analisi, è stato preso in considerazione un ulteriore layout di circuito simile a quello discusso in precedenza non ottimizzato nelle parti più critiche, per scelte deliberate di progetto. Questo ha consentito di mettere in evidenza problematiche e criticità, permettendo di individuare possibili soluzioni atte a contrastare l'effetto dei parassiti sul funzionamento del circuito.

Il Capitolo 1 introduce all'elettronica di potenza e in particolare alla conversione DC/DC con Buck Converter soffermandosi sui vantaggi offerti dall'utilizzo di semiconduttori Wide Band Gap (GaN).

Nel Capitolo 2 sono stati evidenziati i principali problemi da prendere in considerazione durante la fase di progetto e sono state descritte l'architettura di base del circuito e del layout. Inoltre, è stato definito il funzionamento dei principali componenti utilizzati.

Nel Capitolo 3 vengono trattate le modalità di approccio alla simulazione post-layout con realizzazione di un circuito comprensivo degli effetti parassiti sfruttando un modello EM.

In fine, il Capitolo 4 prevede un'ulteriore simulazione su un convertitore Buck simile a quello trattato nei capitoli precedenti, con layout deliberatamente non ottimizzato per evidenziare gli effetti parassiti introdotti dal layout.

# 1 Introduzione sui Convertitori di Potenza in GaN

## 1.1 Elettronica di Potenza

L'elettronica di potenza verte al controllo e alla conversione di energia elettrica in maniera efficiente. A tal fine, uno dei principali obiettivi di questa branca dell'elettronica è l'ottimizzazione dei dispositivi di conversione per la minimizzazione delle dispersioni di potenza durante il trasferimento dei segnali tra sorgente e carico. A seconda della natura dei segnali d'ingresso e di uscita dai sistemi di conversione, possiamo distinguere:

- raddrizzatori AC/DC
- invertitori DC/AC
- convertitori AC/AC
- convertitori DC/DC

I convertitori più comuni sono i raddrizzatori (AC/DC) che permettono di convertire una corrente alternata in continua, variando la potenza e la tensione di svariati Watt e Volt. Vengono usati, per esempio, per fornire alimentazione alle batterie tramite sorgenti alternate. Il processo inverso è reso possibile dagli invertitori (AC/DC), come avviene nell'utilizzo dei pannelli solari per l'immissione di energia nelle reti domestiche.

La conversione AC/AC permette di variare la forma d'onda del segnale modificandone frequenza o tensione. A seguire, la conversione DC/DC consente la variazione del voltaggio in ingresso e in uscita di un segnale in corrente continua. Grazie all'introduzione di convertitori per piccole potenze direttamente integrabili su microchip, gli ambiti di utilizzo di questi dispositivi aprono le porte ad innovazioni in campo automobilistico, domotico, di trasmissione ed elaborazione dei dati, monitoraggio ambientale e biomedico [19]. In quest'ultimo settore, la minimizzazione e l'ottimizzazione circuitale hanno reso possibile lo sviluppo tecnologico dei pacemaker, dei sistemi di diagnostica impiantabili e delle ridotte protesi meccaniche. Per sottolineare ulteriormente l'importanza della ricerca scientifica in questo settore, basti

pensare che l'incremento, anche di lieve entità dell'efficienza di questi dispositivi, ridurrebbe significativamente la dispersione di potenza e quindi i consumi energetici, considerato l'elevatissimo numero di convertitori di cui l'elettronica moderna necessita, il che apporterebbe benefici non sottovalutabili in termini di impatto ambientale.

## 1.2 Convertitori di Potenza DC/DC

I convertitori di potenza DC/DC hanno lo scopo di convertire il voltaggio di una sorgente in corrente continua da un livello ad un altro. Trovano larga utilità nei dispositivi portatili, in quanto permettono di fornire il giusto apporto di tensione a tutti i sotto-circuiti interni, che tipicamente richiedono tensioni di alimentazione più basse di quelle fornite dalla batteria. Per esempio, alimentare i componenti hardware (CPU, RAM, Hard Disk ecc.) di un laptop sfruttando la batteria a differente voltaggio. Inoltre, per garantire che ogni componente sia alimentato con livelli di tensione costanti nel tempo, si sfrutta la tipologia di convertitori DC/DC in commutazione, tramite i quali è possibile aumentare la tensione fornita dalla batteria, la quale ha un andamento decrescente durante lo scaricamento dell'energia immagazzinata.

Le tipologie di convertitori di potenza DC-DC si possono sostanzialmente suddividere in lineari e a commutazione [1].

Nella tipologia *lineare* la corrente fornita al carico viene controllata tramite un transistor che può essere identificato come una resistenza variabile. Agendo su di esso, infatti, possiamo far variare la tensione di uscita da quella del generatore a zero, ottenendo quindi un semplice partitore di tensione. Viene detta lineare poiché il transistor opera in regione lineare, piuttosto che in saturazione o taglio.

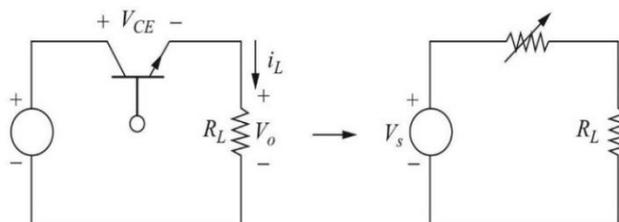


Figura 1.1 Schema Semplificato di Convertitori Lineari [1]

La tensione di uscita di questo convertitore è:

$$V_o = I_L R_L$$

mentre la potenza assorbita dal transistor è:

$$V_{CE} I_L = (V_{in} - V_{out}) I_L$$

Sebbene sia molto facile da realizzare, comporta una elevata perdita di potenza, di conseguenza bassissime efficienze. Pertanto, questo regolatore di tensione viene utilizzato solo per applicazioni di bassa potenza.

La tipologia in **commutazione** è un'alternativa che ci permette di raggiungere efficienze maggiori sfruttando i transistor come interruttori, completamente accesi (regione di triodo) o completamente spenti (cutoff/taglio).

Ne fanno parte:

- Buck Converter
- Boost Converter
- Buck-Boost Converter
- SEPIC
- Cùk

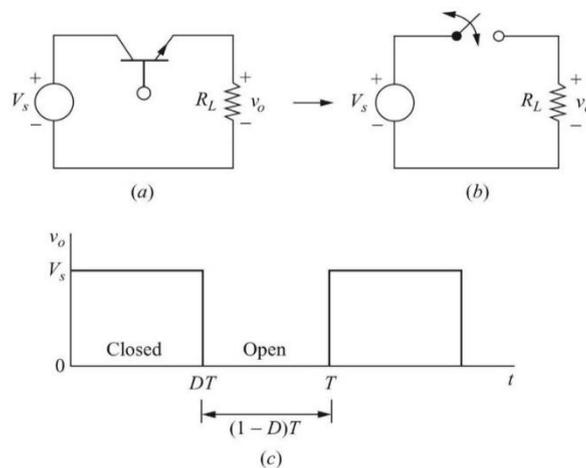


Figura 1.2 - Schema Semplificato di Convertitori a Commutazione [1]

Attraverso il periodico accendimento e spegnimento del transistor si genera un'uscita pulsatile il quale valor medio è la componente continua. Controllando la forma d'onda che gestisce l'interruttore possiamo modificare il valore della tensione di uscita aumentandolo o diminuendolo. Per entrare nel dettaglio del funzionamento di questa tipologia si discuterà il funzionamento del Buck Converter sincrono.

## 1.3 Buck Converter

Il Buck-Converter è un convertitore di potenza DC/DC che porta la tensione in uscita ad un livello più basso rispetto alla sorgente. A tal scopo, nella versione sincrona, si sfruttano due transistor per la carica e la scarica del nodo di switching ed un filtro passa basso ad ingresso induttivo (LC) per fornire in uscita la componente continua.

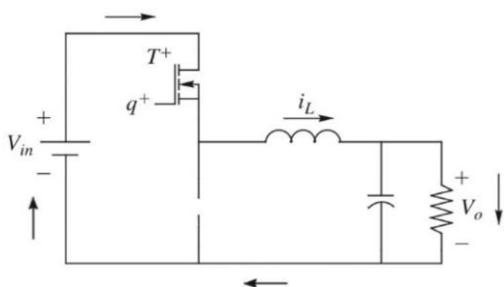


Figura 1.4 - Transistor LS Off e Transisto HS On [5]

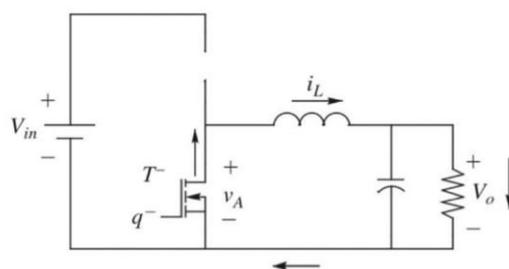


Figura 1.3 - Transistor LS On e Transistor HS Off [5]

I transistor vengono controllati da forme d'onda complementari a meno di un ritardo introdotto per evitare la loro conduzione simultanea con consecutiva perdita di potenza.

Questi segnali di controllo vengono descritti dal duty cycle:

$$D = \frac{T_{ON}}{T_S} = T_{ON} f \quad (1.1)$$

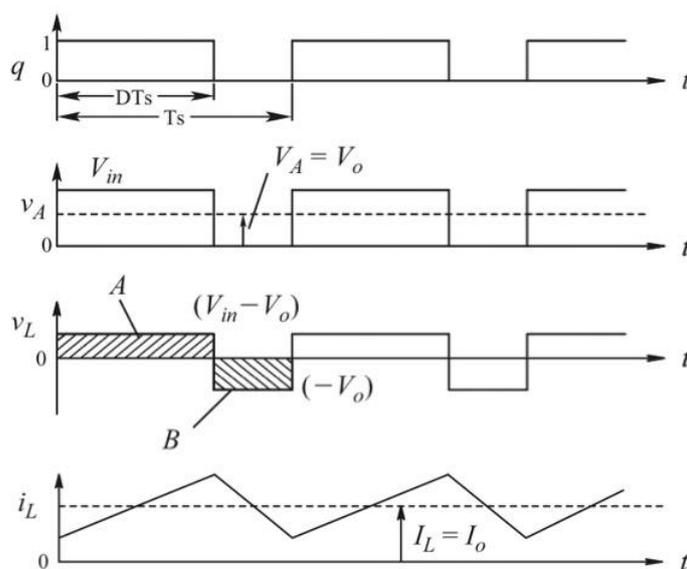


Figura 1.5 - Forme d'onda Principali Buck Converter [5]

All'accensione del transistor superiore la tensione al nodo di switching sale al valore dell'ingresso,

$$V_A = V_{in} \quad (1.2)$$

ai capi dell'induttore si avrà quindi una differenza di tensione

$$V_L = V_{in} - V_o \quad (1.3)$$

e il valore di corrente ( $i_L$ ) tenderà a crescere.

Al suo spegnimento, corrispondente all'accensione del transistor inferiore, risulterà un abbassamento repentino della tensione al nodo di potenza  $V_a=0$  che porterà quindi a un'inversione di tensione sull'induttore

$$V_L = -V_o \quad (1.4)$$

e ad un abbassamento della corrente, che continua a fluire all'interno del circuito grazie all'induttore, passando nel canale del transistor low-side dal source al drain.

La tensione e la corrente sull'induttore in forma differenziale sono legate e possono essere espresse come:

$$v_L = L \frac{di_L}{dt} \quad \rightarrow \quad i_L(t) = \frac{1}{L} \int_{\tau} v_L d\tau \quad (1.5)$$

Prendendo in considerazione il primo periodo possiamo esprimere la corrente in funzione del suo valore iniziale

$$i_L(t) = i_L(0) + \frac{1}{L} \int_0^t v_L d\tau \quad (1.6)$$

Le conclusioni che possiamo trarre sono:

Poiché la forma d'onda della corrente si ripete periodicamente la 1.6 risulta:

$$i_L(0) = i_L(T_s) \quad (1.7)$$

Integrando sul periodo  $T_s$  nell'equazione 1.6 e sfruttando la 1.7 notiamo che l'integrale ha valore nullo sul periodo, quindi il valore medio di tensione sull'induttore sarà nullo:

$$\frac{1}{L} \int_0^{T_s} v_L d\tau = 0 \quad \rightarrow \quad V_L = \frac{1}{T_s} \left( \int_0^{DT_s} v_L d\tau + \int_{DT_s}^{T_s} v_L d\tau \right) = 0 \quad (1.8)$$

Possiamo applicare lo stesso principio di ragionamento anche per il condensatore. Le relazioni che legano tensione e corrente sul condensatore si definiscono come:

$$i_C = C \frac{dv_C}{dt} \quad \rightarrow \quad v_C(t) = \frac{1}{C} \int_{\tau} i_C d\tau \quad (1.9)$$

definiamo la tensione sul condensatore in funzione del suo valore iniziale:

$$v_C(t) = v_C(0) + \frac{1}{C} \int_0^t i_C d\tau \quad (1.10)$$

In regime stazionario, le forme d'onda di tensione del condensatore si ripetono periodicamente, pertanto concludiamo che:

$$v_C(0) = v_C(T_s) \quad (1.11)$$

Integrando sul periodo  $T_s$  nell'equazione 1.10 e sfruttando la 1.11 notiamo che l'integrale ha valore nullo sul periodo, quindi il valore medio di corrente sul condensatore è nullo:

$$\frac{1}{C} \int_0^{T_s} i_C d\tau = 0 \quad \rightarrow \quad I_C = \frac{1}{T_s} \int_0^{T_s} i_C d\tau = 0 \quad (1.12)$$

Considerazioni finali in caso stazionario:

Agendo sul Duty Cycle dei segnali che controllano i transistor, si modifica la forma d'onda della tensione nel nodo di switching ( $V_A$ ).

Integrando sul periodo  $T_s$  e considerando l'anello circuitale di uscita otteniamo:

$$\boxed{V_O = V_A = DV_{in}} \quad (1.13)$$

La tensione sull'induttore ( $V_L$ ) ha valore medio pari a zero (1.8) e la corrente che lo attraversa può essere espressa dalla somma della sua media e la sua componente che varia nel tempo (corrente di ripple).

$$i_L(t) = I_L + i_{L,ripple}(t) \quad (1.14)$$

La corrente media sull'induttore dipende dal carico applicato mentre la corrente di ripple cresce quando  $V_L$  è positiva e decresce quando  $V_L$  è negativa, ottenendo la relazione illustrata in figura 1.5.

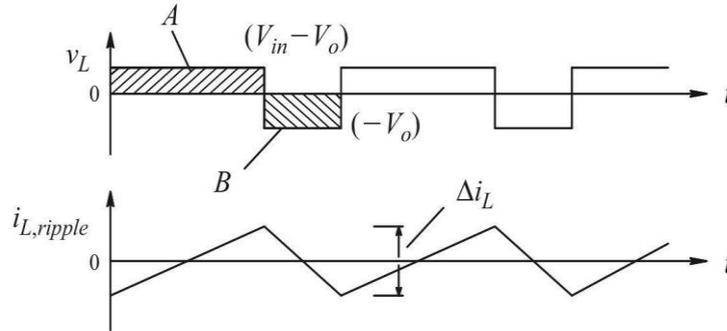


Figura 1.6 - Relazione tra Tensione e Corrente sull'induttore [5]

La differenza tra i picchi di corrente può essere calcolata come:

$$\Delta i_L = \frac{1}{L}(V_{IN} - V_O)DT_S = \frac{1}{L}V_O(1 - D)T_S \quad (1.15)$$

Se la corrente media dei condensatori è zero, applicando Kirchhoff al nodo di uscita, si nota come la corrente media dell'induttore sarà pari alla corrente sul carico.

$$I_L = I_O = \frac{V_O}{R} \quad (1.16)$$

Un condensatore di uscita, se molto grande, offre molta meno impedenza rispetto al carico, per questo la corrente di ripple scorre quasi esclusivamente su di essa, permettendoci di avere idealmente la tensione di uscita completamente continua.

$$i_C(t) \approx i_{L,ripple}(t) \quad (1.17)$$

La corrente media in ingresso, ricavata attraverso la 3.14, è:

$$I_{IN} = DI_L = DI_O \quad (1.18)$$

Sfruttando questa equazione e la 1.13, verifichiamo l'uguaglianza tra potenza in ingresso e potenza di uscita valida per il caso ideale:

$$V_{IN}I_{IN} = V_OI_O \quad (1.19)$$

Attraverso la 1.13 si nota come la conversione della tensione in uscita non venga influenzata dalla resistenza di carico, ma dipenda esclusivamente da  $D$ .

Se però la resistenza di carico aumentasse, cioè la corrente di uscita diminuisse, la corrente sull'induttore diventerebbe discontinua e la relazione (1.10) non sarebbe più valida.

La tipologia sincrona del Buck Converter non può lavorare in conduzione discontinua, poiché i transistor permetterebbero alla corrente di raggiungere valori negativi [5].

### 1.3.1 Dimensionamento del filtro LC

Nella pratica, il condensatore non sarà mai sufficientemente grande da fornire un'uscita perfettamente continua. La variazione di tensione di uscita si trova attraverso la relazione che c'è tra corrente e tensione del condensatore.

La corrente nel condensatore è:

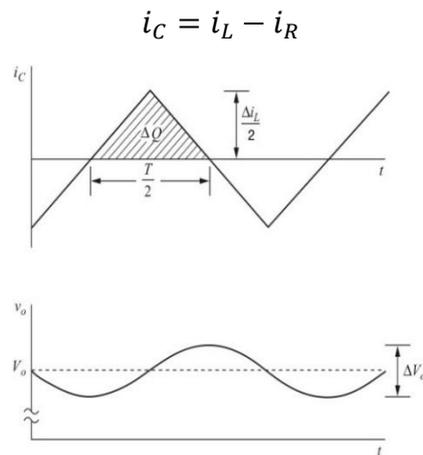


Figura 1.7 - Relazione tra tensione e corrente sul condensatore [5]

Quando è positiva, il condensatore si carica, quindi per definizione possiamo scrivere:

$$Q = CV_o$$

$$\Delta Q = C\Delta V_o$$

$$\Delta V_o = \frac{\Delta Q}{C}$$

Esprimiamo la variazione di carica come l'area sottesa dal triangolo formato dall'andamento nel tempo della corrente sul condensatore

$$\Delta Q = \frac{T\Delta i_L}{8}$$

che ci permette di riscrivere la variazione di tensione in uscita come:

$$\Delta V_o = \frac{T_s \Delta i_L}{8C}$$

sostituendo la  $\Delta i_L$  con la relazione trovata al punto 1.15 la  $\Delta V_o$  risulta:

$$\Delta V_o = \frac{T_s V_o}{8CL} (1 - D) T_s = \frac{V_o (1 - D)}{8CLf^2} \quad (1.20)$$

Per capire quale sia il valore minimo del condensatore per avere variazioni di tensione abbastanza ridotte da poter considerare l'uscita costante, riarrangiamo l'equazione 1.20:

$$\boxed{C_{min} = \frac{1 - D}{8L(\Delta V_o/V_o)f^2}} \quad (1.21)$$

Per dimensionare l'induttanza in modo da avere corrente continua sul carico, è necessario fare un controllo della corrente minima che la attraversa verificando che non abbia valori negativi, poiché sconfineremmo nella conduzione discontinua. Sfruttando le equazioni 1.15 e 1.16 otteniamo la corrente minima come:

$$\begin{aligned} I_{min} &= I_L - \frac{\Delta i_L}{2} \\ &= \frac{V_o}{R} - \frac{1}{2} \left( \frac{1}{L} V_o (1 - D) T_s \right) \end{aligned} \quad (1.22)$$

Imponiamo zero come valore minimo di corrente per ricavare il minimo valore di induttanza.

$$I_{min} = 0 = V_o \left( \frac{1}{R} - \frac{(1 - D)}{2L_{min}f} \right) \quad (1.23)$$

$$\boxed{L_{min} = \frac{R(1 - D)}{2f}} \quad (1.24)$$

## 1.4 Semiconduttori WBG in Nitruro di Gallio

A causa del continuo progresso tecnologico, è in esponenziale crescita la richiesta di dispositivi sempre più efficienti, di dimensioni ridotte ed economici. Per la realizzazione dei convertitori di potenza, i transistor principalmente utilizzati sono i MOSFET. Questa tecnologia basata sull'utilizzo del silicio come semiconduttore ha comportato innumerevoli progressi nel campo dell'elettronica, raggiungendo buoni livelli di efficienza e costi di produzione relativamente ridotti. Tuttavia, non offre più una prospettiva di crescita adeguata alle sempre crescenti necessità tecnologiche e di mercato.

Tutto ciò ha spinto la ricerca verso la realizzazione di nuovi transistor sfruttando differenti tipi di semiconduttori.

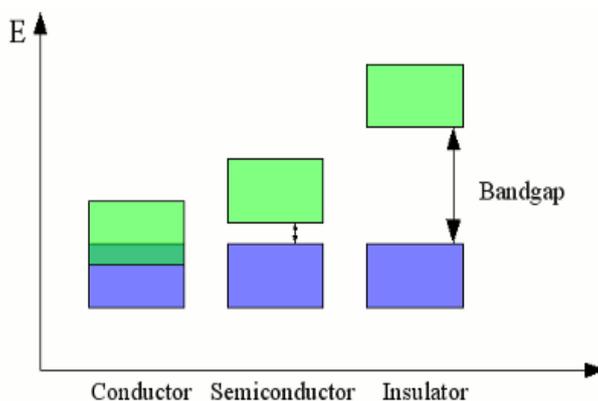


Figura 1.8 - Conduttori, Semiconduttori e Isolatori [17]

Una tra le proposte più promettenti in fase di sviluppo è la tecnologia basata sul nitruro di gallio, che si propone di abbattere i limiti imposti dal silicio.

Il nitruro di gallio fa parte dei semiconduttori a larga banda proibita (wide-band gap), cioè con ampio intervallo energetico che divide la banda di valenza (l'ultima banda riempita di elettroni, in blu nell'immagine) da quella di conduzione (la prima banda vuota, verde nell'immagine). In un semiconduttore la banda proibita è ridotta e risulta possibile per gli elettroni "attraversarla" in condizioni di agitazione termica a temperatura ambiente.

### 1.4.1 Vantaggi dei semiconduttori WBG

Il silicio ha una banda proibita intorno agli 1,2eV mentre il GaN di 3,4eV, il che permette di avere vantaggi non sottovalutabili sotto diversi punti di vista [13]:

- **Temperatura di esercizio**

I semiconduttori wide band gap, come il nitruro di gallio, consentono temperature di esercizio più elevate rispetto al silicio in quanto sono caratterizzati da un maggiore dislivello energetico tra banda di valenza e di conduzione, quindi gli elettroni necessitano di un maggiore accumulo di energia termica per rendere possibile il loro salto da una banda all'altra. Per questo principio le temperature massime di lavoro imposte dal silicio vengono superate.

Oltretutto il punto di fusione del GaN è considerevolmente maggiore del Si [10].

- **Conducibilità elettrica e Frequenza di commutazione**

Il nitruro di gallio presenta una mobilità elettronica di circa mille volte superiore al silicio. Questa elevata conducibilità garantisce un'elevata velocità di deriva (che nel Si è circa la metà rispetto al GaN), dal quale dipende strettamente la commutazione ad alte frequenze [10].

- **Operatività ad alta tensione**

L'ampia banda proibita del GaN insieme alla notevole tensione di rottura (o tensione di break down) consente a questo semiconduttore di lavorare a tensioni decisamente elevate.

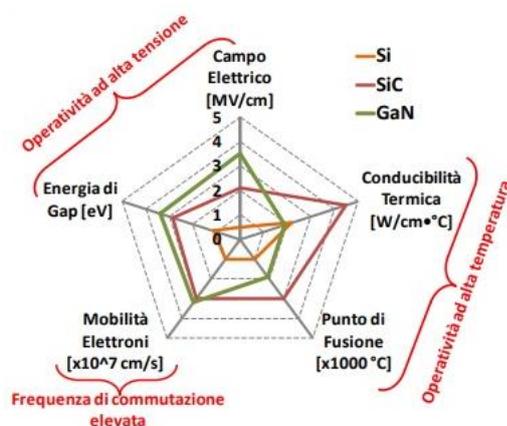


Figura 1.9 - Proprietà di Si, Gan e SiC [10]

## 1.4.2 Vantaggi dei transistor in Nitruro di Gallio

I vantaggi dei semiconduttori WBG comportano il miglioramento dei dispositivi di potenza sotto vari aspetti:

- **Densità di potenza**

La possibilità di operare a temperature più elevate senza dispositivi di raffreddamento, combinata con l'ottima conducibilità e le elevate frequenze di commutazione, consentono di realizzare dispositivi di ridotte dimensioni a parità di resistenza parassita  $R_{DS\ on}$  (resistenza tra drain e source dei transistor in fase ON). Ciò si traduce in un considerevole aumento di densità di potenza [10].

- **Riduzione delle Dimensioni Dei componenti**

Il valore di induttanze e condensatori è inversamente proporzionale a  $f$

$$C = \frac{\Delta I_L}{8f\Delta V_o} \quad (1.25)$$

$$L = \frac{V_{in} D (1 - D)}{f\Delta i_L} \quad (1.26)$$

per questo la possibilità di spingersi a frequenze di commutazione elevate permette di ridurre le dimensioni dei componenti a favore della minimizzazione del circuito e di una maggiore efficienza.

- **Riduzione dei Consumi**

L'incremento di efficienza ottenibile grazie all'utilizzo del GaN si traduce in una minor dispersione di potenza, che comporta una notevole riduzione dei consumi, quindi riduzione dei costi e di impatto ambientale [10].

- **Costi**

Come già accennato, i consumi ridotti offrono un ovvio vantaggio in termini economici. Tuttavia, i transistor in tecnologia GaN presentano costi di produzione ancora alti.

Per l'abbattimento del limite imposto dalla realizzazione di un substrato completamente in nitruro di gallio, la tecnica più comunemente impiegata è

quella di far crescere un sottile film di cristalli di GaN sopra un materiale più economico. Questa tecnica comporta svantaggi dal punto di vista della discontinuità delle proprietà fisico-chimiche dei materiali, come la differenza di reticolo cristallino e conducibilità termica, ma rende possibile realizzare wafer di maggiori dimensioni che non troverebbero mercato con la produzione di bulk interamente in GaN a causa degli eccessivi costi. Ad oggi la soluzione migliore sembra quella di sfruttare il silicio per via dei costi ridotti e della già diffusa produzione industriale [10].

### 1.4.3 Transistor E-HEMT

Un esempio di transistor GaN in commercio è l'E-HEMT la cui sigla sta per "enhancement mode high electron mobility transistor". Questa tipologia di transistor in tecnologia GaN dispone di una elevatissima mobilità elettronica grazie all'utilizzo di un gas elettronico detto 2DEG (2-dimensional electron gas) disposto tra lo strato di GaN e di AlGaN (nitruro di gallio e alluminio) [9].

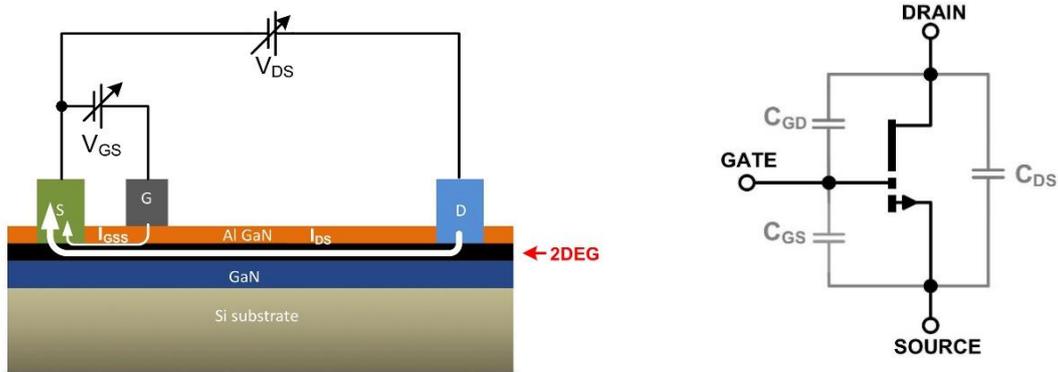


Figura 1.10 - Schema Semplificato e Capacità di un Transistor E-HEMT [9]

I punti di forza di questo dispositivo sono:

- Tensione di soglia bassa, tipicamente intorno agli 1,5V
- Capacità ridotte, che comportano meno perdite e tempi di salita e discesa più rapidi
- 0V o tensioni negative al gate bloccano la conduzione da drain a source
- Ottime prestazioni in frequenza

- Permette la conduzione inversa senza necessità di un diodo esterno grazie al 2DEG

#### 1.4.4 Zone di Lavoro Ottimali dei GaNFET

In conclusione a quanto detto, i transistor in tecnologia al nitruro di gallio offrono un'ottima soluzione per lavorare in range di tensioni elevate, sfruttando le alte frequenze di commutazione per la minimizzazione dei dispositivi. Tuttavia, la loro estrema velocità comporta una maggiore sensibilità ai parassiti, quindi complica la fase di realizzazione di un circuito che sfrutti questa tecnologia, poiché non possono essere sottovalutati fattori che erano ininfluenti per la realizzazione di sistemi in silicio. Induttanze parassite, anche piccole, possono portare a picchi di tensione (overshooting) che romperebbero i componenti [8].

Nella figura 1.10 si nota la zona di lavoro ottimale presupposta per i GaN in sostituzione ai MOSFET.

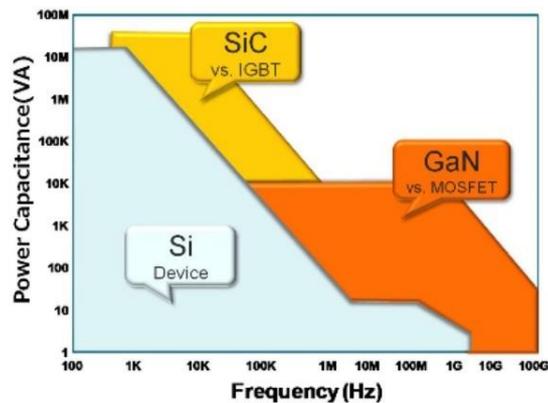


Figura 1.11 - Zone di Lavoro di Si, GaN e SiC [18]

Dagli studi effettuati su questi dispositivi, emerge che il limite di evoluzione di questa tecnologia è ben lontano dai progressi attualmente ottenuti. Si prevedono quindi grandi sviluppi negli anni a venire.

## 2 Simulazione SPICE e Realizzazione del Layout di un Buck Converter in Tecnologia GaN

### 2.1 Obiettivi del Progetto

Il progetto prevede la realizzazione di un Buck Converter sincrono che sfrutti transistor in tecnologia GaN per la conversione da 48 a 12 Volt di segnali a media/bassa potenza (10-100W) con frequenza di commutazione di 1 megahertz. Per l'analisi e simulazione dello schema circuitale è stato utilizzato il simulatore LTSPICE [P1]. Successivamente è stato progettato un layout utilizzando KICAD [P2] per poter poi effettuare la simulazione elettromagnetica e calcolare gli elementi parassiti del circuito attraverso il tool Advanced Design System (ADS) di Keysight [P3].

### 2.2 Problemi Principali

Per un'ottimale progettazione, è necessario conoscere i problemi principali del circuito, in modo da poter prendere le opportune decisioni per limitarne l'influenza ed eventualmente attuare le appropriate misure di sicurezza.

#### 2.2.1 Interferenze Elettromagnetiche, EMI

Le interferenze elettromagnetiche possono essere sostanzialmente generate da due fonti:

- sorgente di campo elettrico alternata (alta impedenza)
- sorgente di campo magnetico alternata (bassa impedenza)

I convertitori DC/DC hanno nodi a basse impedenze, quindi la principale fonte di radiazioni sono i campi magnetici generati dallo scorrimento di corrente ad alta frequenza su piccoli anelli circuitali. All'aumentare della distanza (superato  $0,16\lambda$ ) si trasformano in campi elettromagnetici [8]. L'intensità del campo può essere approssimata con la formula:

$$E = \frac{13,2 \cdot 10^{-15} f^2 A I}{R}$$

da cui si nota la dipendenza da: frequenza, area di loop, distanza e intensità di corrente.

Il problema si amplifica nel caso in cui gli anelli più piccoli eccitano quelli più grandi o i cablaggi del PCB i quali contribuirebbero all'emissioni delle EMI. Per evitare ciò, è fondamentale la prevenzione in fase di progetto, poiché le soluzioni in seguito alla stampa della scheda risultano difficoltose e dispendiose.

A livello schematico, è facile individuare i due loop principali di un Buck converter in cui scorrono correnti discontinue (Figura 2.1):

- Il primo anello è formato dal collegamento con la sorgente. Quando il transistor superiore è acceso il segnale di ingresso giunge al carico attraverso l'induttanza e il condensatore per poi ritornare via terra. (anello rosso figura 2.1).
- L'altro si forma con l'accensione del transistor inferiore (anello blu figura 2.1).

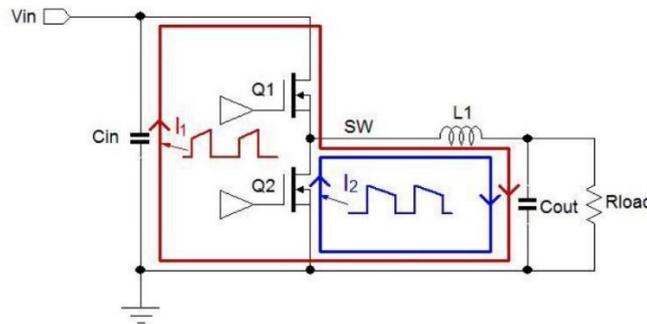


Figura 2.1 - Loop di Corrente in un Buck Converter [8]

Queste correnti condividono il percorso che passa sull'induttore. La somma dei loro contributi (Figura 2.2) fa sì che i picchi (di/dt) non siano troppo alti, riducendo così i contenuti in alta frequenza. La parte più critica è quindi la parte di percorso non condivisa. (evidenziata in figura 2.3.)

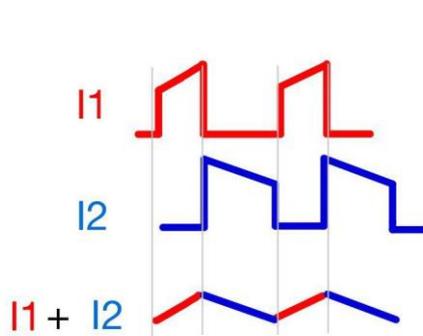


Figura 2.2 - Corrente sull'Induttore

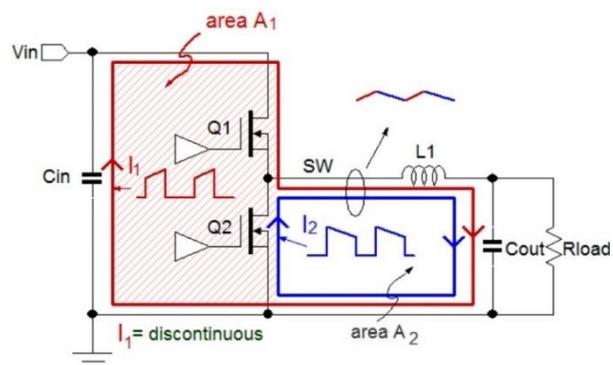


Figura 2.3 - Area critica per EMI [8]

## 2.2.2 Effetto dei parassiti

I condensatori reali hanno delle resistenze e induttanze in serie che determinano una caduta di tensione, la quale induce correnti nelle piste per l'alimentazione e per l'uscita. Inoltre, a causa della discontinuità della corrente e della lunghezza delle connessioni con la sorgente, il loop di ingresso risulta particolarmente pericoloso. (Figura 2.4)

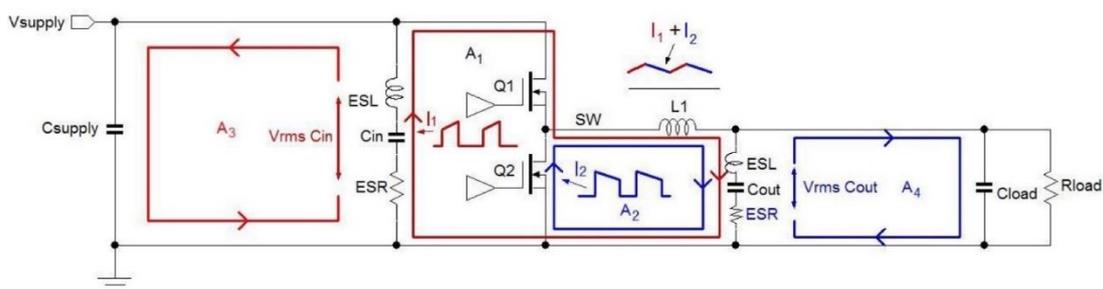


Figura 2.4 - Loop di Corrente formato dai Collegamenti con la Sorgente e Carico [8]

Per ridurre l'incidenza di questo problema, è necessario limitare la caduta di tensione sulle capacità di ingresso e uscita. Per farlo, si dispongono in parallelo più condensatori (preferibilmente ceramici) di capacità ridotte. Se il problema è molto incisivo, può essere necessario filtrare l'ingresso con un ulteriore filtro LC.

Nel caso in cui le radiazioni siano elevate e non sia possibile migliorare il layout o effettuare un filtraggio, si possono aumentare i tempi di commutazione. Analizzando il contenuto in frequenza della forma d'onda pulsatile della corrente, si nota che aumentandone il periodo, la larghezza e i tempi di salita e discesa, la frequenza fondamentale e le armoniche superiori si spostano ad una frequenza minore [8].

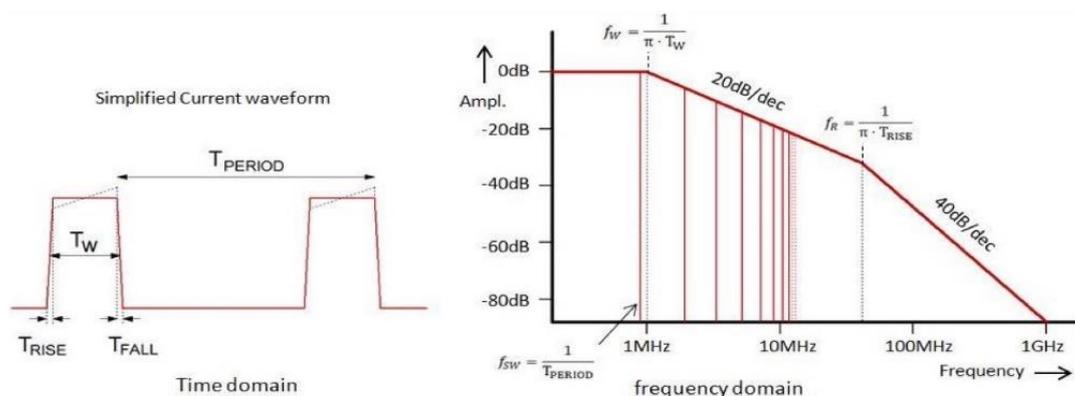


Figura 2.15 - Analisi di Fourier, forma d'onda della Corrente Pulsatile, RICHTECK [8]

La salita del segnale di commutazione è gestita dal transistor superiore, il quale viene attivato attraverso un circuito di bootstrap. Il nodo di potenza oscilla idealmente tra 0 e il valore di tensione in ingresso (48V per questo caso specifico). Poiché i driver forniscono circa 5V in uscita attraverso un regolatore interno tra gate e source del transistor superiore, senza pompa di carico si creerebbe una tensione talmente negativa da danneggiare il dispositivo. Grazie alla capacità di bootstrap, la tensione del nodo viene trasferita al driver flottante sommandosi ai 5V del regolatore fornendo così una  $V_{GS}$  positiva, garantendo il corretto funzionamento del circuito. Aggiungendo una resistenza in serie a questa pompa di carico (bootstrap) si rallentano i tempi di salita. Così facendo si riducono le EMI, tuttavia aumentano le perdite.

I transistor introducono capacità parassite (di input  $C_{ISS}$ , di output  $C_{OSS}$ , e di trasferimento inverso  $C_{RSS}$ ) che combinate con le induttanze parassite derivanti dal layout, causano un'oscillazione in alta tensione e ad alta frequenza (solitamente 200-400MHz) del segnale al nodo di commutazione, le quali si trasformano in radiazioni EM (Figura 2.6).

Quando il transistor superiore si accende, i picchi di tensione ( $dv/dt$ ) sono dovuti alla somma dei contributi delle induttanze parassite e dalla capacità  $C_{OSS}$  del transistor inferiore. Quando questo si spegne, l'oscillazione di tensione viene causata dalla sua capacità  $C_{OSS}$  e dall'induttanza parassita del collegamento a terra.

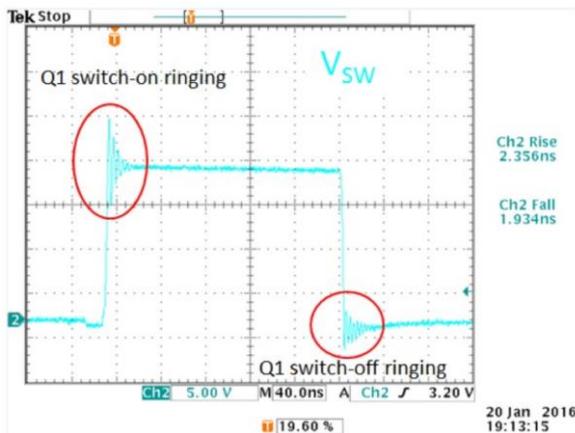


Figura 2.6 - Oscillazione di Tensione sul Nodo di Commutazione [8]

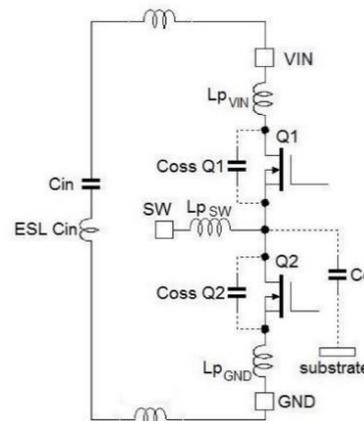


Figura 2.7 - Schema Parassiti Semplificato [8]



I transistor vengono pilotati attraverso due generatori ideali di forma d'onda pulsatile alternate tra di loro e con un breve ritardo introdotto al fine di evitare correnti di perdita. Queste forme d'onda vengono prima filtrate dall'isolatore, per poi arrivare al pin IN+ di ingresso al driver. Per ottenere un'uscita di 12V da una sorgente di 48V in un Buck Converter è necessario un Duty Cycle di 0,25 (calcolato seguendo la formula 1.13 del capitolo 1). Rispettando questo parametro e per spingere il dispositivo alla frequenza di commutazione di 1MHz, il periodo di ripetizione dell'onda quadra in ingresso al transistor superiore fornisce un segnale alto per  $0,25\mu s$  e si ripete con un periodo di  $1\mu s$ .

Per la realizzazione del Buck Converter sono state prese le seguenti decisioni nella scelta dei componenti.

- **Gate Driver**

Per il controllo di accensione e spegnimento dei transistor, dopo numerosi test è stato scelto il driver UCC27611 della Texas Instruments [14]. Un driver ad alta velocità ottimizzato per i GaNFET in enhancement mode. Il pacchetto e i pin di uscita hanno induttanze parassite minime, per la riduzione dei tempi di salita e discesa del segnale e la limitazione delle oscillazioni. Il ritardo di propagazione ingresso-uscita molto ridotto (intorno ai 14ns) consente il funzionamento ad alte frequenze in maniera efficiente.

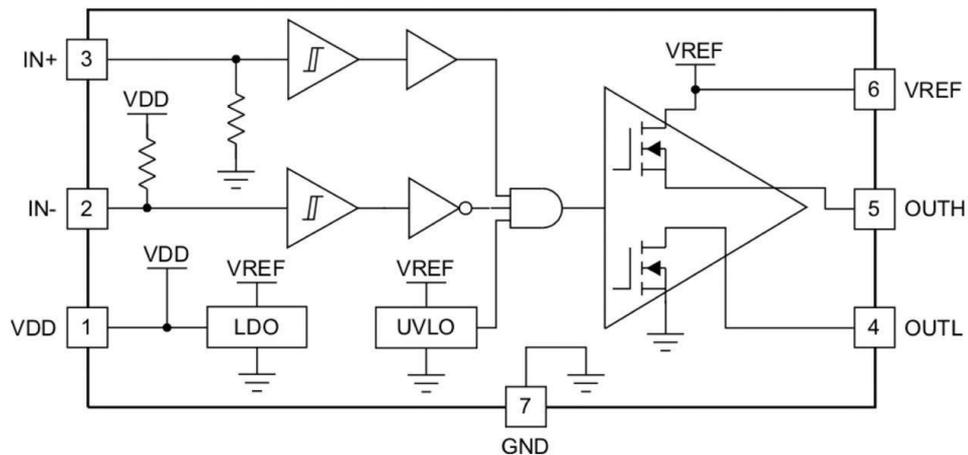


Figura 2.9 - Schema Driver UCC27611 [14]

La tensione di pilotaggio  $V_{REF}$  è controllata da un regolatore interno a 5V e fornisce la carica per gli impulsi di corrente uscenti ogni volta che vengono prelevati dal dispositivo attraverso il pin di uscita OUTH. Il blocco di sotto-tensione UVLO (“Under Voltage Lockout”) viene utilizzato per mantenere le uscite basse nel caso in cui la  $V_{DD}$  (tensione di alimentazione) sia inferiore ai valori di soglia di accensione e spegnimento. Per aumentare la sicurezza del dispositivo, quando uno qualsiasi degli ingressi si trova in condizione flottante, l’uscita viene mantenuta allo stato basso utilizzando resistori di pull-up sull’alimentazione degli ingressi invertenti e di pull-down GND sugli ingressi non invertenti. Il blocco LDO viene utilizzato per regolare la  $V_{REF}$  per una corretta guida dei transistor. Il doppio pin di uscita fa sì che il segnale “alto” venga prelevato attraverso un percorso diverso da quello per il segnale “basso” (pin OUTH e OUTL), in modo da poter applicare resistenze di ingresso differenti ai transistor durante le fasi di accensione e spegnimento, per un miglior controllo dei picchi di tensione nel nodo di commutazione.

- **Isolatori**

Gli isolatori sfruttati per questo circuito (Si861x/2x della Silicon Labs) evitano che possibili picchi di tensione vadano a danneggiare il dispositivo, fornendo un percorso isolato tra generatori di forme d’onda pulsatili e i gate driver [15].

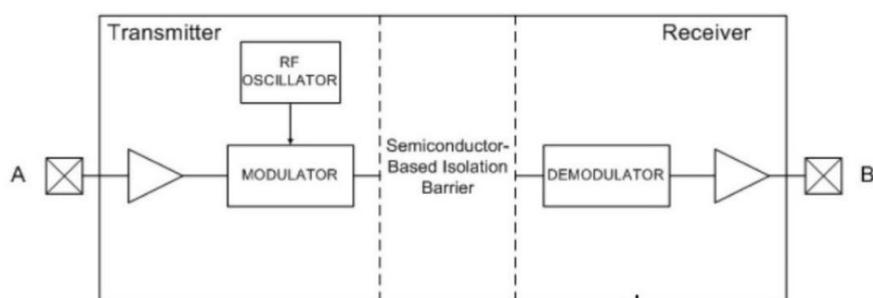


Figura 2.10 - Schema Semplificato degli Isolatori [15]

Questa tipologia di isolatore è composta da una fase di trasmissione e una di ricezione. L’onda quadra proveniente dai generatori spegne e accende un modulatore che “taglia” il vettore proveniente da un oscillatore RF. La trasmissione avviene attraverso una barriera isolante a base di semiconduttore.

Nella parte di ricezione, il segnale viene prelevato da un demodulatore che lo decodifica in base alla sua energia e fornisce il risultato in uscita. Otteniamo così una copia della forma d'onda di ingresso a meno di un breve ritardo garantendo l'immunità ai rumori e ai campi magnetici.

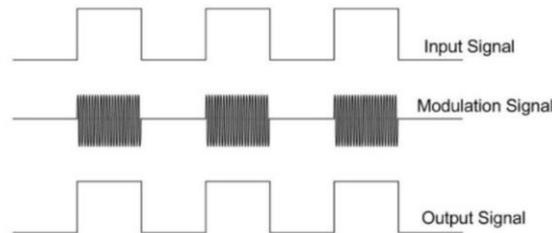


Figura 2.11 - Forme d'onda di Ingresso, Modulazione e Uscita [15]

- **Transistor**

I transistor utilizzati sono GaNFET prodotti dalla EPC (“Efficient Power Conversion”). Il modello scelto è l’EPC2052 (Figura 2.10) per via della ridotta  $R_{DS,ON}$  e della possibilità di spingersi ad alte frequenze, grazie alla bassissima carica di gate (3,6 nC) [16].

Maximum Ratings			
PARAMETER		VALUE	UNIT
$V_{DS}$	Drain-to-Source Voltage (Continuous)	100	V
	Drain-to-Source Voltage (p to 10,000 5 ms pulses at 150°C)	120	
$I_D$	Continuous ( $T_A = 25^\circ\text{C}$ )	8.2	A
	Pulsed ( $25^\circ\text{C}$ , $T_{PULSE} = 300 \mu\text{s}$ )	74	
$V_{GS}$	Gate-to-Source Voltage	6	V
	Gate-to-Source Voltage	-4	
$T_J$	Operating Temperature	-40 to 150	°C
$T_{STG}$	Storage Temperature	-40 to 150	

Le dimensioni del dispositivo sono molto ridotte (1,5x1,5mm), ciò ne facilita la disposizione durante la realizzazione del layout, favorendone la minimizzazione.

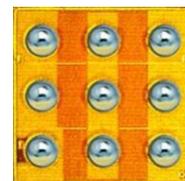


Figura 2.12 - EPC2052 [16]

Il grafico fornito da EPC mostra l’andamento della sua efficienza in relazione alla corrente di uscita (Figura 2.13)

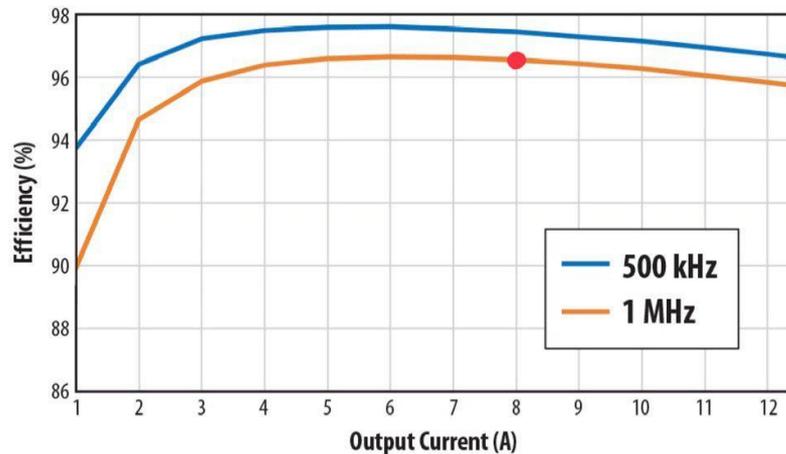


Figura 2.13 - Efficienze EPC2052 [16]

Si nota come all'aumentare della frequenza, la curva dell'efficienza si sposti a livelli più bassi. Questo è dovuto alle capacità parassite del dispositivo (Figura 2.14), che comportano una dissipazione di potenza.

Lavorando a 1MHz con 8° di corrente in uscita, come in questo caso, le efficienze sono comunque piuttosto elevate (superiori al 96%).

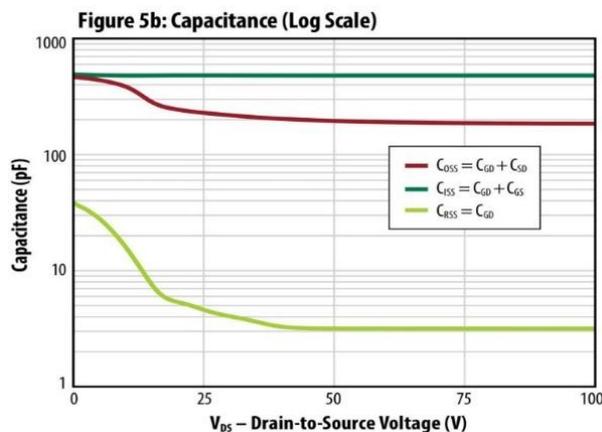


Figura 2.14 - Andamento Capacità EPC2052 in funzione della VDS [16]

- **Dimensionamento di induttore e condensatori di uscita**

L'induttore ed i condensatori di uscita sono stati dimensionati effettuando un primo calcolo dei valori minimi di capacità e induttanza sfruttando le formule 1.21 e 1.24 illustrate nel capitolo 1.  $\Delta i_L$  è stato ipotizzato il 10% della corrente in uscita (8A). Consultando poi i datasheet di dispositivi di conversione prodotti da

costruttori come EPC sono stati scelti i componenti commerciali che rispecchiassero le necessità.

A seguito una tabella dei principali componenti commerciali scelti che rispecchiano le caratteristiche richieste:

<i>COMPONENTE</i>	<i>CODICE / NOME</i>	<i>VALORE</i>
Transistor HS	EPC2052	
Transistor LS	EPC2052	
Condensatore ingresso	CGA5L3X8R1H105K160AB	1 $\mu$ F
Condensatori ingresso	CGA4J3X8R1H154K125AB	0,15 $\mu$ F
Condensatori uscita	CGA5L3X8R1E155K160AB	1,5 $\mu$ F
Condensatore uscita	CGA4J3X8R1H154K125AB	0,15 $\mu$ F
Capacità di bootstrap	C0805C224K4RAC KEMET	0,22 $\mu$ F
Induttanza	XAL7030-562ME	10 $\mu$ H

### 2.3.2 Opzioni Circuitali per la Riduzione delle Oscillazioni nel Nodo di Switching e del Ripple della Tensione di Uscita

Per il corretto funzionamento, la minimizzazione delle oscillazioni nel nodo di switching e per la riduzione del ripple sulla tensione di uscita del convertitore sono stati presi i seguenti provvedimenti:

- *Filtraggio dell'ingresso:*  
Utilizzo di 6 condensatori di ridotta capacità e diverso valore per ridurre l'incidenza dei parassiti (Complessivamente 1,75  $\mu$ F).
- *Filtraggio dell'uscita:*  
Le tensioni al nodo di switch vengono filtrate attraverso un Filtro LC con 6 condensatori (Complessivamente 7,65  $\mu$ F) e un'induttanza da 10 $\mu$ H per ottenere un'uscita continua.
- *Attenuazione delle oscillazioni al nodo di potenza:*  
Resistenze di ingresso al transistor GaN di 2 Ohm in serie ai pin OUTH e OUTL dei driver, per attenuare le sovratensioni del nodo di potenza.
- *Predisposizione per l'aggiunta di un RC snubber:*  
Durante la realizzazione del layout è stata presa in considerazione la possibile necessità di un RC snubber per filtrare il segnale di commutazione.

### 2.3.3 Progetto del circuito stampato

Il layout in questione contiene quattro strati. Il superiore per la conduzione dei segnali principali (es. collegamenti con sorgente, uscita e transistor), l'inferiore per il passaggio delle piste di conduzione di segnali secondari (es. collegamenti agli isolatori), un piano di massa e uno di alimentazione per driver e isolatori.

La sua realizzazione è avvenuta cercando di ridurre al minimo l'area degli anelli che formano loop di corrente, i quali, come precedentemente accennato, producono interferenze elettromagnetiche che disturbano il segnale. Per questo motivo le piste in uscita dai driver che arrivano al gate dei transistor e ritornano al driver attraverso la massa, sono state ridotte fino ad avere loop di pochi millimetri di diametro.

Transistor e Driver Low Side:

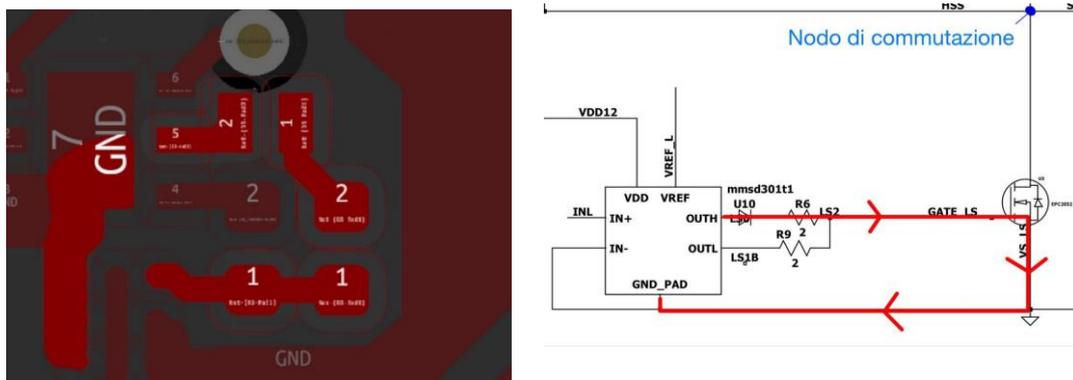


Figura 2.15 - Anello circuitale tra driver e transistor lato basso, Layout e Schematico

Transistor e Driver High Side:

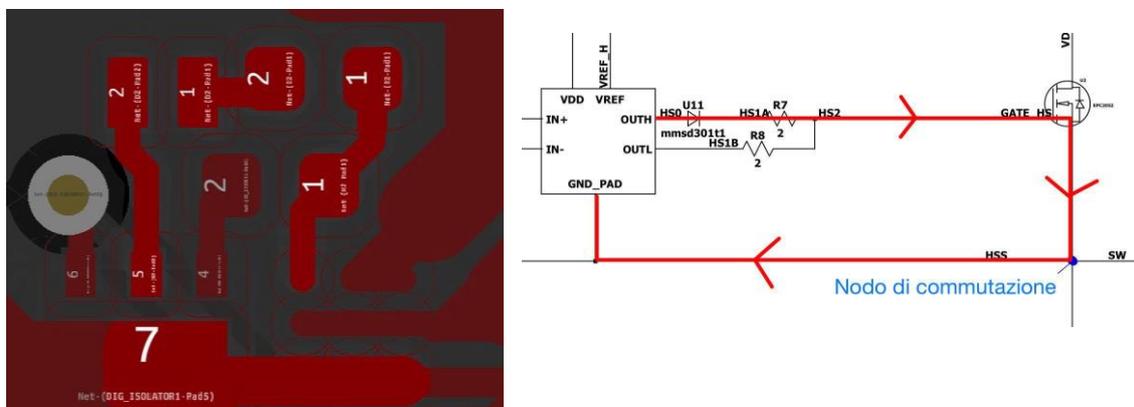


Figura 2.16 - Anello circuitale tra driver e transistor lato alto, Layout e Schematico

L'immissione del segnale dalla sorgente e il prelievo dell'uscita avvengono tramite piste mediamente larghe 2 millimetri per limitare l'introduzione di parassiti. Quest'ultime sono collegate ai condensatori con un terminale a contatto su piazzole di massa.

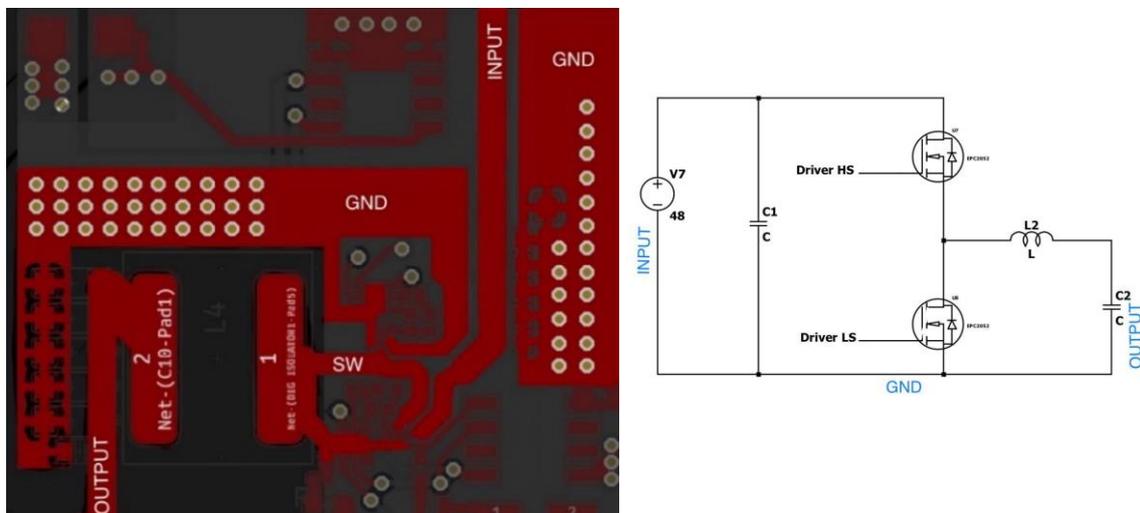


Figura 2.17 - Confronto tra Layout e Schematico semplificato

I piani di massa sono collegati attraverso *via* di  $35\mu\text{m}$  di diametro. Questi ultimi sono stati utilizzati anche per effettuare collegamenti secondari per i driver e gli isolatori sul fondo del PCB.

La possibilità di spingersi ad alta frequenza grazie all'utilizzo dei transistor in nitruro di gallio ha garantito la riduzione dei valori dei condensatori di uscita e dell'induttore. Grazie ai componenti di ridotte dimensioni è stato possibile realizzare un circuito di area relativamente ridotta (in particolare facendo riferimento alle equivalenti realizzazioni che sfruttano controparti in Silicio), riducendo per quanto possibile gli effetti parassiti a carico degli anelli critici.

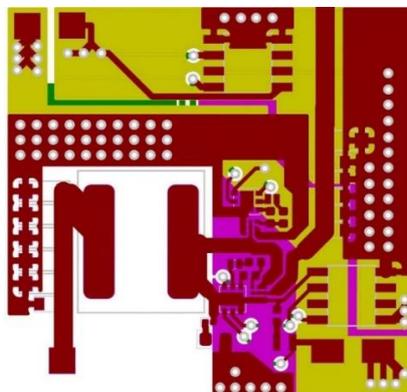


Figura 2.18 - Layout Buck Converter

## 2.4 Simulazione e Risultati

Attraverso una simulazione LTSPICE, è stato confermato il corretto funzionamento del Buck Converter il quale fornisce in uscita 12V ricevendo una tensione di ingresso continua di 48V con un'efficienza superiore al 96%.

La forma d'onda della tensione del nodo di switch si alterna tra zero e 48 volt rispecchiando il comportamento ideale del circuito.

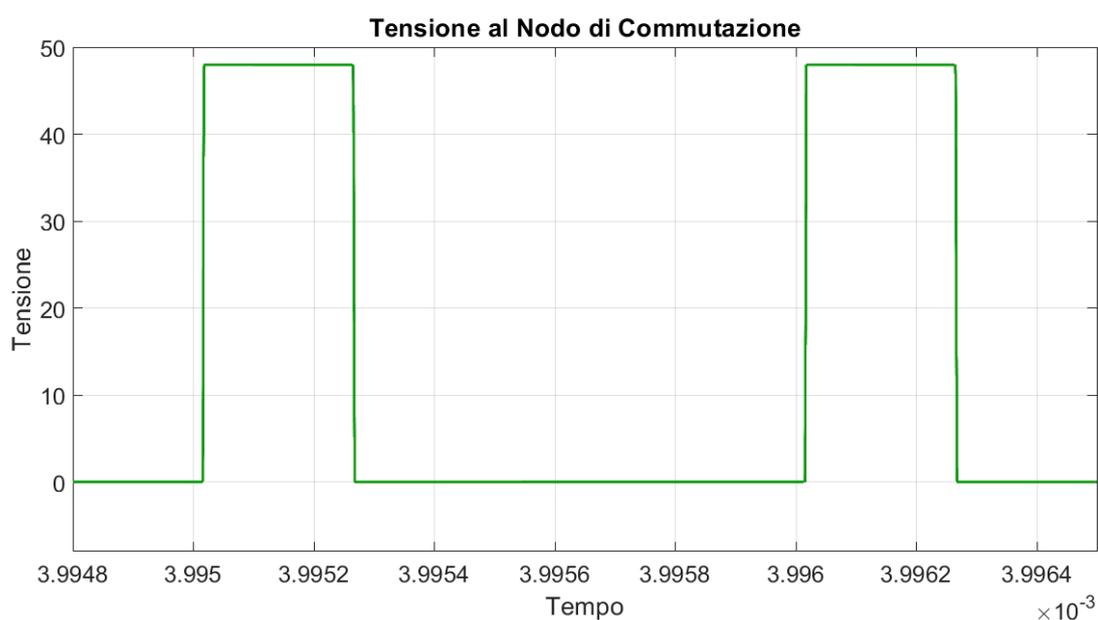


Figura 2.419 - Corrente sull'induttore e Tensione al nodo di Switch

Sempre attraverso i dati estratti dalla simulazione, si nota il passaggio dai 36V ( $V_{sw} - V_{out}$  quando lo switch superiore è acceso) ai -12V ( $-V_{out}$  quando lo switch superiore è spento) di tensione ai capi dell'induttore. La corrente sull'induttore oscilla sugli 8A con una  $\Delta i_L$  pari a 0,8A

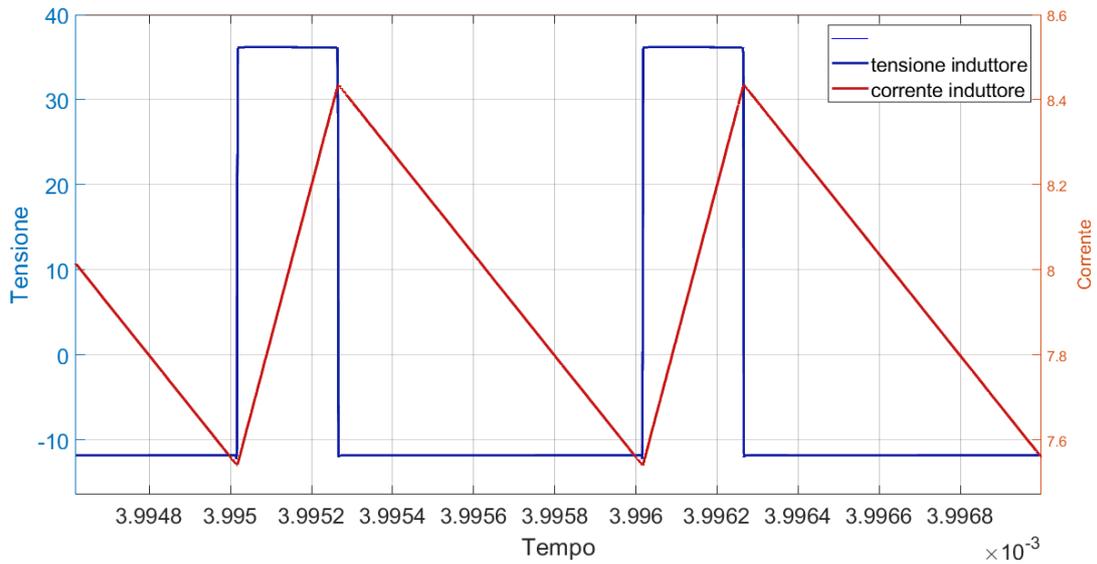
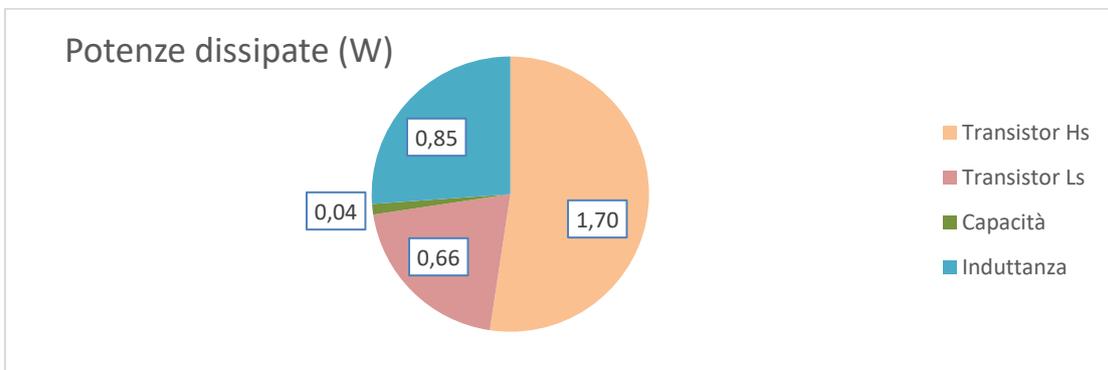


Figura 2.420 - Tensione sull'Induttore

Una prima stima delle dissipazioni di potenza ha messo in risalto che i componenti più dispersivi sono i transistor e l'induttanza per via dei parassiti. Il transistor HS ha una dissipazione di circa 1,7 Watt mentre il transistor LS di circa 0,66 Watt.



L'induttanza dissipa 0,85W a causa della sua resistenza parassita (13,4 mOhm). Il risultato è una differenza di potenza tra ingresso e uscita di circa 3,2 W.

Considerando una potenza di ingresso di circa 97,2 W, stimata sfruttando una resistenza di sensing, il rapporto tra le potenze risulta:

$$\frac{P_{OUT}}{P_{IN}} \cdot 100 = \frac{94}{97,2} \cdot 100 = 96,7\%$$

## 3 Simulazione Post Layout

### 3.1 Premessa

Essendo a conoscenza del funzionamento ideale e dei principali problemi di questo dispositivo, dopo aver creato il layout, il progetto dev'essere concluso con una fase di test. Per testare il circuito realizzato è stato sfruttato il tool di Keysight ADS ("Advance Design System). Attraverso una simulazione elettromagnetica è possibile estrarre gli effetti parassiti generati dal layout, mettendo in evidenza eventuali criticità associate alla particolare realizzazione della scheda.

### 3.2 Procedimento di Estrazione

Le fasi per il perseguimento dei risultati sopracitati sono:

- **Importazione del layout**

Per importare il layout, KICAD deve essere prima salvato in formato Gerber. Questo tipo di file è una codifica ASCII delle informazioni solitamente necessarie per la stampa dei PCB attraverso software. Successivamente aprendolo con ADS il file verrà decodificato fornendo il layout richiesto.

- **Semplificazione del layout**

La fase immediatamente successiva riguarda la semplificazione del layout, cioè la rimozione degli elementi non necessari per l'analisi elettromagnetica delle piste e dei via.

- capacità di ingresso e uscita
- induttanza
- isolatori e driver
- transistor
- resistenze (le resistenze di gate vengono cortocircuitate)
- diodi

È necessario effettuare un controllo degli strati attivati (attraverso il menù a sinistra dell'interfaccia grafica), avendo premura di accertare che siano attivi quelli d'interesse e disattivati quelli superflui.

Risultato ottenuto e interfaccia grafica:

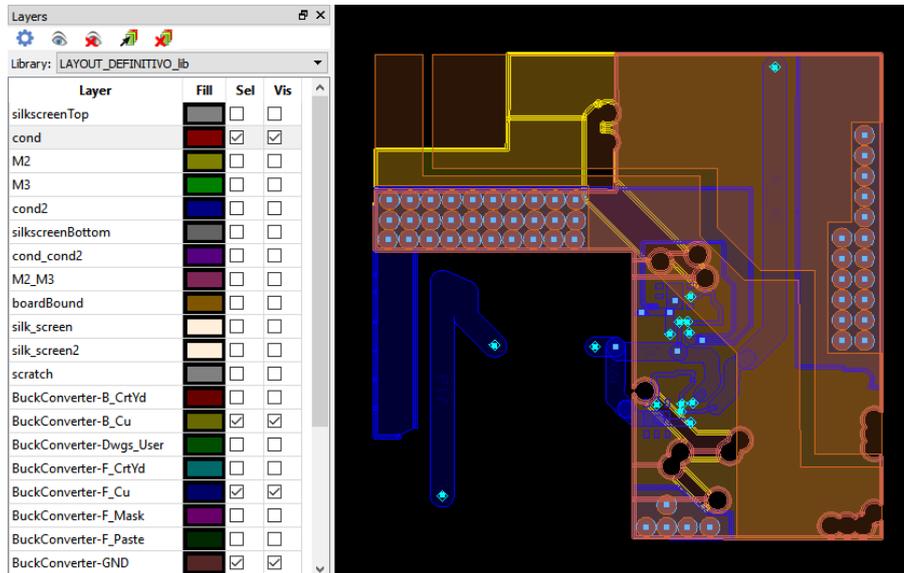


Figura 3.1 - Interfaccia grafica per i layout ADS

- **Creazione di porte**

Le porte permettono l'immissione di energia nel circuito necessaria per analizzarlo. È quindi importante creare pin e posizionarli correttamente per segnare i punti in cui vi sono ingresso e uscita dei segnali o gli attacchi dei componenti.

- **Definizione del substrato**

Prima di procedere con la simulazione è necessario fornire informazioni sul substrato in quanto il layout importato contiene soltanto informazioni sulle caratteristiche geometriche bidimensionali del circuito. Per farlo, attraverso il "substrate editor", si crea uno schema semplificato della sezione del dispositivo impostando i corretti strati.

Come ultimo passaggio si definiscono gli spessori, la distanza tra i piani, le dimensioni e i materiali dei via e delle piste.

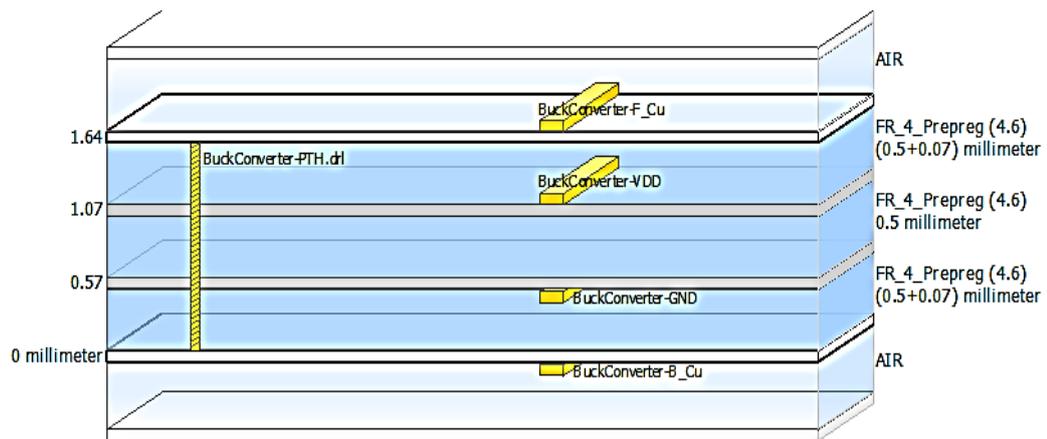


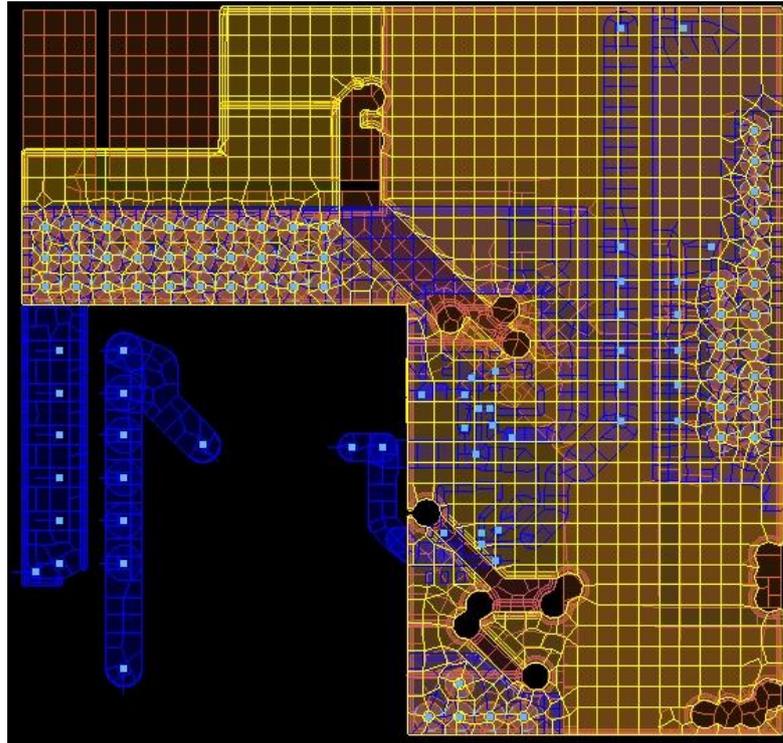
Figura 3.2 - Schema Substrato

Per i diametri dei via è stato impostato un diametro di  $35\mu\text{m}$  e per le piste un'altezza di  $70\mu\text{m}$ . Gli strati sono separati da una resina di 0,5mm (prepreg FR4) ottenendo complessivamente uno spessore di poco superiore a 1.50 mm.

- **Settaggio delle impostazioni e simulazione elettromagnetica (EM)**

Nelle impostazioni è possibile settare la frequenza massima e minima al quale simulare il layout. Il piano scelto per questo caso va da 0 a 10 GHz, poiché le oscillazioni della tensione al nodo di switch causate dall'effetto dei parassiti avvengono a frequenze molto elevate. Selezionando il substrato precedentemente realizzato e procedendo alla simulazione, questo tool inizierà la creazione di una mesh.

La mesh è sostanzialmente una griglia che divide il layout in piccole porzioni (celle) solitamente di forma quadrata o rettangolare. Per ognuna delle celle viene calcolata la corrente che la attraversa e identificati gli effetti di accoppiamento parassiti. Il numero di celle è direttamente proporzionale all'accuratezza della simulazione, tuttavia un numero eccessivo aumenta i tempi di calcolo e fornisce miglioramenti trascurabili. Per la simulazione di questo layout è stato impostato un numero di 20 celle per lunghezza d'onda [12].



*Figura 3.3 - Mesh del Circuito*

Le tipologie di simulazione EM sono:

- FEM
- Momentum (RF/ Microwave)

La simulazione FEM (“Finite Element Method”) viene usata per le simulazioni tridimensionali. Questo metodo divide il dispositivo in piccole regioni, dette elementi, e per ognuna di esse simula il campo.

Momentum sfrutta il metodo dei momenti: un metodo di calcolo delle equazioni integrali utilizzato per l’analisi elettromagnetica. L’opzione RF è la più adatta per un circuito di dimensioni ridotte con geometria particolarmente complessa e con radiazioni emesse molto piccole o nulle, come in questo caso.

Questo tool di simulazione elettromagnetica genera quindi una mesh e calcola i parametri S delle sue celle dal quale poi si estraggono i valori di induttanze, resistenze parassite. Ai fini della nostra simulazione, il parametro largamente più influente è l’induttanza parassita.

I parametri S (parametri di scattering) permettono di descrivere il comportamento del circuito elettrico definendo le modalità con cui le onde di corrente o tensione reagiscono alle discontinuità di impedenza del mezzo attraversato. Sono rappresentabili come matrici di numeri complessi (matrice di scattering) che sintetizzano reti a N porte, in cui ogni numero della matrice rappresenta ampiezza e fase del segnale [21]. Questi parametri vengono estratti dal tool ADS e vengono calcolati i corrispondenti parametri di ammettenza.

La relazione di quest'ultimi con i parametri S è definita nelle formule seguenti [22]:

$$Y_{11} = \frac{((1 - S_{11})(1 + S_{22}) + S_{12}S_{21})}{\Delta_S} Y_0 \quad (3.1)$$

$$Y_{12} = \frac{-2S_{12}}{\Delta_S} Y_0 \quad (3.2)$$

$$Y_{21} = \frac{-2S_{21}}{\Delta_S} Y_0 \quad (3.3)$$

$$Y_{22} = \frac{((1 + S_{11})(1 - S_{22}) + S_{12}S_{21})}{\Delta_S} Y_0 \quad (3.4)$$

$$\Delta_S = (1 - S_{11})(1 + S_{22}) + S_{12}S_{21} \quad (3.5)$$

In fine, vengono estratti resistenza ed induttanza parassite attraverso le formule:

$$L = \frac{Im(1/Y_{11})}{2\pi f} \quad (3.6)$$

$$R = \frac{Re(1/Y_{11})}{2\pi f} \quad (3.7)$$

A titolo di esempio, è stata effettuata l'estrazione dei parassiti dalla pista (mediamente larga 0,3mm) che compone l'anello tra driver e transistor lato basso. Come semplificazione, è stata isolata la pista dal layout principale e sono state cortocircuitate le resistenze.

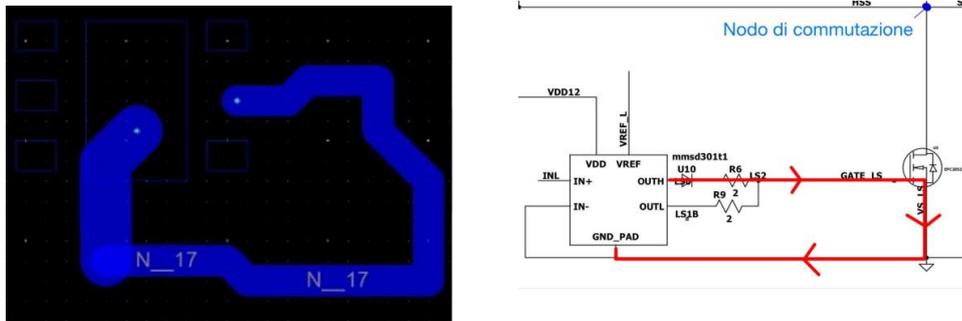


Figura 3.4 - Pista di Loop di 0,3mm

Inseriti i pin di ingresso e uscita dei segnali, si è proceduto con l'esecuzione di una simulazione EM a frequenze che vanno da 0 a 1GHz. Estratti i parametri S dalla mesh è stato possibile descrivere l'andamento dei parassiti in funzione della frequenza.

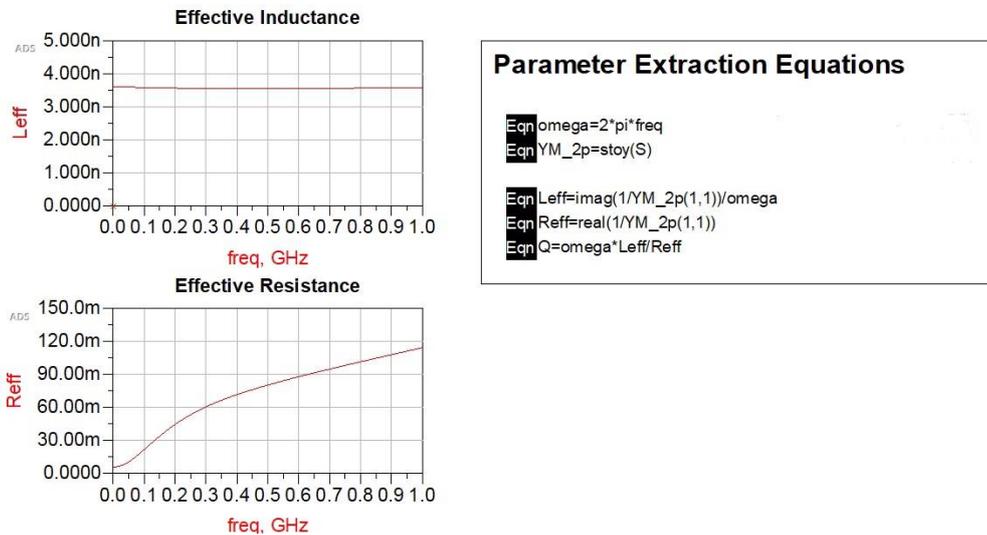


Figura 3.5 Estrazione Parassiti su Pista di larghezza 0,3mm ADS

Come si nota dai grafici, questa pista introduce un'induttanza parassita di circa 3,5nH e una resistenza crescente all'aumentare della frequenza, ma che non influisce particolarmente a 1MHz (frequenza di commutazione del Buck Converter in esame).

Per confermare la dipendenza dei parassiti dalle dimensioni delle piste, a queste ultime è stata aumentata la larghezza a 0,8mm e sono stati seguiti gli stessi procedimenti di esecuzione. Il risultato è stato ottenere un'induttanza di circa 2nH.

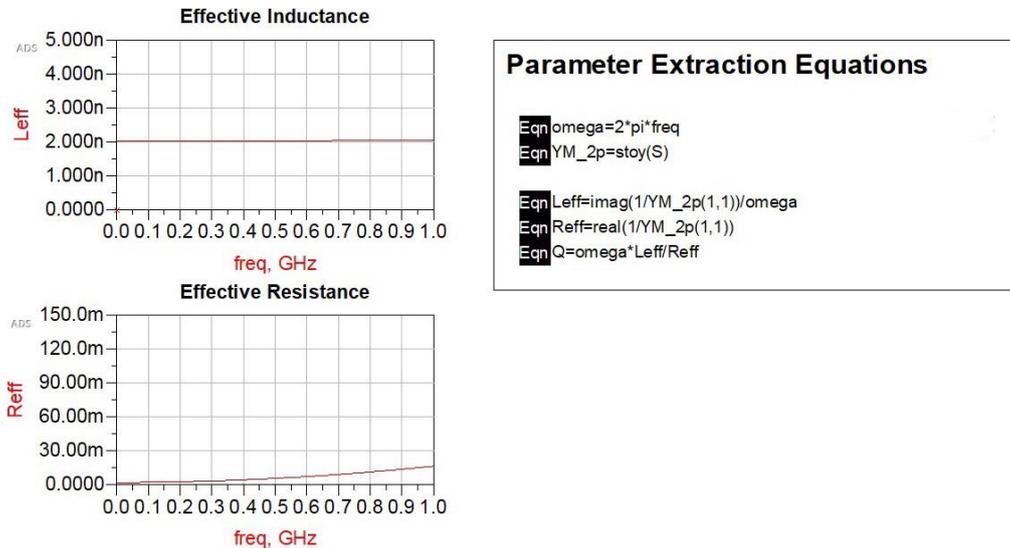


Figura 3.6 - Estrazione dei Parassiti su Pista di larghezza 0,8mm ADS

Nel caso fosse possibile, è quindi consigliato utilizzare piste o piazzole di dimensioni sufficienti a introdurre parassiti di entità minore. Nel Buck Converter realizzato, non è stato possibile andare oltre gli 0,3mm di larghezza per i collegamenti ai transistor i quali hanno pin di dimensioni molto ridotte.

## Realizzazione di uno schematico sfruttando il modello EM

### 1. Creazione di un modello EM

Avendo ottenuto i dati riguardanti i parassiti del substrato circuitale, al fine di integrarli con i componenti per testare il funzionamento del circuito è necessario usufruire di un modello elettromagnetico del layout simulato. Grazie a questo tool si può sfruttare la possibilità di generare automaticamente il suddetto modello, aprendo una nuova finestra nel workspace di ADS per la realizzazione degli schematici, è sufficiente richiamarlo dalla libreria dei componenti.

## 2. Composizione dello schematico

Si provvede a collegare i componenti concentrati (capacità, resistenze, induttanze) e generatori presenti in libreria ai punti individuati dalle porte precedentemente create. Per farlo in modo veloce e semplice si utilizzano linee di collegamento ideali le quali non introducono alcun tipo di contributo. Per considerare i componenti parassiti introdotti dalle capacità sono stati inseriti dei resistori in serie come nell'esempio in figura 3.4.

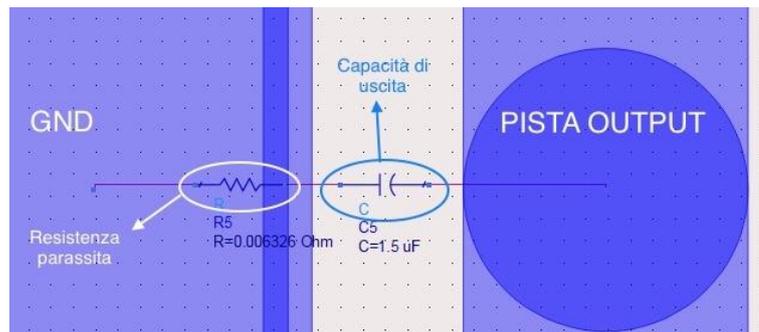


Figura 3.7 - Resistenza Parassità dei Condensatori

Per la schematizzazione dei transistor sono stati utilizzati interruttori ideali ai quali sono state aggiunte le capacità parassite estratte dai dati forniti dal datasheet di EPC, in modo da avvicinarsi al caso reale. (Figura3.5)

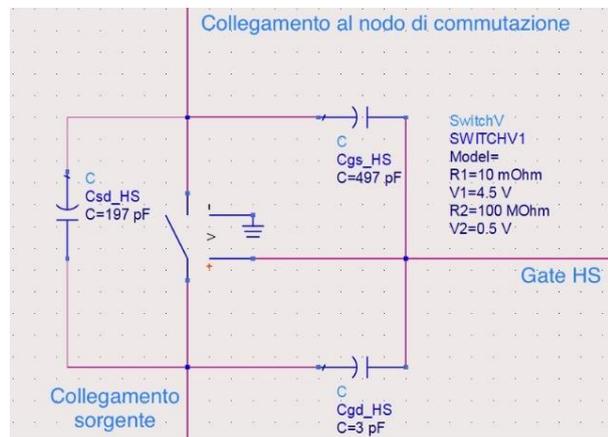


Figura 3.8 - Schema interruttori ADS

Per fornire il segnale di accensione e spegnimento al gate dei transistor, sono stati sfruttati due generatori d'onda quadra pulsatile ideali collegati alle piste uscenti dal driver per tener conto dell'effetto parassita che quest'ultime introducono. Il risultato è avere un ibrido tra schematico e layout che integra il

funzionamento del circuito e l'effetto dei parassiti ricavati dalla simulazione elettromagnetica.

### **3. *Settaggio delle modalità di simulazione***

Per ottenere risultati e forme d'onda confrontabili con quelle ottenute da SPICE si utilizza la modalità di esecuzione TransientPE.

Attraverso quest'ultima è possibile simulare il circuito nel dominio dei tempi, settando un periodo di analisi sufficiente al raggiungimento del regime dell'uscita.

Per un risultato più ricco di informazioni si imposta il TimeStepControl in modalità iterativa ("IterationCount") con integrazione di tipo Gear per velocizzare il procedimento a discapito della risoluzione.

## **3.3 Analisi dei Risultati**

Una volta provveduto al settaggio delle modalità di simulazione, si può procedere con l'estrazione dei dati.

Dai parametri S calcolati per le celle della mesh, vengono estratti i parassiti del layout e durante la simulazione dello schematico comprensivo del modello elettromagnetico ne si possono notare gli effetti sulle forme d'onda.

Al nodo di commutazione questi parassiti producono oscillazioni di tensione ad alta frequenza in fase di salita durante l'accensione del transistor High-Side per via dell'effetto parassita prodotto dai loop di corrente in ingresso. Con l'accensione del transistor Low-Side (fase di discesa), si ha un effetto analogo per via dei collegamenti circuitali con l'uscita, che in questo caso, risultano i più critici per via delle dimensioni importanti dell'induttore del filtro di uscita.

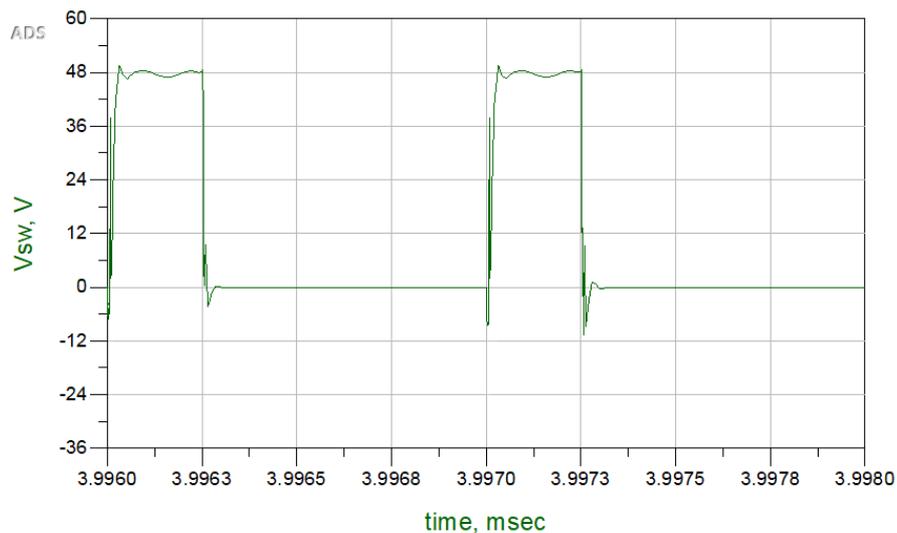


Figura 3.9 - Forme d'onda nodo di Switch ricavata dalle simulazioni EM, ADS

Si nota la differenza con le forme d'onda ideali del circuito simulate con SPICE (capitolo 2) non comprensive degli effetti parassiti.

I picchi di tensione sono decisamente inferiori alla tensione massima sopportata dal transistor impiegato (EPC2052) e le interferenze elettromagnetiche prodotte da queste oscillazioni del segnale non sono rilevanti. Inoltre, considerando che sono state cortocircuitate le resistenze di gate che fornivano una riduzione del rumore, si possono considerare trascurabili gli effetti parassiti indotti da questo layout. L'uscita si stabilizza a circa 12 Volt come richiesto. Al fine di verificare il corretto funzionamento del convertitore osserviamo la corrente e la tensione sull'induttore (Figura 3.10)

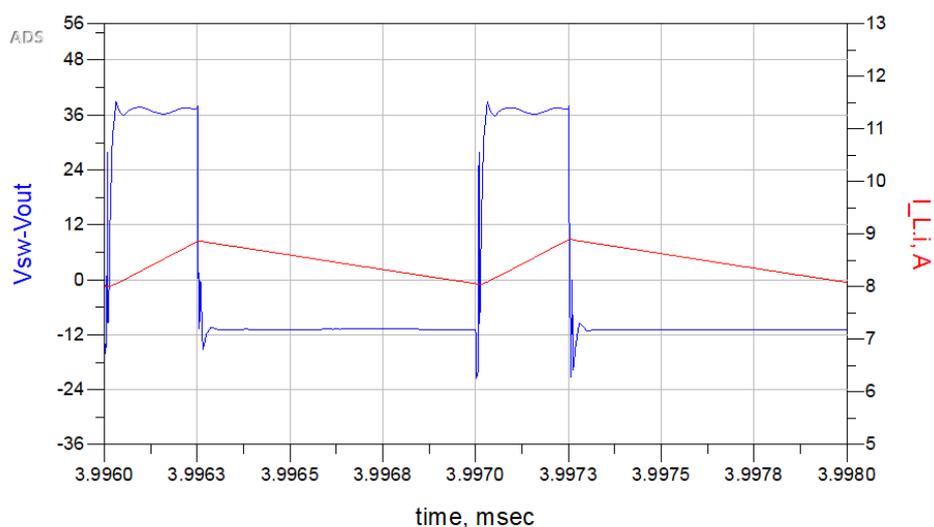


Figura 3.10 Tensione (asse ordinate a sinistra) e corrente su induttore (asse ordinate a destra), ADS

I picchi negativi prima della salita della tensione al nodo di commutazione sono attribuibili agli errori di semplificazione introdotti nella simulazione elettromagnetica (20CpW) e dall' assenza di una rete logica che introduca uno sfasamento temporale controllabile tra i segnali di pilotaggio dei transistor al fine di evitare più efficacemente conduzioni critiche.

Attraverso il Data Display del programma (file.dds) non solo è possibile utilizzare i dati di simulazione per realizzare grafici (come quelli soprastanti), ma anche per effettuare calcoli e misurazioni.

Per valutare l'efficienza del circuito, sono stati eseguiti i seguenti passaggi:

- Estrazione del periodo di interesse su cui effettuare le misurazioni

$$\text{Eqn } T_{\text{start\_index}} = \text{find\_index}(\text{time}, T_{\text{start}})$$

$$\text{Eqn } T_{\text{stop\_index}} = \text{sweep\_size}(\text{time}) - 1$$

- Interpolazione dei dati di tensioni in uscita riguardanti il periodo estratto

$$\text{Eqn } V_{\text{out\_period}} = V_{\text{out}}[T_{\text{start\_index}}:T_{\text{stop\_index}}]$$

$$\text{Eqn } V_{\text{out\_period\_interp}} = \text{interp}(V_{\text{out\_period}})$$

- Calcolo delle medie delle tensioni interpolate

$$\text{Eqn } V_{\text{out\_RIPPLE}} = \max(V_{\text{out\_period}}) - \min(V_{\text{out\_period}})$$

$$\text{Eqn } V_{\text{out\_mean}} = \text{mean}(V_{\text{out\_period}})$$

- Stima della potenza in uscita

$$\text{Eqn } P_{\text{out\_mean}} = \text{mean}(V_{\text{out\_period\_interp}} * I_{\text{out\_period}})$$

Eseguito il processo analogo per i valori di ingresso, si procede con il rapporto tra potenze per stimare l'efficienza.

$$\text{Eqn } \text{Eff} = (P_{\text{out\_mean}} / P_{\text{in\_mean}}) * 100$$

Eff
86.398

L'efficienza presenta una diminuzione di circa il 10% rispetto al caso semi-ideale simulato con SPICE, dovuta ai parassiti e alla mancanza di resistenze di gate in uscita dal driver che limitano le oscillazioni al nodo di potenza.

Tuttavia, i problemi che insorgono non sono drastici e sono facilmente risolvibili attraverso la riorganizzazione del layout in modo da ottenere una riduzione della lunghezza delle piste per l'alimentazione e per l'uscita.

## 4 Simulazione Elettromagnetica di un Layout non Ottimizzato

### 4.1 Descrizione del Layout

Per poter approfondire gli effetti dovuti ai parassiti estratti dalla simulazione post-layout, è stato preso in considerazione un ulteriore progetto di un Buck Converter. Il convertitore che verrà discusso nel presente capitolo è stato concepito per la caratterizzazione in-situ di transistor di potenza al fine di studiarne l'affidabilità a lungo termine. Pertanto, pur non trattando in maniera dettagliata l'organizzazione e il progetto del circuito stampato e delle soluzioni adottate per consentire la caratterizzazione sperimentale in-situ, precisiamo fin da subito che il layout non è ottimizzato come quello analizzato nel Capitolo 3. Questo rende significativa l'analisi elettromagnetica del circuito, attendendo effetti più rilevanti dovuti ai parassiti. Inoltre, al fine di aumentare lo stress dei dispositivi di potenza aumentando la tensione di off tra drain e source dei transistor, le tensioni di ingresso ed uscita del convertitore sono differenti da quelle del caso precedente (in questo caso tensione di ingresso 200V, tensione di uscita 48V). L'approccio nella realizzazione è differente sotto i seguenti aspetti:

- I transistor sono sempre in tecnologia GaN, ma di diverso modello. Introducono una  $R_{DS,ON}$  di 500mohm e hanno delle capacità parassite ridotte ( $C_{GS}= 43\text{pF}$ ,  $C_{GD}= 0,29\text{pF}$ ,  $C_{SD}= 11\text{pF}$ ).
- Il filtraggio dei segnali provenienti dalla sorgente e diretti al carico sono effettuati attraverso condensatori di capacità ridotte disposti in parallelo. Otto in ingresso per un valore complessivo di  $20\mu\text{F}$  e cinque in uscita, circa  $22\mu\text{F}$  complessivi.
- L'induttore ha dimensioni superiori rispetto al circuito analizzato precedentemente (capitolo 2) ed ha un valore di  $90\mu\text{H}$ .
- A causa della necessità di testare lo stato dei transistor sottoposti a sollecitazioni critiche, il circuito di partenza prevedeva dei relè per lo scollegamento dei GaNFET dal resto del convertitore, permettendo l'immissione di segnali differenti.

### 4.1.1 Conseguenze delle differenze Circuitali sulla Realizzazione del Layout

- *Loop di corrente:*

Per via dell'aumento delle dimensioni e del maggior numero dei componenti, gli anelli circuitali critici saranno maggiori.

- *Piani conduttivi:*

Il substrato di questo circuito è composto da 2 piani, uno per la conduzione dei segnali e uno per la massa.

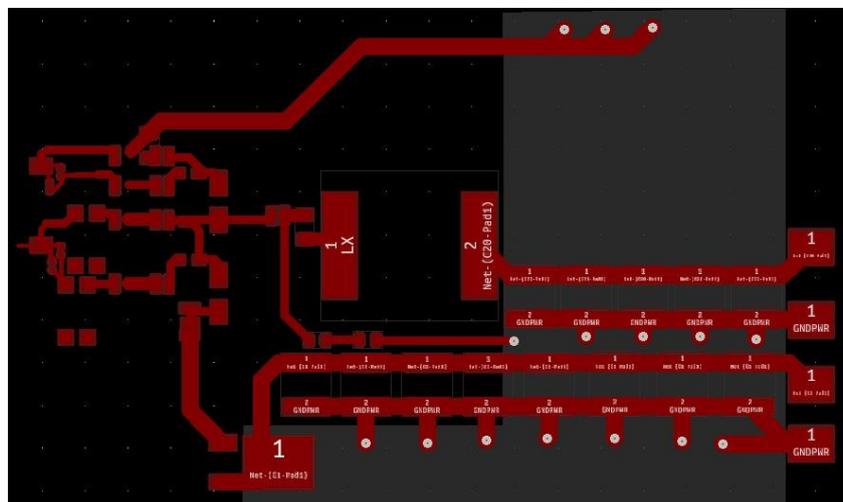


Figura 4.1 - Layout Critico

## 4.2 Processo di Estrazione

A seguito della semplificazione e importazione del layout su ADS sono state create le porte per l'introduzione del segnale ed è stata eseguita una simulazione EM a frequenze che vanno da 0 a 10GHz seguendo le procedure precedentemente descritte nel capitolo 3.2.

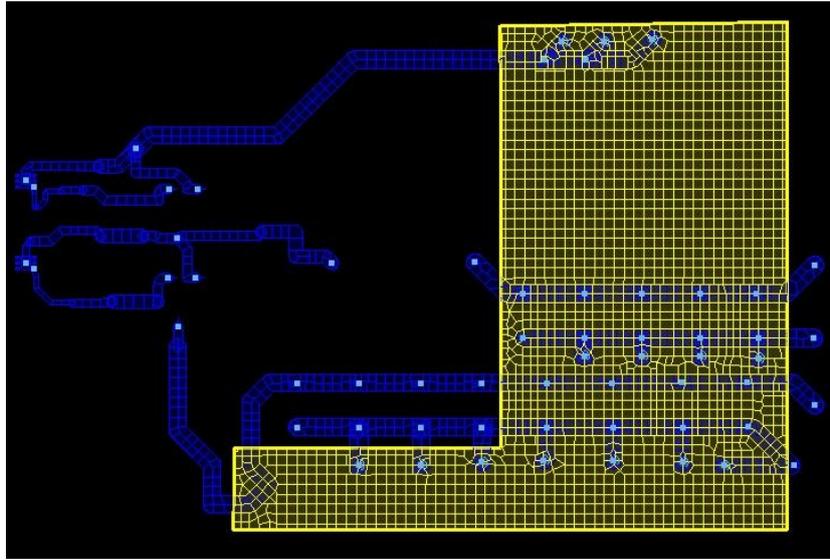


Figura 4.2 - Mesh del layout Secondario

Una volta creato uno schematico comprensivo del modello elettromagnetico ricavato dalla precedente simulazione a cui sono stati collegati i vari componenti e generatori, si è proceduto con l'analisi del comportamento del circuito attraverso il metodo TransientPE su un periodo di 5ms.

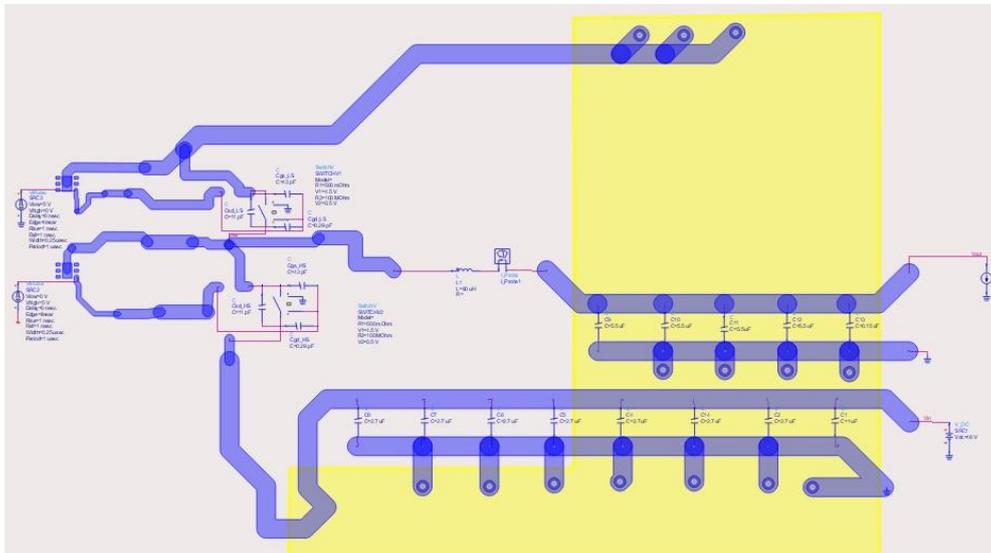


Figura 4.3 - Schema circuitale con Modello EM

A causa dell'elevata resistenza tra drain e source dei transistor da accesi ( $R_{DS,ON}$ ), questo dispositivo può essere utilizzato per la conversione di segnali a potenze ridotte. Per questo motivo è stata ridotta ad 1 Ampere la corrente di uscita richiesta dal carico.

### 4.3 Analisi dei risultati

Effettuando una prima simulazione si è notata l'impossibilità di ottenere il corretto funzionamento del dispositivo per tensioni da 48V a 12V a frequenza di commutazione 1MHz. Le forme d'onda approssimative di figura 4.4 contengono artefatti dovuti alle semplificazioni imposte per la riduzione dei tempi di calcolo, mostrano però come la frequenza di oscillazione e i picchi di tensione siano troppo elevati per consentire un'ottimale accensione e spegnimento dei transistor.

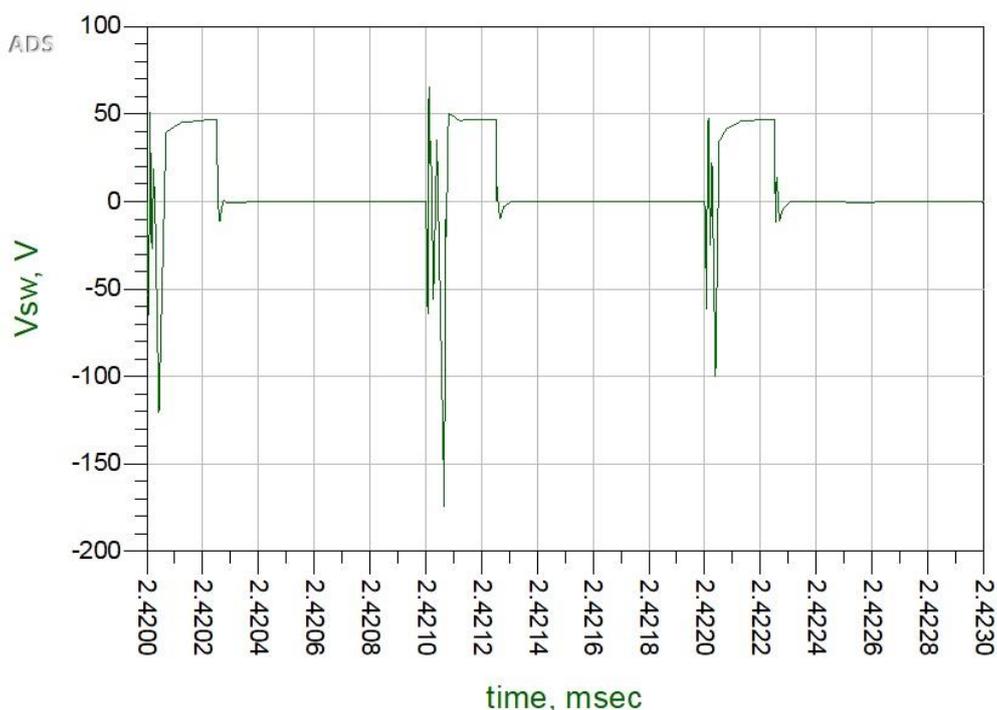


Figura 4.4 – Tensione al Nodo di Potenza del Layout Secondario a 1MHz

Questo è attribuibile all'elevata entità delle induttanze parassite delle piste per i collegamenti a massa e all'alimentazione, che attraverso una successiva simulazione, sono state stimate intorno ai 40nH. Inoltre, il numero di *via* per la conduzione con il piano di massa è eccessivamente ridotto.

### 4.3.1 Possibili Interventi per la Riduzione degli Effetti Parassiti

Per ottimizzare le prestazioni di questo dispositivo e risanarne il corretto funzionamento è possibile agire su diversi aspetti:

- Reintrodurre le resistenze di gate in uscita dai driver per la riduzione delle oscillazioni, le quali sono state cortocircuitate durante la fase di semplificazione del layout
- Si è notato in fase di simulazione come la scarica delle correnti sul piano di massa attraverso pochi punti di collegamento comporti l'introduzione di una forte componente parassita induttiva che causa oscillazioni con pericolosi picchi di tensione. L'aggiunta di più *via* sarebbe pertanto una scelta molto consigliata per una miglior conduzione e per la riduzione dell'incidenza dei parassiti introdotti da quest'ultimi.
- Disporre uno Snubber RC che funga da filtro passa basso per attenuare le alte frequenze di oscillazione del segnale di commutazione che potrebbero danneggiare il dispositivo.
- Aumentare le dimensioni delle piste per i collegamenti all'alimentazione e a massa e ridurre al più possibile gli anelli tra transistor e driver (Figura 4.5 e 4.6)
- Aggiungere una resistenza in serie alla capacità di bootstrap per aumentare i tempi di salita del nodo di potenza.

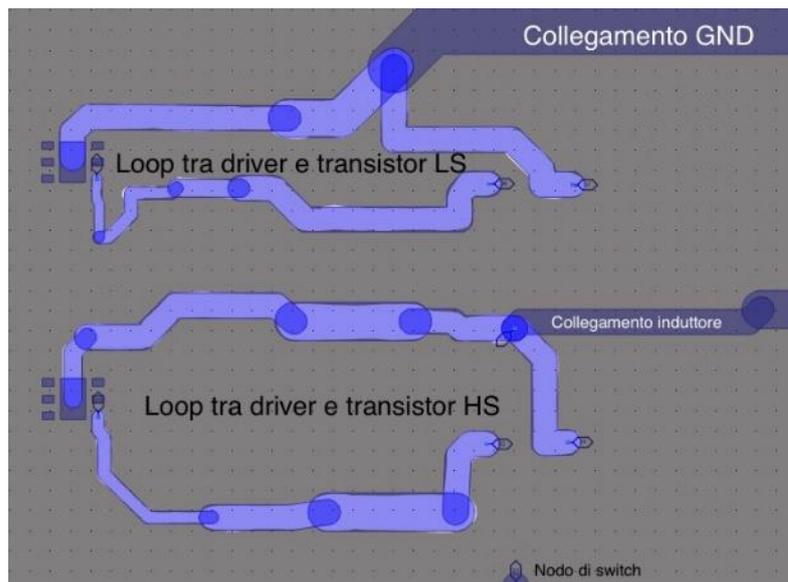


Figura 4.5 Anelli di corrente tra Transistor e Driver, Layout critico

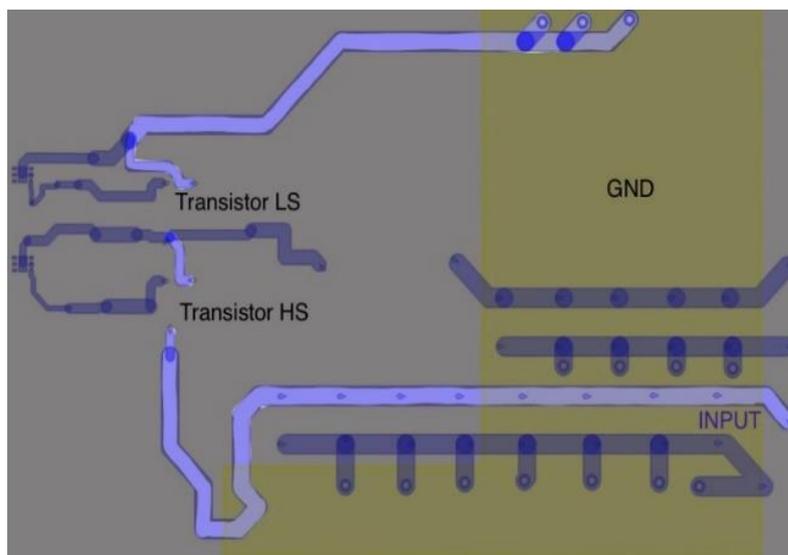


Figura 4.6 - Collegamenti Ingresso e Terra del Layout critico

#### 4.3.2 Simulazione a frequenza di commutazione ridotta.

Come è stato notato in fase di simulazione i picchi di corrente ( $di/dt$ ) sui parassiti di entità elevata introdotti dai difetti sopracitati del layout causano il malfunzionamento del dispositivo alla frequenza di 1 MHz, non permettendo di ottenere 12V in uscita. Aumentando i tempi di commutazione dei generatori, si abbassa la velocità di variazione della corrente che scorre attraverso le induttanze parassite. Per questo è stata

effettuata una simulazione portando la frequenza di commutazione a 500kHz mantenendo costante il Duty Cycle e aumentando i tempi di salita e discesa dei segnali di pilotaggio dei transistor. In fine sono stati ridimensionati induttore e condensatori ingresso e uscita.

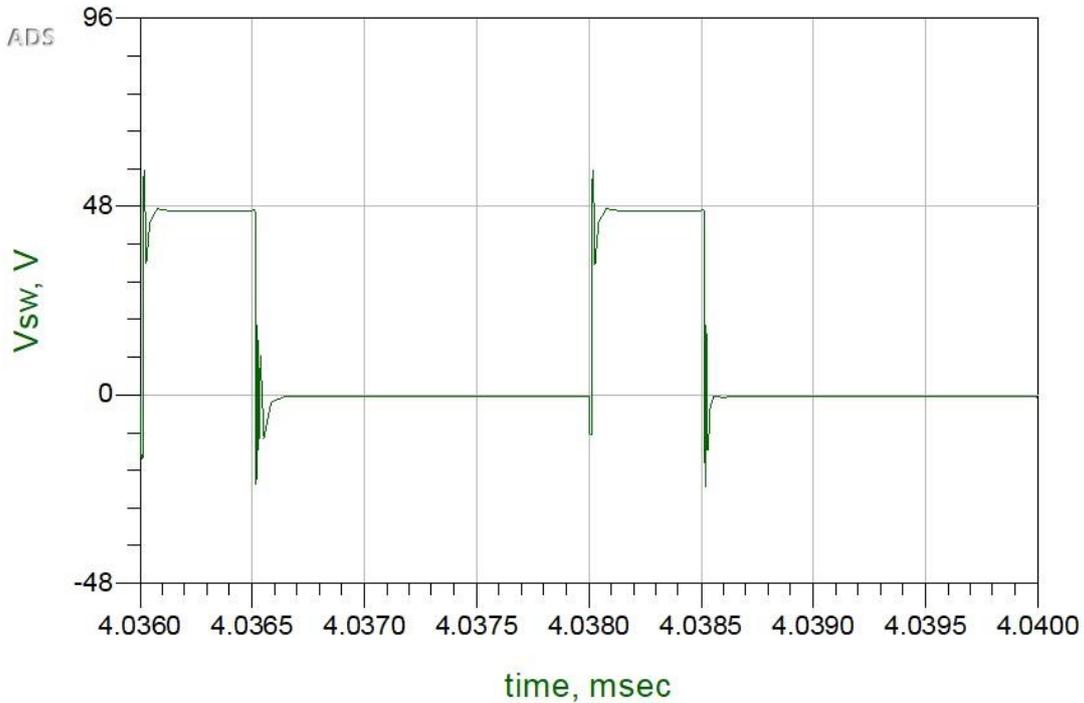


Figura 4.7 – Tensione al nodo di Switch del Layout critico con frequenza 500KHz

Così facendo si riduce l'entità del rumore prodotto dai parassiti, come si può notare in figura 4.7, il quale rimane presente ma non è così incisivo da impedire il processo di conversione di tensione.

Per confermare il corretto processo di commutazione, è necessario controllare la tensione sull'induttore, la quale oscilla come desiderato tra 36V e -12V, e la corrente che passa su di esso, che ha una variazione accettabile di 0,1 Ampere (10% della corrente richiesta in uscita).

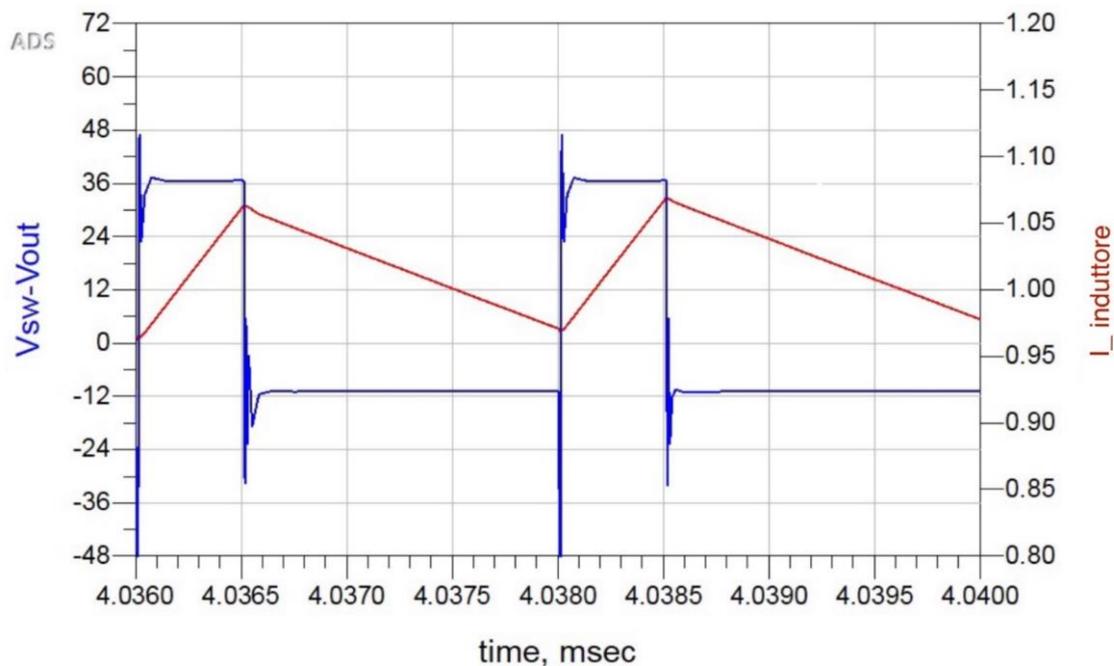
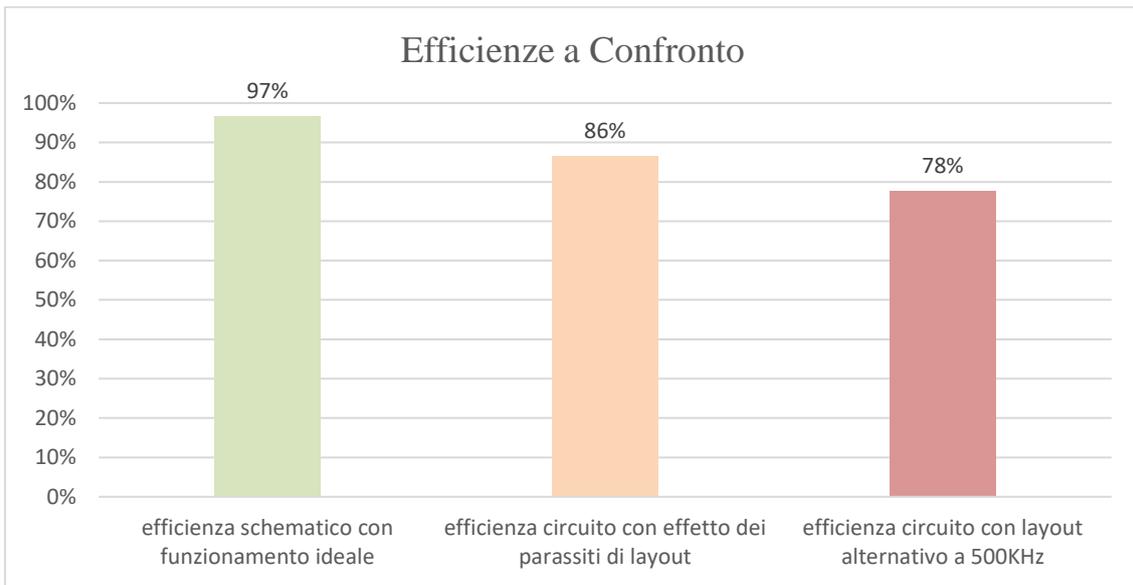


Figura 4.8 – Tensione e Corrente sull'Induttore, 500kHz

Dopo le opportune misurazioni è stata rilevata un'efficienza del convertitore intorno al 78%. Questo, oltre che ai rumori prodotti dai parassiti, è dovuto al fatto che il circuito in questione è stato estratto da un dispositivo con finalità differenti rimuovendo i sistemi per la riduzione dell'effetto dei parassiti di cui disponeva (es. RC Snubber) e non sono state considerate le resistenze di gate in fase di simulazione. Questo riadattamento è avvenuto per un confronto con il layout del Buck Converter discusso e testato nei capitoli 2 e 3, per evidenziare l'incidenza delle scelte di design della scheda. I risultati ottenuti rendono chiara l'importanza della fase di test durante la realizzazione di un progetto, evidenziando come l'effetto dei parassiti in un circuito stampato stravolga le aspettative di funzionamento del circuito ideale.

A seguito un grafico che fornisce un confronto tra le efficienze risultanti dalle simulazioni dello schema semi-ideale del Buck Converter realizzato con SPICE, del layout ottimizzato e del layout critico con frequenza di commutazione a 500KHz.



## Conclusioni

In fase di progetto ed ottimizzazione di un convertitore di potenza è fondamentale discutere ed analizzare le criticità introdotte dai parassiti presenti nella realizzazione su circuito stampato. È stato ampiamente dimostrato in letteratura che gli elementi parassiti degradano significativamente l'efficienza del convertitore ed in casi estremi possono anche avere effetti importanti su funzionamento ed affidabilità a lungo termine. Questo avviene in particolare quando la frequenza di switching del convertitore è elevata, caratteristica desiderata in circuiti di potenza di recente generazione che impiegano switch realizzati con materiale semiconduttore ad ampio band-gap di energia. Lo scopo di questo progetto è la progettazione di un Buck Converter sincrono a media/bassa potenza (10W-100W) con transistor in Nitruro di Gallio (GaN) e simulazione post layout per evidenziare le differenze tra circuito ideale e circuito stampato. Il lavoro è stato articolato nelle fasi di simulazione mediante SPICE, progetto del circuito stampato, estrazione dei parassiti mediante simulatore elettromagnetico ed infine simulazione circuitale post-layout.

È stato quindi realizzato un progetto circuitale del convertitore tenendo conto dei modelli dei componenti commerciali nelle simulazioni SPICE finalizzate alla verifica del corretto funzionamento del convertitore. Successivamente è stato progettato il layout del circuito stampato tenendo conto delle potenziali criticità del circuito, note anch'esse dalla letteratura.

Il calcolo degli elementi circuitali parassiti è stato effettuato attraverso una simulazione elettromagnetica con adeguato intervallo di frequenza sfruttando *Keysight ADS*, mediante il quale è possibile importare il progetto del circuito stampato, definire le caratteristiche elettromagnetiche dei materiali e le geometrie reali.

Sono state discusse infine considerazioni in merito all'andamento delle forme d'onda perturbate dagli effetti parassiti confrontandole con un circuito con layout non ottimizzato, scelto come caso di studio per l'analisi. È stato osservato anche che il degrado di efficienza nel circuito stampato non ottimizzato non è dovuto unicamente

agli elementi parassiti (principalmente induttivi), ma anche da alcune carenze in termini di dimensionamento delle piste o insufficiente dimensionamento dei *vias* di collegamento tra i vari strati, che causano alte perdite resistive. Grazie a queste analisi, sono state valutate le possibili modifiche di realizzazione della scheda finalizzate a risolvere i problemi posti in evidenza dal presente lavoro.

## Bibliografia

- [1] Daniel W. Hart, (2010) *Power Electronics McGraw*
- [2] Muhammad H. Rashid, (2011) *Power electronics handbook: devices, circuits, and applications handbook*
- [3] Trzynadlowski, Andrzej, (2016) *Introduction to modern power electronics*
- [4] B.L. Dokić and B. Blanuša, (2015) *Power Electronics*
- [5] Ned Mohan, (2012) *Power electronics: a first course*
- [6] Muhammad H. Rashid, (2012) *SPICE for Power Electronics and Electric Power, 3rd ed.*
- [7] Agilent EEsof EDA, *ADVANCED DESIGN SYSTEM, Circuit Design Cookbook 2.0*
- [8] Roland Van Roy, (2016) *Riduce EMI in Buck Converters, Application Note*  
RICHTEK
- [9] GaN System, (2016) *How to drive GaN Enhancement mode HEMT*
- [10] Wide Band Gap: una rivoluzione già iniziata, TechMiles
- [11] Building the Smallest and Most Efficient 48 V to 5 - 12 V DC to DC Converter using EPC2045 and ICs (2018)
- [12] Keysight Technologies. Documentation: ADS2009, Momentum, Mesh
- [13] Wikipedia, Banda Proibita (2019), Tabella Banda Proibita in Alcuni Materiali
- [14] Texas Instruments (2012), UCC27611 5-V, 4-A to 6-A GaN Driver
- [15] Silicon Lab, Datasheet Low-Power Single and Dual-Channel Digital Isolators
- [16] EPC2052 – Enhancement Mode Power Transistor (2019)

[17] Immagine ottenuta da Electronic band structure

[18] Immagine ottenuta da Sanken, Next Generation Power Semiconductors

[19] Dispositivi di Potenza Wide Band Gap e loro Applicazione nei Convertitori Statici (2013/2014), Università di Padova, Giorgio Lovison

[20] Wikipedia, Elettronica di potenza

[21] Wikipedia, Matrici di Scattering

[22] Wikipedia, Admittance Parameters

### ***Programmi Utilizzati***

[P1] LTSPICE, per progetto dello schema circuitale e simulazioni di verifica e confronto

[P2] KiCad EDA, per realizzazione del layout del circuito stampato

[P3] ADS (“Advanced Design System”) Keysight, per analisi elettromagnetica

[P4] Matlab, per elaborazione di dati e realizzazione di grafici

[P5] Excell, per ottenimento di grafici di confronto e calcoli preliminari.