

Alma Mater Studiorum – Università di Bologna

Scuola di Ingegneria e Architettura

Dipartimento di Ingegneria dell'Energia Elettrica e dell'Informazione

Corso di Laurea Magistrale in Ingegneria Elettronica

Tesi di Laurea Magistrale

In

Progetto di Circuiti Analogici Avanzati

Progetto di un PLL Analogico a bassissimo consumo per sistemi Wake-Up Radio

Candidato:

Matteo D'Addato

Relatore:

Prof. Ing. Antonio Gnudi

Correlatrice:

**Prof.ssa Ing. Eleonora Franchi
Scarselli**

Anno Accademico 2017/2018

Sessione III

Abstract

Nei nodi wireless per applicazioni IoT, i ricetrasmittitori (transceiver) a radio-frequenza (RF) sono responsabili della maggior parte del consumo di potenza. Inoltre, se da un lato il picco di potenza assorbita avviene in corrispondenza degli istanti di trasmissione, dall'altro il ricevitore, che deve essere mantenuto sempre attivo anche quando il resto del sistema è in stato di "idle", consuma una buona frazione dell'energia totale. Al fine di ridurre questo consumo, una particolare tipologia di ricevitori detti di "wake-up" sono tra i principali oggetti di ricerca nell'ambito dell'IoT. Essi hanno prestazioni ridotte e consumo molto basso, poiché devono restare sempre attivi mentre il resto del nodo è in stato di "idle". Tale Wake-Up Radio (WUR) ha il compito di "ascoltare" il canale e attivare il ricevitore principale ed il microcontrollore solo quando c'è qualche richiesta in arrivo. Una parte integrante del ricevitore Wake-Up è il circuito per la decodifica dei byte trasmessi, che di solito comprendono almeno un codice d'indirizzo, che deve essere estratto e confrontato con l'indirizzo memorizzato nel ricevitore. Soltanto se questo confronto ha esito positivo viene attivato il resto del sistema.

L'obiettivo di questo lavoro di tesi è il progetto di un sistema di clock recovery basato su PLL analogico a bassissimo consumo per sistemi Wake-Up Radio di tipo short-range caratterizzati da una bit rate di 1 kbps. Tale sistema deve fornire alla rete di controllo un clock allineato in fase e frequenza con i dati ricevuti. Rispetto ad altri sistemi in cui si deve semplicemente decodificare un indirizzo, la soluzione basata su PLL oggetto di questo studio (poiché implica consumi e tempi di aggancio non trascurabili) è particolarmente adatta per lunghe trasmissioni. Nel progetto di un PLL a basso consumo l'obiettivo consiste nell'ottimizzare il trade-off tra consumo (con correnti nell'ordine del nanowatt) e tempo di aggancio. Questo lavoro è stato articolato in due fasi:

- Nella prima fase della tesi si sono studiate differenti architetture implementate utilizzando il linguaggio Verilog-A al fine di valutarne le prestazioni. Da tali considerazioni si è dedotto che i tempi di aggancio delle soluzioni a singolo anello risultano essere nell'ordine delle centinaia di colpi di clock. È possibile ridurre tale parametro agendo sul valore iniziale della tensione di controllo (PLL ad aggancio di frequenza indotto) oppure ricorrendo a soluzioni con doppio anello.
- Nella seconda fase della tesi, sono state implementate le architetture ad aggancio di frequenza indotto e a doppio anello a livello transistor, utilizzando la tecnologia BC10 a 90 nm di STMicroelectronics. In particolare, il VCO implementato consuma 25 nW. La soluzione a singolo anello risulta essere caratterizzata da un tempo di aggancio di 40 msec con una corrente erogata dalla pompa di carica pari a 6 nW. Tale soluzione risulta essere fortemente sensibile alle variazioni dei parametri di processo, della tensione di alimentazione e della temperatura. La soluzione con doppio anello permette anch'essa di garantire un tempo di aggancio pari a 40 msec però con una corrente erogata dalla pompa di carica nella prima fase del transitorio pari a 24 nW. In fase di aggancio tale architettura dissipa la stessa potenza della soluzione a singolo anello (6 nW). Questa soluzione permette di limitare gli effetti dovuti alle variazioni dei parametri.

Sommario

Capitolo I: Architettura di una Wake-Up Radio	6
1. Introduzione	8
1.1 tecniche di sincronizzazione di radio appartenenti ad una rete di sensori	9
2 ottimizzazione del risparmio energetico attraverso l'utilizzo di wake-up radio	10
2.1 architettura di una wake-up radio	11
2.2 prima pubblicazione isscc	12
2.3 proprietà delle wake-up radio	14
2.4 filosofia di progetto di wake-up radio a bassissimo consumo	15
2.5 approccio innovativo per il progetto di wake-up radio a bassissimo consumo	15
3. Esempio di wake-up radio a bassissimo consumo (116 nw): impiego dello schema a sovra-campionamento 4x	18
3.1 descrizione del circuito	19
4. Tecnica di sovracampionamento 2x	24
5. Arces-stmicroelectronics wake-up radio	26
6. Gestione dell'addressing nella arces-stmicroelectronics wake-up radio	30
Capitolo II: Architetture per il Clock and Data Recovery	34
1. Introduzione	34
1.1 campo di applicazione dei pll	34
2. Generalità sul clock recovery	36
2.1 proprietà di un circuito per il clock recovery	37
3. Modello del pll linearizzato	38
3.1 modello linearizzato del pll del primo ordine	39
3.2 modello linearizzato del pll del secondo ordine	42

4. Phase detectors	44
4.1 phase detector three state	44
4.2 phase detectors e frequency detectors	47
4.3 phase detector di hogge	47
4.4 phase detector three-wave	51
4.5 phase detector triwave modificato	53
5. Filtro d'anello e introduzione alla pompa di carica	53
6. Vco	56
7. Modello linearizzato del pll del terzo ordine: il pll a pompa di carica	57
Capitolo III: Progetto di un PLL Analogico a Bassissimo Consumo per Sistemi Wake-Up Radio	64
1. Introduzione	64
1.1 implementazione delle celle di libreria in verilog-a	65
1.2 implementazione della pompa di carica in verilog-a	67
1.3 implementazione del loop filter	69
1.4 implementazione dell'oscillatore controllato in tensione in verilog-a	69
1.5 simulazione del pll del terzo ordine a pompa di carica implementato in verilog-a	72
2. Progetto del vco	78
2.1 progetto del vco: convertitore tensione-corrente	80
2.2 progetto del vco: oscillatore ad anello	84
2.3 progetto del vco: trigger di schmitt	87
2.4 caratteristica frequenza-tensione di controllo del vco progettato	89
2.5 consumo di potenza del convertitore tensione- corrente	91
2.6 energia dissipata dal vco	92
3 simulazione del cp-pll del terzo ordine: il pll three wave	92

4 simulazione del cp-pll del terzo ordine: il pll three wave modificato	100
5 simulazione del pll three wave modificato ad aggancio di frequenza indotto	106
6 simulazione del pll a due anelli di aggancio	111
Conclusioni	122
Bibliografia	125

Capitolo I: Architettura di una Wake-Up Radio

Il progetto di sistemi a bassissimo consumo rende concreto lo sviluppo di applicazioni nuove e stimolanti. Orologi intelligenti, dispositivi medici indossabili e architetture per il controllo dell'integrità strutturale sono solo alcuni esempi del contesto al quale si sta facendo riferimento: Internet of Things (IoT). L'Internet delle Cose è la naturale evoluzione della Rete. Gli oggetti (le Cose) acquisiscono intelligenza e divengono dunque in grado di scambiare informazioni su loro stessi. Essi sono inoltre in grado di accedere, attraverso Internet, ad informazioni riguardanti altri oggetti presenti nella Rete. In questo capitolo sono presentate, a titolo di esempio, alcune proposte dell'IoT nel campo della medicina e del monitoraggio strutturale. Nell'ambito dell'Internet of Things, lo sviluppo delle connessioni wireless ha permesso la nascita di una classe di dispositivi in grado di utilizzare il modulo Radio di una rete di sensori solamente nel caso in cui si presenti la necessità di comunicazione (comunicazione programmata ad eventi). L'obiettivo di questa tesi si colloca in quest'ultimo ambito, il sistema a cui si sta facendo riferimento è conosciuto come Wake-Up Radio (WUR). Una Wake-Up Radio è un modulo radio semplificato operante su distanze brevi o lunghe. In questo lavoro di tesi, implicando un bassissimo consumo, si farà riferimento alle WUR operanti su brevi distanze. Nel seguito è presentata la possibile architettura di una Wake-Up Radio ed è fatto riferimento alle principali problematiche legate alla progettazione di questi sistemi. Per introdurre il tema e giustificare le motivazioni di questo lavoro di tesi, al termine di questo capitolo sono presentate tre differenti tipologie di Wake-Up Radio. Nel particolare, l'obiettivo di questo lavoro di tesi è quello di indagare la possibile integrazione su sistemi Wake-Up Radio di architetture per il clock recovery basate su PLL a bassissimo consumo. Il sistema di riferimento è indicato nel seguito come ARCES-STMicroelectronics Wake-Up Radio.

Internet of Things nella medicina

La prossima decade sarà protagonista di una rivoluzione nel trattamento e nella diagnosi di patologie. L'IoT nel campo della medicina è protagonista di innumerevoli opportunità. Dispositivi medici ordinari se connessi ad internet sono capaci di raccogliere dati addizionali di importanza inestimabile. Questo è possibile grazie all'analisi di sintomi e alla valutazione dei parametri vitali durante le quotidiane attività del paziente. L'IoT rende pertanto possibile cure mediche in remoto e dona ai pazienti maggiore controllo sulla propria vita e sui propri trattamenti. Nel giugno del 2018 al meeting annuale ASCO, sono stati presentati i dati clinici di pazienti affetti da cancro e sottoposti a cure mediche coadiuvate dall'utilizzo dell'IoT (<https://econsultancy.com/internet-of-things-healthcare>). Il dispositivo in esame è un bracciale bluetooth connesso con una applicazione per smartphone in grado di monitorare la pressione sanguigna. Tale applicazione è capace di aggiornare costantemente sia paziente che medico sulle condizioni patologiche e sulla risposta del fisico ai trattamenti. Il dispositivo medico in esame è conosciuto con il nome di CYCORE. I pazienti sottoposti a tale test hanno potuto giovare dei benefit derivanti da tale applicazione, grazie ad un notevole miglioramento della qualità della vita. In sintesi, lo studio ha dimostrato i potenziali benefici della tecnologia intelligente sia nel rapporto tra paziente e medico che nel monitoraggio delle condizioni patologiche implicando dunque una minima interferenza con la vita quotidiana. L'IoT non trova impegno solo nella misura della pressione sanguigna. Un adulto su dieci soffre di diabete ed è stato dimostrato che lo studio di tale patologia risulta essere un terreno fertile per lo sviluppo di tecnologie ad hoc. Il Continuous Glucose Monitor (CGM) è un dispositivo che aiuta i pazienti diabetici nel controllo dei livelli di glucosio del sangue, eseguendo cicli di lettura ad intervalli di tempo regolari. Tale sistema è gestito da un'applicazione per iPhone e Apple Watch. Ciò permette al paziente di sfruttare le funzionalità e capacità di calcolo di uno smart device utilizzato tutti i giorni per il monitoraggio del diabete.

Di fatto, al paziente è dunque permesso di indossare facilmente un dispositivo medico in grado di monitorare parametri e rilevare specifici trend. Oltre al CGM attualmente è

disponibile un ulteriore dispositivo in grado di migliorare la vita dei pazienti diabetici. Lo Smart Insulin Pen ha la capacità di memorizzare la dose di insulina iniettata e l'istante di tempo in cui è avvenuta l'iniezione. Tale dispositivo possiede anche la potenzialità di interagire attivamente col paziente aiutandolo nella somministrazione del medicinale in caso di necessità. Ciò è possibile poiché lo Smart Insulin Pen interagisce con una applicazione per Smart Phone in grado di immagazzinare dati a lungo termine, il processore determina la dose di diabete in base anche alle quantità di glucosio ingerite ad ogni pasto. In tal modo è possibile valutare come la quantità di glucosio ingerita durante il pasto, interagendo con l'insulina possa causare alterazioni dei livelli di glucosio nel sangue.

Uno dei dispositivi più affascinanti dell'IoT in medicina è l'Open Artificial Pancreas System (OpenAPS).

OpenAPS è un sistema in retroazione per il rilascio di insulina. A differenza del CGM non solo permette il monitoraggio dei livelli di glucosio del sangue. Essendo un sistema in retroazione, esso è in grado, agendo adattivamente, di regolare la dose di insulina in maniera automatica, senza interagire direttamente con il paziente. Il rilascio automatizzato di insulina offre diversi benefici che permettono di cambiare la vita dei pazienti diabetici. Monitorando i livelli di glucosio del paziente esso è in grado di regolare la dose di insulina rilasciata nel sangue. Il sistema aiuta a mantenere i livelli di glucosio all'interno di un range prefissato prevenendo dunque picchi indesiderati ed evitando anche problemi di ipoglicemia notturna. Proteus Digital Health e sensori indossabili sono un ulteriore esempio di come sia possibile l'utilizzo di dispositivi intelligenti in medicina. In particolare, il sistema in oggetto permette il monitoraggio di ipertensione irregolare e, anche in questo caso, di diabete. Tale sistema funziona grazie all'azione di pillole ingeribili e in grado di dissolversi per mezzo dei succhi gastrici. Nell'istante di tempo in cui i succhi gastrici iniziano ad intaccare tale pillola, viene emesso un segnale biologico. Tale segnale biologico è convertito in elettrico utilizzando un sensore indossabile. Anche in questo caso è possibile il controllo del sistema tramite app.

Internet of Things nel monitoraggio dell'integrità strutturale

Oltre ad applicazioni nell'ambito biomedicale, l'IoT nel campo del monitoraggio strutturale risulta di necessaria importanza. Ponti ed autostrade sono attraversati quotidianamente da migliaia di automobilisti, la necessità di ambienti sicuri diviene dunque un obbligo. Ciò è possibile monitorandoli costantemente. Il monitoraggio dello stato di conservazione delle strutture permette la valutazione della condizione istantanea della costruzione e delle possibili evoluzioni a lungo termine, evitando dunque possibili cedimenti strutturali. Fix and Go (<https://www.theinnovationgroup.it>) è un sistema per il monitoraggio strutturale, statico e ambientale altamente sofisticato e versatile. Attraverso un sistema di sensori è possibile monitorare spostamento trasversale e longitudinale, effettuare misure su angoli di inclinazione, temperatura e umidità in opportune sezioni della struttura in esame. Dopo ogni ciclo di misura, attraverso Internet, sono inviati i dati al fine di rendere possibile il monitoraggio in remoto. I dati acquisiti sono inviati su Cloud e trasformati in informazioni semplici sia da analizzare che monitorare su intervalli di tempo lunghi (tale sistema è in grado di integrarsi ed interagire con PC, Tablet o Smartphone). L'unica necessità che esso richiede è la connessione ad Internet. Un'idea analoga a quella appena descritta è stata ideata dalla Start-Up Sysdev (<http://www.ingegneri.info>). Un insieme di sensori miniaturizzati costituiti da una striscia di materiale plastico di piccole dimensioni (5 cm x 25 cm) sono inseriti all'interno di un contenitore a tenuta stagna. Il sistema di sensori si attiva non appena viene alimentato il sistema per mezzo di batteria. Il sistema è gestito in remoto attraverso il sistema LOR. Tale sistema è in grado di gestire fino a 64000 sensori per una distanza variabile a seconda che si voglia valutare un'area urbana oppure uno spazio libero (in genere dai 1500 m ai 2000 m). Una volta inserita la batteria, il sistema di sensori si attiva e chiede accesso alla rete, registrando dunque in remoto le informazioni utili (deformazioni, inclinazioni fino al decimo di grado, dilatazioni termiche e spostamenti).

Le applicazioni appena descritte ricoprono una piccola porzione del campo di applicazione dell'Internet of Things. Anche se per ora si è fatto riferimento solo all'integrazione di dispositivi general-purpose (ad esempio gli smartphone) con tecnologie per il monitoraggio o di parametri biologici o di grandezze fisiche, ciò permette di trarre un'importante conclusione che guiderà il seguito della trattazione di questo lavoro di tesi: le possibili applicazioni dell'Internet of Things risultano essere di indubbio valore tuttavia, per rendere possibile lo sviluppo tecnologico in questa direzione, è necessario ottimizzare sia le dimensioni dei dispositivi sia il tempo di vita della batteria. Tali aspetti risultano essere di critica importanza.

1. Introduzione

Al giorno d'oggi le comunicazioni wireless stanno sperimentando una sempre più larga diffusione. I fruitori di tale tecnologia trovano spazio in settori come quello industriale, medicale e militare i quali influenzano e guidano l'avanzamento tecnologico grazie all'introduzione di nuove applicazioni. Basti pensare allo sviluppo delle reti di nuova generazione e dei prodotti Wi-Fi per accorgersi che l'industria che traina e beneficia dell'avanzamento delle tecnologie wireless è sicuramente quella dei telefoni cellulari e dei calcolatori elettronici. Da un lato le applicazioni appena descritte necessitano di una sempre maggiore velocità di calcolo e connessione dall'altro, insieme all'Internet of Things stanno emergendo nuove classi di applicazioni come le reti wireless di sensori (Wireless Sensors Networks, WSN) che risultano essere caratterizzate da diverse specifiche. Nel particolare, i dispositivi utilizzati nelle WSN non richiedono necessariamente elevati throughput ma bensì mirano all'ottenimento di un throughput sufficiente in funzione di un budget di energia piuttosto limitato. Per ridurre il consumo di potenza questi dispositivi operano tipicamente su distanze brevi. Ciò che ci si aspetta per i prossimi anni è che basandosi sugli sviluppi tecnologici del modulo radio delle reti di sensori si possa sperimentare una larga diffusione delle radio a bassissimo consumo operanti su brevi distanze. Al fine di poter operare nei settori precedentemente riportati è necessario che le radio a bassissimo consumo siano conformi a degli standard predefiniti come il Bluetooth Low Energy o l'IEEE 802.15.6 per le wireless body area networks. Attenendosi a tali standard in molti casi è possibile che la creatività del progettista risulti essere limitata e soprattutto che la specifica riguardante l'ottimizzazione del risparmio energetico non risulti essere soddisfatta, ottenendo dunque delle soluzioni che in termini di potenza dissipata risultano essere sovradimensionate. Pertanto, l'obiettivo di questo lavoro di tesi non fa riferimento ad uno standard specifico ma bensì mira ad ottimizzare specifiche di potenza a bassissimo consumo. Durante l'intero ciclo di vita di una rete di sensori, il modulo radio invece che risultare sempre attivo, può essere unicamente utilizzato per brevi intervalli di tempo. Ciò è possibile se, e solo se, risulta verificato l'avvenimento di specifiche condizioni. Questo lavoro di tesi si concentra sul modulo radio delle WSN poiché esso determina la maggior parte dell'energia dissipata dalla batteria. Nel particolare, l'energia necessaria per la sincronizzazione della radio e per il mantenimento dello stato di connessione risulta essere molto maggiore rispetto a quella utilizzata per l'effettiva comunicazione dei dati. A causa della loro intrinseca natura, le WUR trascorrono la maggior parte del tempo nello stato di attesa (Sleep State), stato nel quale la radio non è in grado di inviare o ricevere informazioni. Lo scopo di una WRX è dunque quello di conservare l'energia e ridurre la potenza media dissipata. Ciò implica necessariamente una criticità qualora due moduli radio necessitino di ripristinare la connessione. A tal proposito, entrambe le radio necessitano di un segnale in grado di svegliarle (segnale di Wake-Up) ossia di attivarle qualora venga richiesto. Una volta attivate, le radio devono essere in grado di sincronizzarsi l'una con l'altra.

1.1 Tecniche di sincronizzazione di radio appartenenti ad una rete di sensori

La tecnica più efficiente per la sincronizzazione di radio di una WSN consiste nell'utilizzo di segnali di clock locali, ciò vuol dire che ciascuna radio della WSN è dotata di un segnale di clock [1]. Per stabilire la connessione è necessario che il segnale di clock sia sincronizzato con quello della radio con la quale si intende comunicare. In tal modo, entrambe le radio sono in grado di operare condividendo la stessa base dei tempi. Purtroppo i riferimenti di tempo locali su ampie finestre temporali sono soggetti a derive. Lo svantaggio derivante dall'utilizzo di segnali di clock locali è necessariamente la perdita del sincronismo. Per ripristinare il sincronismo è necessario riattivare la radio, ciò implica un non necessario consumo di potenza, poiché la quantità di potenza dissipata non è utilizzata per la condivisione delle informazioni ma semplicemente per ripristinare il sincronismo tra i segnali di clock locali della WSN. Inoltre, riferimenti temporali ad elevata accuratezza spesso sono in grado di dissipare più potenza della radio stessa.

Le comunicazioni asincrone non richiedono intrinsecamente la necessità di un clock sincrono e fanno affidamento sulla radio sia per stabilire la connessione sia per comunicare per brevi intervalli di tempo. Tali comunicazioni risultano semplici per quanto riguarda la realizzazione dell'architettura hardware. Lo svantaggio di tale proposta consiste nell'enorme dissipazione di potenza ogni volta che viene svegliata la radio ma il tentativo di connessione non va a buon fine.

Tale soluzione non risolve dunque il problema della comunicazione programmata ad eventi, nella quale è prevista l'accensione periodica della radio per il controllo (Check) della ricezione di informazioni. L'aumento della frequenza di Check riduce la latenza alla risposta del dispositivo. In tal modo, all'occorrenza di un evento per il quale è richiesto l'intervento della radio, il sistema risulta già essere pronto alla ricezione di informazioni a scapito però di un eccessivo consumo di potenza. Tale affermazione spiega come tempo di risposta e consumo della radio risultino essere in compromesso: non è possibile aumentare la reattività nella risposta della radio senza compromettere il consumo di potenza.

Le tecniche asincrone permettono di ridurre il consumo di potenza rispetto alle sincrone equivalenti e pertanto sono largamente utilizzate per protocolli radio di WRX operanti su brevi distanze come il Bluetooth Low Energy (BLE). Al fine di quantificare l'energia richiesta dal BLE, un ricetrasmittitore allo stato dell'arte prodotto dalla Dialog Semiconductor è ora utilizzato come riferimento [2]. Nello Standard BLE, il ricevitore stabilisce una comunicazione con il trasmettitore, accendendosi rapidamente e mettendosi in ascolto sul canale del trasmettitore. Se è rilevata la presenza di un trasmettitore allora la comunicazione è stabilita, in caso contrario il ricevitore torna nello Sleep State. La fase nella quale il ricevitore controlla l'eventuale presenza di un trasmettitore attivo sul canale prende il nome di Scan State. Scan State di breve durata e intervalli di tempo lunghi tra uno Scan State e l'altro permettono di abbassare la potenza media dissipata ma ovviamente riducono la probabilità di stabilire una comunicazione rapidamente. Secondo le specifiche BLE, il più piccolo intervallo di tempo nel quale il ricevitore è nello Scan State è di 2.5 msec, mentre il più lungo intervallo di tempo tra Scan State successivi è di 10.24 sec. Un duty cycle così basso (0.024 %) implica che la maggior parte dell'energia dissipata sia a carico del trasmettitore che deve trasmettere massimizzando il suo duty cycle. Ciò è necessario se si vuole massimizzare la probabilità di stabilire correttamente un canale di comunicazione.

Il Ricetrasmittitore Dialog Semiconductor SmartBond™ DA14580 BLE ha una potenza dissipata dichiarata pari a 14.7 mW in modalità ricezione. Ciò implica un consumo di 36.75 uJ per ogni operazione di Scan. Tale sistema è inoltre in grado di ridurre la potenza dissipata sotto ai 3.5 uW, ciò è vero se si escludono tutti i circuiti che rimangono attivi tra uno Scan State e l'altro come il timer, i regolatori di tensione e i sistemi di mantenimento dello stato di memoria.

2 Ottimizzazione del risparmio energetico attraverso l'utilizzo di Wake-Up Radio

Una Wake-Up Radio può essere utilizzata come alternativa ai metodi di sincronizzazione appena descritti.

La WRX funge da ricevitore secondario di un protocollo di comunicazione asincrono. Mentre le radio descritte in precedenza tentano di conservare l'energia nello Sleep State, la WRX monitora costantemente il canale al fine di rilevare la presenza di attività e abilita il ricevitore principale solamente nel caso in cui ci sia un'altra radio che necessita di comunicare con lo stesso ricevitore principale.

La WRX è costantemente attiva e pertanto deve essere progettata a bassissimo consumo. Ciò costituisce una specifica fondamentale nel progetto di WRX.

Questa metodologia di sincronizzazione programmata ad eventi è estremamente efficiente in termini energetici poiché il ricevitore (che costituisce in questo caso il maggiore carico energetico del sistema) può essere spento e rimanere in tale stato per un intervallo di tempo più lungo possibile. Il ricevitore principale si sveglia se, e solo se, la comunicazione è necessaria.

In Figura 1 è mostrato uno schema semplificato di un ricetrasmittitore basato su WRX.

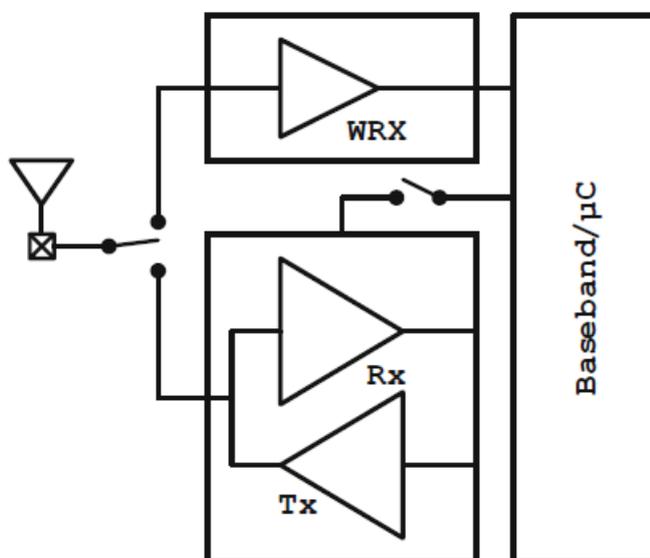


Figura 1. Wake-Up Radio integrata su un tradizionale ricetrasmittitore [1]

Nello schema di Figura è presente una Wake-Up Radio (WRX) che risulta essere sempre in ascolto al fine di rilevare attività sul canale di ricezione. Attraverso il microcontrollore (Baseband/μC) nel caso in cui venga riconosciuta la necessità di comunicazione viene attivato il ricetrasmittitore principale. Una volta terminata la comunicazione il ricetrasmittitore principale torna nello Sleep State e la WRX torna in ascolto sul canale di ricezione.

Al fine di capire come i livelli di potenza di una WRX possano essere di diversi ordini di grandezza più bassi rispetto a quelli del ricevitore principale, è necessario analizzare l'architettura di un tradizionale ricevitore.

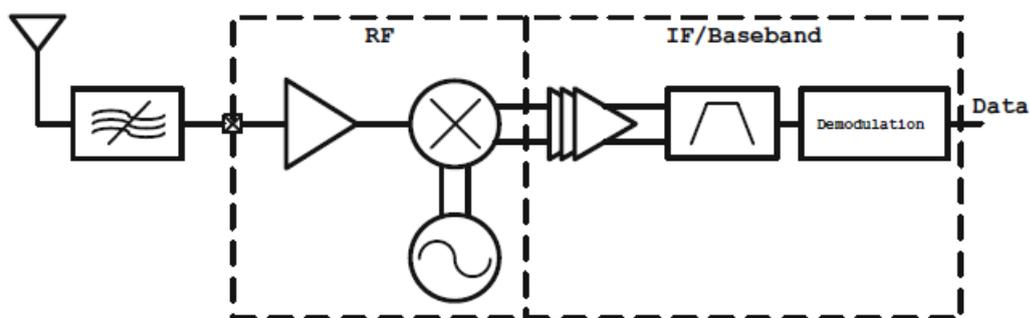


Figura 2. Architettura di un tradizionale ricevitore [1]

La Figura 2 mostra lo schema a blocchi di un tradizionale ricevitore utilizzato in radio commerciali a basso consumo.

La radio è divisa in due sezioni principali in base alla frequenza di utilizzo richiesta dai blocchi circuitali: RF e IF/banda-base. A causa dell'energia richiesta per l'amplificazione delle componenti RF, la sezione RF domina in termini di potenza. L'amplificatore a basso rumore (LNA) amplifica i segnali RF e al tempo stesso deve essere in grado di soddisfare determinate specifiche di rumore e ciò implica un non trascurabile consumo di potenza. Un PLL è utilizzato come oscillatore locale stabile nell'intorno della frequenza RF desiderata (ciò dipende dalla architettura della radio). Il Mixer è utilizzato per soddisfare le specifiche in termini di rumore e linearità e per effettuare la down-conversion del segnale RF.

Da queste considerazioni è deducibile che in una WRX, per minimizzare il consumo di potenza, siano eliminabili alcuni dei componenti RF appena descritti.

Le sezioni seguenti tracciano una breve storia delle Wake-Up Radio descrivendo la tipica architettura di una WRX e mostrando i risultati di alcune delle più recenti pubblicazioni in ambito Wake-Up Radio.

2.1 Architettura di una Wake-Up Radio

Una generica Wake-Up Radio utilizza uno schema semplificato di rivelatore di involuppo, ciò si rende necessario al fine di mantenere limitata la potenza dissipata. Ciò costringe la WRX ad utilizzare semplici tecniche di modulazione come la on-off keying (OOK) o la frequency-shift keying (FSK). La demodulazione dell'ampiezza del segnale ricevuto è più semplice rispetto alla demodulazione della potenza di un segnale in due distinte bande, in tal modo l'OOK è la modulazione più popolare per WURX.

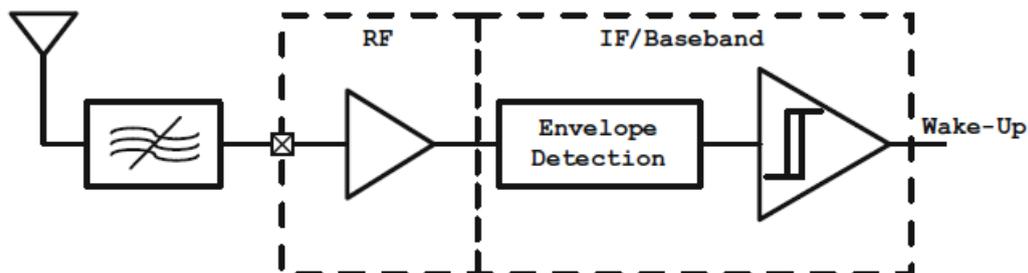


Figura 3. Architettura di una generica Wake-Up Radio [1]

La WUR di Figura 3 consiste in un blocco di filtraggio del canale e opzionalmente anche di guadagno ad RF. Quest'ultimo blocco è seguito da una rettificazione diretta che non fa utilizzo di mixing addizionale. Nella banda di interesse l'energia ricevuta (ed eventualmente amplificata) passa attraverso il blocco rettificatore. Grazie a ciò essa può essere rilevata da un comparatore (quest'ultima operazione spesso viene svolta da un ADC ad 1 bit [1]). Quando una quantità sufficiente di energia fa commutare il comparatore si ha l'ottenimento di quello che in Figura è indicato come il segnale di Wake-Up. Se si confronta tale schema con quello del ricevitore tradizionale, la maggior parte, anche se non tutti, dei circuiti RF ad alta potenza risultano essere assenti.

Diversi progetti di WUR utilizzano un LNA per migliorare la sensibilità (intesa come l'ampiezza del più piccolo segnale rivelabile), ma spesso il rilevatore di inviluppo che esegue il rilevamento di segnale e la down-conversion verso la banda base elimina la necessità sia di PLL che di mixer del blocco RF del ricevitore tradizionale.

2.2 Prima pubblicazione ISSCC

La prima WURX è stata pubblicata all'ISSCC nel 2008 da Nathan Pletcher et al. dell'Università di Berkeley [3]. La WURX in considerazione raggiunge una dissipazione di potenza pari a 52 μ W che se paragonata al Dialog Semiconductor BLE receiver (14.7 mW) risulta essere estremamente inferiore. Se si volesse utilizzare il medesimo ricevitore della Dialog Semiconductor per ottenere una dissipazione di potenza pari a 52 μ W, sarebbe necessario calibrare il ricevitore al fine di raggiungere un duty cycle pari allo 0.35 %. In tal caso il ricevitore effettuerebbe l'operazione di Scan solamente ogni 714 msec. Questa WRX assomiglia molto ad un ricevitore tradizionale poiché essa include sia mixer che oscillatore.

La strategia di progetto di questo ricevitore è sicuramente l'utilizzo dell'architettura Uncertain-IF e di un risonatore MEMS per il front-end RF al fine di ottenere un filtraggio ad elevato Q. Questa WURX opera a 2 GHz ed è stata implementata in tecnologia CMOS 90 nm, ottenendo una sensibilità di -72 dBm ed una data rate di 100 kbps. Un'ulteriore riduzione di potenza è stata ottenuta utilizzando una alimentazione pari a 0.5 V.

L'architettura Uncertain-IF sfrutta il possibile risparmio di energia dovuto all'oscillatore ad anello. La mancanza di un oscillatore LC rende critiche le prestazioni in termini di phase noise e accuratezza in frequenza. Lo schema di Figura 4 mostra come l'architettura è stata progettata per compensare l'assenza di un oscillatore ad elevato fattore di qualità.

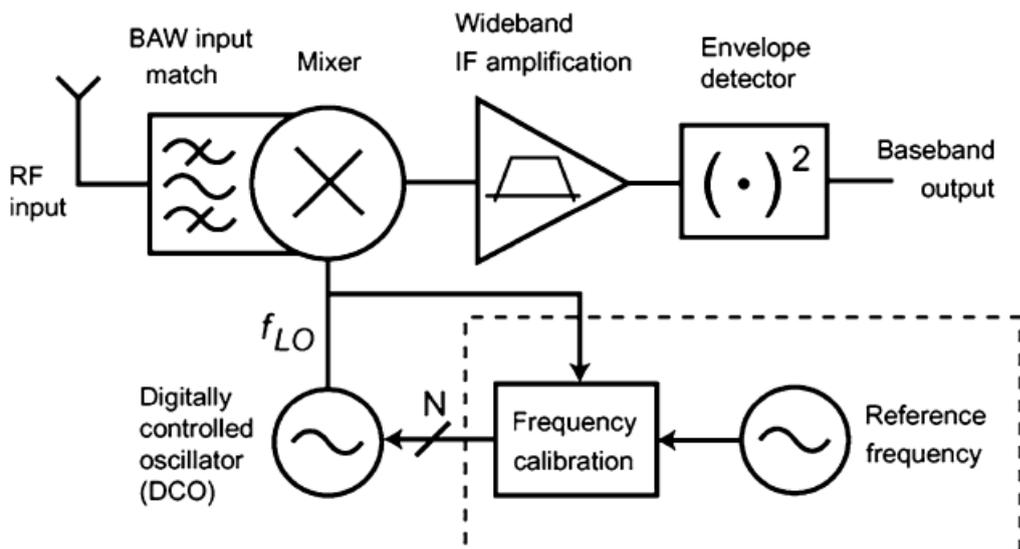


Figura 4. Schema a blocchi della WRX presentata in [3]

L'oscillatore a basso consumo mostrato permette il mixing del segnale RF con l'IF. La banda dell'amplificatore IF è sufficiente per compensare le variazioni dell'oscillatore ad anello. Il rivelatore di involuppo esegue la down-conversion della IF in banda-base. La rete di adattamento della WURX utilizza un risonatore BAW e un trasformatore capacitivo al fine di ottenere sia filtraggio che adattamento a 50 Ohm. In aggiunta, l'utilizzo di BAW aggiunge 12 dB di guadagno di tensione senza la necessità di un LNA che come accennato in precedenza risulta essere una criticità in termini di potenza dissipata. Un mixer single-ended è scelto per il front-end RF al fine di massimizzare il guadagno di conversione in presenza dell'oscillatore ad anello. L'amplificatore IF filtra le spurie prima che esse raggiungano erroneamente il rivelatore di involuppo. La frequenza immagine è filtrata a radiofrequenza e l'oscillatore locale necessita solamente di essere accurato in una banda di 100 MHz intorno la frequenza RF. Ciò è possibile poiché il rivelatore di involuppo converte direttamente il segnale IF in continua.

Un oscillatore single-ended a tre stadi è scelto per minimizzare il più possibile il consumo. Tale obiettivo con un oscillatore LC non sarebbe mai stato raggiunto poiché la transconduttanza necessaria per innescare l'oscillazione, inficerebbe le prestazioni in termini di corrente. D'altra parte lo scaling della tecnologia permette all'oscillatore ad anello di ridurre maggiormente il termine di potenza in CV^2 rispetto alla soluzione ad LC. In processi tecnologici fortemente scalati la differenza di potenza dissipata risulta essere sostanziale. Riducendo le dimensioni dei dispositivi si riduce drasticamente la potenza dissipata dall'oscillatore ad anello.

L'oscillatore controllato digitalmente (DCO) è progettato utilizzando la minima quantità di potenza. Un oscillatore ad anello a tre stadi rail-to-rail è implementabile utilizzando celle standard di libreria. Questo circuito permette di ridurre i consumi associati all'oscillatore. Inoltre, nello schema del DCO sono inseriti due DAC resistivi. Essi permettono la modifica del valore di resistenza presente tra gli invertitori e i terminali di massa e alimentazione. Ciò permette di ridurre il consumo di energia. Lo schema del DCO è mostrato in Figura 5.

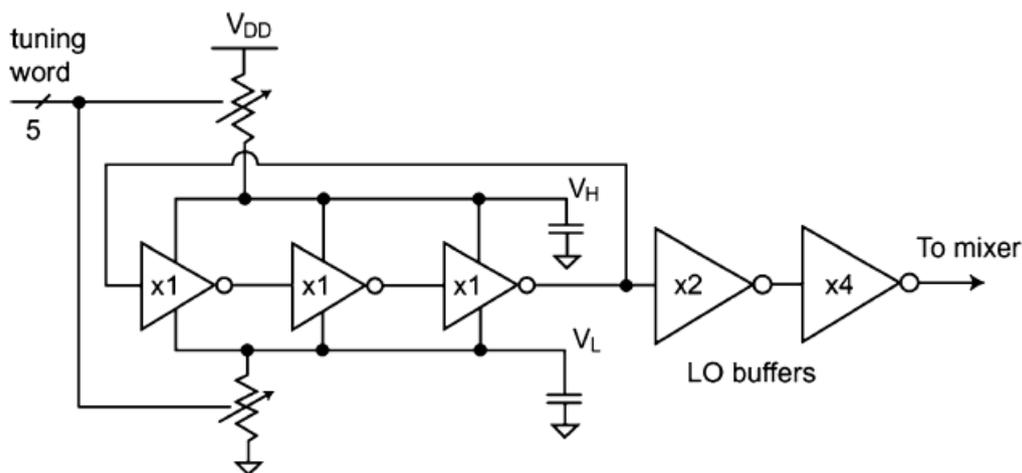


Figura 5. Realizzazione circuitale del DCO

I due DAC sono utilizzati per mantenere la tensione di modo comune dell'anello all'interno del Dynamic Range dei buffer dell'oscillatore locale (LO buffers). In tal modo, essi possono essere connessi direttamente a V_{DD} prima che l'uscita degli LO buffers venga passata al mixer. Dispositivi a soglia bassa assicurano la specificità in frequenza dell'oscillatore ad anello.

In sintesi, nell'architettura [3] le scelte progettuali che hanno portato alla riduzione della potenza fino a 52 μW sono le seguenti: consumo di potenza limitato grazie all'utilizzo di un oscillatore ad anello che però produce intrinsecamente una incertezza sulla frequenza. Il progetto di oscillatori locali basati su oscillatore ad anello permette di ridurre drasticamente la potenza dissipata ed evita l'utilizzo di PLL commerciali per la sintesi di frequenza. In aggiunta, il risonatore BAW a monte della WUR permette di ottenere un guadagno di tensione pari a 12 dB. Ciò è ottenuto utilizzando semplicemente un componente passivo. Ciò permette il progetto di un ricevitore caratterizzato dalla presenza di un mixer ma privo di LNA.

2.3 Proprietà delle Wake-Up Radio

Nel precedente paragrafo è stata presentata la prima architettura di una Wake-Up Radio. Ciò ha permesso di illustrare con maggior dettaglio i blocchi presenti nel sistema e le possibili strategie progettuali utilizzate per ridurre il consumo di potenza. La Wake-Up Radio permette di rivisitare l'architettura tradizionale delle radio commerciali a basso consumo. Come i sistemi commerciali essa è caratterizzata da alcune limitazioni. Esse sono associate ad esempio alle interferenze o alla necessità di attivare un unico nodo della WSN. In questo paragrafo si vuole mostrare come ciò possa impattare negativamente sul consumo di potenza.

2.3.1 Interferenze e falsi Wake-Up

La maggior parte dei lavori pubblicati in ambito WRX utilizza la modulazione OOK per ridurre i consumi. Qualsiasi segnale ambientale indesiderato con energia sufficiente e alla giusta frequenza può causare un falso wake-up della radio. Falsi wake-up si traducono in un notevole ed inutile spreco di energia. Al fine di prevenire la possibilità di falsi wake-up, una WRX deve possedere una logica utile per riuscire a differenziare un segnale di wake-up da una interferenza ambientale, sia in banda che fuori banda. Ciò deve essere garantito senza l'utilizzo del microcontrollore presente nel ricetrasmittitore principale. Un esempio di tale applicazione è presentato in [4]. Attraverso filtraggio digitale basato su onda quadra a 14

kHz è possibile garantire ricezione ad interferenze in banda e fuori banda. Se un'interferenza ambientale è sufficientemente potente per far sì che l'uscita del comparatore commuti, la WRX attiva il risveglio. Se un segnale ambientale possiede un contenuto energetico maggiore rispetto al segnale desiderato, anche nel caso in cui possieda lo stesso pattern di un'onda quadra a 14 kHz, esso non sarà rivelato fintantoché il comparatore rimane nella regione di saturazione. Ciò è possibile grazie al filtraggio digitale.

2.3.2 Wake-Up univoci

Se tutti i nodi di una rete di sensori dipendono dalla stessa Wake-Up Radio e quindi sfruttano la medesima architettura di rivelazione di energia, allora nell'istante in cui il trasmettitore cerca di svegliare un determinato nodo si sveglieranno di conseguenza anche tutti gli altri nodi appartenenti alla stessa rete di sensori. Ciò implica un inevitabile se non dispendioso spreco di energia.

Facendo riferimento all'architettura [4], se cinque WUR vengono impiegate per ricevere lo stesso onda quadra alla frequenza di 14 kHz, allora tutte e cinque le WUR si sveglieranno sia che il trasmettitore abbia intenzione di comunicare con tutte contemporaneamente sia che esso voglia comunicare con una singola WUR. In quest'ultimo caso ciò vuol dire che quattro su cinque degli appena citati nodi, erroneamente si sveglieranno e attiveranno i rispettivi ricevitori principali senza motivo.

2.3.3 Consumo

Una WURX con 50 μ W di potenza dissipata è considerata a bassissimo consumo. Tuttavia, se integrata in un nodo di sensori o su microcontrollore, la potenza dissipata dalla WRX inciderà maggiormente in termini energetici durante lo Sleep Mode del nodo. Considerando per il momento nodi con potenza dissipata nell'ordine delle decine di μ W, a causa del leakage delle SRAM e della logica di controllo, anche le WRX allo stato dell'arte domineranno sull'intero budget di potenza durante lo Sleep Mode.

2.4 Filosofia di progetto di Wake-Up Radio a bassissimo consumo

La strategia di progetto di WURX a bassissimo consumo implica che la potenza attiva della WRX sia inferiore rispetto alla potenza dissipata dall'intero nodo durante lo Sleep Mode. Nella stima della potenza dissipata, qualora la WURX venga integrata su nodo, ovviamente deve essere esclusa la componente attribuibile alla stessa WRX.

2.5 Approccio innovativo per il progetto di Wake-Up Radio a bassissimo consumo

Al fine di servire un ambiente multiutente, la WRX deve essere in grado di prevenire falsi Wake-Up rigettando sia interferenti in banda che fuori banda ma anche disturbi costanti in frequenza (Jammer). La capacità di riuscire a svegliare un singolo nodo anche in presenza di tali disturbi è necessaria per ottenere la riduzione del consumo di potenza.

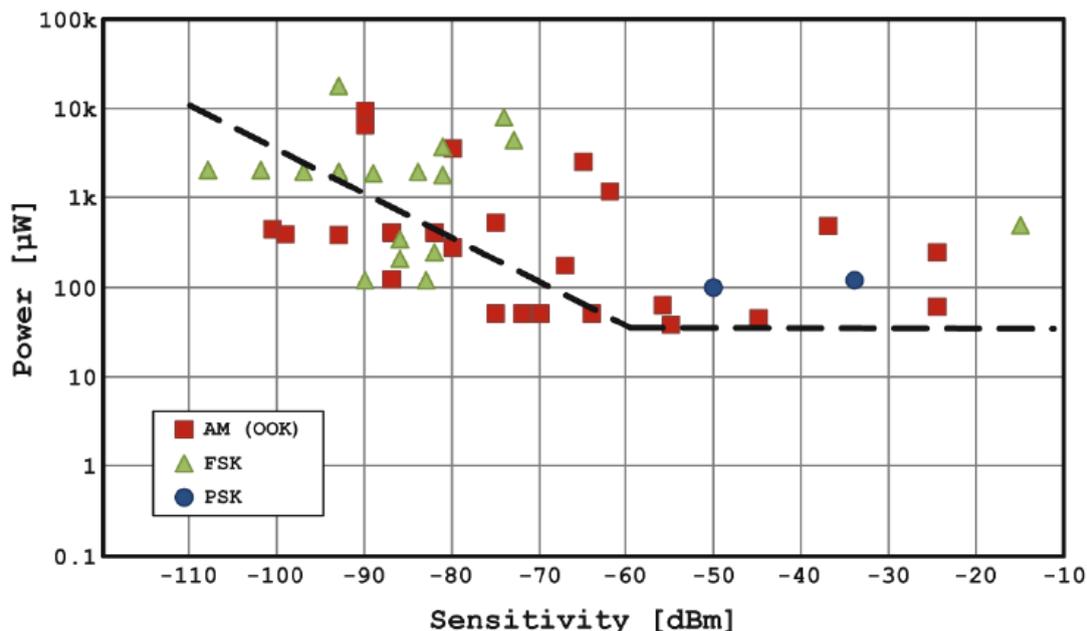


Figura 6. Potenza dissipata vs Sensitivity di una Wake-Up Radio [1]

Il grafico di Figura 6 mostra i risultati in termini di potenza dissipata in funzione della Sensitivity di diversi lavori in ambito WRX pubblicati negli ultimi anni [1]. Sull'asse x è graficata la Sensitivity in dBm, mentre sull'asse y la potenza in uW. La regione comprendente Sensitivity inferiori a -60 dBm (cioè da -60 dBm a -10 dBm) mostra come la variazione di Sensitivity non sia correlata alla potenza del ricevitore. Ciò è dovuto al fatto che a questi livelli di Sensitivity, la Radio non è limitata dal rumore e dunque non necessita di utilizzare livelli di potenza superiori per amplificare il segnale. Dai risultati di questi lavori è possibile notare come il plateau a 50 uW sia indipendente da livelli di Sensitivity inferiori a -60 dBm.

Aumentando la Sensitivity da -60 dBm a -110 dBm è possibile evidenziare uno slope pari a circa -0.5 uW/dBm. Ciò suggerisce che esista una correlazione tra Sensitivity e potenza: un cambio di 20 dBm in Sensitivity si traduce in un x10 in potenza.

Tale affermazione, in ambito di WRX permette di identificare dei compromessi progettuali. Ad esempio, la maggior parte dei progetti di radio implicano l'ottimizzazione della Sensitivity al fine di massimizzare il più possibile il range di comunicazione. Ciò spesso implica un sovradimensionamento del progetto in termini di potenza dissipata. Ciò costituisce un punto estremamente critico per reti di sensori che utilizzano range di comunicazione ristretti. Pertanto la Sensitivity deve essere valutata in maniera differenziata a seconda della tipologia di sistema in cui la WRX opera.

2.5.1 Ottimizzazione della Sensitivity

La Sensitivity della radio determina il più piccolo segnale che può essere rivelato e demodulato correttamente. Tale specifica impatta direttamente sia sul consumo di potenza della radio che sul range di comunicazione. Un valore di sensitività maggiore (ossia sempre più negativo) implica che la radio sia in grado di rivelare segnali sempre più piccoli e quindi di comunicare su distanze maggiori. Per migliorare la Sensitivity sono necessarie ottime prestazioni in termini di amplificazione e rumore. L'immunità al rumore (essendo quest'ultimo spesso presente alle frequenze RF e IF) implica l'impiego di quantità di energia addizionale.

Se la sensitività risulta troppo bassa allora la comunicazione risulta difficoltosa e inaffidabile.

Per questo motivo, la richiesta sulla Sensitivity deve raggiungere spesso specifiche piuttosto spinte e spesso implica inevitabilmente sovradimensionamenti al fine di assicurare la possibilità di comunicazione anche nelle condizioni più avverse.

Con la riduzione del range di comunicazione (come nelle on-body communication) e senza la costante necessità di comunicazione, la Sensitivity può essere il parametro utilizzato per la della potenza dissipata.

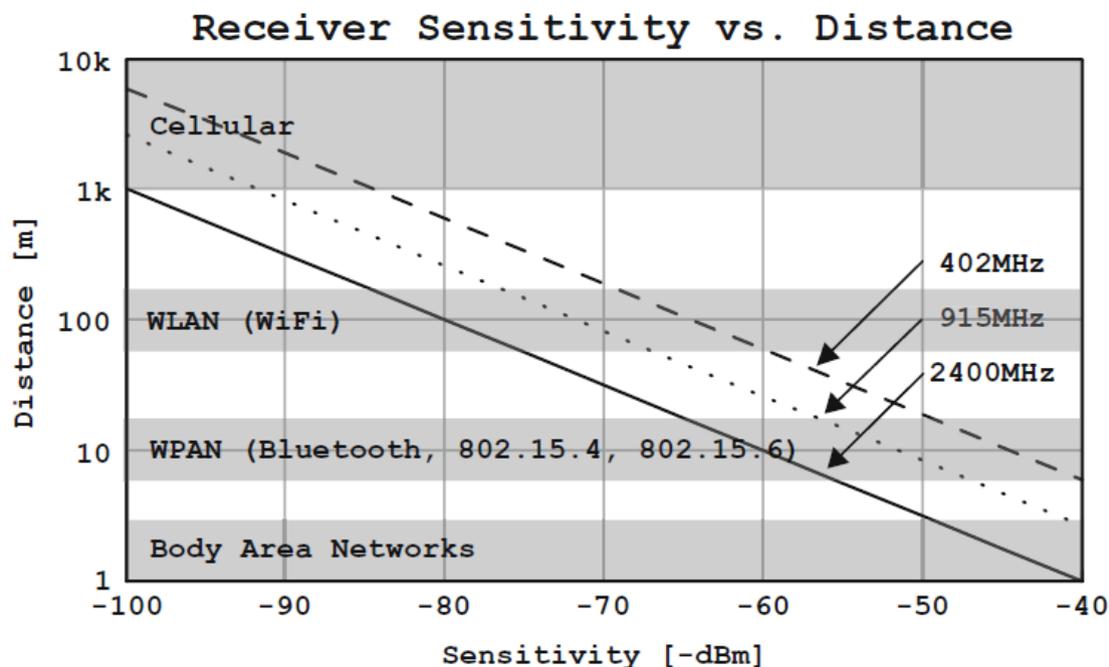


Figura 7. Range di comunicazione in funzione della Sensitivity [1]

Il grafico di Figura 7 mostra la distanza di comunicazione in funzione delle Sensitivity. Per tecnologie cellulari e WLAN (WiFi) che richiedono range di comunicazione ampi, la specifica di Sensitivity risulta estremamente importante. Tuttavia, per range di comunicazione ridotti come nelle WPAN e nelle WSN, lo sforzo per ottimizzare la Sensitivity può essere ridotto.

2.5.2 Riduzione di falsi wake-up

In questo paragrafo è spiegato come l'utilizzo di codici può essere impiegato per rigettare interferenti in banda e fuori banda e anche per permettere la generazione di wake-up univoci.

La WRX presentata in [4] è basata per la generazione del segnale di wake-up su un'onda quadra a 14 kHz. Tale architettura può essere utilizzata sia per ottimizzare l'immunità alle interferenti che per i wake-up univoci.

Invece che utilizzare un'onda quadra, è possibile utilizzare codici CDMA con un indice di cross-correlazione elevato [1] per aumentare le prestazioni di affidabilità della WRX nei confronti di interferenti e per rendere gestibile la possibilità di risvegli singoli. Tale metodologia è ideale per ricevitori che utilizzano modulazione OOK come le WRX. Un indice di cross-correlazione elevato per codici CDMA (come il codice Kasami a 15 bit) permette l'utilizzo di codici multipli e la riduzione della probabilità di comparsa di falsi wake-up.

L'utilizzo di codici CDMA con modulazione OOK rende inutili le WRX in presenza di segnali che interferiscono con quello utile. A tal proposito, la capacità di controllare i livelli di demodulazione dei comparatori con isteresi permette di aumentare la rielezione della WRX

agli interferenti. Se il segnale desiderato ha maggiore energia rispetto agli interferenti, allora la WRX è in grado di rilevare il wake-up. Ciò vuol dire che se il segnale desiderato ha un contenuto energetico importante, allora è possibile abbassare il livello di Sensitivity e quindi la potenza. In questo modo i segnali indesiderati per causare interferenze devono possedere un contenuto energetico molto importante.

In sintesi, la riduzione di Sensitivity può essere investigata per ridurre la dipendenza della stessa Sensitivity dal guadagno a radiofrequenza e dunque ridurre i livelli di potenza. Codici CDMA possono essere utilizzati per ridurre gli effetti degli interferenti, evitare falsi wake-up e rendere concreta la possibilità di wake-up individuali. In [5] è mostrato come il controllo della soglia del comparatore demodulante permette di migliorare le prestazioni della WRX.

3. Esempio di Wake-Up Radio a bassissimo consumo (116 nW): impiego dello schema a sovra-campionamento 4x

In questo paragrafo è presentata l'architettura di un Wake-Up Radio a bassissimo consumo, in grado di eliminare sia i falsi wake-up che gli effetti degli interferenti [5]. Tale WRX utilizza la tecnica di riduzione della Sensitivity per abbassare il consumo di potenza fino a 116 nW.

I falsi wake-up sono eliminati da un processore sottosoglia operante in banda base e capace di demodulare un codice a 31 bit modulato in OOK prima di rivelare l'eventuale wake-up. Le interferenze sono compensate grazie all'utilizzo di un Automatic Threshold Controller (ATC) in grado di adattare la Sensitivity in base ai livelli energetici degli interferenti. È ovviamente presente un front-end RF in grado di operare su un range di frequenze ampio e regolabile. Il controllo della larghezza di banda non è affidato all'ATC ma ad un circuito composto da un filtro per la selezione della banda e da una matching network. È stata dimostrata la fattibilità di utilizzo dell'architettura nelle bande ISM a 915 MHz e 2.4 GHz e nella banda MICS a 403 MHz. La WRX raggiunge una bit-rate di 12.5 kbps, con una occupazione di area pari a 0.35 mm², utilizzando 1.2 V di alimentazione per il quarzo e per la demodulazione RF e 0.5 V di alimentazione per la parte di processing sottosoglia in banda base.

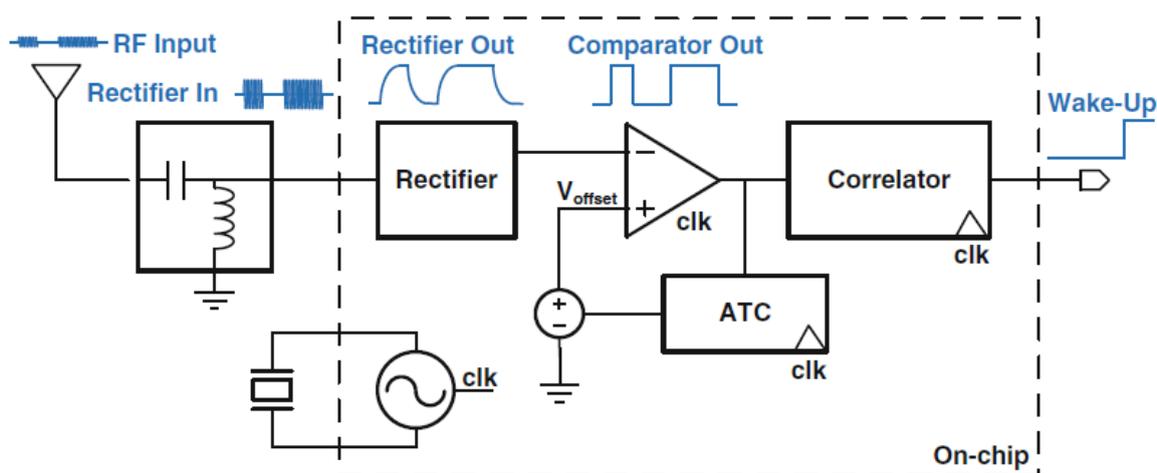


Figura 8. Schema a blocchi della WRX CDMA presentata in [5]

Lo schema a blocchi di Figura 8 mostra l'architettura della WRX CDMA presentata in [5]. Il segnale RF passa attraverso un rete passiva di adattamento in ingresso che serve per adattare l'impedenza dell'antenna all'impedenza di ingresso del rettificatore effettuando dunque anche una azione filtrante del segnale prima che esso entri nel chip. Un rettificatore

a trenta stadi effettua la down-conversion del segnale dalla radiofrequenza alla banda base. Una volta che il segnale è convertito in banda base è passato dal rettificatore ad un comparatore dinamico operante ad una frequenza di clock pari alla bit rate moltiplicata per un fattore quattro (sovra-campionamento 4x). La tensione di offset del comparatore è controllata dall'ATC che effettua una operazione di compensazione degli interferenti. Un banco di quattro correlatori a 31 bit confronta costantemente la sequenza ricevuta con un codice di wake-up programmato e immagazzinato all'interno di un elemento di memoria. Il wake-up viene rivelato se la correlazione tra la sequenza ricevuta e il codice di wake-up memorizzato supera una soglia programmata e definita all'interno del correlatore. La frequenza di clock del ricevitore è generata da un oscillatore da 50 kHz off-chip integrato e basato su cristallo. L'oscillatore e il comparatore funzionano con 1.2 V di alimentazione, mentre tutta la logica digitale opera in regione di sottosoglia con tensione di alimentazione pari a 0.5 V. Il progetto su larga banda del rettificatore permette alla WRX di operare da 400 MHz a 2.4 GHz. La banda può essere selezionata utilizzando un filtro congiuntamente ad una matching network off-chip. La potenza in fase di Sleep Mode è stata progettata attentamente utilizzando una tecnologia ad ossido spesso.

3.1 Descrizione del circuito

Per il progetto della Wake-Up radio è stata utilizzata una rete di adattamento in ingresso off-chip a due elementi. Tale rete aggiunge 5 dB di guadagno di tensione. L'impedenza di ingresso del chip è stata misurata utilizzando un analizzatore di rete vettoriale (VNA) e successivamente è stata progettata la rete di adattamento in ingresso in modo tale da adattare l'impedenza di ingresso ai 50 Ohm di impedenza caratteristica dell'antenna. La rete di adattamento sintetizzata è composta da una capacità in serie e da una induttanza in parallelo. Per completezza si riportano i valori di induttanza e capacità utilizzati per effettuare l'adattamento alla frequenza di 400 MHz: $L=15.7$ nH, $C=12$ pF. Dispositivi come BAW e risonatori FBAR possono essere utilizzati per la selezione della frequenza di utilizzo.

Il criterio di progetto delle Wake-Up Radio che mira alla riduzione della potenza durante lo Sleep Mode implica, come detto, la riduzione della sensibilità. A tal proposito è possibile pensare di eliminare l'LNA poiché per basse Sensitivity non è necessario amplificare il segnale ricevuto. Utilizzando un rettificatore a basso consumo al posto di un LNA è possibile risparmiare una notevole quantità di energia limitando così il range di comunicazione e dunque la potenza dissipata nell'ordine dei nanowatt.

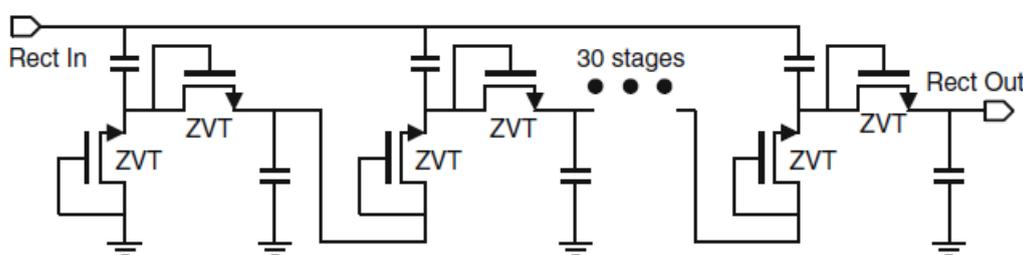


Figura 9. Rettificatore basato sul moltiplicatore Dickson [1]

Lo schema di Figura 9 mostra come la struttura del rettificatore sia la stessa del moltiplicatore Dickson. Tutti transistori presenti nello schema operano nella regione di sottosoglia al fine di ottimizzare il risparmi energetico. Il rettificatore sottosoglia utilizza transistori a soglia bassa organizzati in trenta stadi. Ciò è fatto per ottenere un sufficiente guadagno RF e tempi per la carica delle capacità brevi. È presente anche un limitatore di tensione (tra matching network di ingresso e rettificatore) che serve per far sì che la tensione rettificata non superi la tensione

di breakdown dei transistori, ciò rende possibile la riduzione del fattore di qualità della rete di adattamento in ingresso e la sintesi della stessa su larga banda.

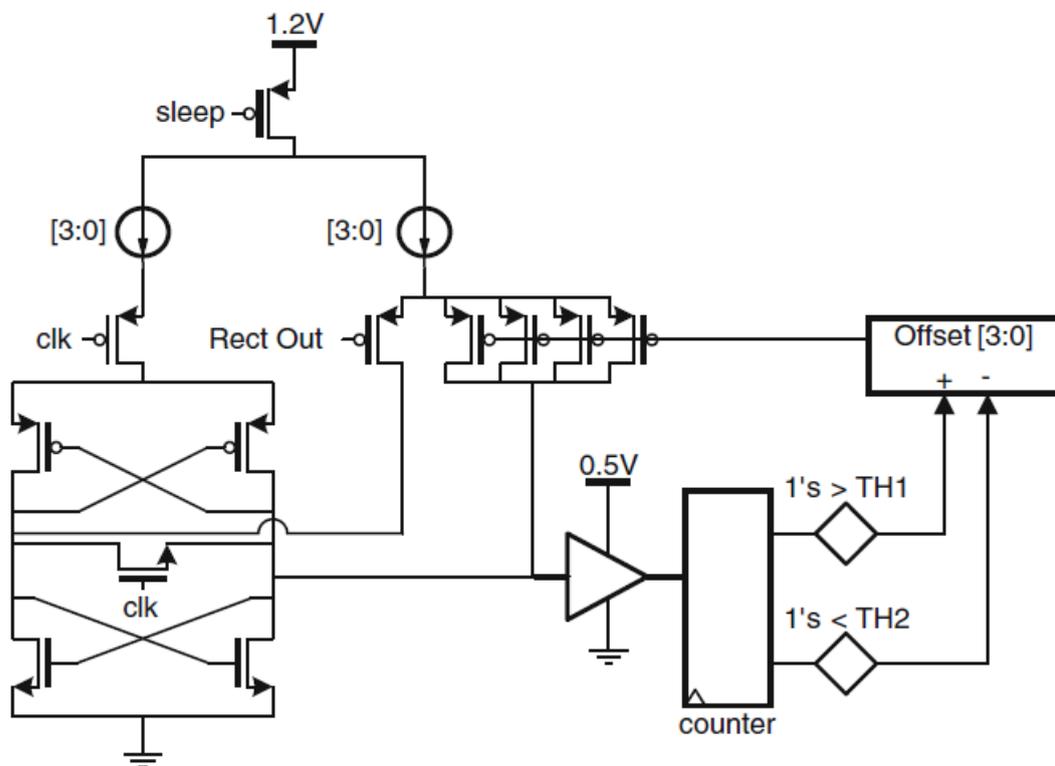


Figura 10. Comparatore dinamico e ATC [1]

Il comparatore basato su latch mostrato in Figura 10 utilizza un segnale di clock a 50 kHz. Sono presenti due generatori di corrente separati e controllati da DAC a quattro bit. La soglia del comparatore è programmata da una stringa a quattro bit che permette di modificare la sensibilità del ricevitore. La soglia del comparatore è controllata da un anello di retroazione governato dall'ATC che cambia dinamicamente l'offset del comparatore in funzione dell'ampiezza degli interferenti.

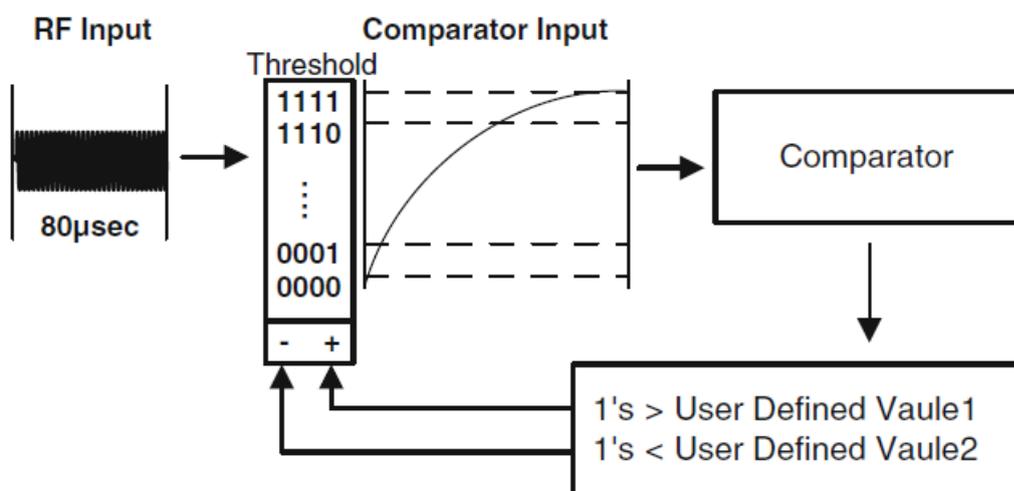


Figura 11. Principio di funzionamento dell'ATC [1]

In Figura 11 è mostrato un diagramma che esemplifica il principio di funzionamento dell'ATC. Al suo arrivo, il segnale RF entra prima nel rettificatore e successivamente passa per il comparatore. Il comparatore confronta il segnale con una opportuna soglia. L'ATC monitora i campioni provenienti dall'uscita del comparatore per un intervallo di tempo pari ad una parola di codice a 31 bit. Se il numero degli uni è maggiore del parametro Value1 ciò vuol dire che la soglia del comparatore eccede continuamente l'ampiezza delle interferenti. In questo caso, l'ATC aumenta la soglia del comparatore per far sì che la Sensitivity del ricevitore permetta di eseguire una azione filtrante sugli interferenti. Se il numero degli zeri in uscita dal comparatore supera il parametro Value2 allora l'effetto degli interferenti è annullato. In questo caso l'ampiezza degli interferenti supera la soglia del comparatore. Quando ciò avviene, l'ATC riduce la soglia del comparatore in modo da aumentare la sensibilità del ricevitore. È introdotta una isteresi tra Value1 e Value2 per eliminare la presenza del ciclo limite. Grazie a questo meccanismo, il comparatore è in grado di rigettare gli interferenti. Nel caso in cui il segnale interferente sia modulato BPSK oppure OOK, la soglia del comparatore è impostata ad un livello corrispondente al caso peggiore (cioè interferente di ampiezza massima) per far sì che il comparatore fornisca in uscita il segnale corretto. Un banco di quattro correlatori confronta costantemente il segnale in uscita dal comparatore. Tale segnale è sovra-campionato (campionamento 4x), il risultato del campionamento è confrontato con un codice CDMA a 31 bit. In tal modo, è possibile sincronizzare il ricevitore alla frequenza del codice trasmesso e rivelare il segnale di wake-up se, e solo se, il codice desiderato è stato ricevuto. Il processore in banda base è sintetizzato utilizzando transistori in regione di sottosoglia al fine di ridurre il consumo del ricevitore. È possibile selezionare otto differenti Gold Codes utilizzando dei bit di controllo di una scan chain. Ciò permette al singolo trasmettitore di utilizzare solamente otto possibili codici per il wake-up. Un Gold Code è una sequenza binaria caratterizzata da un determinato valore di cross-correlazione con sequenze appartenenti allo stesso insieme di possibili codici di wake-up. I Gold Codes sono spesso utilizzati in protocolli CDMA e possono essere facilmente implementati utilizzando due LFSR e uno XOR. Nella architettura presentata, la parola di codice è a 31 bit, le possibili parole di codice sono otto (corrispondenti a tre diversi valori di cross-correlazione). In Figura 12 è mostrato lo schema a blocchi del banco di correlatori. Per la sincronizzazione del ricevitore con il codice trasmesso, quattro correlatori funzionano in parallelo. Ogni correlatore riceve una versione traslata dei campioni di ogni bit. Il ricevitore utilizza una tecnica di sovra-campionamento 4x. In ogni correlatore tutti i possibili shift del Gold Code a 31 bit sono correlati simultaneamente con lo stream di bit ricevuti. Solamente dopo la ricezione di una parola a 31 bit è possibile garantire l'effettivo wake-up. I correlatori come già detto sono quattro, ogni correlatore sarà caratterizzato da un differente numero di confronti corretti. Tale numero dipende dalle traslazioni del codice e dalla differenza di fase tra segnale di clock del ricevitore e la parola di codice inviata. La logica di controllo interna al banco di correlatori comprende oltre alla soglia programmabile anche quattro contatori associati ai quattro correlatori. Ciascun contatore si aggiorna per ogni confronto andato a buon fine. Il segnale di Wake-Up è rivelato se ogni correlatore è caratterizzato da un numero di confronti corretti superiore rispetto alla soglia preimpostata. In riferimento allo schema di Figura 13 è possibile spiegare il funzionamento del banco di correlatori come segue. Ogni bit ricevuto è campionato quattro volte, ciascun correlatore confronta due campioni dello stesso bit con il bit della parola di codice. Ad esempio, se si indica con b_{31} il bit trentunesimo della parola di codice: il correlatore 1 confronta il terzo e il quarto campione con b_{31} , il correlatore 2 confronta il primo e il quarto campione con b_{31} , il correlatore 3 confronta il primo e il secondo campione con b_{31} mentre il correlatore 4 confronta il secondo e il terzo campione con b_{31} . Ogni codice a 31 bit è dunque tradotto in 62 confronti. Un correlatore con soglia programmabile permette all'utente di definire un valore tra 1 e 61. A seguito dell'operazione di confronto deve essere verificato che il numero di confronti andato a buon fine superi la soglia prefissata dall'utente. Nel caso in cui il valore di soglia è superato, avviene la rivelazione del segnale di wake-up. Il valore di soglia può essere impostato per garantire un minimo numero di confronti andati a buon fine. Abbassando la soglia del correlatore si riduce il numero di bit ricevuti correttamente. Ciò permette di tollerare una maggiore Bit Error Rate (BER) e di aumentare la Sensitivity del

ricevitore. Una maggiore BER implica un maggior numero di falsi wake-up. Una soglia del correlatore alta serve per ridurre il rischio di falsi wake-up, evitando sprechi inutili di energia ma al tempo stesso riduce la sensibilità del ricevitore. Ancora una volta è dimostrato come Sensitivity e potenza anche per l'architettura in esame risultino essere in compromesso.

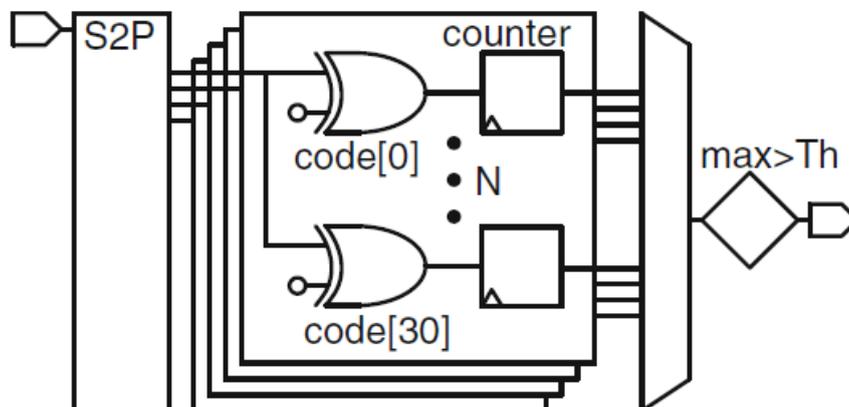


Figura 12. Schema a blocchi del banco di correlatori [1]

Nella architettura appena descritta, un oscillatore al quarzo con frequenza pari a 50 kHz è utilizzato come clock di riferimento per la Wake-Up Radio. La Figura 14 mostra lo schema circuitale dell'oscillatore basato su quarzo. In particolare, lo stadio di amplificazione primario dell'oscillatore è costituito da un inverter con retroazione resistiva. I transistori presenti nello schema operano in regione di sottosoglia. In [5] è riportato che il consumo di corrente dell'oscillatore risulta essere pari a 20 nA. Tale soluzione permette di sintetizzare una frequenza di clock pari a 50 kHz con una potenza dissipata pari a 30 nW (in regime oscillatorio) utilizzando una alimentazione da 1.2 V. Durante il flusso di progetto di una WRX la potenza dissipata durante lo Sleep Mode deve essere, come detto in precedenza, accuratamente dimensionata. Dispositivi con ossido di gate spesso, possono essere utilizzati per la gestione ottimale dell'energia durante lo Sleep Mode. Il tempo di Wake-Up dipende fortemente dal lento startup dell'oscillatore al quarzo. L'oscillatore al quarzo mostrato in precedenza ha un tempo di startup pari a 1.1 sec. Una volta fornita la corrente sufficiente per l'ottenimento del valore critico di g_m è necessario attendere 1.1 sec prima che il circuito inizi ad oscillare stabilmente. Ponendo la Wake-Up Radio nella modalità Full Sleep Mode (modalità nella quale ogni circuito risulta essere in stato di power-gating) in [5] è stato dimostrato come la potenza dissipata risulti essere pari a 18 pW.

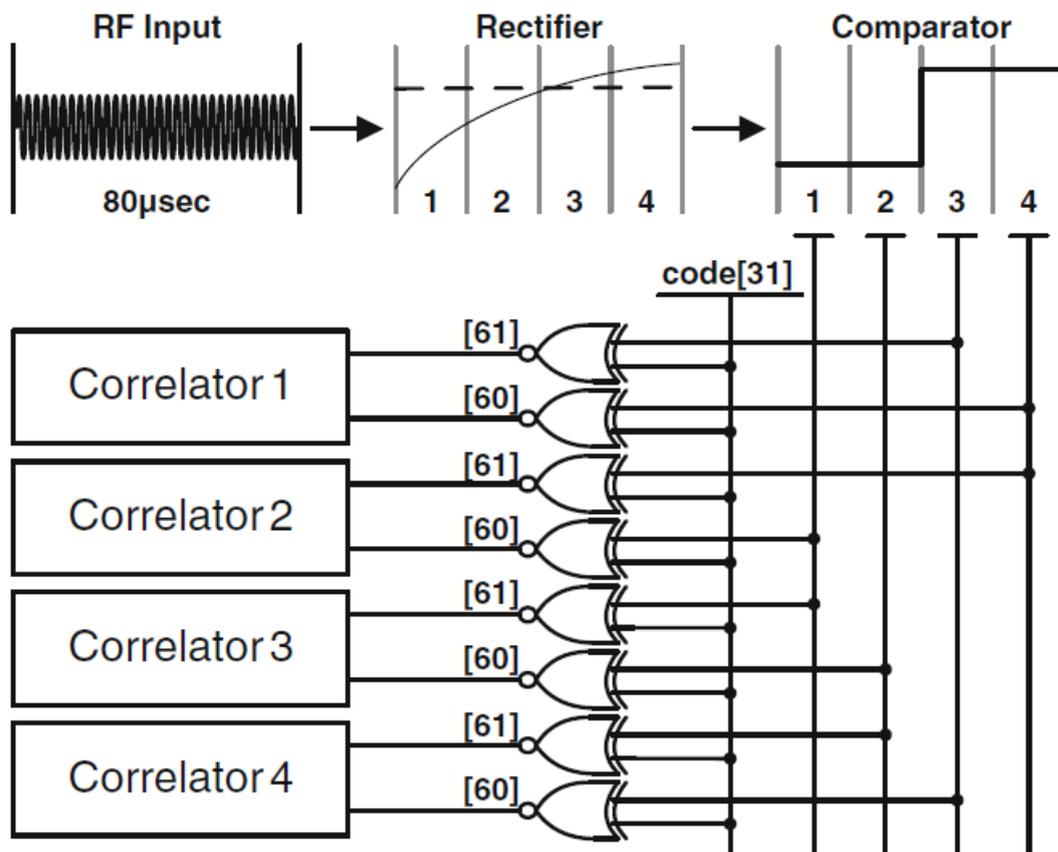


Figura 13. Funzionamento del correlatore [1]

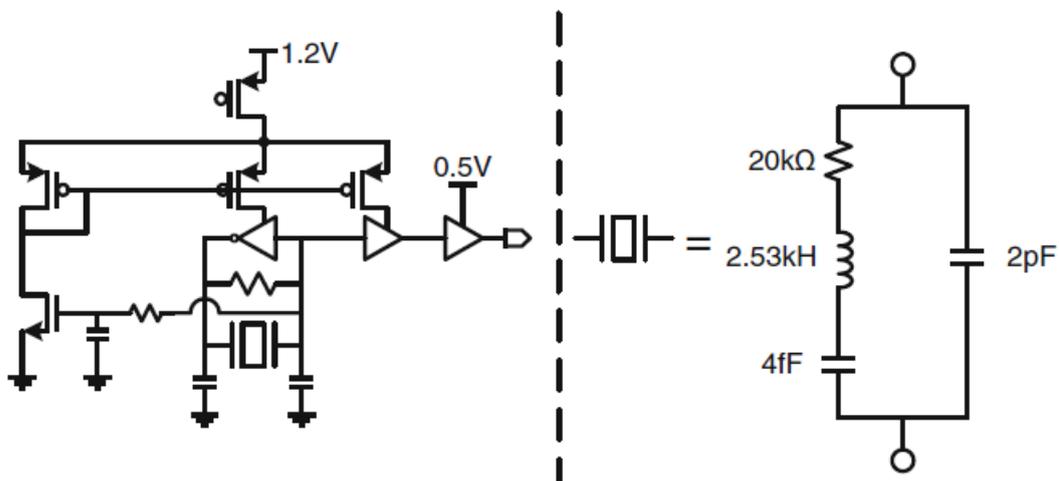


Figura 14. Oscillatore a 50 kHz utilizzato in [5]

4. Tecnica di sovracampionamento 2x

Nel precedente paragrafo è stata mostrata l'architettura di una WRX facente uso della tecnica di sovra-campionamento 4x e di un oscillatore basato su quarzo. In [6] è stata presentata l'architettura di una WRX a bassissimo consumo (4.5 nW) facente uso di uno schema a sovra-campionamento 2x e di un oscillatore a rilassamento per la generazione del segnale di clock.

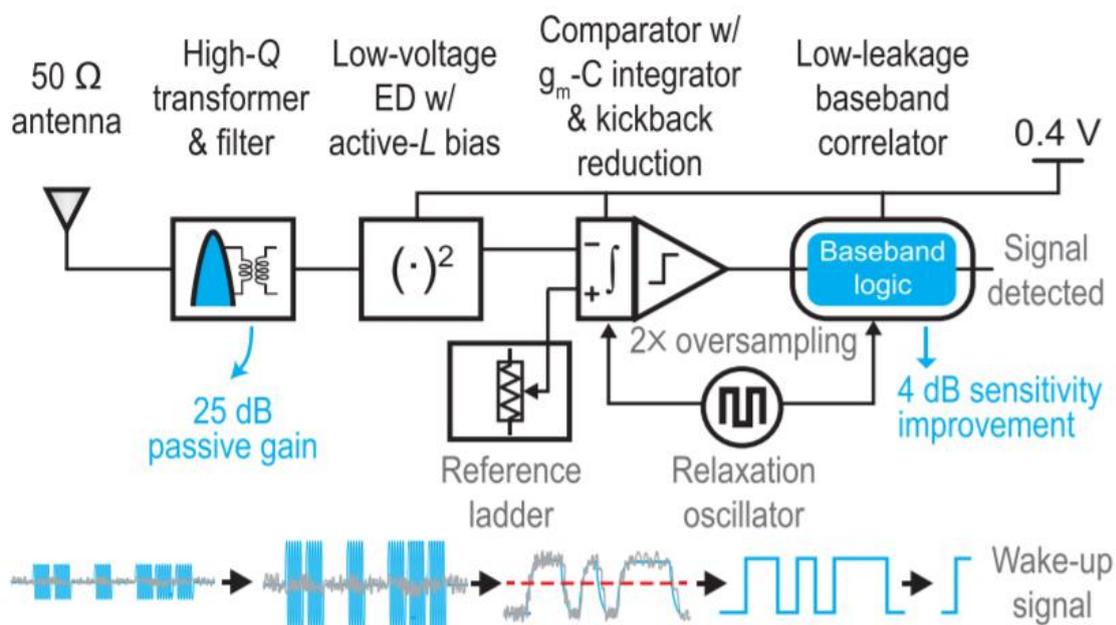


Figura 15. Schema a blocchi della Wake-Up Radio proposta in [6]

Data la similitudine delle architetture presentate in [5] e in [6], in questo paragrafo si focalizza l'attenzione solamente su quella che in Figura 15 è indicata come Baseband logic e sull'oscillatore a rilassamento.

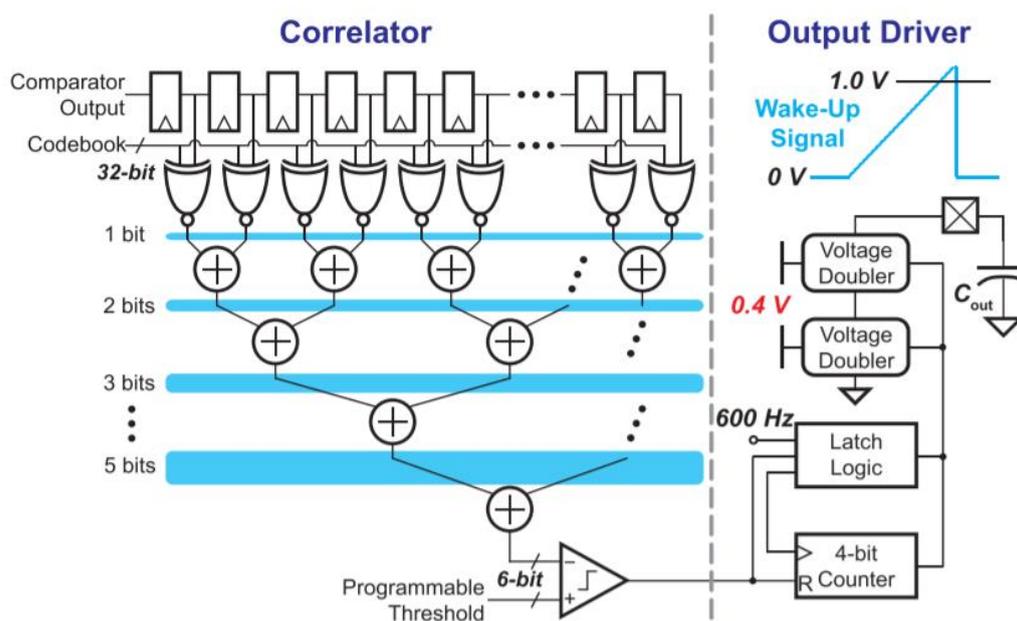


Figura 16. Logica di correlazione (Baseband Logic)

In Figura 16 è mostrata la logica di correlazione impiegata in [6] per l'elaborazione dei dati provenienti dal comparatore. Il correlatore permette di compensare il disallineamento tra la fase del segnale di clock e la fase del dato effettuando un sovra-campionamento 2x dei dati in uscita dal comparatore. In [6] è stato determinato un codice ottimale a 16 bit (1110101101100010) al fine di garantire una ampia distanza di Hamming ($D=9$) tra lo stesso codice e tutte le sue versioni shiftate. Tale distanza è mantenuta costante anche per la sequenza nulla. A partire dall'istante di tempo nel quale il dato in uscita dal comparatore inizia a scorrere nella catena di Flip-Flop D (FFD), il correlatore calcola la distanza di Hamming tra la parola in uscita dal registro a scorrimento e la parola di Wake-Up presente in memoria. Se il valore di correlazione calcolato tra la parola di codice e il dato ricevuto supera una determinata soglia, il correlatore genera il segnale di Wake-Up.

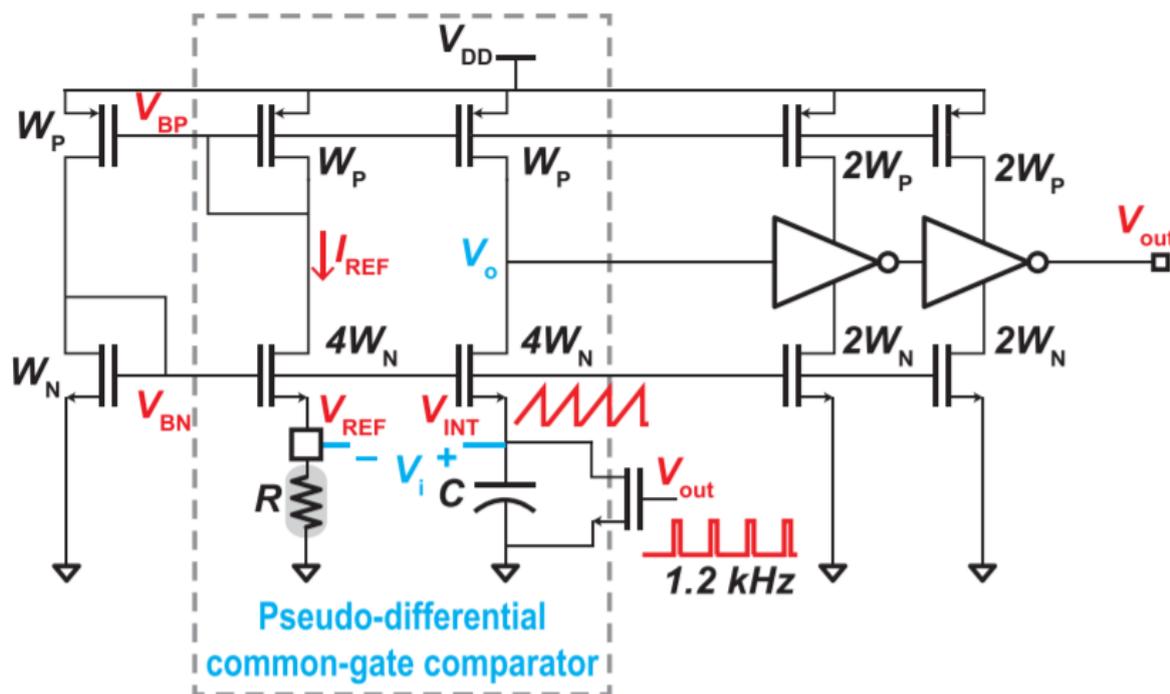


Figura 17. Schema circuitale dell'oscillatore a rilassamento impiegato in [6]

Il clock di sistema per l'architettura [6] è generato attraverso il circuito di Figura 17. L'oscillatore è composto da un generatore di riferimento (nel quale un ramo è condiviso con un comparatore pseudo-differenziale a gate comune), una catena di inverter ed uno switch. Il generatore di riferimento opera in regione di sottosoglia e genera una corrente di riferimento (indicata in Figura come I_{REF}) e una tensione di riferimento attraverso una resistenza off-chip. La corrente I_{REF} è utilizzata per caricare un condensatore di tipo MIM. Il condensatore è connesso tra il comparatore a gate comune e massa. L'uscita del comparatore è portata al valore logico alto quando V_{INT} supera V_{REF} . Successivamente la catena di inverter chiude l'interruttore e resetta la tensione ai capi della capacità. La capacità è caricata e scaricata periodicamente con un periodo $T=RC$. Il buffer del segnale di clock è stato implementato utilizzando degli invertitori di tipologia current-starved il cui ritardo è determinato dalla corrente I_{REF} . Tale topologia circuitale permette di ottenere performance energetiche migliori rispetto alle soluzioni basate su invertitori dinamici (CV_{DD}^2). Dal momento che il consumo di potenza è determinato largamente dalla potenza statica del generatore di riferimento e dal comparatore, il consumo di potenza dell'oscillatore può essere minimizzato utilizzando resistenze di polarizzazione di valore elevato (ad una resistenza del valore di $30\text{ M}\Omega$ corrisponde una corrente di circa 0.5 nA). Per compensare la variazione del valore di capacità e del ritardo introdotto dal comparatore, il valore della resistenza off-chip è trimmerato per ottenere una frequenza di oscillazione pari a 1.2 kHz . L'uscita dell'oscillatore è divisa in frequenza e portata ad un buffer al fine di ottenere un clock di

sistema a 600 Hz con un duty cycle del 50%. La frequenza varia da 617 Hz a 585 Hz per variazioni della tensione di alimentazione da 0.35 V a 0.45 V. Ciò corrisponde ad una variazione della frequenza del 5.3%. Per variazioni di temperatura pari a 10 °C la frequenza varia del 4.9 %. La sensibilità dell'oscillatore a variazioni di alimentazione e temperatura sono dovute principalmente al comparatore e al ritardo introdotto dal buffer. Lo schema di campionamento 2x e sequenze di codice di lunghezza ridotta rendono la WRX presentata in [6] insensibile alle variazioni del segnale di clock.

5. ARCES-STMicroelectronics Wake-Up Radio

In [7] è presentata l'architettura di una Wake-Up Radio a bassissimo consumo progettata presso il centro di Ricerca ARCES-STMicroelectronics dell'Università di Bologna. Tale lavoro è un esempio di come possa essere ottimizzata l'efficienza energetica di comunicazioni wireless su range intermedio. La soluzione presentata in [7] ha seguito come filosofia di progetto la seguente: spingere al limite il compromesso tra sensibilità e consumo di potenza. I blocchi fondamentali di questa soluzione sono il rivelatore di inviluppo basato su transistori MOSFET operanti in regione di sottosoglia ed un amplificatore. Questi due blocchi condividono in parte la stessa corrente di polarizzazione. I risultati delle simulazioni di tale sistema hanno evidenziato come la tecnologia BCD10 90 nm della STMicroelectronics permetta di realizzare una Wake-Up Radio con 1.2 V di alimentazione, Sensitivity e corrente di polarizzazione pari a -54 dBm e 11 nW rispettivamente. Nel calcolo della corrente di polarizzazione si considerano i seguenti blocchi della WURX: rivelatore di inviluppo, amplificatore e Trigger di Schmitt. Il sistema presentato in [7] utilizza una modulazione OOK nel range di frequenze sub-GHz e raggiunge una bitrate di 1 kbps. Il progetto di WRX operanti in tale range di frequenze può prevedere l'utilizzo di componenti discreti in grado di combinare rettificatori passivi (utilizzando diodi Schottky) con componenti attivi. I componenti attivi possono essere, ad esempio, sia comparatori che logiche digitali per l'elaborazione delle informazioni e per la gestione della politica di addressing. La demodulazione basata su componenti passivi prevede il vantaggio di non dissipare potenza. Ciò va a scapito però dell'amplificazione del segnale. La moltiplicazione del livello di tensione è a carico dello stesso rettificatore. Le soluzioni allo stato dell'arte a componenti discreti non permettono di ottenere livelli di Sensitivity superiori a -55 dBm. Ciò è dovuto alla sensibilità dei diodi Schottky e al consumo di potenza limitato alle centinaia di nanowatt. Tuttavia, queste soluzioni sono anche le uniche che prevedono valutazioni sul campo con reali protocolli MAC. Le soluzioni integrate sono le più promettenti se si vuole aumentare la Sensitivity e ridurre i consumi. Tipicamente sono implementate utilizzando MOSFET o circuiti integrati ad hoc per il front-end radio comprendente un LNA, anche se quest'ultimo come accennato in precedenza risulta essere opzionale. Le recenti pubblicazioni scientifiche mostrano come le soluzioni integrate permettano di ottenere performance migliori rispetto a quelle a componenti discreti in termini di sensibilità e consumo di potenza.

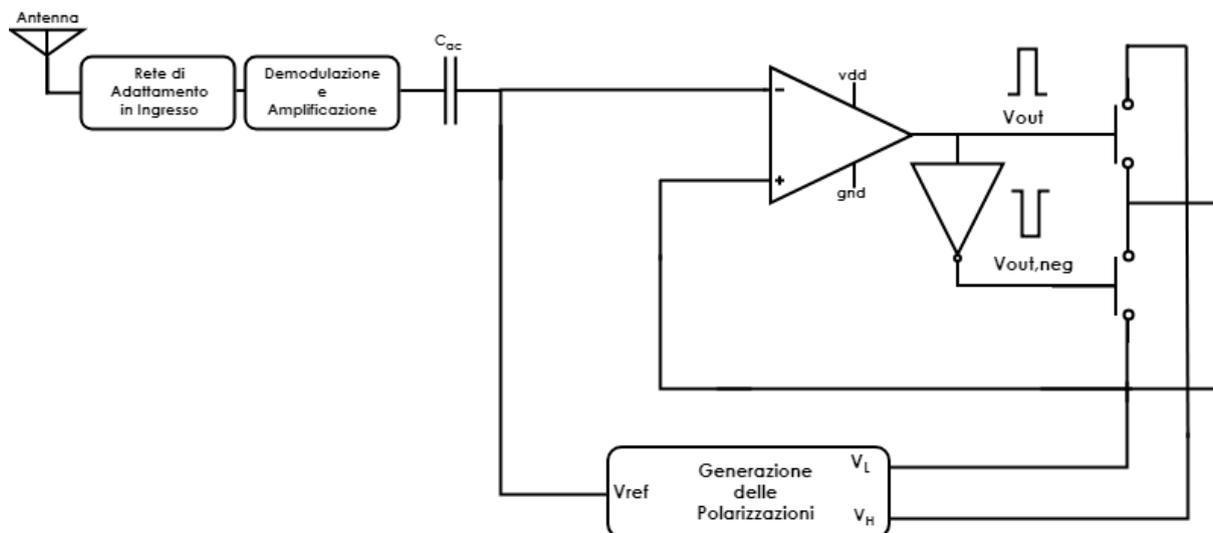


Figura 18. Schema a Blocchi dell'architettura ARCES-STMicrowaveelectronics presentata in [7]

In Figura 18 è mostrata l'architettura della Wake-Up Radio ARCES-STMicrowaveelectronics. Il sistema prevede che la rilevazione dell'involuppo del segnale modulato OOK venga effettuata da un blocco amplificante. Tale scelta risulta di cruciale importanza al fine di rilassare le specifiche di offset e guadagno del comparatore.

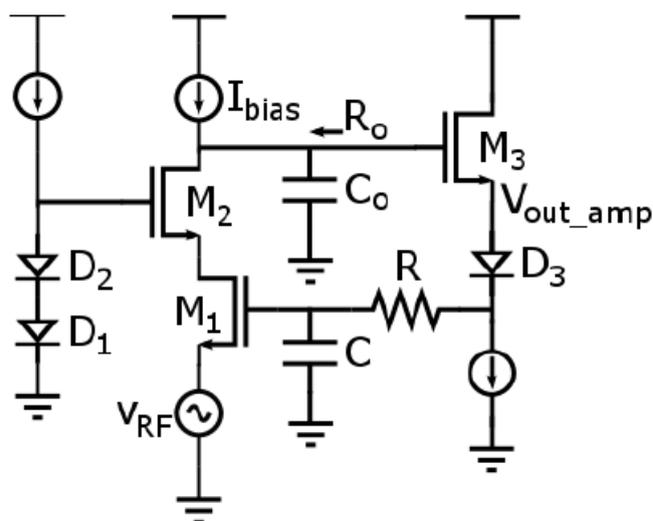


Figura 19. Realizzazione circuitale del blocco di demodulazione e amplificazione [7]

In Figura 19 è mostrato lo schema circuitale utilizzato per la realizzazione del blocco di amplificazione e demodulazione. Il blocco è composto da uno stadio cascode non invertente (transistori M1 e M2) seguito da un source follower (transistore M3). Tale configurazione permette la realizzazione di un percorso di retroazione negativa verso il terminale di gate di M1. In tal modo è possibile ottenere l'auto-polarizzazione dello stesso circuito, il quale non necessita di alcun blocco aggiuntivo per la sintesi del corretto punto di riposo. Tutti i transistori presenti nel circuito operano in regione di sottosoglia. Ciò rende possibile l'ottimizzazione dell'efficienza energetica del sistema. La rivelazione dell'involuppo si basa sulla caratteristica esponenziale della curva $I_{DS}(V_{GS})$ del transistore M1. Si consideri ora la seguente espressione:

$$v_{RF}(t) = V_{OOK}(t) \cos \omega t.$$

Il termine $v_{RF}(t)$ rappresenta il segnale RF a valle della rete di adattamento in ingresso, $V_{OOK}(t)$ è l'involuppo modulato OOK. Si assuma che il gate di M1 alla pulsazione ω venga cortocircuitato a massa attraverso una capacità C. La corrente di drain di M1 può allora essere definita come segue [7]:

$$I_{D1} = I_{bias} e^{\frac{v_{RF}}{nV_t}} \approx I_{bias} \left[1 + \frac{v_{RF}}{nV_t} + \frac{1}{2} \left(\frac{v_{RF}}{nV_t} \right)^2 \right]$$

In tale espressione, n corrisponde al coefficiente di non idealità mentre V_t rappresenta la tensione termica. Sostituendo l'espressione di $v_{RF}(t)$ nell'equazione che esprime la corrente di drain di M1 ed assumendo che le componenti spettrali ad alta frequenza di I_{D1} siano cortocircuitate a massa, è possibile dimostrare come la corrente di drain del cascode contenga solamente termini a bassa frequenza [7]:

$$I_{D2} = I_{bias} \left[1 + \frac{V_{OOK}^2(t)}{4n^2V_t^2} \right] \equiv I_{bias} + \Delta I(t)$$

Il termine $\Delta I(t)$ dipende quadraticamente dall'involuppo, esso può essere interpretato come se fosse generato da un generatore di tensione a bassa frequenza, ovvero [7]:

$$g_{M1} = \frac{I_{bias}}{nV_t} \Rightarrow v_{IN}(t) = \frac{\Delta I(t)}{g_{M1}} = \frac{V_{OOK}^2}{4nV_t}$$

La risposta in frequenza dell'amplificatore a $v_{IN}(t)$ è di tipo passa banda. Il risultato delle simulazioni è mostrato in Figura 20.

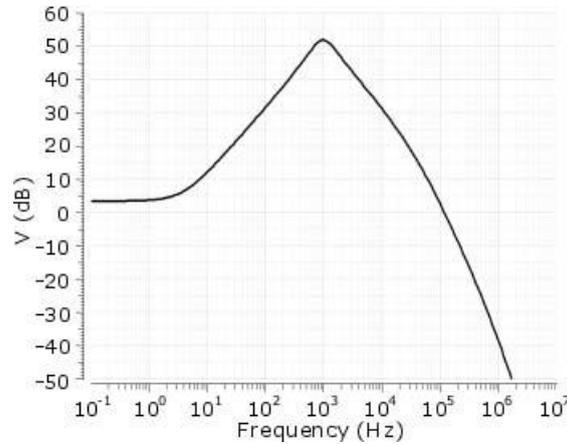


Figura 20. Risposta in frequenza del blocco di amplificazione e demodulazione

Assumendo che il source follower garantisca guadagno unitario, la risposta in frequenza dell'amplificatore può essere espressa come segue [7]:

$$\frac{v_{OUT_AMP}(s)}{v_{IN}} = \frac{1 + sR^*C}{\left(1 + s \frac{R^*C}{g_{M1}R_o} \right) (1 + sR_oC_o)}$$

In particolare, $R^* = R + R_{OUT}^{FOLL}$. Il termine R_{OUT}^{FOLL} rappresenta la resistenza di uscita dello stadio source follower, mentre R_o e C_o costituiscono i valori di resistenza e capacità dei parassiti al drain di M2. L'espressione analitica del guadagno mostra come esso risulti essere limitato a bassa frequenza dall'effetto della retroazione negativa. Per pulsazioni superiori a $1/R^*C$, la capacità C tende progressivamente a cortocircuitare verso massa il segnale retroazionato, in tal modo il guadagno aumenta sino a raggiungere il valore di picco $g_{M1}R_o$. Il polo

secondario è dovuto alla capacità al nodo di drain di M2. La risposta in frequenza deve essere progettata e dimensionata in modo tale da massimizzare il picco del livello di tensione in risposta ad una transizione del segnale di ingresso. M1 e la corrente di polarizzazione I_{bias} determinano le prestazioni di rumore dell'amplificatore. La funzione che descrive il rumore al source di M3 è di tipo passa banda (come la risposta in frequenza dell'amplificatore). Un dimensionamento attento del circuito permette di ridurre gli effetti delle sorgenti di rumore di tipo flicker [7]. La rete di adattamento in ingresso è di tipologia passiva ad alto fattore di qualità. È realizzata su PCB e connessa tra antenna e ingresso del blocco di amplificazione e demodulazione. La rete di adattamento in ingresso fornisce guadagno di tensione addizionale senza dissipare potenza. La rete di adattamento in ingresso è della stessa tipologia dell'architettura [5]: è composta da una capacità in serie e da una induttanza in parallelo. Le simulazioni hanno dimostrato come sia possibile ottenere un guadagno di 18 dB alla frequenza di 868 MHz. Il trigger posto a valle dello stadio di amplificazione e demodulazione è un OTA a due stadi chiuso in un anello di retroazione positiva. In base alla polarità della tensione in uscita dall'OTA, all'ingresso non invertente dell'OTA è fornita la tensione di soglia alta V_H o bassa V_L . A tale proposito due interruttori MOSFET sono inseriti nell'anello di retroazione positiva. Le tensioni di soglia del trigger sono generate da una opportuna rete di polarizzazione. Il trigger è stato progettato al fine di non compromettere la sensibilità del ricevitore in funzione della tensione di offset dello stesso OTA e delle prestazioni in termini di rumore. In generale la sensibilità del ricevitore dipende dalle prestazioni di rumore del blocco di amplificazione e demodulazione. La retroazione positiva del trigger garantisce commutazioni abbastanza veloci da compensare gli effetti delle dimensioni dei transistori dello stadio di ingresso. Assumendo un rapporto segnale rumore pari a 5, in [7] si stima che la Sensitivity del ricevitore sia pari a 5 mV. La rete di adattamento in ingresso fornisce 18 dB di guadagno, pertanto la sensibilità del ricevitore a temperatura ambiente risulta essere pari a -54 dBm. Il grafico di Figura 21 mostra il risultato della simulazione di rumore in transitorio dell'ARCES-STMicroelectronics Wake-Up Radio. Tale simulazione è stata effettuata per la verifica del corretto funzionamento del circuito e per confermare la stima sulla Sensitivity.

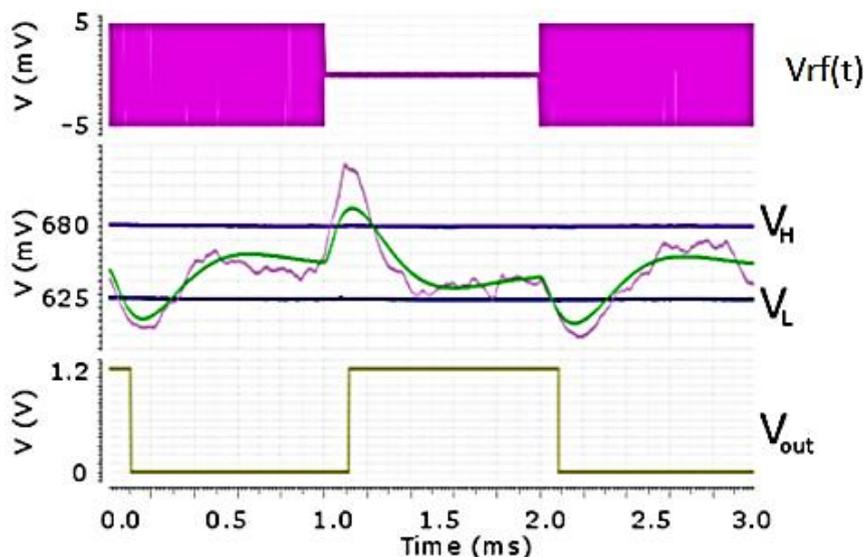


Figura 21. Simulazione di rumore in transitorio con configurazione 101 della componente RF [7].
In rosa è rappresentata la tensione in uscita al blocco di amplificazione e demodulazione in presenza di rumore.
in verde è graficata la stessa uscita in assenza di rumore.

La simulazione tiene conto di tutte le sorgenti di rumore, attribuibili sia ai dispositivi attivi che ai passivi integrati. I picchi di tensione in uscita dall'amplificatore sono sufficientemente grandi per fare commutare il trigger.

L'architettura presentata in [7] permette di raggiungere livelli di Sensitivity simili a quelli ottenuti in progetti di WRX a componenti discreti. Ciò che rende unica l'ARCES-STMicroelectronics Wake-Up Radio rispetto alle WRX a componenti discreti è senz'altro il consumo di potenza. Confrontando il consumo di potenza dell'architettura [7] con quello raggiunto dalle sopracitate WRX, è possibile affermare come nella soluzione [7] sia possibile ridurre il consumo di potenza di un fattore 45. Ciò rende possibile l'introduzione dell'addressing nell'architettura [7]. L'utilizzo di un LNA permette inoltre di aumentare le prestazioni in termini di Sensitivity se, e solo se, l'introduzione di tale componente non compromette le ottime specifiche di potenza.

6. Gestione dell'addressing nella ARCES-STMicroelectronics Wake-Up Radio

In [7] è presentata l'ARCES-STMicroelectronics Wake-Up Radio: una soluzione integrata per Wake-Up Radio operanti per bande sub-GHz che consuma 11 nW ad 1.2 V di alimentazione.

Tale soluzione permette di abbassare i livelli di potenza dissipata e raggiungere le medesime bitrate e Sensitivity delle soluzioni integrate. Come riportato in [7], le prestazioni in termini di efficienza energetica dell'ARCES-STMicroelectronics Wake-Up Radio, rendono possibile l'introduzione di una logica di addressing nella stessa WRX. In uscita dal trigger di Schmitt è presente il risultato della demodulazione e amplificazione del segnale RF (modulato OOK). Il segnale V_{OUT} è uno stream di bit con periodo $T_B=1$ msec. La Wake-Up Radio essendo il ricevitore secondario di un protocollo di comunicazione asincrono necessita di un segnale di clock allineato in fase e in frequenza con lo stream di dati in uscita dal trigger di Schmitt per rivelare il segnale di Wake-Up. In [8] è presentata la rete di controllo digitale utilizzata nell'ARCES-STMicroelectronics Wake-Up Radio. Per il momento si supponga che il segnale di clock fornito alla suddetta rete di controllo sia allineato in fase e in frequenza con lo stream di bit in uscita dal trigger di Schmitt, come mostrato nella seguente Figura 22.

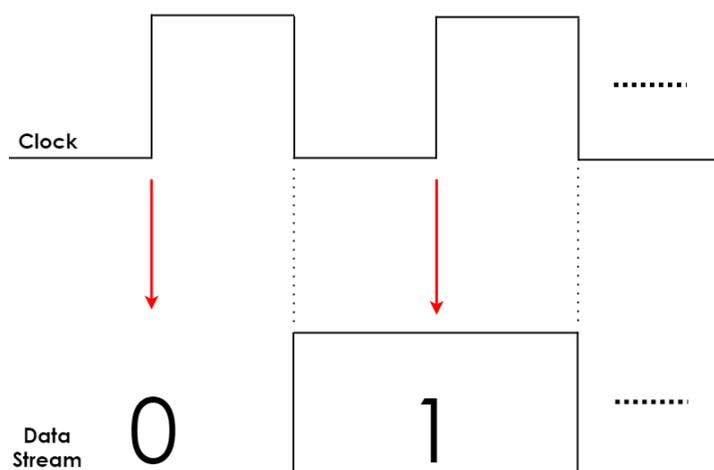


Figura 22. Segnale di clock fornito alla rete di controllo digitale nel caso in cui esso sia allineato in fase e in frequenza con lo stream di dati in uscita dal trigger di Schmitt

In prima analisi è possibile affermare che il nucleo della rete di controllo digitale utilizzata per la rivelazione del segnale di wake-up sia costituito semplicemente da un registro a scorrimento ad N bit. N è il numero di bit della parola di codice presente in memoria.

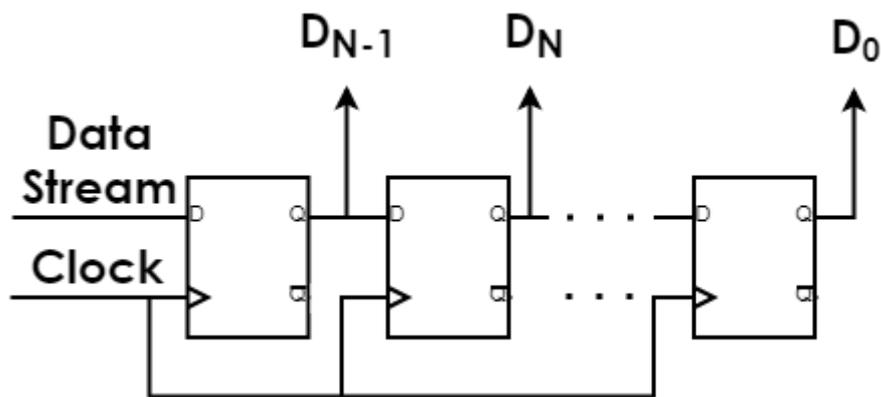


Figura 23. Registro a scorrimento ad N bit

I dati in uscita dal registro a scorrimento ad N bit sono confrontati con una opportuna parola di codice. Il sistema costituito da registro a scorrimento e logica di confronto è indicato in [8] come correlatore. Come nel Digital Baseband presentato in [6], il correlatore include una logica per la selezione dell'indice di correlazione. Se il numero di confronti tra i bit della parola in uscita dal registro a scorrimento e i bit della parola presente in memoria supera un determinato indice di correlazione allora il segnale di Wake-Up è rivelato. Una descrizione più dettagliata dell'architettura presentata in [8] verrà fornita nei successivi capitoli.

In questo lavoro di tesi è presentato il circuito per il clock recovery dei dati in uscita dal trigger di Schmitt dell'ARCES-STMicroelectronics Wake-Up Radio. Come mostrato nella precedente Figura, la rete di controllo digitale presentata in [8] necessita di un segnale di clock per rivelare il segnale di Wake-Up. Non è possibile l'utilizzo di un semplice segnale di clock locale per effettuare il campionamento dei dati poiché esso sarebbe inevitabilmente soggetto a derive. Il circuito di clock recovery presentato in questo lavoro di tesi permette di allineare sia in fase che in frequenza il segnale di clock con lo stream di dati. L'architettura presenta uno schema basato su PLL. L'utilizzo di uno schema basato su PLL permette di estendere l'operazione di clock recovery non solo per effettuare la rivelazione del segnale di Wake-Up, ma permette di beneficiare di un ulteriore vantaggio che sarà chiaro a breve. In [6] è presentata l'architettura di una Wake-Up Radio basata su schema a sovra-campionamento 2x. Il sovra-campionamento dei dati in uscita dal trigger è effettuato utilizzando un segnale di clock generato da un oscillatore a rilassamento. La frequenza di oscillazione dell'oscillatore a rilassamento è mantenuta costante regolando il valore di una resistenza esterna che determina appunto il periodo di oscillazione. In tale soluzione la frequenza di oscillazione è comunque soggetta a derive dovute alla variazione della tensione di alimentazione e della temperatura. In particolare, la variazione del valore della frequenza di oscillazione risulta essere pari al 5% e ciò rende possibile l'utilizzo di tale sistema solamente nel caso in cui la parola di codice abbia una lunghezza prefissata pari a 16 bit. In precedenza è stata mostrata l'architettura della Wake-Up Radio presentata in [5]. Tale architettura prevede uno schema a sovra-campionamento basato su un oscillatore al quarzo. Il consumo di potenza associato all'oscillatore al quarzo (40 nW) risulta essere in antitesi con le prestazioni energetiche dell'ARCES-STMicroelectronics Wake-Up Radio. Il sistema presentato in [7] è caratterizzato da una potenza dissipata pari a 11 nW che risulta essere pari a circa il 25% della potenza dissipata dall'oscillatore al quarzo presentato in [5]. In questo lavoro di tesi è presentato il progetto di un PLL a bassissimo consumo utilizzato per il clock recovery dei dati in uscita dalla ARCES-STMicroelectronics Wake-Up Radio. Una volta entrato in fase di lock, l'utilizzo di un PLL permette per definizione la sintesi di un segnale di clock allineato in fase e in frequenza con lo stream di dati ricevuti. L'architettura progettata in questo lavoro di tesi permette intrinsecamente la compensazione della deriva in frequenza (in [6] le derive dell'oscillatore a rilassamento sono compensate effettuando un processo di calibrazione). Ciò evita l'utilizzo sia di un sistema di trimming esterno (per la calibrazione della costante di tempo dell'oscillatore) sia l'impiego di un sistema a sovra-campionamento, che come affermato in precedenza si rende adatto solamente nel caso in cui la parola di codice

sia di breve durata (al più 20 bit). I circuiti per il clock recovery basati su PLL sono estremamente efficienti se il tempo di connessione è alto e dunque il vantaggio principale derivante dall'impiego di un PLL per il clock recovery è il seguente: una volta entrato in condizione di aggancio (segnale di clock allineato in fase e in frequenza con il Data Stream) il PLL rende concreta la possibilità di utilizzare la WUR non solo per rivelare una parola di codice ma anche per ricevere sequenze di bit molto lunghe ($\gg 20$ bit). Nel caso in cui la Wake-Up Radio sia abilitata alla ricezione di lunghe sequenze di bit è possibile immagazzinare tali dati integrando nella stessa WUR una cella di memoria e svegliare il microcontrollore principale solamente nel caso in cui la lettura dei dati presenti in memoria risulti necessaria.

Capitolo II: Architetture per il Clock and Data Recovery

In questo capitolo vengono presentate le architetture utilizzate per la gestione del Clock Recovery nei sistemi di comunicazione e mostrati i principali vantaggi delle implementazioni basate su PLL. Infine è fornita una analisi basata sul modello del PLL linearizzato.

1. Introduzione

Gli anelli ad aggancio di fase (PLL) e i circuiti per il clock recovery (CRC) trovano grande applicazione nel campo delle telecomunicazioni, dei sistemi wireless, dei circuiti digitali e dei sistemi di memorizzazione elettronica. I PLL, grazie alla loro straordinaria versatilità, sono sistemi largamente diffusi nei sistemi di comunicazione moderni. Ad esempio, partendo da una sorgente di forma d'onda periodica (come un oscillatore al quarzo) è possibile utilizzare un PLL per generare un segnale con frequenza programmabile. Tale sistema prende il nome di sintetizzatore di frequenza e può essere utilizzato ad esempio come oscillatore locale per ricetrasmittitori in supereterodina. Gli anelli ad aggancio di fase possono anche essere utilizzati per la modulazione e demodulazione di frequenza e per la rigenerazione della portante. La versatilità dei PLL permette loro di trovare grande applicazione nei circuiti digitali, nei quali il PLL risulta indispensabile per la compensazione dello skew, per il clock recovery e per la generazione del segnale di clock [9]. La prima descrizione di un anello ad aggancio di fase risale all'anno 1932 e tutt'ora continua ad essere oggetto di ricerca per venire incontro alla costante richiesta di prestazioni sempre più spinte, per ridurre il costo dei sistemi elettronici e per permettere lo sviluppo di sofisticati circuiti integrati.

1.1 Campo di applicazione dei PLL

La potente tecnica dell'aggancio di fase permette la realizzazione di eleganti soluzioni in diversi campi di applicazione. I problemi risolvibili grazie all'utilizzo di PLL sono: Riduzione del jitter, eliminazione dello skew, sintesi di frequenza e clock recovery [9].

Riduzione del Jitter

Nel percorso attraverso il canale di comunicazione i segnali spesso risultano essere soggetti agli effetti del Jitter, ma non solo. Anche i segnali recuperati da dispositivi di memoria possono essere soggetti a Jitter. Ma cos'è il Jitter? Il Jitter si manifesta come la variazione del periodo di una forma d'onda e non può essere rimosso con una semplice amplificazione o elaborazione dell'informazione. Ciò vale anche nel caso in cui la forma d'onda è costituita da una sequenza binaria. Per ridurre gli effetti del Jitter è possibile utilizzare un PLL.

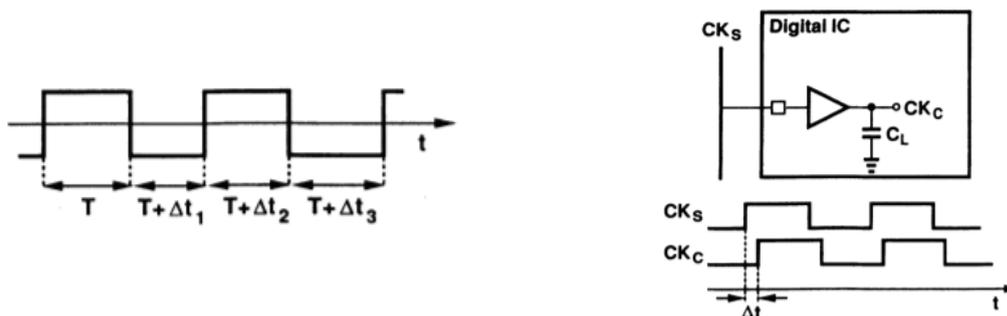


Figura 1. A sinistra: Jitter sul periodo di una forma d'onda binaria [9]. A destra: Skew del clock in un sistema digitale [9].

Eliminazione dello Skew

In Figura 1 è mostrato un problema di critica importanza nei sistemi digitali. Il clock di sistema entra nel circuito integrato (Digital IC) provenendo ad esempio da una PCB esterna. Una volta entrato nell'IC il clock entra in un buffer a più stadi che serve per rendere più ripidi i fronti del clock e per pilotare la grossa capacità di carico C_L con un minimo ritardo. Il segnale CK_c di clock interno al chip deve pilotare diversi nanofarad di capacità (associati sia ai circuiti interni al Digital IC sia alle interconnessioni ed ai parassiti). Ciò rende possibile la misura di un notevole ritardo tra CK_s e CK_c . Lo skew risultante riduce il budget temporale per le operazioni on-chip ed inter-chip. Al fine di abbassare lo Skew, CK_c può essere portato all'ingresso di un PLL che serve in questo caso per allineare CK_c con CK_s .

Sintesi di Frequenza

Molte applicazioni richiedono la possibilità di moltiplicare la frequenza di un segnale periodico. Ad esempio, un sistema digitale costituito da una PCB, può essere caratterizzato da forti limitazioni in banda e pertanto inibisce al segnale di clock di poter raggiungere frequenze piuttosto elevate. Inoltre, i ricetrasmittitori wireless utilizzano un oscillatore locale la cui frequenza di uscita deve essere aumentata ad esempio da 900 MHz a 925 MHz a passi di 200 kHz. Tale problema può essere facilmente risolto da un sintetizzatore di frequenza.

Clock and Data Recovery

Nei sistemi di comunicazione, le informazioni sono trasmesse e ricevute senza alcuna base dei tempi: in tal caso, non esiste un riferimento di tempo addizionale oltre alle stesse informazioni che vengono inviate o ricevute. Ad esempio, nelle comunicazioni basate su Wake-Up Radio lo stream di dati attraversa il canale senza alcun segnale di clock di accompagnamento. Tuttavia, il ricevitore deve essere comunque in grado di elaborare i dati in forma sincrona. L'informazione sulla base dei tempi deve essere recuperata dai dati ricevuti.

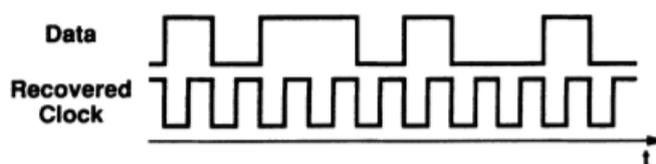


Figura 2. Clock recovery di una sequenza di bit

2. Generalità sul Clock Recovery

I circuiti per il Clock Recovery (CR) sono ampiamente utilizzati nei sistemi di comunicazione, sia che si tratti di tradizionali ricetrasmittitori, sia che si tratti di sofisticati e performanti sistemi come le Wake-Up Radio. Nel Capitolo 1 è stato mostrato come con la tecnica del sovracampionamento sia possibile elaborare le informazioni ricevute dalla Wake-Up Radio ed effettuare la rivelazione del segnale di wake-up. Il sistema descritto nel Capitolo 1 e presentato in [5], non svolge l'operazione di Clock Recovery. Tale circuito sfrutta un oscillatore locale basato su quarzo ed una logica digitale per effettuare il confronto tra lo stream di dati ricevuti e la parola di codice presente in memoria. In questo paragrafo si vuole dimostrare come, facendo appoggio su un circuito per il clock recovery, sia possibile effettuare il riconoscimento del corretto pattern. Evitare l'utilizzo di uno schema a sovracampionamento a favore dunque di una più semplice realizzazione architettonica, permette di ottimizzare la complessità del sistema e migliorare l'efficienza energetica dell'intera Wake-Up Radio. Tale possibilità risulta essere certamente affascinante, ma presenta un ulteriore vantaggio. L'impegno di un circuito per il CR permette il riconoscimento della parola di codice. Esso fornisce in uscita un segnale di clock allineato in fase e in frequenza con la sequenza ricevuta. Tale segnale è dunque fornito alla rete digitale che svolge l'operazione di riconoscimento della parola di codice. In Figura 3 è mostrato lo schema a blocchi di una Wake-Up Radio. L'uscita del trigger è fornita ad una unità di gestione dell'addressing. Tale unità, nel caso in cui la sequenza ricevuta coincida con la parola di codice, rivelerà il segnale di wake-up. Il segnale di wake-up in condizioni stazionarie risulta essere al livello logico basso. Non appena viene verificato il corretto match tra parola di codice presente in memoria e stream di bit in uscita dal trigger, il Wake-Up viene rivelato. Ciò fa commutare il segnale di Wake-Up al valore logico alto.

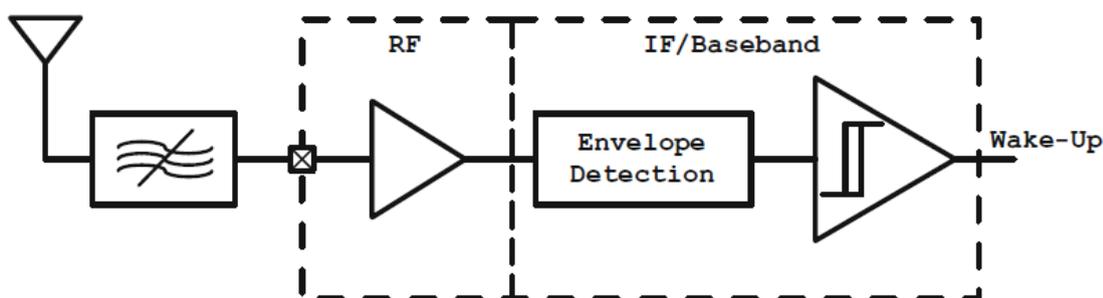


Figura 3. Architettura semplificata di una Wake-Up Radio [1]

In Figura 4 è mostrato un possibile schema a blocchi del circuito di elaborazione digitale e clock recovery a valle della Wake-Up Radio presentata in [7].

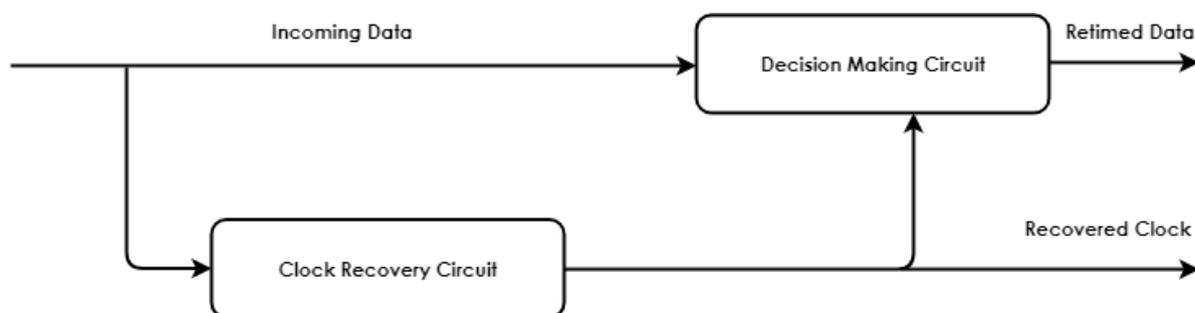


Figura 4. Schema a blocchi del circuito di elaborazione digitale e clock recovery a valle della Wake-Up Radio

Lo stream di bit in uscita dal trigger costituisce il segnale Incoming Data per il blocco di Clock Recovery e per il Decision Making Circuit. In base allo stream di dati ricevuto, il circuito per il

clock recovery costruisce un segnale di clock allineato in frequenza e fase con gli Incoming Data. Il clock ricostruito (segnale Recovered Clock) viene fornito al Decision Making Circuit (presentato in [8]). Gli incoming data sono dunque campionati alla frequenza del Recovered Clock. Il decision Making Circuit ha il compito di rivelare il wake-up del sistema. Al fine di effettuare la rigenerazione delle informazioni con il più piccolo tasso di bit erranei, i dati ricevuti devono essere campionati in istanti di tempo ottimali. Dal momento che, è generalmente poco probabile (a causa dei ritardi introdotti dal canale di trasmissione) trasmettere l'opportuno segnale di clock in forma separata dai dati, la base dei tempi (segnale di clock) è di solito derivata dallo stesso stream di dati ricevuto. Lo stream di bit ricevuto da una WRX risulta essere sia asincrono che soggetto a fenomeni di rumore. È dunque necessario estrarre un segnale di clock dai dati ricevuti per permettere la sincronizzazione del ricevitore.

Il clock ricostruito rimuove sia jitter che distorsione nei dati e ri-temporizza i dati per eventuali elaborazioni successive: tale operazione prende il nome di clock recovery.

2.1 Proprietà di un circuito per il clock recovery

Il segnale in uscita dal clock recovery circuit deve soddisfare le seguenti condizioni:

1. la frequenza del recovered clock deve essere uguale alla bitrate. Se f_{DATA} corrisponde alla bitrate dei dati ricevuti e f_{CK} è la frequenza del recovered clock, allora:

$$f_{CK} \stackrel{\text{def}}{=} f_{DATA}$$

Nel caso della WRX presentata in [7] ad un tempo di bit $T_B = 1 \text{ msec} = 1/f_{DATA}$ deve corrispondere una frequenza di clock pari ad 1 kHz.

2. Il clock deve possedere opportune proprietà temporali in funzione di quelle che sono le caratteristiche dei dati ricevuti. In tal modo, il campionamento ottimale dei dati alla frequenza f_{CK} è possibile. Assumendo che il blocco che effettua l'operazione di campionamento dei dati sia un generico registro a scorrimento costituito da Flip Flop D Positive Edge Triggered (come il correlatore presentato in [8]), allora è necessario che il fronte positivo del segnale di clock si palesi nell'istante di tempo intermedio tra un bit e l'altro. Se ciò si verifica, allora il campionamento avviene nell'istante di tempo più lontano dalla transizione del dato. Ciò assicura la massimizzazione del margine di jitter e riduce l'incertezza temporale associata ai fronti del segnale di clock.

Sia gli anelli ad aggancio di fase (PLL) che gli anelli ad aggancio di ritardo (DLL, Delay Locked Loop) sono largamente utilizzati nel clock and data recovery. Le soluzioni basate su PLL per il clock recovery fanno uso di filtri d'anello a banda stretta. Ciò si traduce in una riduzione del jitter e in un aumento del tempo di acquisizione. Il tempo di acquisizione di un PLL (o di un DLL) nel seguito indicato anche come tempo (o istante) di aggancio, può essere definito come l'istante di tempo a partire dal quale il circuito per il CR risulta effettivamente operativo. A partire dall'istante di aggancio, il PLL fornisce in uscita un segnale di clock allineato in fase e in frequenza con la sequenza ricevuta. In Figura 5 è mostrata gli andamenti del segnale di clock e del Data Stream in condizioni di aggancio.

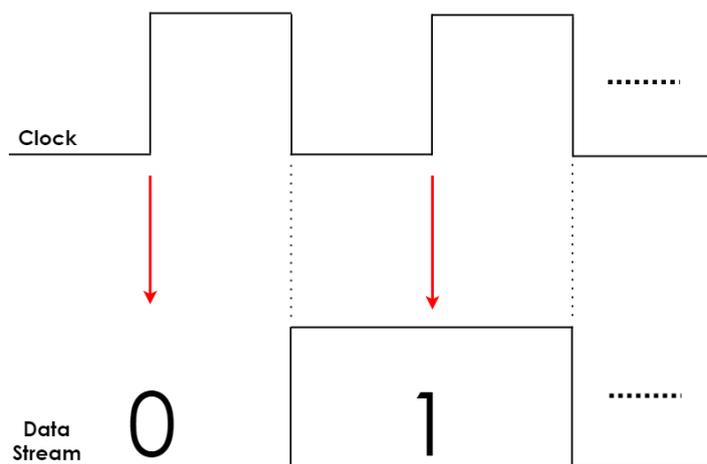


Figura 5. In condizioni di aggancio il segnale di clock risulta essere agganciato sia in fase che in frequenza con il Data Stream. Ciò vuol dire che ad una bitrate pari ad 1kbps corrisponde $f_{CK} = 1\text{ kHz}$.

I circuiti per il clock recovery basati su PLL sono estremamente efficienti se il tempo di connessione è alto. Lo stream di bit ricevuto tra l'inizio della trasmissione e l'istante di aggancio (locking time) non fornisce informazioni. I bit ricevuti in questo intervallo di tempo sono semplicemente una sequenza di '1' e '0' che prende il nome di preambolo. Il preambolo serve per condurre il PLL in condizione di aggancio (sia di fase che di frequenza). Le reti caratterizzate da tempi di acquisizione brevi permettono di ridurre il numero di bit di preambolo richiesti. Ciò permette di aumentare l'efficienza del circuito di clock recovery.

3. Modello del PLL linearizzato

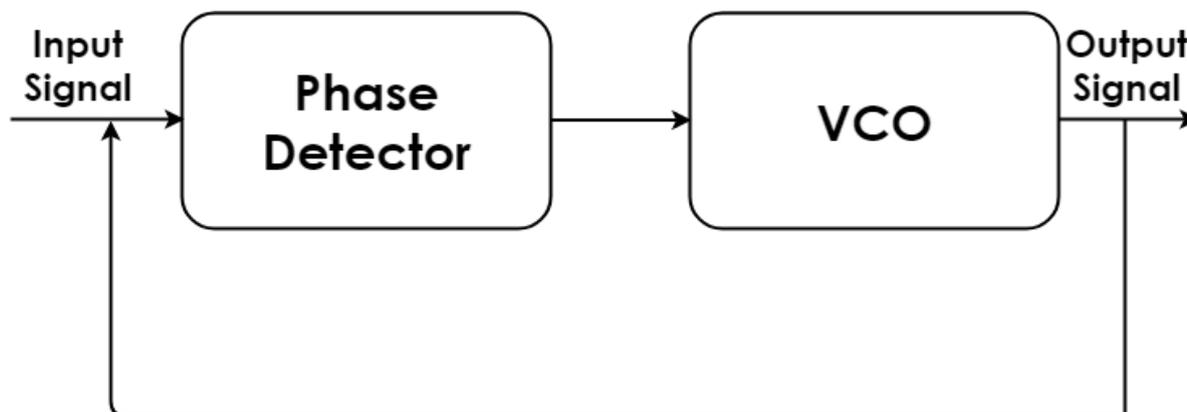


Figura 6. Schema a blocchi semplificato di un PLL

In Figura 6 è mostrata l'architettura di un PLL. Essa è costituita da un phase detector e da un VCO. Il phase detector confronta la fase dell'Input Signal con quella dell'Output Signal proveniente dal VCO. In uscita dal phase detector si ha un segnale che risulta essere funzione della differenza di fase tra Input Signal e Output Signal. Il VCO genera un segnale la cui frequenza è funzione della tensione di controllo applicata all'ingresso dello stesso VCO.

Il sistema è costituito da un anello in retroazione negativa e pertanto l'idea alla base del PLL è la seguente: l'uscita del phase detector guida la frequenza del VCO in una direzione che permette di ridurre la differenza di fase tra l'Input Signal e l'Output Signal.

Una volta che il loop guadagna l'aggancio, la differenza di fase tra segnale di ingresso e segnale di uscita ha idealmente un valore prefissato, che in base alla topologia scelta per il phase detector può essere ad esempio 0° oppure 90° .

Anche se il phase detector e il VCO nella pratica sono componenti fortemente non lineari, è consuetudine assumere la linearità degli stessi nell'analisi di anelli in condizione di aggancio di fase.

3.1 Modello linearizzato del PLL del primo ordine

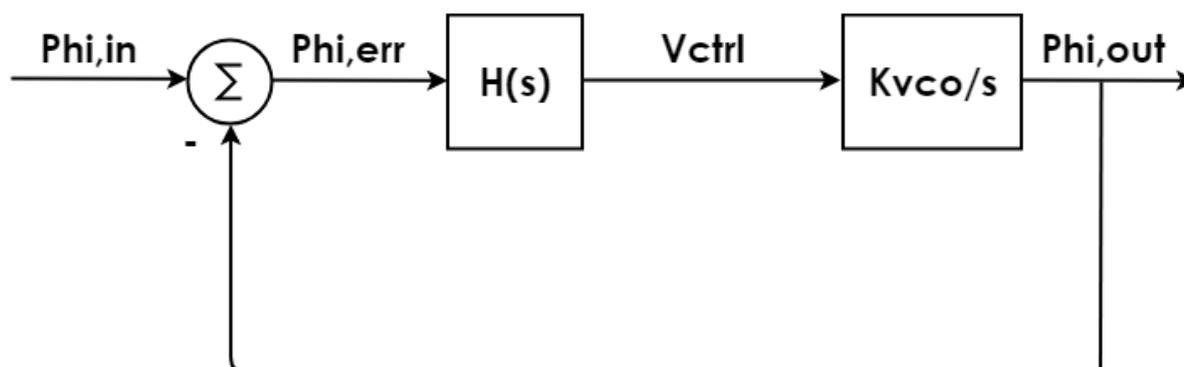


Figura 7. Modello linearizzato del PLL

In Figura 7 è mostrato il modello linearizzato del PLL del primo ordine. Lo studio del PLL è effettuato supponendo la linearità dello stesso nell'intorno della condizione di aggancio.

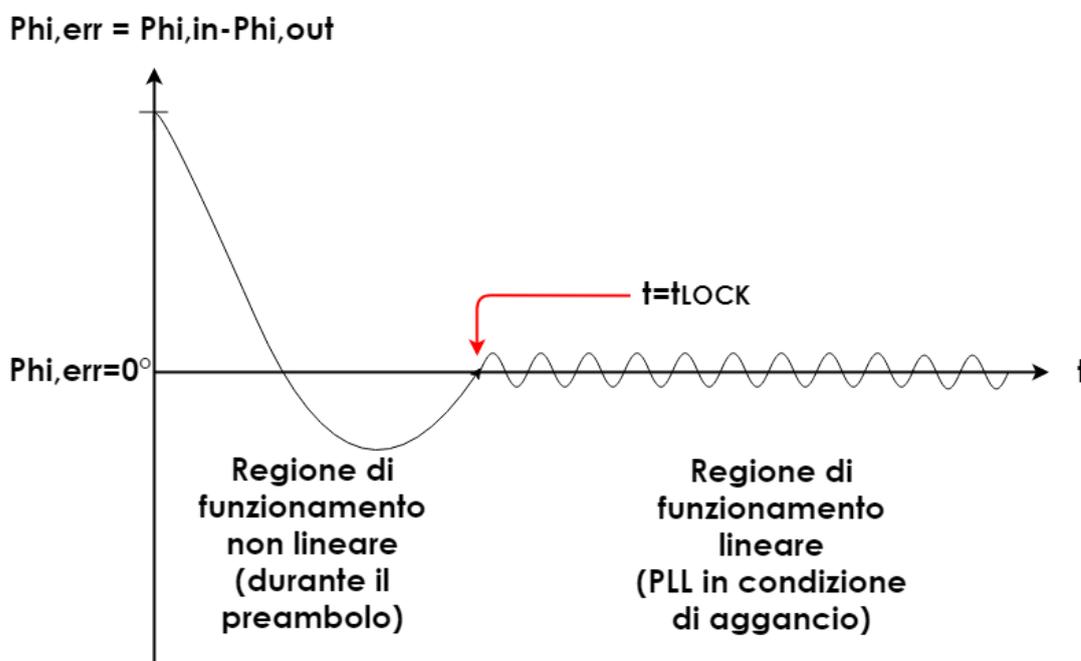


Figura 8. Dinamica del PLL

In Figura 8 è mostrata intuitivamente la dinamica del PLL. Nell'istante $t=0$ sec il PLL viene attivato. In tale istante, la relazione di fase tra ingresso e uscita risulta essere pari a $\Phi_{err}(t=0)$. A partire dall'istante iniziale, l'effetto della retroazione negativa fa sì che l'errore di fase tra

ingresso e uscita converga ad un valore prefissato (dipendente dalla tipologia di phase detector) che in questo esempio è $\Phi_{err}=0^\circ$. Per istanti di tempo compresi fra $t=0$ sec e $t=t_{LOCK}$ il PLL è governato da un regime di funzionamento non lineare. A partire dall'istante di tempo $t=t_{LOCK}$, il PLL entra nella regione di funzionamento lineare. In tale regione l'errore di fase oscilla intorno ad un valore prefissato. L'ampiezza dell'oscillazione se limitata determina la condizione di aggancio dello stesso PLL. Ovvero:

$$\Phi_{err} = \Phi_{err} = \varphi_{err} + \Phi_{err,LOCK}$$

La condizione di aggancio deve essere intesa come il punto di riposo del PLL, a partire dall'istante di tempo nel quale avviene l'aggancio del PLL si ha:

$$\varphi_{err} \rightarrow 0^\circ \Rightarrow \Phi_{err} \rightarrow \Phi_{err,LOCK}$$

Nell'esempio di Figura $\Phi_{err,LOCK} = 0^\circ$.

In sintesi, il PLL si definisce agganciato quando la relazione di fase tra ingresso e uscita si mantiene circa costante nell'intorno di un prefissato $\Phi_{err,LOCK}$.

Dalle considerazioni appena concluse ciò che emerge è che eseguendo un'analisi ai piccoli segnali di un PLL le grandezze di riferimento non sono tensioni/correnti ma fasi. La relazione di fase tra ingresso e uscita nell'intorno di un regime operativo nel quale il PLL risulta agganciato permette di analizzare l'anello di retroazione.

Il primo blocco analizzato è l'oscillatore controllato in tensione (VCO). Un VCO ideale genera una forma d'onda periodica la cui frequenza è una funzione lineare della tensione di controllo V_{ctrl} , ovvero:

$$\omega_{out} = \omega_{FR} + K_{VCO}V_{ctrl}$$

ω_{FR} è la frequenza di free-running del VCO ossia la frequenza della forma d'onda in uscita dal VCO quando la tensione di controllo è nulla, K_{VCO} è il guadagno del VCO espresso in rad/sec/V. La fase è l'integrale nel tempo della frequenza e dunque l'uscita di un VCO sinusoidale può essere espressa come segue:

$$V_{out}(t) = A \cos \left(\omega_{FR}t + K_{VCO} \int_{-\infty}^t V_{ctrl} dt \right)$$

Assumendo che:

$$V_{ctrl}(t) = V_m \cos \omega_m t$$

Allora:

$$V_{out}(t) = A \cos \left(\omega_{FR}t + \frac{K_{VCO}}{\omega_m} V_m \sin \omega_m t \right)$$

L'indice di modulazione del VCO è dato dalla quantità K_{VCO}/ω_m . L'indice di modulazione tende a zero all'aumentare della frequenza modulante ω_m . Il VCO ha la tendenza naturale a rigettare le componenti ad alta frequenza del segnale applicato al proprio ingresso. Ciò vuol dire che il VCO nel dominio delle fasi si comporta come un integratore.

Nello studio del PLL, si considera il VCO come un sistema tempo invariante, allora:

$$\varphi_{out} = K_{VCO} \int V_{ctrl} dt$$

Pertanto la relazione ingresso uscita del VCO è la seguente:

$$\frac{\varphi_{out}(s)}{V_{ctrl}(s)} = \frac{K_{VCO}}{s}$$

Tali equazioni permettono di capire come per cambiare la fase in uscita sia necessario variare la frequenza, essendo appunto la fase l'integrale nel tempo della frequenza. Si supponga che per $t < t_0$, il VCO oscilli alla stessa frequenza di un segnale di riferimento. Per $t < t_0$ la differenza di fase tra l'uscita del VCO e il riferimento è costante. Per ridurre l'errore, la tensione di controllo V_{ctrl} in $t = t_0$ aumenta di un valore pari a $+\Delta V$. L'aumento della frequenza del VCO permette alla tensione di uscita di accumulare fase più velocemente rispetto alla tensione di riferimento. In $t = t_1$ (quando l'errore di fase è annullato) la V_{ctrl} diminuisce di un valore pari a $-\Delta V$ tornando dunque al suo valore iniziale.

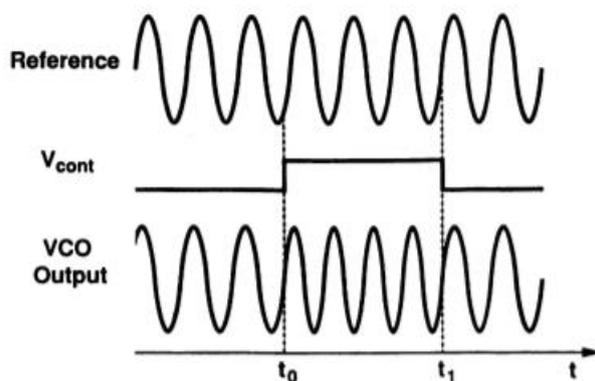


Figura 9. Allineamento di fase (dell'uscita del VCO) con un segnale sinusoidale di riferimento [8]

A partire da questo istante, le due forme d'onda hanno la stessa frequenza e differenza di fase nulla. È possibile ottenere lo stesso risultato abbassando la frequenza del VCO. In sintesi, la scelta come variabili di ingresso e uscita delle fasi dell'Input Signal e dell'Output Signal, permette di modellare il VCO come un integratore (essendo la frequenza del segnale in uscita dal VCO funzione della tensione di controllo). Nel modello linearizzato del PLL, il phase detector è modellato come un semplice sottrattore che genera un segnale pari all'errore di fase tra il segnale di ingresso e il segnale di uscita. Il blocco $H(s)$ presente nel modello linearizzato tiene conto di eventuali parametri di scaling e di filtri addizionali presenti nel loop. Assumendo per ora $H(s) = K_D$ con K_D caratterizzato dalle dimensioni del V/rad , si ha che la funzione di trasferimento del sistema possiede solamente un polo e pertanto il PLL analizzato risulta essere del primo ordine. I PLL del primo ordine sono architetture estremamente semplificati e pertanto la loro principale proprietà è quella derivante dalla possibilità di ottenere ampi margini di fase. La larghezza di banda e l'errore di fase in condizioni stazionarie costituiscono tuttavia le criticità di un PLL del primo ordine. In generale nel progetto di PLL si richiede errore di fase nullo e indipendente dalla pulsazione del polo dell'anello (ciò non risulta verificato per PLL del I ordine). La relazione ingresso-uscita del PLL del primo ordine è la seguente:

$$\frac{\Phi_{out}(s)}{\Phi_{in}(s)} = \frac{K_{VCO}K_D}{s + K_{VCO}K_D}$$

La pulsazione del polo è dunque:

$$\omega_p = K_{VCO}K_D$$

Per comprendere la relazione che sussiste tra la pulsazione del polo dell'anello ed errore di fase, è necessario determinare la relazione tra φ_{in} e φ_{err} :

$$\frac{\Phi_{err}(s)}{\Phi_{in}(s)} = \frac{s}{s + K_{VCO}K_D}$$

Assumendo ora che il segnale di ingresso sia una sinusoidale di frequenza costante pari ad ω_i , si ha:

$$\varphi_{in}(t) = \int \omega_i dt \Rightarrow \Phi_{in}(s) = \frac{\omega_i}{s^2}$$

Dunque:

$$\Phi_{err}(s) = \frac{\omega_i}{s(s + K_{VCO}K_D)}$$

È ora possibile sfruttare un importante teorema della teoria dei controlli automatici. Il Teorema del valore finale afferma che sia possibile determinare il valore di una funzione $f(t)$ nell'intorno di un istante di tempo sufficientemente grande (idealmente tale punto si deve trovare all'infinito) conoscendo la sua trasformata di Laplace $F(s)$. Se $f(t) = \varphi_{err}(t)$ e $F(s) = \Phi_{err}(s)$, allora:

$$\lim_{t \rightarrow \infty} \varphi_{err}(t) = \lim_{s \rightarrow 0} s \Phi_{err}(s) = \lim_{s \rightarrow 0} \frac{\omega_i}{(s + K_{VCO}K_D)} = \frac{\omega_i}{\omega_p}$$

L'errore di fase in condizioni stazionarie (le condizioni stazionarie del PLL vanno intese come lo stato di aggancio del PLL) è dunque per il PLL del primo ordine il rapporto tra la pulsazione del segnale di ingresso e la pulsazione del polo. L'errore di fase è minimizzato se la pulsazione del polo è molto maggiore della pulsazione del segnale di ingresso. I due parametri risultano essere dipendenti. Per produrre un errore di fase nullo in condizioni stazionarie, è necessario generare la tensione di controllo del VCO partendo da un valore di uscita nullo del phase detector, ciò si traduce nella necessità di avere un guadagno infinito. Per rendere indipendente la pulsazione del polo dall'errore di fase in condizioni stazionarie, è sufficiente che il guadagno sia infinito solo in DC piuttosto che a tutte le frequenze (come dovrebbe essere per un loop del primo ordine). Un integratore possiede le caratteristiche appena descritte e il suo impiego permette di definire il PLL del secondo ordine.

3.2 Modello linearizzato del PLL del secondo ordine

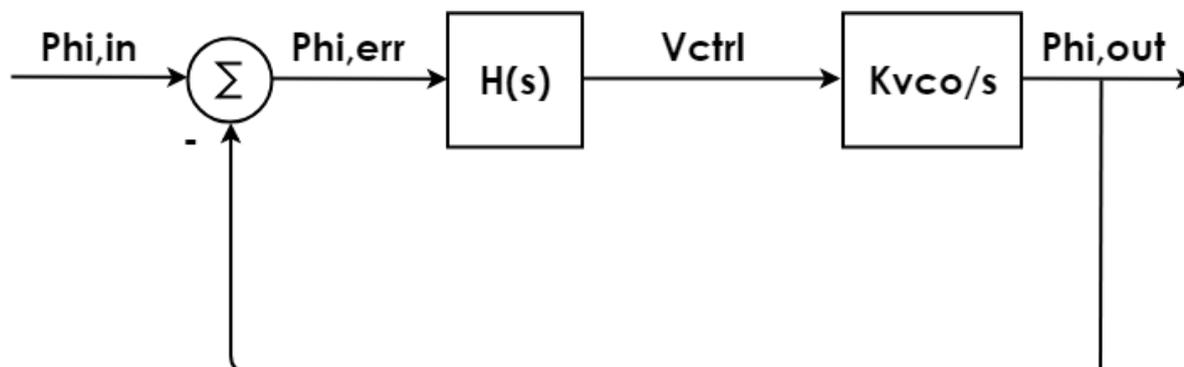


Figura 10. Modello linearizzato del PLL

Nel modello linearizzato del PLL del secondo ordine si assume che:

$$H(s) = \frac{K_D(\tau_z s + 1)}{s}$$

Lo sfasamento aggiuntivo di -90° (dovuto alla presenza dell'integratore) nella funzione di trasferimento del PLL deve essere compensato, per ragioni di stabilità, da uno sfasamento positivo di $+90^\circ$. Ciò è possibile inserendo nell'equazione del loop uno zero. Lo zero svolge dunque la funzione di stabilizzatore di loop. L'espressione di $H(s)$ contiene due termini: uno riconducibile alla presenza di un integratore, l'altro è dovuto alla presenza di uno zero nel loop. Come qualsiasi altro sistema in retroazione compensato in questa maniera, lo zero deve essere collocato ben al di sotto della pulsazione a guadagno unitario per permettere di ottenere un margine di fase accettabile.

In questo modello, la costante K_D ha le dimensioni del V/sec a causa della presenza dell'integrazione aggiuntiva. Grazie alla presenza della doppia integrazione, la banda dell'anello può essere dimensionata indipendentemente dall'errore di fase in condizioni stazionarie, che nel caso di PLL del secondo ordine risulta essere nullo. La funzione di trasferimento del PLL del secondo ordine, è la seguente:

$$\frac{\Phi_{out}(s)}{\Phi_{in}(s)} = \frac{\tau_z s + 1}{(s^2/K_D K_{VCO}) + \tau_z s + 1}$$

Definendo ora:

$$\omega_n = \sqrt[2]{K_D K_{VCO}}$$

$$\xi = \frac{\omega_n \tau_z}{2} = \frac{\tau_z^2 \sqrt{K_D K_{VCO}}}{2}$$

La pulsazione a guadagno unitario è dunque:

$$\omega_{ugb} = \sqrt[2]{\left[\frac{\omega_n^4}{2\omega_z^2} + \omega_n^2 \sqrt{\frac{1}{4} \left(\frac{\omega_n}{\omega_z} \right)^4 + 1} \right]}$$

Per garantire un buon margine di fase si suppone che:

$$\omega_{ugb} \gg \omega_z$$

Allora:

$$\omega_{ugb} \approx \frac{\omega_n^2}{\omega_z}$$

L'errore di fase è:

$$\frac{\Phi_{err}(s)}{\Phi_{in}(s)} = \frac{\Phi_{in}(s) - \Phi_{out}(s)}{\Phi_{in}(s)} = 1 - \frac{\Phi_{out}(s)}{\Phi_{in}(s)} = 1 - \frac{\tau_z s + 1}{(s^2/K_D K_{VCO}) + \tau_z s + 1}$$

Allora:

$$\Phi_{in}(s) = \frac{\omega_i}{s^2} \Rightarrow \lim_{t \rightarrow \infty} \varphi_{err}(t) = \lim_{s \rightarrow 0} s \Phi_{err}(s) = 0$$

Le equazioni del modello linearizzato del PLL del secondo ordine suggeriscono come sia possibile dimensionare la pulsazione a guadagno unitario indipendentemente dall'errore di fase in condizioni di aggancio.

4. Phase Detectors

Nel paragrafo precedente sono stati analizzati i modelli linearizzati di PLL del primo e del secondo ordine. In questo paragrafo si descrivono alcune topologie di phase detectors utilizzati nel progetto di PLL.

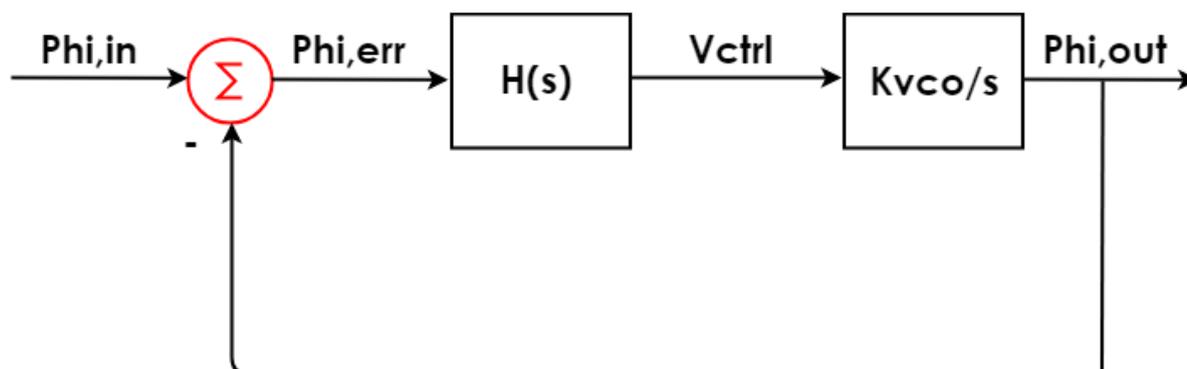


Figura 11. Schema a blocchi del PLL

4.1 Phase Detector Three State

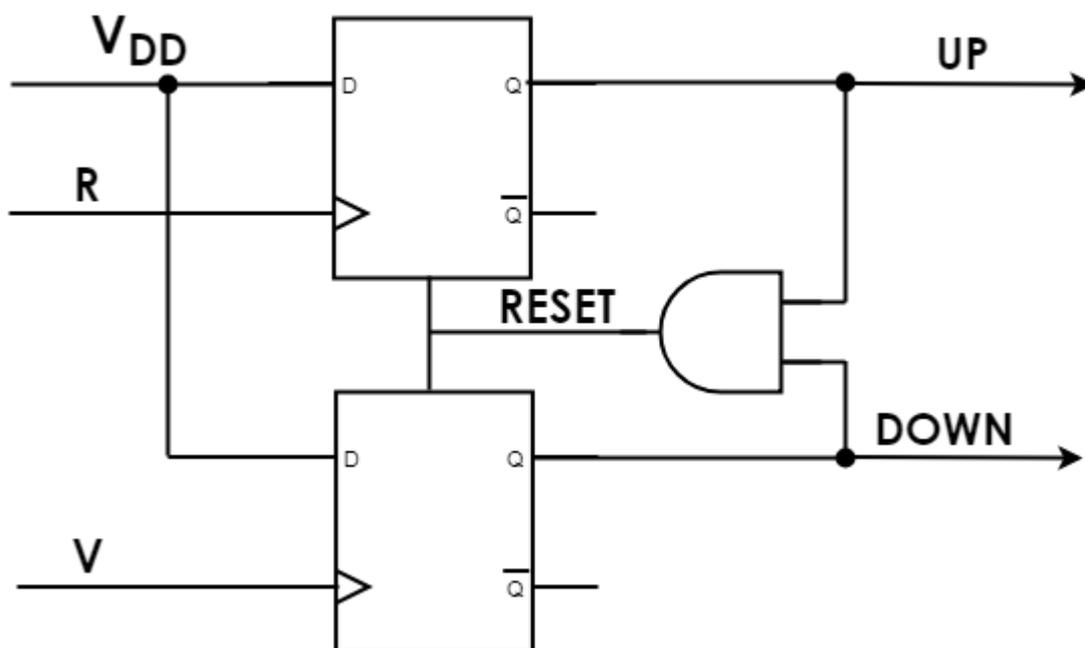


Figura 12. Phase-Frequency Detector Three State

Il phase detector rappresentato in Figura 12 permette di ottenere in condizioni di aggancio una differenza di fase pari a 0° , la regione di funzionamento nel quale il phase detector è in grado di rilevare differenze di fase tra i segnali R e V ricopre due periodi (ossia da 0 a 4π). Il segnale R rappresenta il riferimento, mentre V il segnale in uscita dal VCO. In Figura 13 è mostrato il principio di funzionamento del Phase-Frequency Detector Three State.

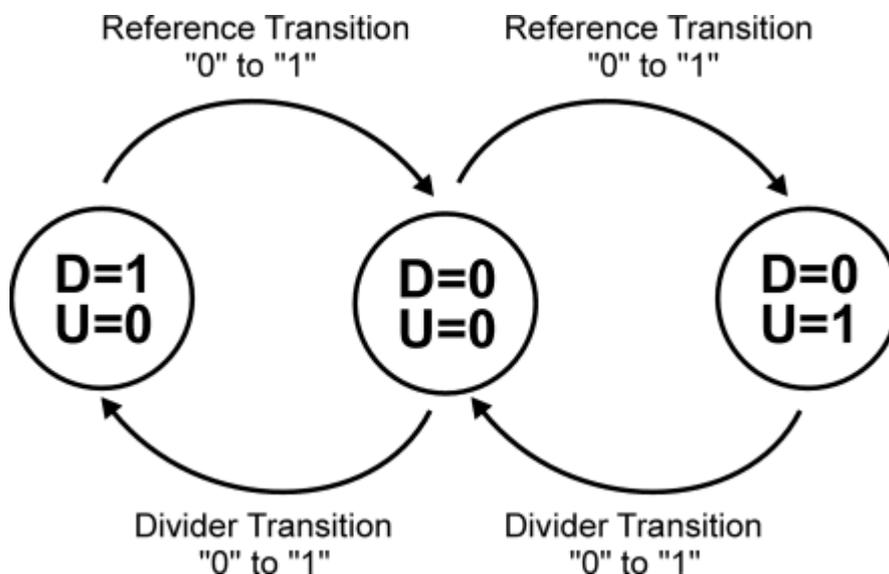


Figura 13. Diagramma degli stati che spiega il principio di funzionamento del Phase-Frequency Detector Three State. Il segnale "Reference" corrisponde al segnale R dello schema precedente. "Divider" corrisponde al segnale V dello stesso schema.

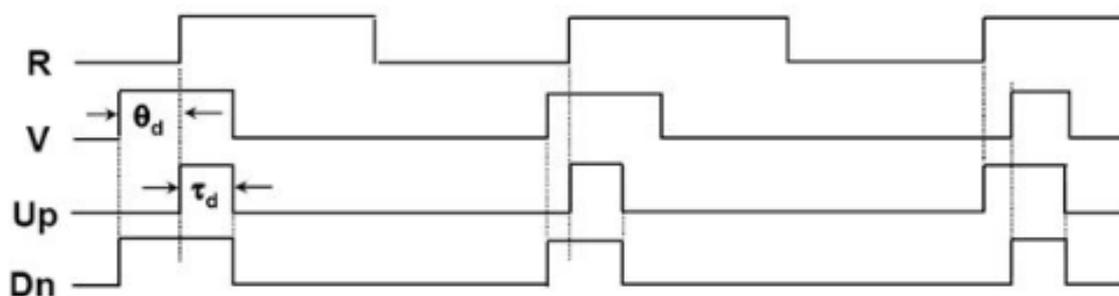


Figura 14. Forme d'onda di uscita del PFD three state

In Figura 15 è mostrata la caratteristica ingresso-uscita del PLL. Come mostra il grafico, nel punto di aggancio il PLL basato su PFD three-state presenta differenza di fase nulla tra ingresso e uscita. La caratteristica del PFD è lineare tra -2π e $+2\pi$.

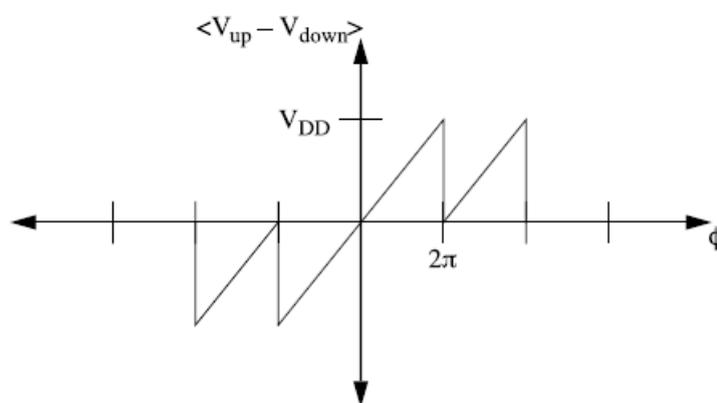


Figura 15. Caratteristica del PFD three-state: $\langle V_{up} - V_{down} \rangle$ è la media temporale della differenza tra i due segnali d'uscita del phase detector. ϕ è la differenza di fase tra segnale di ingresso e segnale di uscita del PLL.

Se:

$$K_D = \frac{\partial \langle V_{up} - V_{down} \rangle}{\partial \phi}$$

Allora valore di K_D calcolato nel punto di aggancio ($\phi = 0$ per il PFD three-state) definisce il guadagno del phase detector:

$$K_D = \frac{V_{DD}}{2\pi}$$

Il modello del PLL del primo ordine con PFD three-state può essere schematizzato come segue:

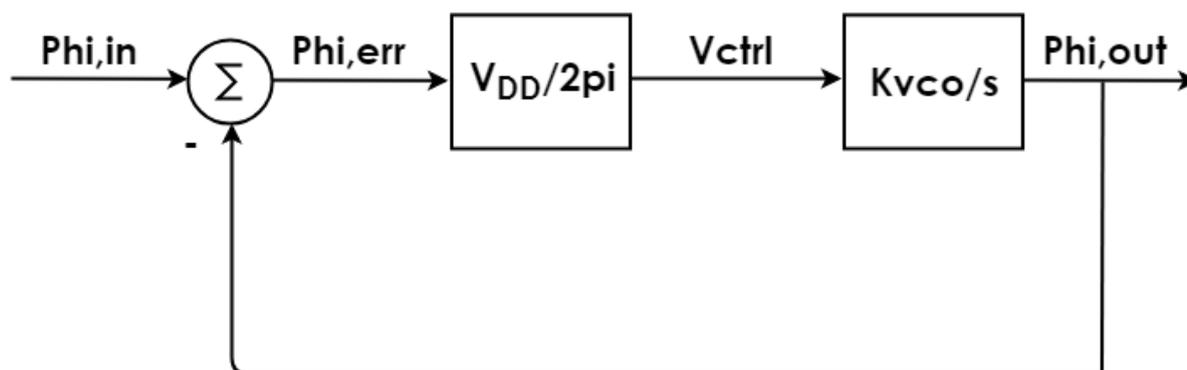


Figura 16. Modello del PLL del primo ordine: il blocco $H(s)$ coincide con il guadagno del PFD three-state

4.2 Phase Detectors e Frequency Detectors

In molte applicazioni è necessario avere l'informazione riguardante l'ampiezza della differenza di frequenza tra due segnali. Si consideri ora il PFD three-state presentato nel precedente paragrafo. Se la frequenza di V è maggiore di quella di R , allora il segnale UP sarà caratterizzato da un più elevato duty cycle rispetto al segnale DOWN. Tale segnale è settato da un fronte di salita del segnale a più alta frequenza (in questo esempio il segnale V). L'uscita UP non è resettata fino a che non si presenta un fronte di salita del segnale a più bassa frequenza (in questo esempio il segnale R). Il PFD three-state garantisce un elevato e lineare range di rilevamento della differenza di fase e fornisce un segnale che risulta essere funzione del segno e dell'ampiezza dell'errore di frequenza. Il PFD three state è sensibile alla presenza di fronti mancanti, esso interpreta l'assenza di un fronte come un errore di frequenza e in tal caso pilota il PLL in modo tale da correggerlo.

4.3 Phase Detector di Hogge

Nel paragrafo precedente è stato illustrato come il PFD three-state sia sensibile ai fronti mancanti. Ciò rende necessaria la sintesi di reti sequenziali capaci di svolgere la funzione di phase detector anche in assenza di fronti. Nel circuito di Figura 17 è mostrata l'architettura del phase detector di Hogge. Il segnale Data Stream rappresenta un generica sequenza di bit non periodica, il segnale Clock è il clock di sistema generato in uscita dal VCO.

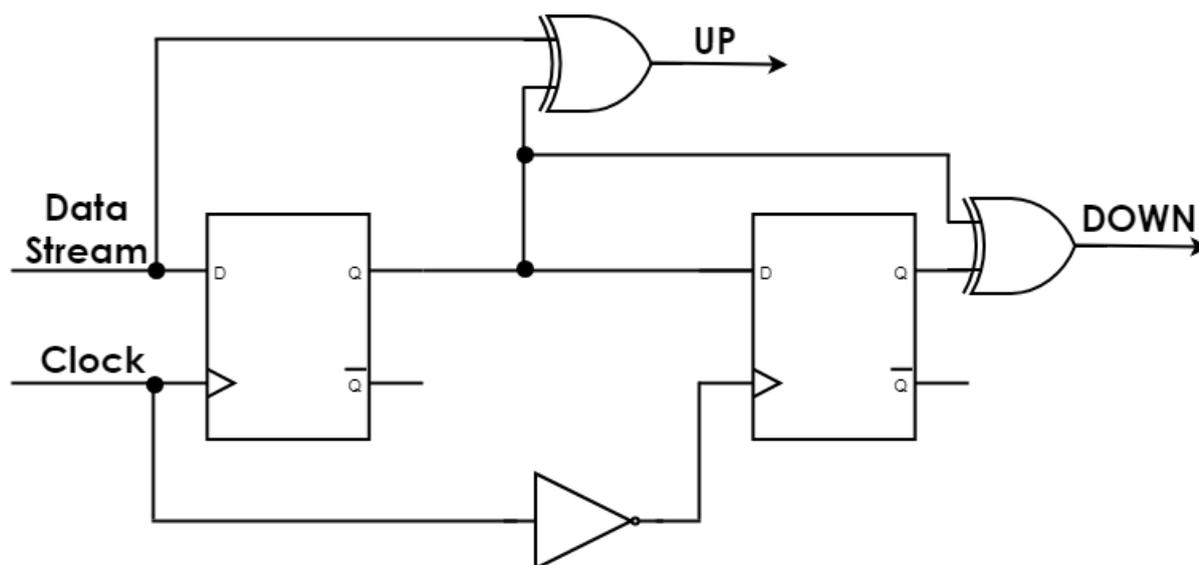


Figura 17. Phase detector di Hogge

Il circuito confronta la fase del Data Stream con quella del segnale di Clock. Dopo una commutazione del Data Stream, l'ingresso e l'uscita del FFD positive edge triggered non risultano essere uguali, pertanto UP commuta da 0 a 1 perché gli ingressi dello XOR non sono uguali. UP resta ad 1 fintantoché non si presenta un successivo fronte del segnale di clock. Nell'istante di tempo in cui il clock commuta da 0 a 1, viene aggiornato lo stato del FFD positive edge triggered e dunque UP torna a 0 perché l'ingresso e l'uscita del FFD sono tornati ad essere uguali. Nello stesso istante, il segnale DOWN commuta da 0 a 1 poiché gli ingressi dello XOR in questo istante di tempo non risultano essere uguali. Il segnale DOWN rimane a 1 fino al successivo fronte di discesa del segnale di clock. Nell'istante di tempo nel quale il clock commuta da 1 a 0 l'uscita del FFD negative edge triggered è aggiornata. Assumendo duty cycle del segnale di clock pari al 50%, il segnale UP commuta da 0 a 1 per ogni fronte (di salita o di discesa) del Data Stream. UP ha una durata pari alla differenza di fase tra il Data Stream e il segnale di clock. La durata di UP risulta essere pari alla metà del periodo di clock se, e solo se, Data Stream e Clock risultano essere in condizioni di aggancio. Il segnale DOWN è un impulso di durata pari alla metà del periodo di clock, che commuta da 0 a 1 ogni qual volta il segnale UP commuta da 1 a 0. In condizioni di aggancio, la frequenza del clock è doppia rispetto alla bitrate del Data Stream. In tale condizione il fronte di discesa del clock deve essere allineato al fronte di salita o di discesa del Data Stream. Se ciò avviene, è possibile campionare il dato esattamente alla metà del tempo di bit.

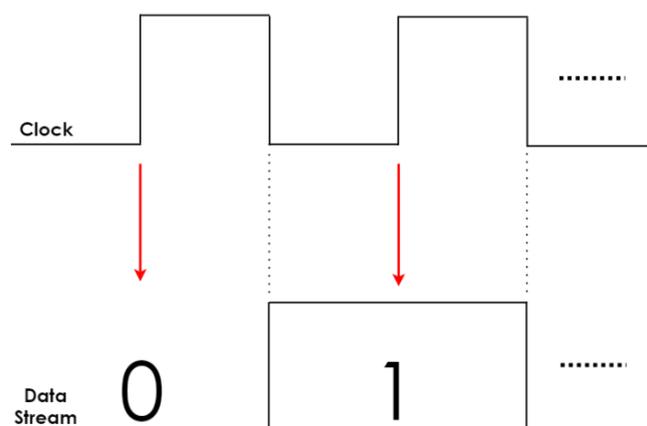


Figura 18. Segnale di clock e Data Stream in condizioni di aggancio. In condizioni di aggancio, il segnale di clock campiona il Data Stream esattamente in un istante di tempo pari a $nT_{ck} + T_{ck}/2$ con n numero intero e T_{ck} periodo di clock.

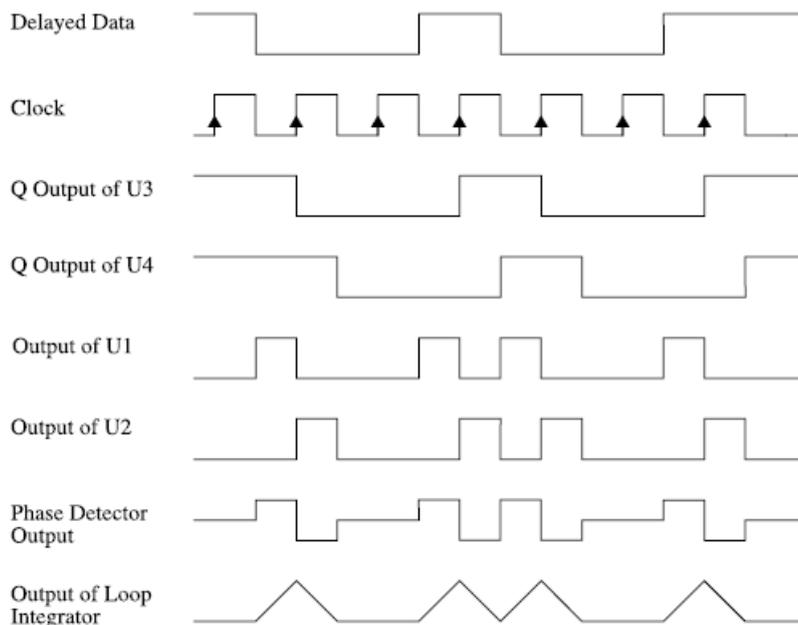


Figura 19. Funzionamento del phase detector di Hogge in condizioni di aggancio: U1=UP, U2=DOWN. U3=uscita FFD positive edge triggered, U4 =uscita del FFD negative edge triggered

I grafici di Figura 19 mostrano il funzionamento del phase detector di Hogge. Si consideri ora il caso in cui clock e Data Stream risultino essere allineati correttamente (ciò avviene se il fronte di discesa del segnale di clock coincide con il fronte di transizione del dato). Se si assume che a valle del PD di Hogge ci sia un blocco che effettui la differenza tra il segnale di UP e quello di DOWN, è possibile dire che in condizioni di aggancio l'uscita di tale blocco ha un valore medio temporale nullo. Questo è vero, poiché come affermato in precedenza, in condizioni di aggancio per ogni fronte del Data Stream si ha un impulso del segnale UP di durata pari alla metà del periodo di clock. Tale impulso è seguito da un impulso del segnale di down della stessa durata, pertanto la media temporale del segnale differenza tra UP e DOWN risulta essere identicamente nulla. Si pensi ora, per semplicità, che l'integratore presente nel loop sia costituito da una capacità C. Se la carica della capacità è controllata dal segnale UP e la scarica dal segnale DOWN, in condizioni di aggancio il valore medio della tensione ai capi della capacità C risulta essere costante.

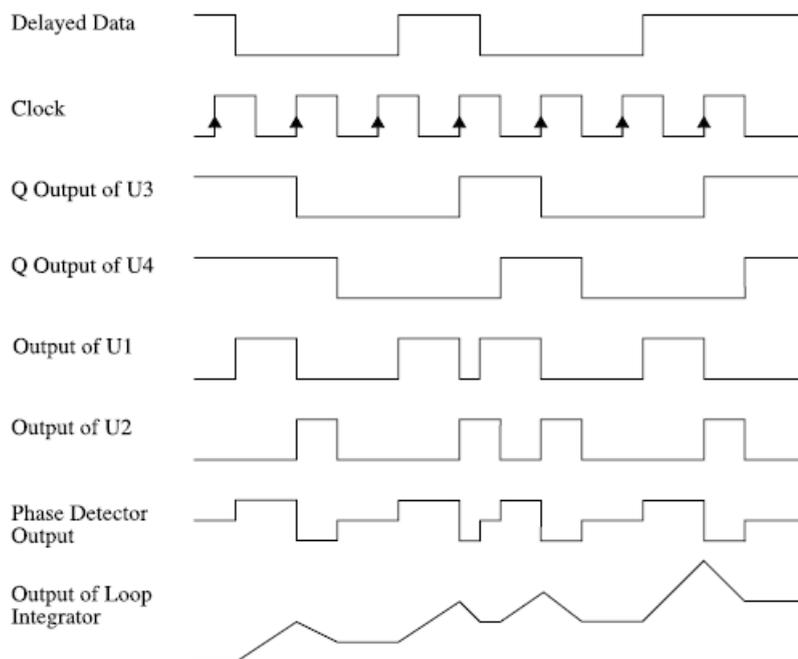


Figura 20. Funzionamento del phase detector di Hogge nel caso in cui il fronte del dato sia anticipato rispetto al fronte di discesa del segnale di clock

Se il dato, invece, ha il fronte di commutazione anticipato rispetto al fronte di discesa del segnale di clock, allora il valore medio temporale del segnale UP-DOWN risulta essere positivo (Output of Loop Integrator). Se il valore medio temporale di UP-DOWN è positivo allora la tensione ai capi del loop integrator cresce fintanto che Data Stream e Clock non risultino essere in fase o che il fronte del dato risulti essere ritardato rispetto al fronte di discesa del clock. Se si grafica il valore medio temporale del segnale UP-DOWN in funzione dell'errore di fase, si trova che la forma d'onda risultante ha la caratteristica del dente di sega con periodo pari a 2π e ampiezza compresa tra $V_{DD}/2$ e $-V_{DD}/2$. Il valor medio temporale di UP-DOWN è nullo se l'errore di fase tra Data Stream e clock è nullo.

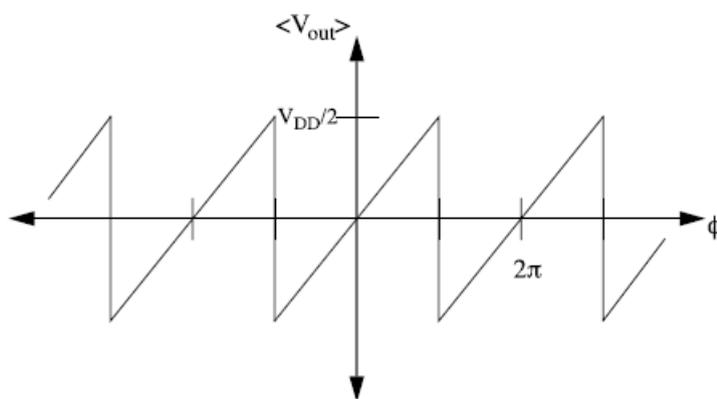


Figura 21. Caratteristica del PD di Hogge

Il guadagno del PD di Hogge coincide con quello del PFD three-state:

$$K_D = \frac{V_{DD}}{2\pi}$$

Il phase detector di Hogge è caratterizzato da una forte sensibilità alla frequenza di transizione del Data Stream. In condizioni di aggancio l'uscita del loop integrator è una forma d'onda triangolare con valore medio positivo. La presenza o assenza di fronti nel Data Stream influenza la media della tensione di uscita del loop integrator. In tal caso il jitter del segnale di clock causato dalla più o meno probabile presenza di fronti nel Data Stream è spesso non trascurabile.

4.4 Phase Detector Three-wave

In Figura 22 è mostrata l'architettura del phase detector three-wave (noto anche come triwave).

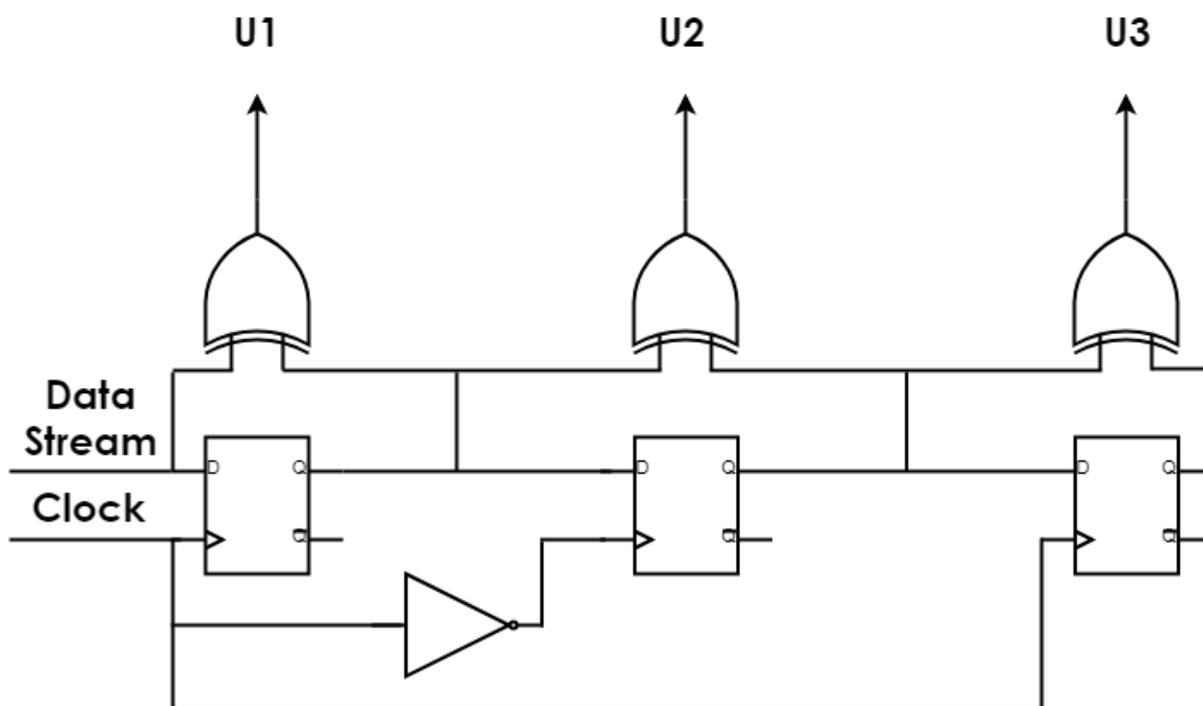


Figura 22. Phase Detector Threewave

Il phase detector di Hogge in condizioni di aggancio produce un valore medio non nullo (positivo) della tensione ai capi del loop integrator. La sensibilità del PD di Hogge alla probabilità di transizione del Data Stream può essere ridotta grazie all'utilizzo del PD three-wave. Il PD three-wave, a differenza di quello di Hogge, permette di ottenere una segnale ai capi del loop filter caratterizzato da valore medio nullo, come quello mostrato in Figura 23.

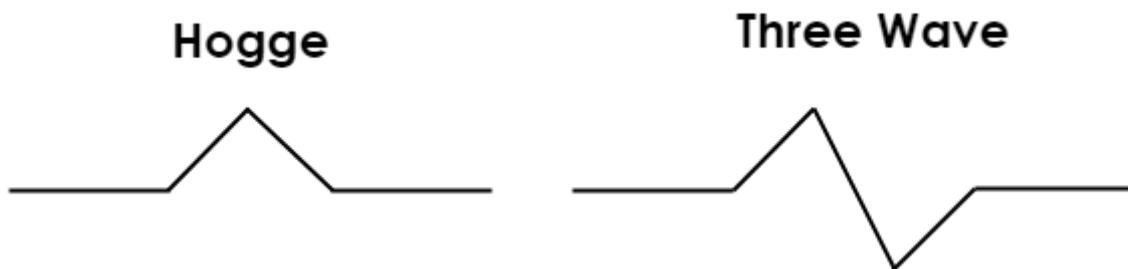


Figura 23. A sinistra: tensione ai capi del loop filter per PLL con PD di Hogge. A destra: tensione ai capi del loop filter per PLL con PD three-wave

Nel phase detector di Hogge la durata di UP dipende dall'errore di fase tra segnale di clock e Data Stream. Nel PD three-wave il segnale U1 ha una durata che dipende dalla differenza di fase tra Clock e Data Stream e come nel PD di Hogge il segnale U1 commuta da 0 a 1 ogniqualvolta il Data Stream presenta una commutazione. Nel PD three-wave il segnale U1 fa le veci del segnale UP del PD di Hogge.

I segnali U2 e U3 hanno durata fissa (assumendo clock con duty cycle pari al 50%) pari alla metà del periodo di clock. U2 commuta da 0 a 1 a seguito di una commutazione da 1 a 0 del segnale U1. U3 commuta da 0 a 1 nello stesso istante di tempo in cui U2 commuta da 1 a 0. In Figura 24 è mostrato il funzionamento del PD three-wave.

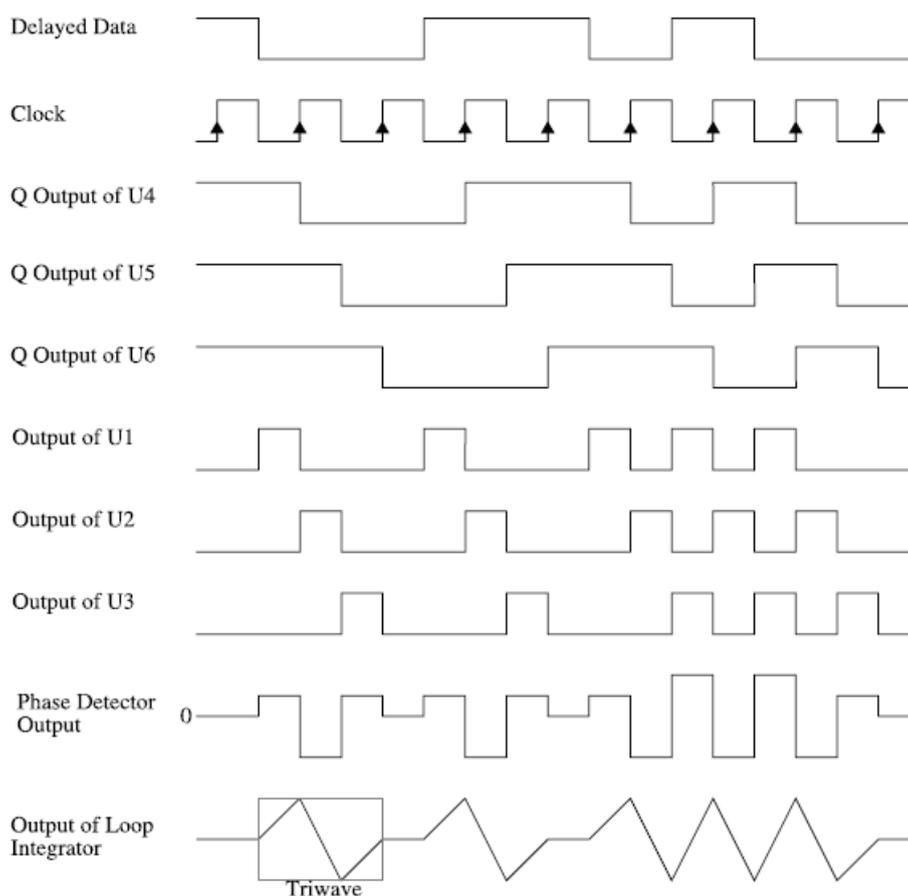


Figura 24. Funzionamento del PD three-wave in condizioni di aggancio

L'errore di fase è dunque ottenuto confrontando la durata di U1 (variabile) con quelle di U2 e U3 (fisse e pari a $T_{ck}/2$). Per ottenere la caratteristica forma d'onda three-wave, gli impulsi U1, U2 e U3 sono pesati per delle opportune variabili. U1 e U3 sono pesati per una costante pari ad 1, mentre U2 è pesato per una costante pari a -2. In condizioni di aggancio il loop filter è

caricato prima da U1, successivamente è scaricato da U2 e ricaricato da U3. In condizioni di aggancio, ogni transizione del Data Stream è seguita da una three-wave ai capi del loop integrator, questa three wave ha area nulla. In mancanza di fronti il valore medio della three-wave resta nullo e pertanto il PD three wave mostra una sensibilità alla mancanza di fronti molto ridotta rispetto a quella riscontrabile nel PD di Hogge.

4.5 Phase Detector Triwave Modificato

Il phase detector three-wave risulta essere maggiormente sensibile alla distorsione sul duty cycle rispetto all'architettura di Hogge. Ciò è dovuto alla presenza della forma d'onda three-wave. La sensibilità del phase detector three-wave al duty cycle del clock può essere ridotta modificando l'architettura. In Figura 25 è mostrata l'architettura modificata del phase detector three-wave.

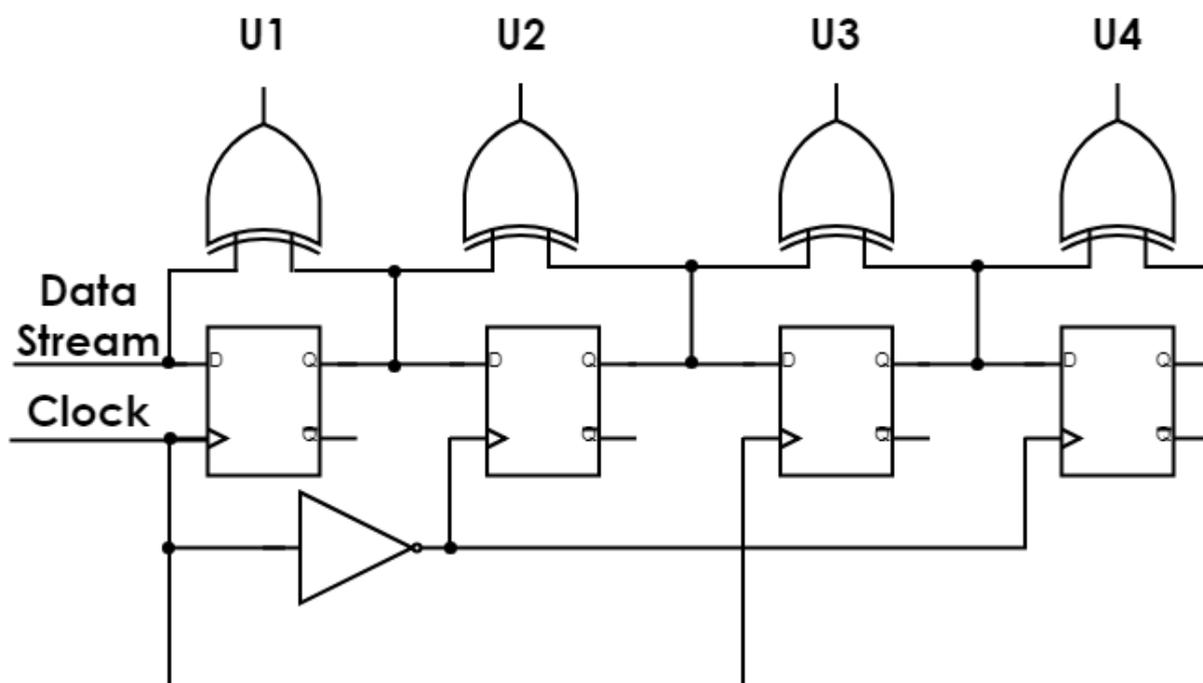


Figura 25. Phase detector Three Wave modificato

Il phase detector three-wave modificato ha due distinti intervalli di integrazione negativa in corrispondenza dei fronti negativi del segnale di clock piuttosto che avere un unico intervallo di integrazione negativa di ampiezza doppia (come avveniva nel PD three wave). Per questa ragione le variazioni sul duty cycle sono ridotte.

5. Filtro d'Anello e introduzione alla Pompa di Carica

Nei paragrafi precedenti è stato analizzato il comportamento del PLL utilizzando un modello linearizzato. Inoltre, sono state presentate le principali topologie di phase detectors utilizzati nei sintetizzatori di frequenza e nei circuiti di clock recovery.

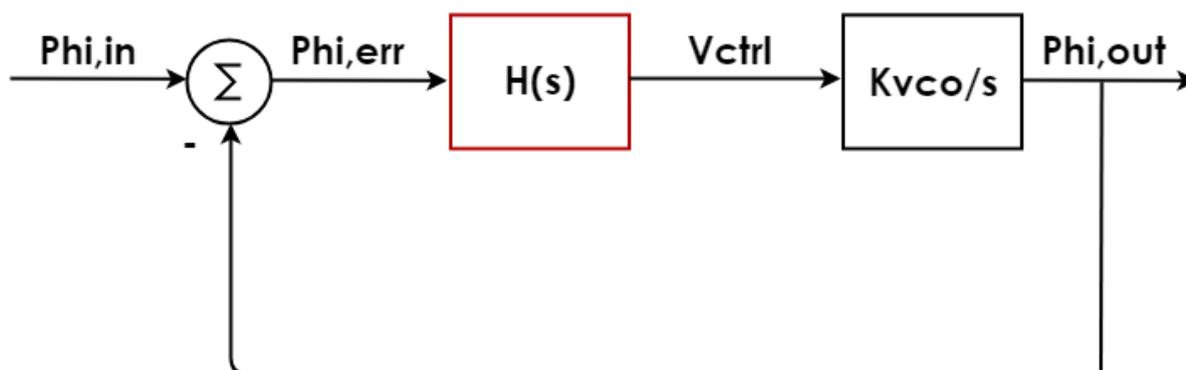


Figura 26. Modello linearizzato del PLL

Considerando il modello linearizzato del PLL del secondo ordine, nei precedenti paragrafi è stato dimostrato come esso permetta di eliminare l'errore di fase in condizioni stazionarie introducendo nel loop un secondo integratore (il primo è costituito dallo stesso VCO). Per assicurare la stabilità del sistema, lo sfasamento di $+90^\circ$ dovuto all'integratore aggiuntivo deve essere compensato dall'introduzione di uno zero. Di seguito si riporta l'espressione del blocco $H(s)$ caratterizzante il modello linearizzato del PLL del secondo ordine.

$$H(s) = \frac{K_D(\tau_Z s + 1)}{s}$$

Il blocco noto come filtro d'anello permette di sintetizzare la funzione $H(s)$ desiderata. In questo paragrafo verranno mostrate due possibili realizzazioni del suddetto filtro. L'espressione del blocco $H(s)$ può essere interpretata come segue. Il VCO necessita di una tensione di controllo al fine di produrre un segnale in uscita della frequenza desiderata. La tensione di controllo è fornita dal phase detector al VCO attraverso il loop filter che deve garantire errore di fase nullo in condizioni di aggancio (integratore) e assicurare la stabilità dell'anello (zero). In Figura 27 è mostrata l'architettura che soddisfa l'equazione di $H(s)$.

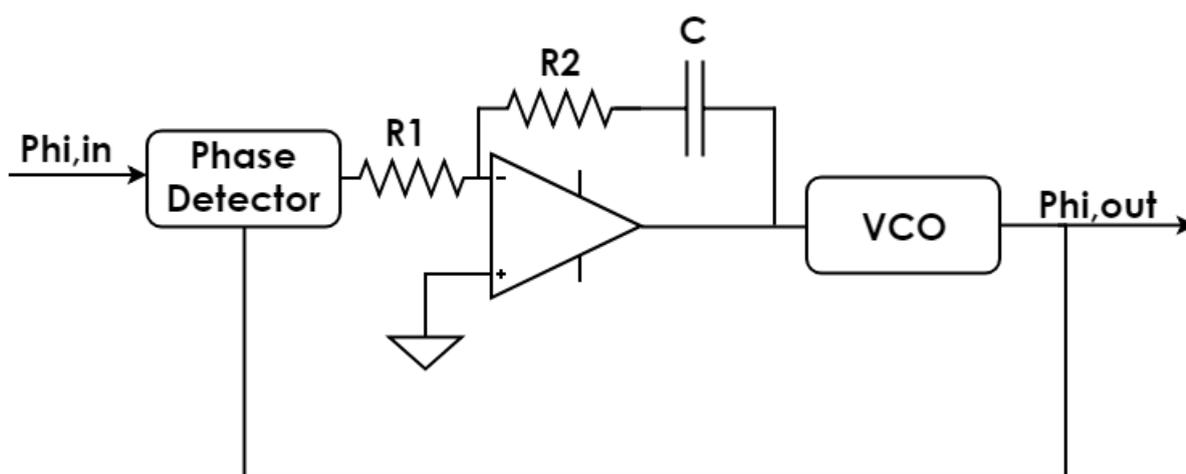


Figura 27. Esempio di PLL del secondo ordine facente uso di un filtro d'anello attivo

A basse frequenze l'impedenza associata alla capacità C domina nell'anello di retroazione dell'op-amp. Per basse frequenze il loop filter si comporta come un integratore. A basse frequenze la reattanza della capacità C diminuisce facendo tendere il valore dell'impedenza presente sull'anello di retroazione negativa dell'operazionale al valore R_2 . Superato il valore di frequenza per il quale il contributo associato alla capacità C diventa

trascurabile, il guadagno dell'amplificatore coincide con quello della configurazione invertente, ossia $-R_2/R_1$. Il filtro d'anello è costituito da un polo doppio nell'origine e da uno zero la cui costante di tempo è R_2C . Il valore di R_1 può dunque essere scelto per soddisfare le specifiche in termini di ampiezza del guadagno d'anello. Il circuito basato su amplificatore operazionale può dunque essere dimensionato in modo tale da soddisfare le equazioni del PLL del secondo ordine. Si osservi che la soluzione basata su amplificatore operazionale non è l'unica utilizzabile per la sintesi del filtro d'anello. Nel caso più semplice, una rete passiva di tipo RC può essere utilizzata per connettere l'uscita del phase detector al VCO. Tuttavia, dall'analisi fatta in precedenza, l'utilizzo di un filtro passa-basso RC non permette di ottenere un errore di fase nullo in condizioni di aggancio e la caratteristica in frequenza dell'anello risulta dipendere inversamente dallo stesso errore di fase in condizioni stazionarie. A causa di tali limitazioni, PLL caratterizzati da un filtro d'anello di tipologia RC sono utilizzati unicamente in applicazioni non critiche. Nella precedente Figura è stato mostrato un filtro d'anello attivo basato su resistenze e capacità. In realtà tale architettura è utilizzata frequentemente nelle realizzazioni di PLL a componenti discreti. Nei circuiti integrati il progetto di PLL solitamente non fa utilizzo di filtri d'anello basati su opamp-RC. La principale ragione di questa scelta deriva dal fatto che per l'implementazione del filtro d'anello non è necessario progettare un intero amplificatore operazionale per ottenere la funzione $H(s)$ desiderata. Ciò permette di ottenere le seguenti semplificazioni: riduzione della complessità, dell'area e del consumo. La tecnica più largamente diffusa per il progetto di PLL integrati si basa su un componente alternativo all'amplificatore operazionale, chiamato pompa di carica. La pompa di carica funzionando congiuntamente ad una rete RC è in grado di sintetizzare la funzione $H(s)$ desiderata e di ridurre, come accennato in precedenza, la complessità del circuito. Nei PLL basati su pompa di carica, il phase detector controlla più generatori di corrente. La corrente in uscita dalla pompa di carica è fornita ad una rete passiva RC inserita tra la stessa pompa e VCO. Ciò permette di ottenere un anello di retroazione la cui dinamica è equivalente a quella del PLL del secondo ordine presentato in precedenza. In Figura 28 è mostrata una possibile architettura di pompa di carica.

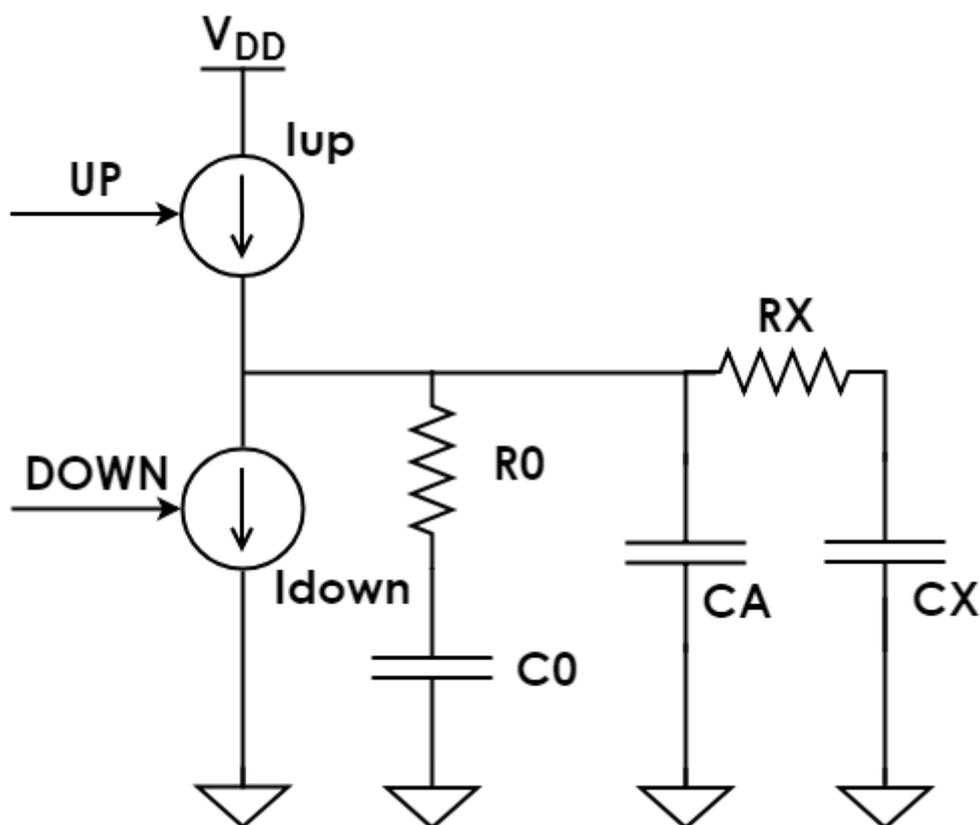


Figura 28. Pompa di carica e loop filter

6. VCO

Nel progetto di un PLL per il clock recovery il blocco più critico è costituito senz'altro dal VCO. Affinché un VCO possa essere utilizzato all'interno di un circuito per il clock recovery, esso deve soddisfare le seguenti condizioni:

1. L'intervallo tra la minima e massima frequenza producibile all'uscita del VCO prende il nome di tuning range. All'interno del tuning range la variazione dell'ampiezza del segnale di uscita e jitter devono essere minimi. Il tuning range del VCO deve essere dimensionato in funzione della frequenza del segnale in ingresso al PLL. Tipicamente se ω_i è la frequenza del segnale di ingresso, il tuning range deve essere dimensionato al fine di ottenere:

$$\omega_i - 0.2\omega_i < \text{tuning range} < \omega_i + 0.2\omega_i$$

La scelta di restringere il tuning range del VCO al $\pm 20\% \omega_i$ si rende necessaria al fine di minimizzare gli effetti associati alla variabilità dei parametri in funzione del processo tecnologico e della temperatura. All'interno del tuning range del VCO tali variazioni devono essere minime.

2. Le specifiche in termini di accuratezza temporale e purezza spettrale impongono delle specifiche su phase noise e jitter del VCO.

3. Immunità ai disturbi

4. Caratteristica ingresso-uscita lineare, ovvero K_{VCO} costante.

Nel progetto di PLL integrati, la topologia scelta per la sintesi del VCO è quella dell'oscillatore ad anello current starved (CSRO). Tale oscillatore è costituito da N (dispari) stadi come quello mostrato in Figura 29.

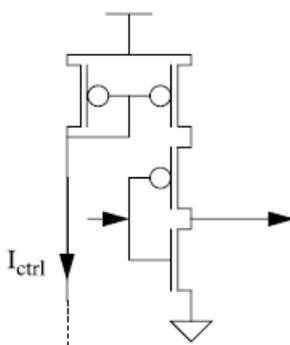


Figura 29. Invertitore current-starved

Solitamente viene scelta la topologia CSRO per la sua semplicità. Essa permette la sintesi di un oscillatore facendo ricorso a delle celle di libreria. Il ritardo di propagazione di tali celle può essere controllato all'interno di determinati corner di processo. Inoltre permette di ottenere buone prestazioni in termini di phase noise anche per bassi livelli di potenza dissipata, permette di ottenere ampi e lineari tuning range senza compromettere il consumo di potenza. Nel CSRO mostrato in Figura 30 è presente una cascata di $N=3$ invertitori i quali introducono uno sfasamento di 180° nell'anello di retroazione.

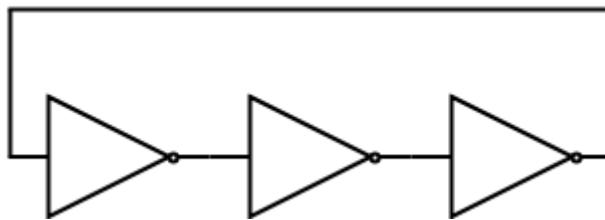


Figura 30. Oscillatore ad anello

Se τ_D è il ritardo introdotto da ciascun invertitore allora è possibile affermare che l'anello di retroazione oscilla con un periodo pari a $2N\tau_D$.

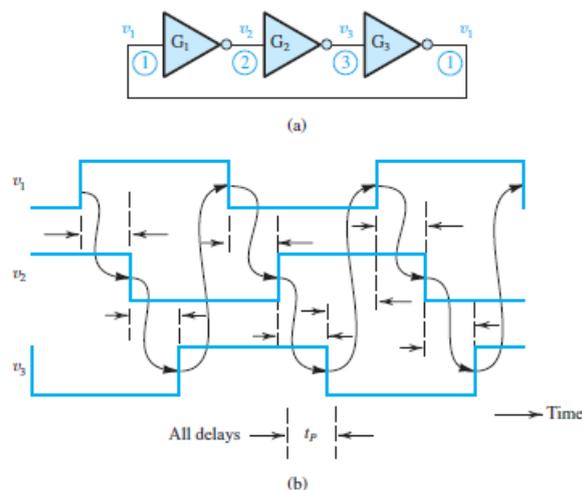


Figura 31. Funzionamento dell'oscillatore ad anello a tre stadi

Si consideri ora le forme d'onda riportate in Figura 31. Il fronte di salita al nodo 1 si propaga attraverso le porte 1, 2 e 3 per ritornare invertito dopo un intervallo di tempo pari a $3\tau_D$. Questo fronte di discesa si propaga e torna con la polarità originaria (salita) dopo un altro intervallo di tempo pari a $3\tau_D$. Ne segue che il circuito oscilla con un periodo pari a $6\tau_D$ che corrisponde ad una frequenza di oscillazione pari a $1/6\tau_D$.

Come riportato in precedenza, la frequenza di oscillazione di un oscillatore ad anello è:

$$f_{osc} = \frac{1}{2N\tau_D}$$

Nell'oscillatore ad anello è possibile variare il valore della frequenza di oscillazione agendo sul ritardo di propagazione degli invertitori. Ciò può essere fatto agendo sulla corrente di carica e scarica della capacità connessa tra il nodo di uscita di ciascun invertitore e massa.

7. Modello linearizzato del PLL del Terzo Ordine: il PLL a Pompa di Carica

In precedenza è stato spiegato come i phase detectors siano in grado di produrre alla loro uscita un segnale digitale. Questo segnale digitale risulta essere funzione della differenza di fase tra i segnali di ingresso e uscita del PLL. Il PLL a pompa di carica permette la sintesi della funzione di trasferimento $H(s)$ desiderata evitando l'utilizzo di un amplificatore operazionale

che risulta essere oneroso sia in termini di area che di consumo di potenza. La pompa di carica converte il segnale digitale in uscita dal phase detector in forma analogica, tale segnale è dunque utilizzato per pilotare il VCO.

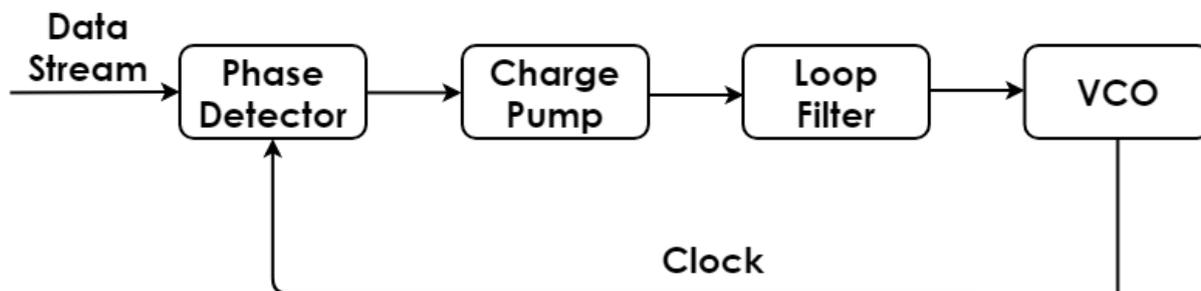


Figura 32. Schema a blocchi del PLL a Pompa di Carica

In Figura 32 è mostrato lo schema a blocchi del PLL a Pompa di Carica (CP-PLL). In questo paragrafo è presentato il modello linearizzato del CP-PLL del terzo ordine. L'analisi del CP-PLL del secondo ordine (nel quale il loop filter è costituito semplicemente da una connessione in serie tra una resistenza ed una capacità) non è riportata, tuttavia si mostrano ora alcune considerazioni derivanti dall'analisi del CP-PLL del secondo ordine. L'analisi dell'anello del secondo ordine può mostrare come esso risulti stabile, tuttavia la natura di sample-hold del CP-PLL presuppone che la pulsazione a guadagno unitario del loop venga scelta per valori inferiori o uguali al 10% della pulsazione di riferimento. Ciò si rende necessario per garantire la stabilità ottenendo però dei valori di R e C proibitivi. Spesso il CP-PLL del secondo ordine non viene utilizzato anche perchè le spurie presenti ai capi del loop filter inficiano negativamente le prestazioni del PLL. Per risolvere questi problemi si connette in parallelo al loop filter del CP-PLL del secondo ordine una capacità, ottenendo dunque un anello del terzo ordine. Si assuma ora, che il phase detector sia implementato con l'architettura di Hogge presentata nel paragrafo 4.3 e che il sistema Charge Pump-Loop Filter sia il seguente:

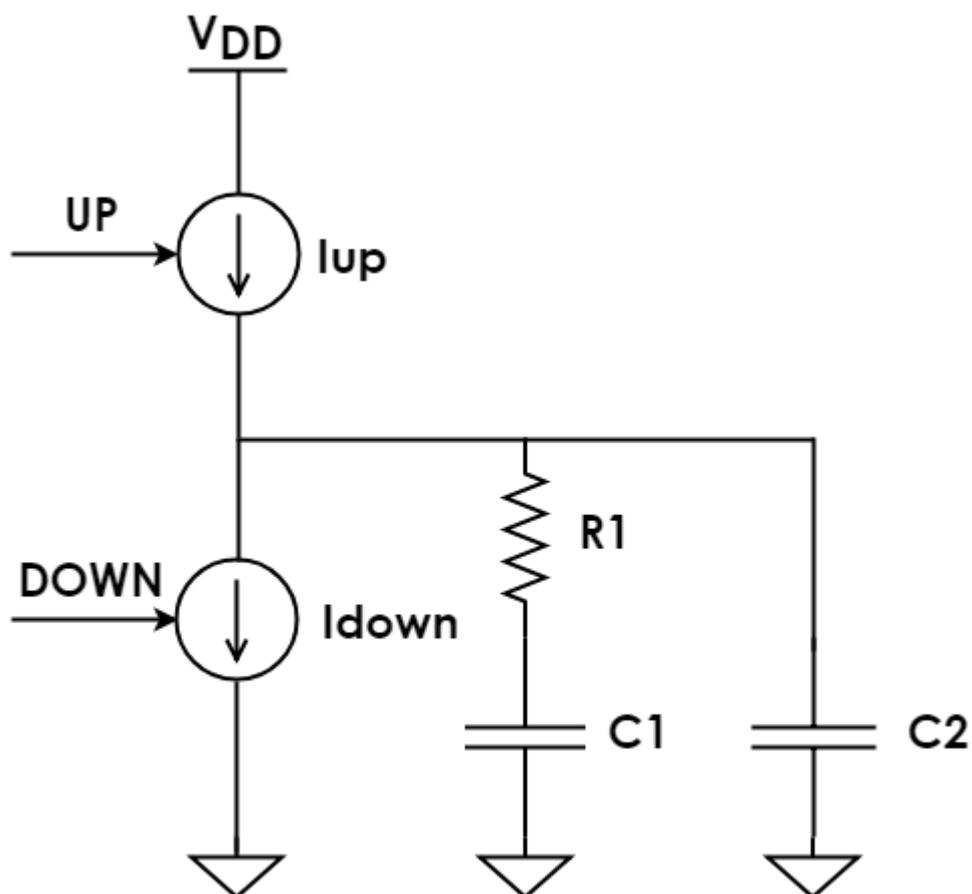


Figura 33. Pompa di carica e loop filter di un CP-PLL del terzo ordine

Il guadagno d'anello del CP-PLL del terzo ordine può dunque essere espresso come segue:

$$LG(S) = K_{PD}K_{CP}Z_{LF} \frac{K_{VCO}}{S}$$

Il termine K_{PD} è il guadagno del phase detector di Hogge, K_{CP} è il guadagno della pompa di carica. Nel seguito si assumerà $I_{UP} = I_{DOWN} = I_{CP}$. Per la determinazione del prodotto $K_{PD}K_{CP}$ si considerino le forme d'onda riportate in Figura.

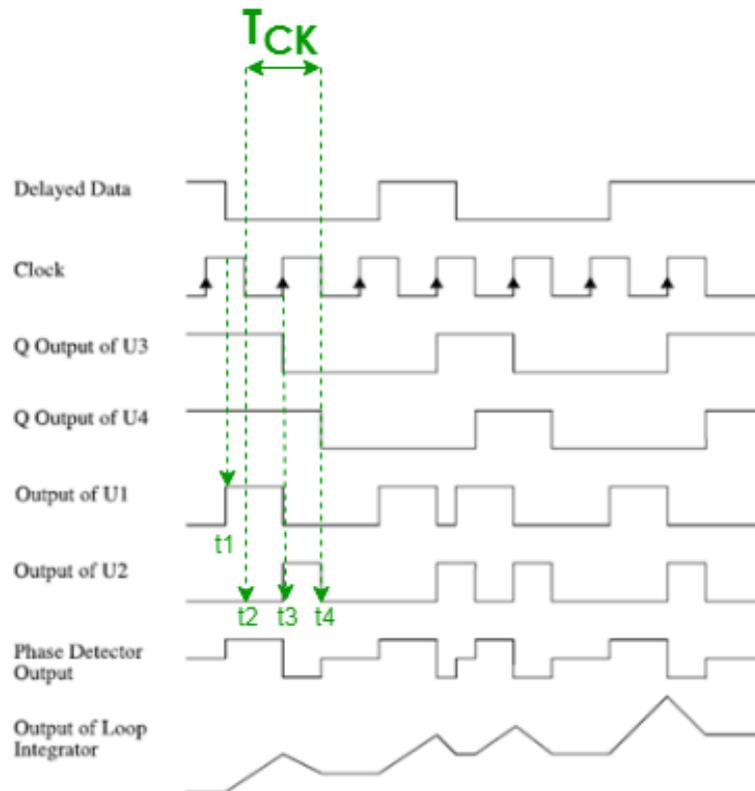


Figura 34. Forme d'onda del phase detector di Hogge nel caso in cui il fronte del dato risulti essere anticipato rispetto al fronte di discesa del segnale di clock di una distanza pari a t_2-t_1 . U1=UP, U2=DOWN.

In condizioni di aggancio, la pompa carica il loop filter per un intervallo di tempo pari a $T_{CK}/2$. A seguito della transizione dall'alto al basso del segnale UP, si verifica un impulso del segnale DOWN di durata pari a $T_{CK}/2$. Nel caso in cui il fronte del dato risulti essere anticipato rispetto al fronte di discesa del segnale di clock, si ha l'erogazione di una corrente addizionale nel loop filter, come mostrato in Figura 34. Nell'esempio riportato in Figura l'impulso del segnale UP ha durata costante e pari a t_3-t_1 . Si indichi ora con t_p la durata dell'anticipo del fronte del dato rispetto al clock, allora [11]:

$$t_p = t_2 - t_1 = \frac{\vartheta_e}{\omega_i}$$

ϑ_e è l'errore di fase tra dato e segnale di clock mentre la grandezza $2\pi/\omega_i$ corrisponde al tempo di bit. Allora la corrente media addizionale erogata ad ogni ciclo è [11]:

$$\langle I \rangle = \frac{I_{CP} t_p}{\frac{2\pi}{\omega_i}} = I_{CP} \frac{\vartheta_e \omega_i}{2\pi} = \frac{I_{CP}}{2\pi} \vartheta_e$$

Allora:

$$K_{PD} K_{CP} = \frac{\langle I \rangle}{\vartheta_e} = \frac{I_{CP}}{2\pi}$$

L'impedenza del loop-filter è:

$$Z_{LF}(s) = \frac{1}{s} \frac{1}{C_1 + C_2} \frac{1 + sC_1R}{1 + s \frac{C_1 C_2}{C_1 + C_2} R}$$

Se si definisce:

$$\omega_z = \frac{1}{R_1 C_1}$$

$$\omega_{p3} = \frac{C_1 + C_2}{R_1(C_1 C_2)}$$

Allora il guadagno d'anello del CP-PLL del terzo ordine può essere espresso come segue:

$$LG(s) = \frac{I_{CP} K_{VCO}}{2\pi(C_1 + C_2)s^2} \left(1 + \frac{s}{\omega_z}\right) \left(1 + \frac{s}{\omega_{p3}}\right)$$

Una volta nota l'equazione del guadagno d'anello, è possibile procedere con il dimensionamento del CP-PLL del terzo ordine. Indicata con ω_{ugb} la pulsazione a guadagno unitario di $LG(s)$ e considerata la natura di sample-hold del sistema è possibile affermare che l'analisi nel dominio di Laplace resta valida se, e solo se, $\omega_{ugb} \ll \omega_i$ [12]. In genere si assicura che:

$$\omega_{ugb} \leq \frac{1}{10} \omega_i$$

È necessario assicurare un determinato margine di fase (PM), il quale può essere selezionato in funzione dei seguenti grafici [12]:

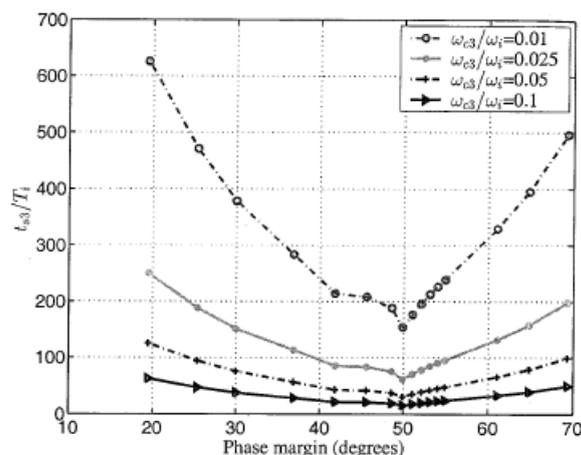


Figura 35. Tempo di aggancio in funzione del margine di fase del CP-PLL del terzo ordine [12]

In Figura 35 sull'asse orizzontale è riportato il margine di fase in gradi mentre su quello verticale il tempo di aggancio del CP-PLL del terzo ordine normalizzato al periodo del segnale in ingresso al PLL. Le curve sono tracciate dall'alto verso il basso per rapporti crescenti tra la pulsazione a guadagno unitario e la pulsazione del segnale di ingresso. È possibile osservare come il tempo di aggancio risulti minimo per valori di margine di fase nell'intorno di 50° . Il tempo di aggancio cresce solamente del 30% per margini di fase compresi tra 46° e 52° . Dalla Figura 35 è possibile dedurre come il tempo di aggancio risulti essere inversamente proporzionale alla pulsazione a guadagno unitario.

Per garantire la stabilità dell'anello di retroazione e ridurre la durata del locking time del PLL è opportuno scegliere $PM = 50^\circ$. Il margine di fase determina il rapporto delle capacità presenti nel loop filter come segue [12]:

$$K_C = \frac{C_1}{C_2} = 2 \left(\operatorname{tg}^2 PM + \operatorname{tg} PM \sqrt{\operatorname{tg}^2 PM + 1} \right)$$

In Figura 36 è riportato l'andamento del PM in funzione del rapporto di capacità presenti nel loop-filter [12].

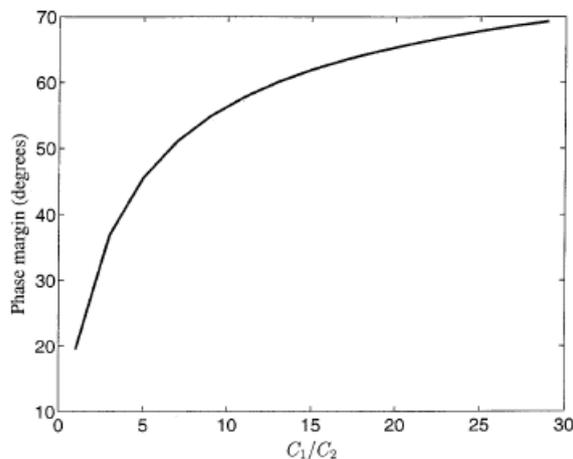


Figura 36. PM in funzione del rapporto di capacità [12]

Per la determinazione della pulsazione dello zero è necessario risolvere la seguente equazione [13]:

$$\frac{\partial PM}{\partial \omega_{ugb}} = 0$$

Si ottiene pertanto:

$$\omega_z = \frac{\omega_{ugb}}{\sqrt{\frac{C_1}{C_2} + 1}}$$

È possibile ora selezionare il valore della resistenza R per ottenere:

$$C_1 = \frac{1}{R\omega_z}$$

$$C_2 = \frac{C_1}{K_C}$$

Pertanto la corrente erogata dalla pompa di carica risulta essere:

$$I_{CP} = \frac{2\pi}{K_{VCO}} \omega_{ugb}^2 \sqrt{\frac{\omega_{p3}^2 + \omega_{ugb}^2}{\omega_z^2 + \omega_{ugb}^2}}$$

Capitolo III: Progetto di un PLL analogico a bassissimo consumo per sistemi Wake-Up Radio

Nel Capitolo I è stata fornita una presentazione sui sistemi Wake-Up Radio, ponendo attenzione sulle loro criticità. In tale capitolo è stata presentata l'ARCES-STMicroelectronics Wake-Up Radio. Le prestazioni in termini di consumo di potenza permettono di introdurre nello stesso sistema una architettura per la gestione dell'addressing. Il Capitolo II si è dedicato alla definizione dei circuiti per il clock recovery e alla loro implementazione sfruttando gli anelli ad aggancio di fase. In questo lavoro di tesi si è indagata la gestione dell'addressing nell'ARCES-STMicroelectronics Wake-Up Radio utilizzando uno schema di clock recovery basato su CP-PLL del terzo ordine. A tal proposito, in questo capitolo si fornisce una analisi delle architetture progettate.

1. Introduzione

In questo capitolo viene presentato il progetto di un PLL a bassissimo consumo per sistemi Wake-Up Radio. L'architettura di riferimento è la seguente:

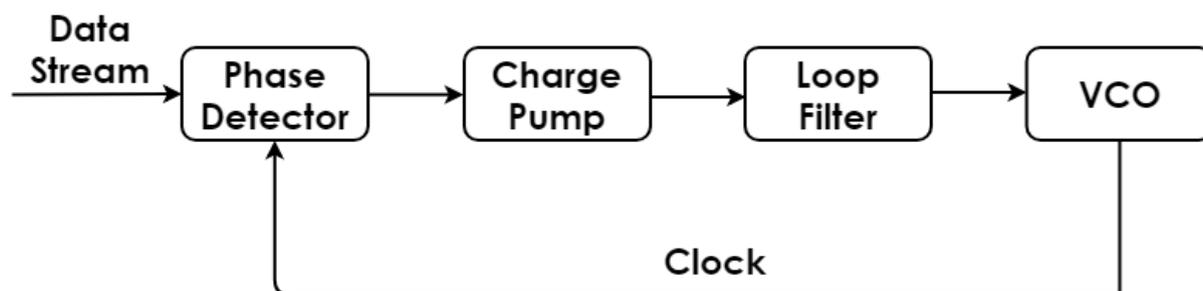


Figura 1. Architettura del PLL a pompa di carica

È stato condotto uno studio preliminare sul CP-PLL di Figura 1 implementando un anello di retroazione del terzo ordine utilizzando il linguaggio Verilog-A.

Il Verilog-A è un linguaggio di descrizione dell'Hardware (HDL) pensato per descrivere il comportamento di sistemi analogici [13]. L'obiettivo del Verilog-A è permettere ai progettisti di sistemi analogici e circuiti integrati di creare e usare moduli costruiti come descrizioni comportamentali di alto livello o come descrizione strutturale di sistemi e componenti. Nel particolare, in questo lavoro di tesi è stato modellato il CP-PLL del terzo ordine descrivendo strutturalmente i componenti presenti all'interno del PLL (phase detector, pompa di carica e VCO). Il comportamento di ogni modulo può essere descritto matematicamente a partire dai suoi terminali e dai parametri esterni forniti al modulo. La struttura di ogni componente può essere descritta in termini di sotto-componenti. Le relazioni che si usano per descrivere i vari rami del sistema sono una descrizione delle leggi di Kirchhoff ai nodi e alle maglie. La struttura di un modulo Verilog-A è la seguente:

```

//Linear resistor (resistance formulation)
`include "disciplines.vams"
module resistor (p, n);
  parameter real r=0; //resistance (Ohms)
  inout p, n;
  electrical p, n;

  analog
    V(p,n) <+ r*I(p,n);
endmodule

```

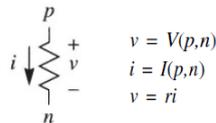


Figura 2. Descrizione in Verilog-A di un resistore

1.1 Implementazione delle celle di libreria in Verilog-A

Il progetto del CP-PLL del terzo ordine parte dalla implementazione del phase detector utilizzando il linguaggio Verilog-A. Il phase detector è il Three-Wave. Nell' architettura del phase detector Three-Wave sono presenti FFD sia positive edge triggered che negative edge triggered e XOR. Di seguito si riporta la descrizione in Verilog-A di tali moduli.

```

`include "constants.vams"
`include "disciplines.vams"

module FFDpos(d,q,clk);

  input d,clk;
  output q;

  electrical d,q,clk;

  parameter real digThresh=0.6;
  parameter real vdd=1.2;

  analog begin : main

    integer state;

    @(cross(V(clk)-digThresh,1,1p))
    if (V(d)>digThresh)
      state=1;
    else
      state=0;

    V(q) <+ vdd*transition((state ? 1:0 ), 0, 1p, 1p);

  end

endmodule

```

Figura 3. Codice Verilog-A per la cella di libreria FFD Positive Edge Triggered

```

`include "constants.vams"
`include "disciplines.vams"

module FFDneg(d,q,clk);

input d,clk;
output q;

electrical d,q,clk;

parameter real digThresh=0.6;
parameter real vdd=1.2;

analog begin : main

integer state;

@(cross(V(clk)-digThresh,-1,1p))
if (V(d)>digThresh)
state=1;
else
state=0;

V(q) <+ vdd*transition((state ? 1:0 ), 0, 1p, 1p);

end

endmodule

```

Figura 4. Codice Verilog-A per la cella di libreria FFD Negative Edge Triggered

```

`include "constants.vams"
`include "disciplines.vams"

module XOR(in1,in2,out);

    electrical in1, in2, out;

    parameter real digThresh=0.6; // soglia logica impostata a VDD/2
    parameter real digOutLow=0.0;
    parameter real digOutHigh=1.2;
    parameter real trise=1p;
    parameter real tfall=1p;
    parameter real vdd=1.2;

    analog begin : main

        integer dig1, dig2, logicState;

        @ (cross(V(in1)-digThresh,0,1p))
        if (V(in1)>digThresh)
            dig1=1;
        else
            dig1=0;

        @ (cross(V(in2)-digThresh,0,1p))
        if (V(in2)>digThresh)
            dig2=1;
        else
            dig2=0;

        logicState=dig1 ^ dig2 ? digOutHigh : digOutLow;

        V(out) <+ vdd*transition(logicState, 0.0, trise, tfall);

    end

endmodule

```

Figura 5. Codice Verilog-A per la cella di libreria XOR

1.2 Implementazione della pompa di carica in Verilog-A

La pompa di carica (che nel seguito verrà indicata anche come Three Legs Charge Pump, 3LCP) presenta l'architettura mostrata in Figura 6. Se si indica con $V(U1)$, $V(U2)$ e $V(U3)$ le tensioni ai terminali di uscita del phase detector e assumendo valore logico alto pari a V_{DD} , allora la corrente di uscita della Three Legs Charge Pump è data dalla seguente relazione:

$$I_{ctrl} = \frac{I_{CP}}{V_{DD}} (V(U1) + V(U3)) - 2 \frac{I_{CP}}{V_{DD}} V(U2)$$

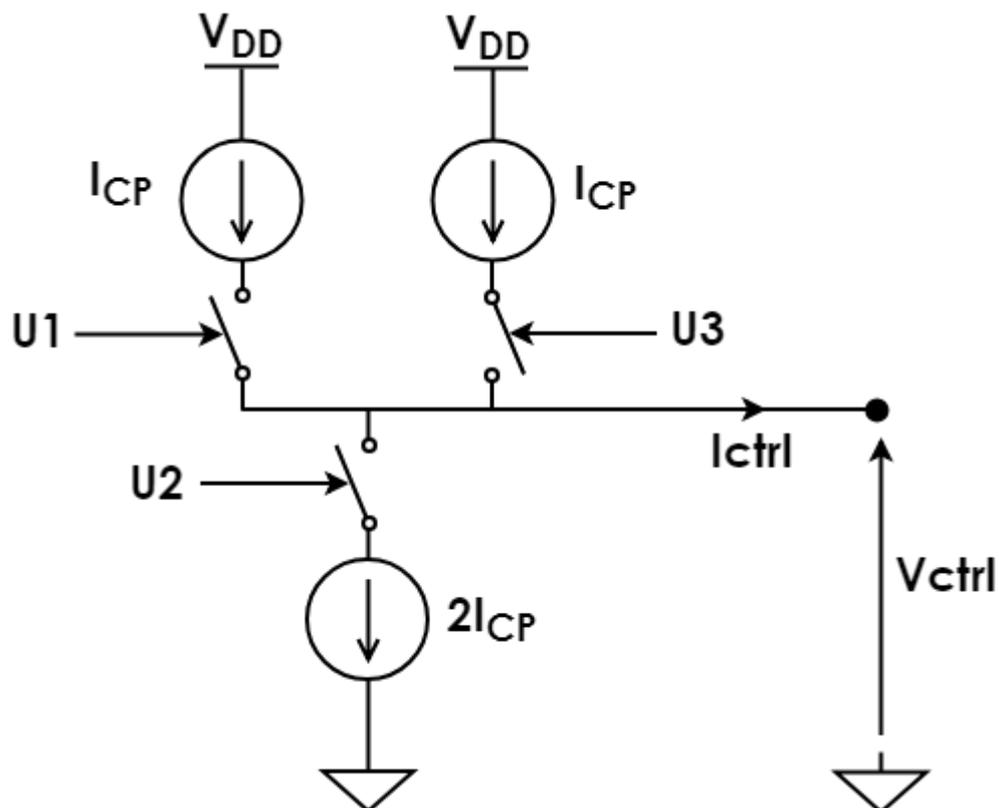


Figura 6. Architettura della pompa di carica. I segnali U1, U2 e U3 corrispondono alle uscite del phase detector three-wave, I_{ctrl} è la corrente che entra nel loop filter, V_{ctrl} è la tensione ai capi del loop filter.

Di seguito è riportato il codice Verilog-A utilizzato per l'implementazione del Three Legs Charge Pump.

```

`include "constants.vams"
`include "disciplines.vams"

module THREE_LEGS_CHARGE_PUMP(u1,u2,u3,en2,pout);

    parameter real cur=1e-9;
    parameter real ht=0.8,lt=0.2;
    input u1,u2,u3,en2;

    output pout;
    electrical pout,u1,u2,u3,en2;
    real out;

    analog begin

        if (V(en2)<=0.6) out=0;
        if (V(en2)>0.6) out=cur*(V(u1)/1.2)+cur*(V(u3)/1.2)-2*cur*(V(u2)/1.2);
        I(pout) <+ -transition(out, 0.0, 5p, 5p);

    end

endmodule

```

Figura 7. Codice Verilog-A del Three Legs Charge Pump

1.3 Implementazione del loop filter

Il PLL implementato in Verilog-A è, come detto in precedenza, un CP-PLL del terzo ordine, pertanto il filtro d'anello (loop filter) presenta la seguente topologia:

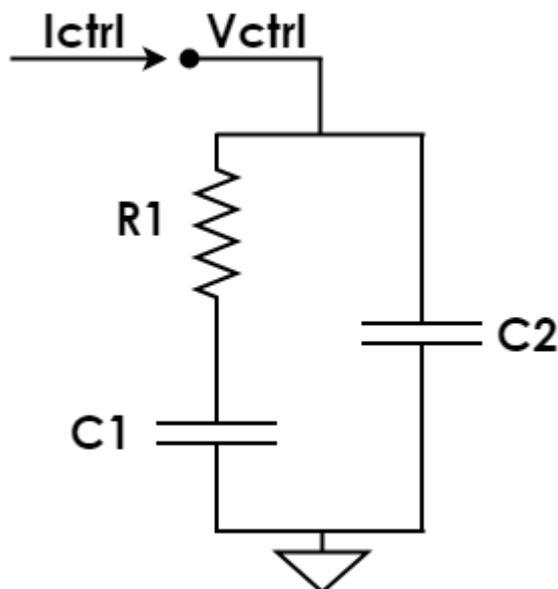


Figura 8. Loop filter utilizzato nel CP-PLL del terzo ordine

Nel bipolo mostrato in Figura Ictrl rappresenta la corrente d'uscita dalla Three Legs Charge Pump mentre Vctrl è la tensione ai capi dello stesso loop filter.

1.4 Implementazione dell'oscillatore controllato in tensione in Verilog-A

Per l'implementazione del VCO in Verilog-A si è fatto riferimento alla seguente struttura:

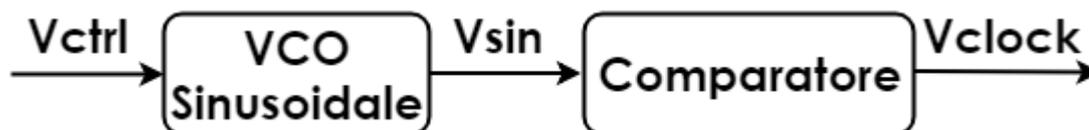


Figura 9. Schema a blocchi del VCO implementato in Verilog-A. Vctrl è il segnale di ingresso del VCO mentre Vclock è il segnale di uscita.

Nell'architettura di Figura 9 sono presenti due blocchi: un VCO Sinusoidale e un Comparatore a soglia. Il segnale di ingresso del VCO sinusoidale è la tensione di controllo Vctrl ai capi del loop filter. Il segnale in uscita dal VCO Sinusoidale è:

$$V_{sin}(t) = V_{DD} \sin\left(\int_0^t 2\pi f[V_{ctrl}(t')] dt'\right)$$

Dove:

$$f[V_{ctrl}(t')] = f_0 + K_{VCO}(V_{ctrl}(t') - \frac{V_{DD}}{2})$$

f_0 è la frequenza di free-running dell'oscillatore, mentre K_{VCO} è il guadagno del VCO espresso in Hz/V.

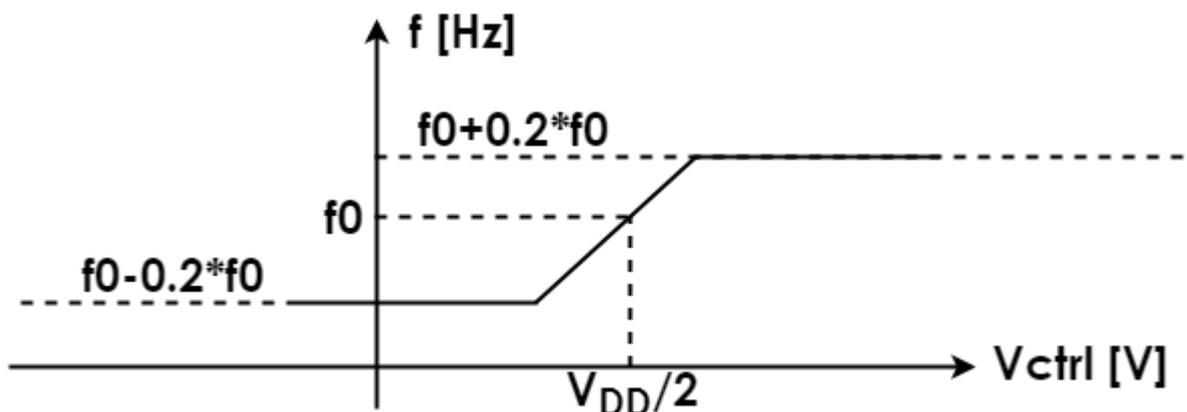


Figura 10. Caratteristica del VCO implementato in Verilog-A

In Figura 10 è mostrata la caratteristica del VCO implementato in Verilog-A, in particolare:

$$f = f_0 + K_{VCO} \left(V_{ctrl}(t) - \frac{V_{DD}}{2} \right) \Leftrightarrow f_0 - 0.2f_0 \leq f \leq f_0 + 0.2f_0$$

Il comparatore a soglia è inserito a valle del VCO Sinusoidale al fine di ottenere in uscita un'onda quadra, ovvero:

$$V_{clock}(t) = V_{DD} \quad \text{se } V_{sin}(t) > 0$$

$$V_{clock}(t) = 0 \quad \text{altrove}$$

Di seguito si riportano i codici Verilog-A del VCO sinusoidale e del comparatore a soglia.

```

`include "constants.vams"
`include "disciplines.vams"

module VCO_sin(in,out);

input in;
output out;
electrical in;
electrical out;

parameter real vdd=1.2;
parameter real kvco=400;
parameter real f0=1000;
real freq;

analog begin

freq=f0+kvco*(V(in)-vdd/2);
if (freq<=800) freq=800;
if (freq>=1200) freq=1200;
V(out)<+vdd*sin(2*`M_PI*idtmod(freq,0.0,1.0));

end

endmodule

```

Figura 11. Codice Verilog-A del VCO Sinusoidale

```

`include "constants.vams"
`include "disciplines.vams"

module COMPARATORE(in,out);

input in;
output out;

electrical in, out;

parameter real digThresh=0.6;
parameter real vdd=1.2;
parameter real tr=1p;
parameter real tf=1p;

real vout;

analog begin

if (V(in)>0)
vout=vdd;
if (V(in)<=0)
vout=0;

V(out)<+ transition(vout,0.0,tr,tf);

end

```

Figura 12. Codice Verilog-A del Comparatore

1.5 Simulazione del PLL del terzo ordine a Pompa di Carica implementato in Verilog-A

In questo paragrafo sono mostrati i risultati della simulazione del PLL implementato in Verilog-A. L'architettura analizzata è la seguente:

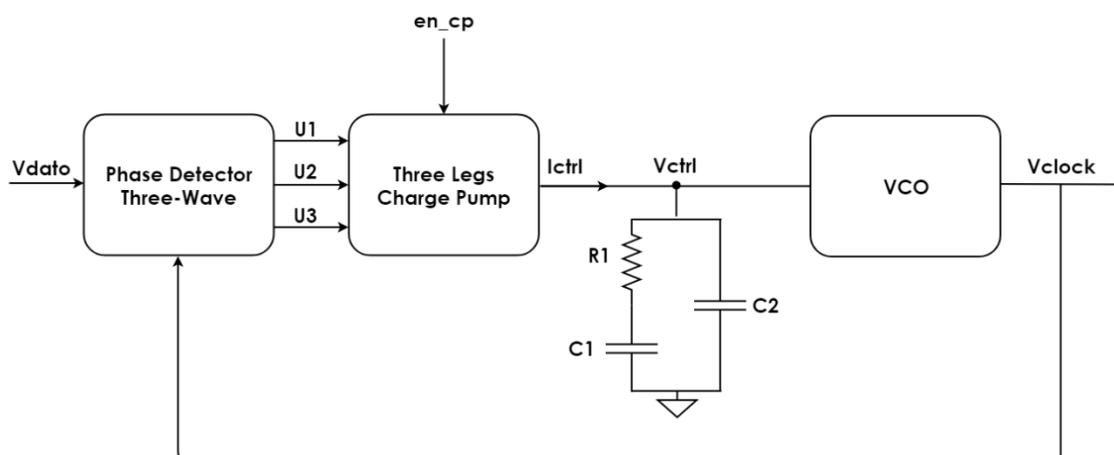


Figura 13. Architettura del CP-PLL del terzo ordine implementato in Verilog-A.

Il segnale en_cp è un segnale digitale fornito dalla rete di controllo progettata in [8]. Esso serve per abilitare il PLL (agendo, in questo caso, sulla corrente erogata dalla pompa di carica). Ciò avviene in corrispondenza del primo fronte (alto-basso o basso-alto) del segnale $Vdato$.

Fintantoché il segnale en_cp risulta essere al valore logico basso si ha $Ictrl=0$. A partire dall'istante in cui tale segnale commuta dal valore logico basso a quello alto (ciò avviene appunto in corrispondenza della prima transizione del segnale $Vdato$), la Three Legs Charge Pump inizia ad erogare corrente e si innesca così il transitorio della tensione $Vctrl$. La rete di controllo progettata in [8] comprende un contatore, il cui segnale di clock è lo stesso prodotto dal PLL. La logica digitale attiva il conteggio per un intervallo di tempo prefissato, al termine del quale disabilita nuovamente il PLL facendo commutare il segnale en_cp dal valore logico alto a quello basso. L'istante di tempo in cui termina il conteggio è indicato in [8] come "Time Out". Il segnale en_cp presenta una commutazione alto-basso anche nel caso in cui venga rilevato il segnale di Wake-Up prima del Time Out. A partire dall'istante in cui avviene la commutazione alto-basso di en_cp (e fino al successivo fronte basso-alto dello stesso en_cp) la pompa di carica non eroga corrente e la tensione $Vctrl$ viene cortocircuitata verso massa. È possibile fare quest'ultima cosa connettendo il nodo $Vctrl$ verso massa attraverso uno switch che per $en_cp=V_{DD}$ è aperto mentre per $en_cp=0$ V è chiuso.

Il dimensionamento del PLL è stato effettuato seguendo il procedimento riportato nel paragrafo 7 del Capitolo II. In particolare si è assunto che il segnale in ingresso ($Vdato$) sia caratterizzato da una birate di 1 kbps, e che il guadagno del VCO sia di 400 Hz/V (come riportato in Figura 11).

PM	ω_{ugb}	C_1	C_2	R_1	I_{CP}
49.8°	$0.049\omega_{in}$	87.5 pF	13.5 pF	100 MΩ	9 nA

Tabella 1. Dimensionamento del CP-PLL del terzo ordine

Dopo avere effettuato il dimensionamento del PLL è stato possibile procedere con la valutazione del sistema. Il modello Verilog-A del sistema è stato inizialmente utilizzato per valutare le prestazioni del PLL in termini di tempo di aggancio. A tal proposito, è stata effettuata una simulazione in transitorio applicando all'ingresso del PLL un preambolo. Il preambolo utilizzato in questa simulazione è una sequenza di soli '1' e '0' consecutivi caratterizzata da un tempo di bit pari a $T_B=1$ msec.

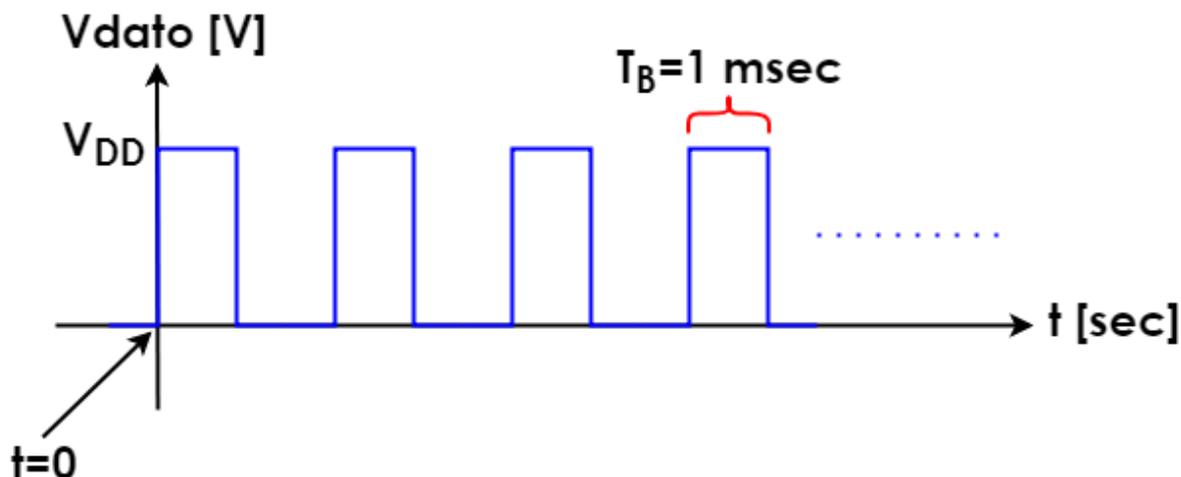


Figura 14. Esempio di preambolo

In Figura 15 è mostrato il risultato della simulazione del CP-PLL del terzo ordine. In $t=0$ sec viene applicato il preambolo in ingresso al PLL, in $t=2$ msec avviene la commutazione da '0' a '1' del segnale `en_cp`. A partire da questo istante la pompa di carica inizia ad erogare corrente e parte il transitorio della tensione `Vctrl`. In Figura 16 sono mostrate le forme d'onda di `Vdato` (DATO), `Vclock`, `U1`, `U2` e `U3` all'interno di una finestra temporale nella quale il PLL è agganciato. In condizioni di comportamento ideale il phase detector three wave prevede che il fronte di discesa del segnale di clock sia allineato con i fronti di salita/discesa del dato (che in questa simulazione è semplicemente un preambolo) e che la frequenza del segnale di clock sia l'inverso del tempo di bit. Dai grafici di Figura 16 è possibile osservare come la frequenza del clock sia pari ad 1 kHz. In condizioni di aggancio esiste un errore di fase tra clock e dato pari a 0.1 msec, corrispondente al 10% del tempo di bit. Per la determinazione del tempo di aggancio si è fatto riferimento ai grafici di Figura 17.

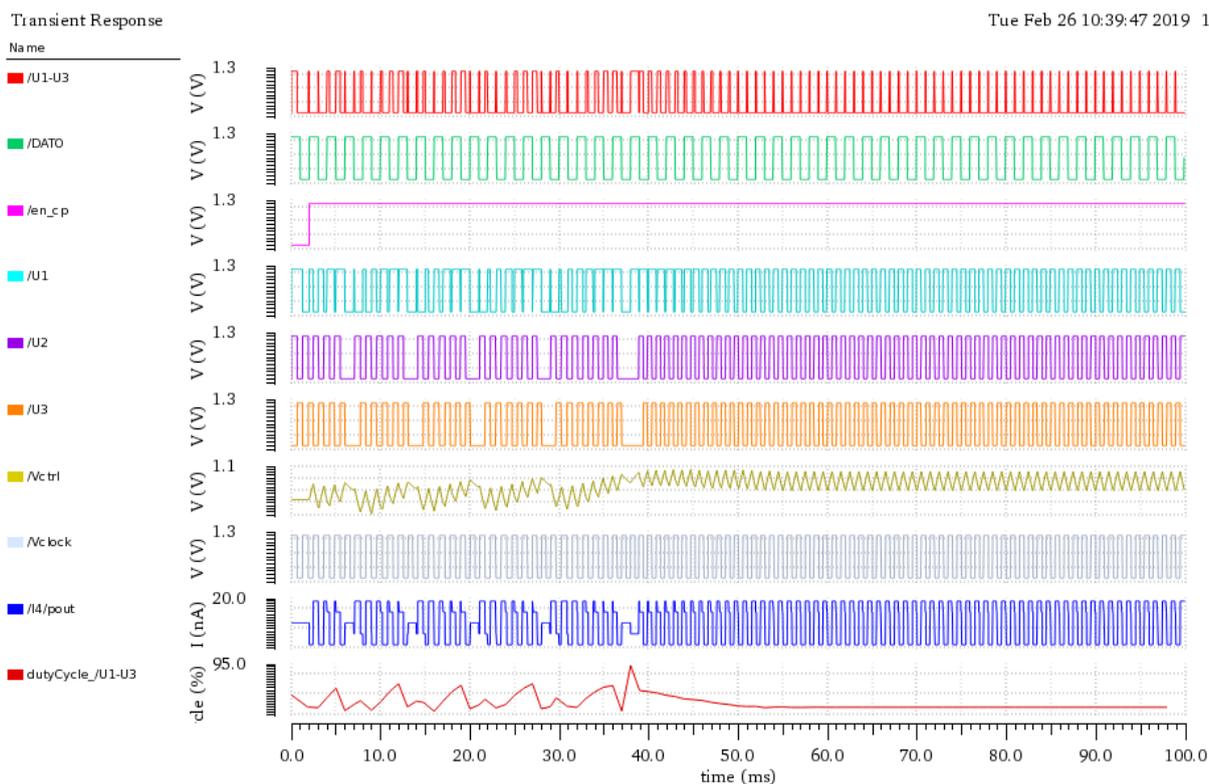


Figura 15. Risultato della simulazione del CP-PLL del terzo ordine. (Dall'alto al basso) Rosso: U1-U3 è lo XOR dei segnali U1 e U3 in uscita dal phase detector three wave. Verde: Dato è la stringa binaria (preambolo) fornita in ingresso al PLL. Rosa: en_cp è il segnale di abilitazione della pompa di carica. Celeste, Viola e Arancione: U1, U2 e U3 sono le uscite del phase detector three wave. Oro: Vctrl è la tensione ai capi del loop filter. Grigio: Vclock è il segnale di clock in uscita dal PLL. Bordeaux: dutyCycle_U1-U3 è il duty cycle del segnale U1-U3.

In condizioni di aggancio il segnale U1-U3 ha periodo pari al tempo di bit e duty cycle dipendente dall'errore di fase tra dato e clock. Il tempo di aggancio è definibile come l'istante di tempo a partire dal quale la durata dell'impulso U1-U3 (e quindi anche il suo duty cycle) si mantiene costante. In particolare il tempo di aggancio misurato è pari a $T_{LOCK}=58$ msec. In Figura 18 è mostrato l'andamento in transitorio del duty cycle del segnale U1-U3. Dalla Figura 18 è possibile osservare che a partire da $t \cong 60$ msec il duty cycle di U1-U3 si mantiene costante. Considerando che la commutazione basso-alto del segnale en_cp avviene in $t = 2$ msec allora il tempo di aggancio risulta essere pari a 58 msec. In Figura 19 è mostrato l'andamento nel tempo del segnale Vctrl. A partire dall'istante di tempo $t = 2$ msec inizia il transitorio di Vctrl, ciò è dovuto al fatto che in $t = 2$ msec avviene la commutazione basso-alto del segnale en_cp. La Vctrl in $t = 2$ msec è pari a 0 V, una volta raggiunta le condizione di aggancio (è possibile affermare che ciò avviene in $t = 60$ msec), Vctrl risulta essere una forma d'onda pseudo-triangolare con periodo pari a 1 msec, valor medio pari a 615 mV, valore massimo pari a 930 mV e valore minimo pari a 300 mV. Ciò è mostrato in Figura 20.

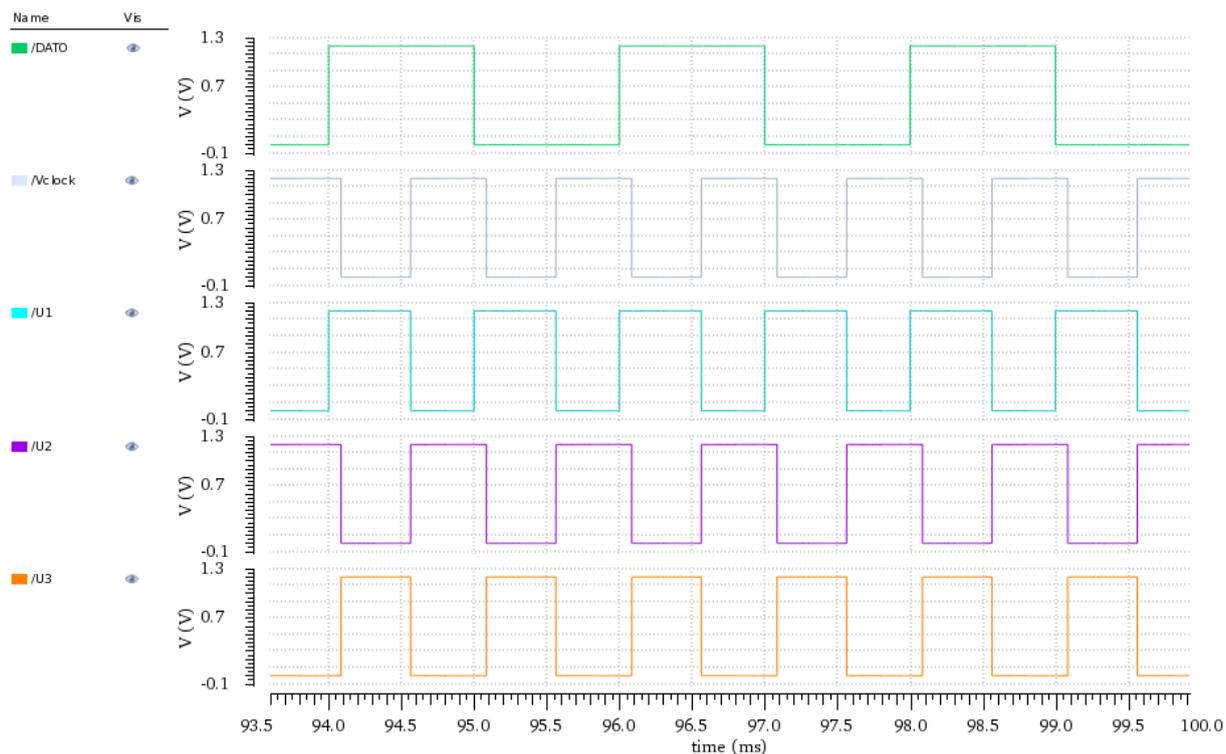


Figura 16. Forme d'onda di Vdato, Vclock, U1, U2 e U3 in condizioni di aggancio

dutyCycle(v("/U1-U3" ?result "tran") ?threshold 0.2088423 ?mode "user" ?xName "time" ?outputType "plot")

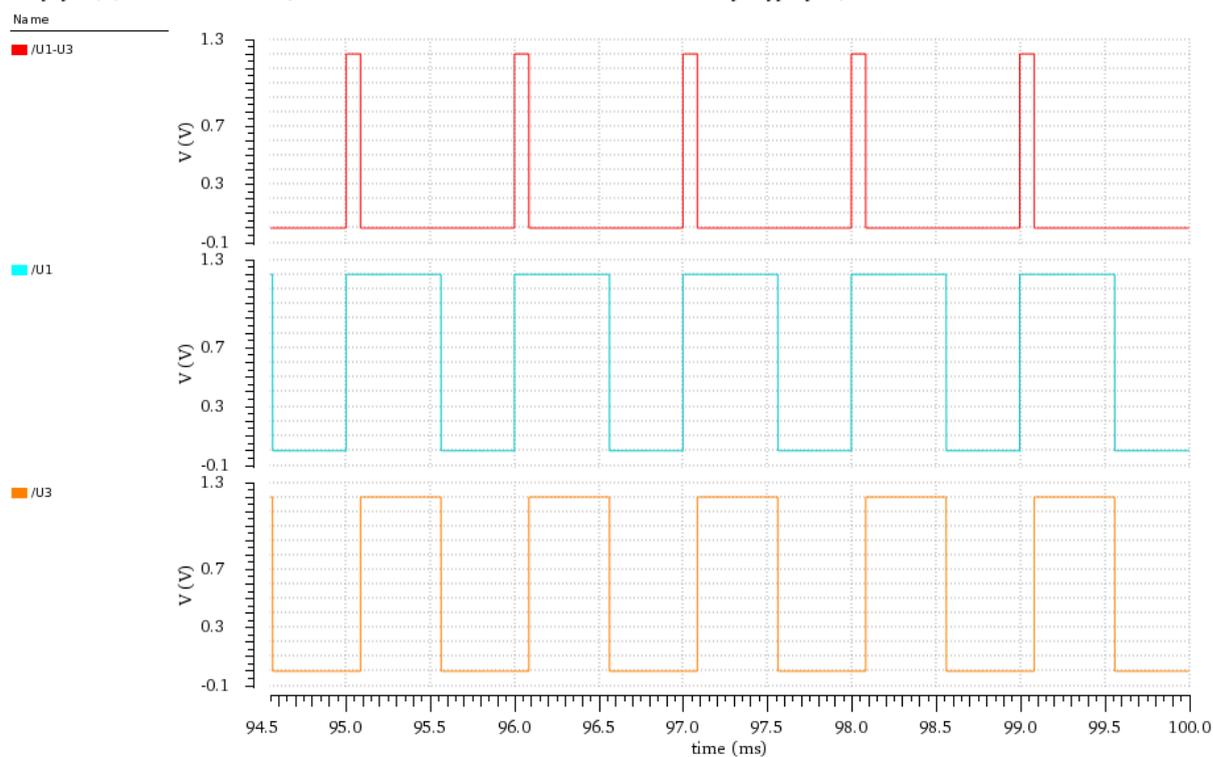


Figura 17. Forme d'onda di U1, U3 e U1-U3. Il segnale U1-U3 è il risultato dello XOR tra U1 e U3

dutyCycle(v("/U1-U3" ?result "tran") ?threshold 0.2088423 ?mode "user" ?xName "time" ?outputType "plot")

1

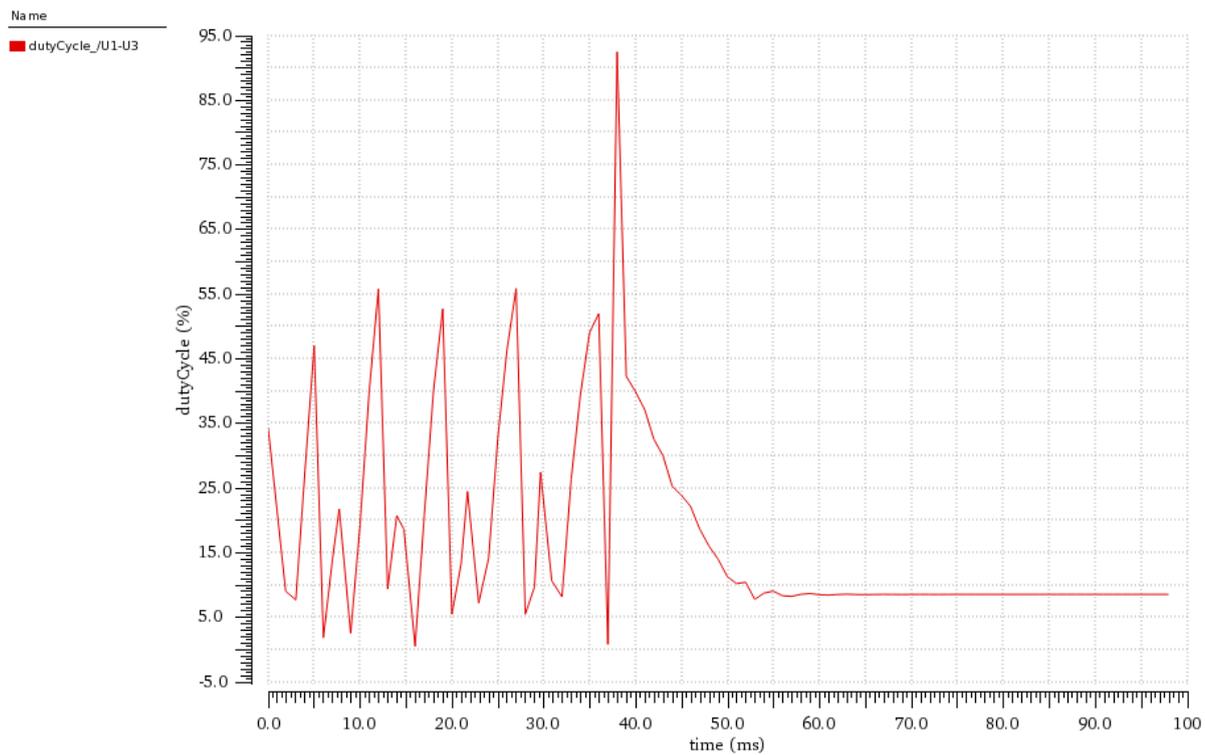


Figura 18. Duty cycle del segnale U1-U3.

1

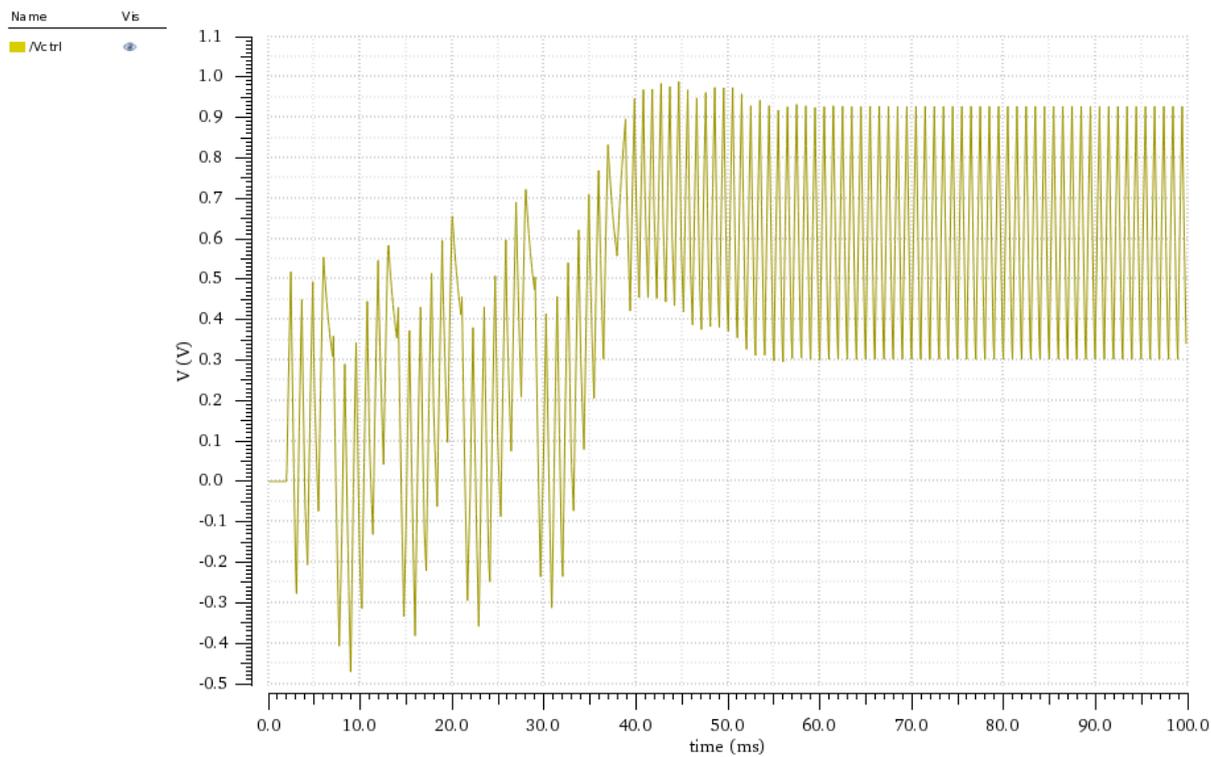


Figura 19. Andamento in transitorio di Vc tri.

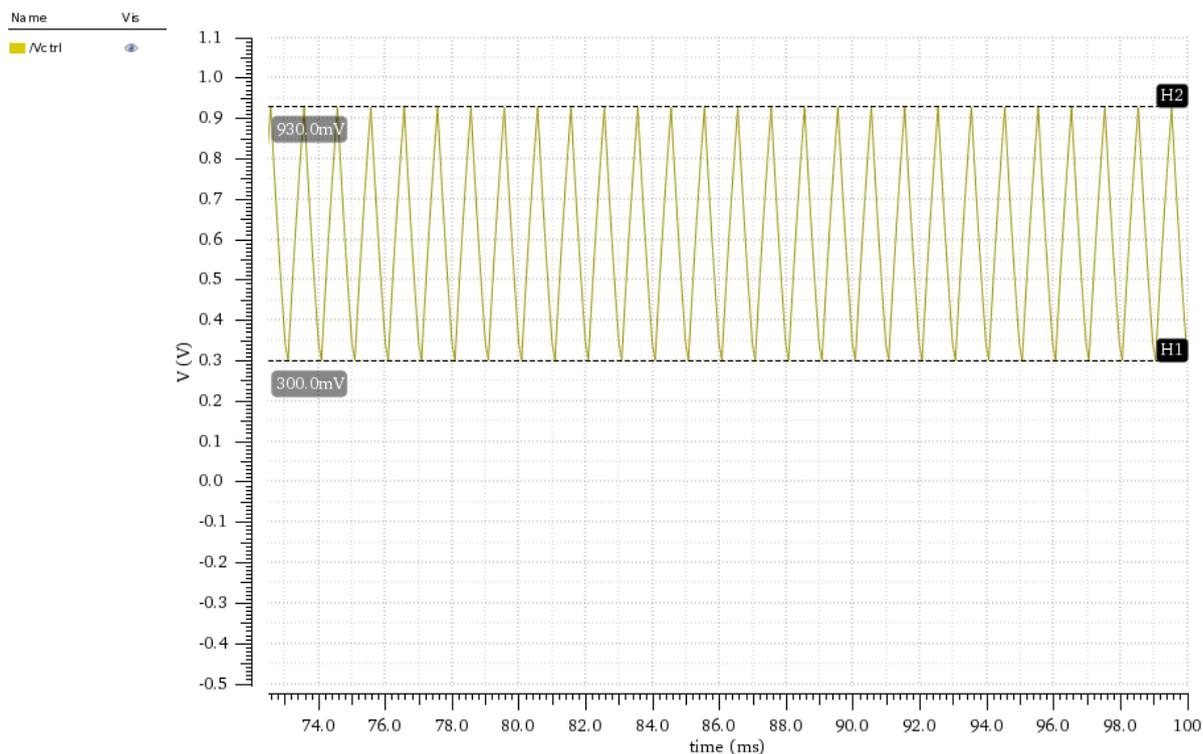


Figura 20. Zoom di V_{ctrl} in condizioni di aggancio. In tale condizione, il valore di picco della tensione è pari a $930 \text{ mV} - 300 \text{ mV} = 630 \text{ mV}$

Una volta determinato il tempo di aggancio del PLL è possibile verificarne il funzionamento applicando la seguente sequenza:

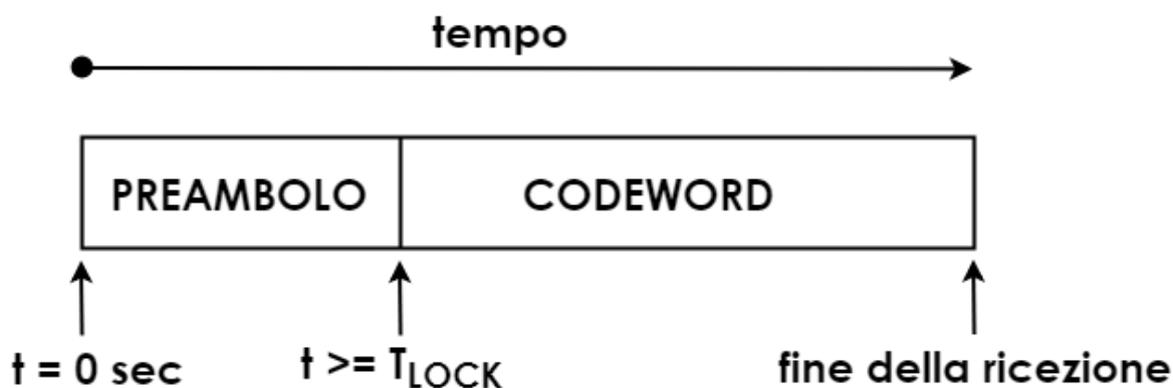


Figura 21. Esempio di sequenza applicata all'ingresso del PLL.

Per questa analisi preliminare del sistema si è utilizzata la seguente codeword a 20 bit:

CODEWORD: 00000010011001011101

Per la verifica del funzionamento del sistema è stato applicato un preambolo di durata pari ad 80 msec. Nella Figura 22 è mostrato il risultato della simulazione nella finestra temporale della codeword. Dopo il preambolo è applicata una sequenza di sei '0' consecutivi. Questo, nel caso analizzato, non inficia la condizione di aggancio del PLL.

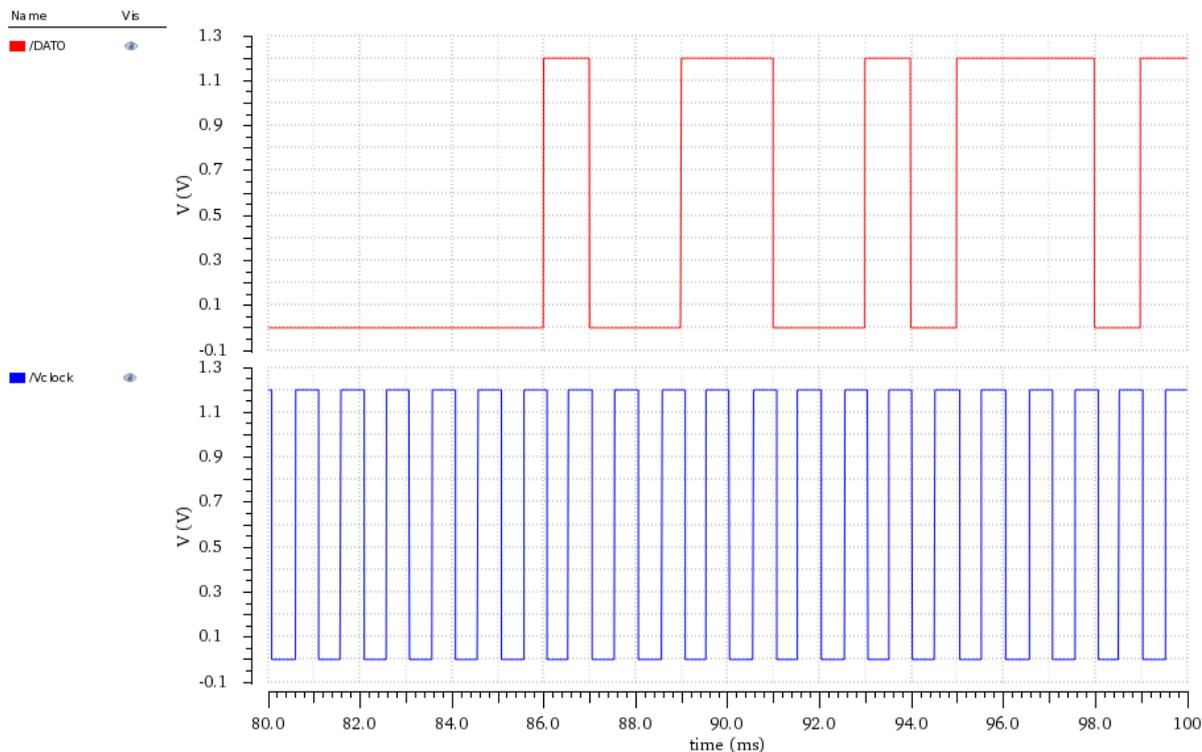


Figura 22. Risultato dell'analisi in transitorio del CP-PLL del terzo ordine implementato in Verilog-A

2. Progetto del VCO

Il progetto del CP-PLL del terzo ordine a livello transistor parte dal design del componente di maggiore criticità. Il VCO influenza le prestazioni del PLL poiché il guadagno dello stesso componente entra nell'espressione del guadagno d'anello. Il guadagno d'anello impone le specifiche in termini di stabilità, tempo di aggancio e consumo di potenza del PLL. Per le ragioni mostrate nel Capitolo II l'architettura di riferimento è l'oscillatore ad anello implementato utilizzando dei semplici invertitori.

Per l'oscillatore ad anello la frequenza del segnale di uscita è data dalla seguente relazione:

$$f = \frac{1}{2Nt_d}$$

Dall'equazione riportata è deducibile come sia possibile variare la frequenza d'oscillazione agendo sul ritardo di propagazione associato a ciascun inverter, ciò è possibile agendo sulla corrente di carica e scarica delle capacità connesse all'uscita degli invertitori, pertanto la topologia scelta per l'implementazione del VCO è quella dell'oscillatore ad anello di tipo Current Starved.

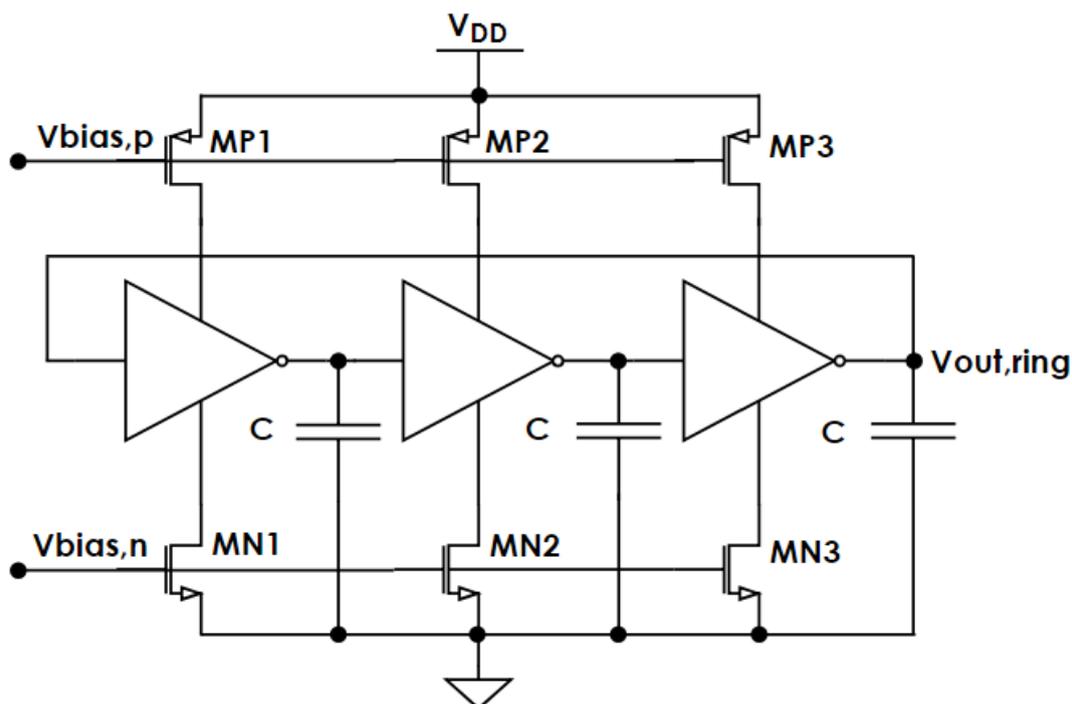


Figura 23. Oscillatore ad anello di tipo Current Starved

È possibile esprimere il ritardo t_d come segue:

$$t_d = \frac{CV_{DD}}{I_0} \Rightarrow f = I_0 \frac{1}{2NCV_{DD}}$$

I_0 è la corrente di carica e scarica delle capacità C erogata dai transistori MP ed MN. Esprimendo la corrente I_0 in funzione della tensione V_{ctrl} , è possibile determinare il guadagno del VCO come segue:

$$K_{VCO} = \frac{\partial f}{\partial V_{ctrl}} = \frac{1}{2NCV_{DD}} \frac{\partial I_0}{\partial V_{ctrl}}$$

Il VCO progettato in questo lavoro di tesi è costituito da due blocchi: un convertitore tensione-corrente e l'oscillatore ad anello. Il convertitore tensione-corrente determina il rapporto $\partial I_0 / \partial V_{ctrl}$.

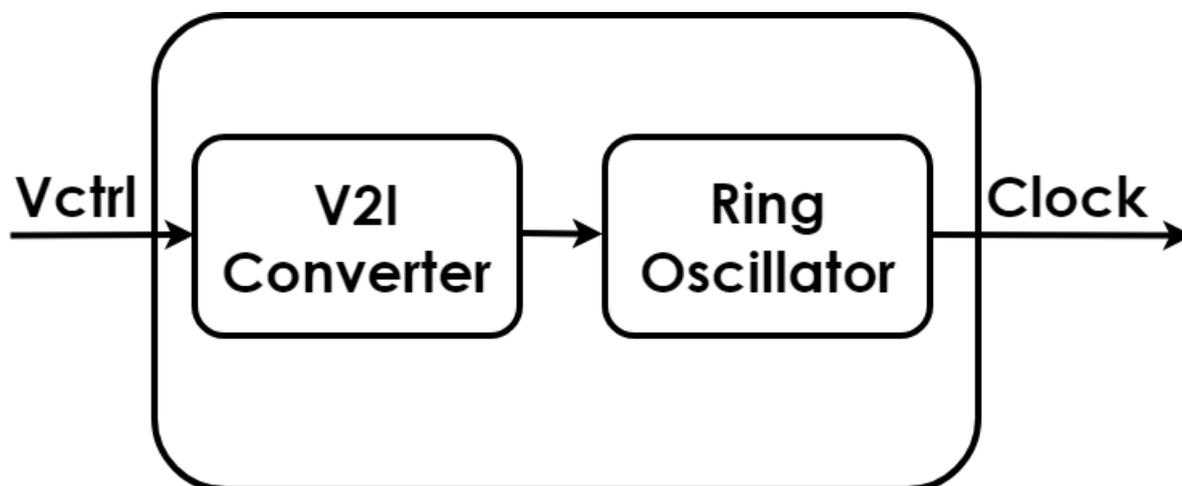


Figura 24. Schema a blocchi del VCO. L'ingresso del VCO è la tensione di controllo ai capi del loop filter.

Nel circuito del VCO progettato, al fine di massimizzare il risparmio di energia, tutti i transistori operano in regione di sottosoglia (sia per il blocco V2I che per il Ring Oscillator).

2.1 Progetto del VCO: Convertitore tensione-corrente

A valle dell'oscillatore ad anello è presente un convertitore tensione-corrente. Tale blocco è inserito al fine di rendere il più lineare possibile la caratteristica frequenza-tensione di controllo del VCO. È dunque opportuno che la caratteristica del V2I Converter sia quasi lineare. In Figura 25 è mostrata l'architettura del convertitore tensione-corrente. Per ridurre l'occupazione di area e limitare gli effetti dei parassiti le resistenze presenti nel V2I Converter non devono essere troppo grandi.

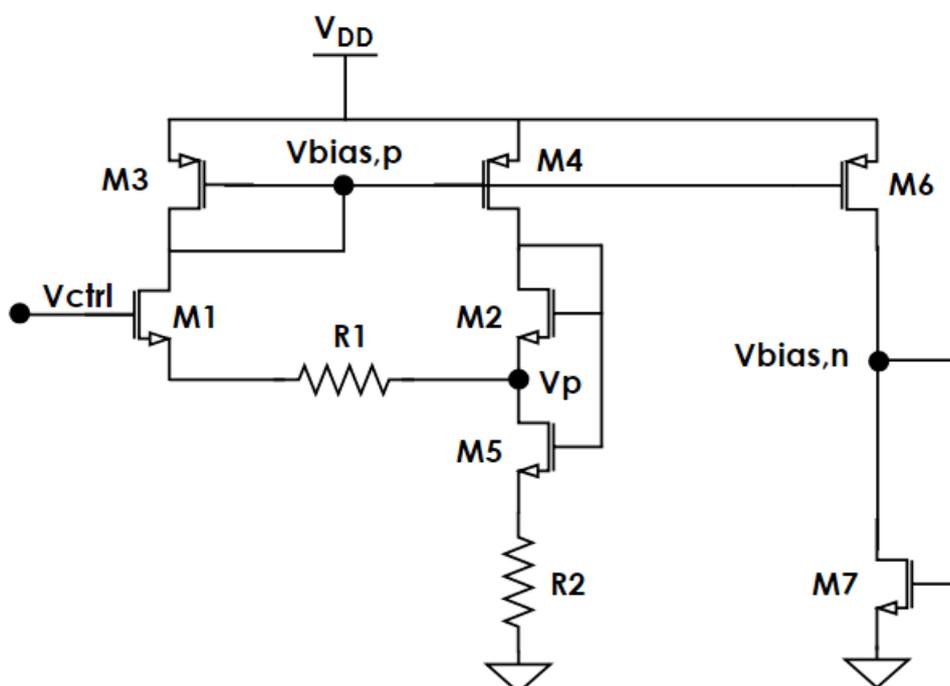


Figura 25. Convertitore tensione-corrente.

Nel circuito di Figura 25 è possibile distinguere: uno stadio d'ingresso costituito dal transistore M1, una rete di polarizzazione formata dalla connessione tra M2 e M5, le resistenze R1 e R2 e uno specchio di corrente realizzato con i transistori M3 e M4. I transistori M6 e M7 sono inseriti per fornire la tensione di polarizzazione ai mos MP e MN dell'oscillatore ad anello. Le resistenze R1 ed R2 sono inserite per dimensionare opportunamente il K_{VCO} .

In riferimento al circuito di Figura 25, se V_p è la tensione al drain del transistore M5 e V_s la tensione al source di M1, si ha:

$$\begin{cases} I_1 = I_{S1} e^{(V_{ctrl} - V_s - V_{TN1})/m\Phi_T} \\ V_p = V_{GS5} - V_{GS2} + 2R_2 I_1 \\ V_s = V_p + R_1 I_1 \end{cases}$$

Dove, $I_{S1} = \frac{W_1}{L_1} C_{ox} \mu \Phi_T^2$ nella quale $S_1 = \frac{W_1}{L_1} C_{ox}$ corrisponde al fattore di forma del transistore M1, μ è la mobilità degli elettroni nel canale, mentre Φ_T è tensione termica. m è il coefficiente di non idealità sottosoglia. Risolvendo il sistema è possibile ricavare la relazione che sussiste tra la corrente di drain del transistore M1 e la tensione di controllo.

$$V_p = m\Phi_T \ln\left(\frac{I_5}{I_{S5}}\right) + V_{TN5} - m\Phi_T \ln\left(\frac{I_2}{I_{S2}}\right) - V_{TN2} + 2R_2 I_1$$

Anche in questo caso $I_{Si} = \frac{W_i}{L_i} C_{ox} \mu \Phi_T^2$ con $i = 2, 5$. Si indichi con $\Delta V_{T5,2} = V_{TN5} - V_{TN2}$, allora:

$$V_p = m\Phi_T \ln\left(\frac{I_5 I_{S2}}{I_{S5} I_2}\right) + \Delta V_{T5,2} + 2R_2 I_1$$

Pertanto:

$$V_s = m\Phi_T \ln\left(\frac{I_5 I_{S2}}{I_{S5} I_2}\right) + \Delta V_{T5,2} + I_1 (R_1 + 2R_2)$$

Ora è possibile riscrivere l'equazione della corrente di drain del transistore M1 come segue:

$$I_1 = I_{S1} e^{\frac{V_{ctrl} - m\Phi_T \left[\ln\left(\frac{I_5 I_{S2}}{I_{S5} I_2}\right) - \Delta V_{T5,2} - I_1 (R_1 + 2R_2) \right]}{m\Phi_T}}$$

Portando a primo membro i termini dipendenti da I_1 e indicando con $\Delta V_{T2,5} = -\Delta V_{T5,2}$ si trova:

$$I_1 e^{\frac{I_1 (R_1 + 2R_2)}{m\Phi_T}} = I_{S1} e^{\frac{V_{ctrl}}{m\Phi_T}} e^{\ln\left(\frac{I_2 S_5}{I_5 S_2}\right) e^{\frac{\Delta V_{T2,5}}{m\Phi_T}}}$$

Dimensionando opportunamente il circuito, risulta $K_{V2I} \approx \text{costante}$. L'architettura scelta permette dunque di garantire una buona linearità del VCO. Per il dimensionamento del convertitore tensione-corrente si è scelto per semplicità $S_5 = S_2$. In tal modo è stato possibile dimensionare il K_{V2I} agendo sul form-factor del transistore M1 e sulla quantità $R_1 + 2R_2$. Ciò è stato fatto garantendo che per $V_{ctrl} = 400 \text{ mV}$ la corrente erogata dal convertitore fosse pari ad 1.1 nA. La giustificazione di quest'ultima scelta è la seguente. Nella tecnologia di riferimento, ossia il BCD10 90 nm della STMicroelectronics, la tensione di alimentazione è $V_{DD} = 1.2 \text{ V}$. Si è scelto di progettare il VCO affinché la frequenza del segnale di uscita fosse per $V_{ctrl} = \frac{V_{DD}}{2} = 600 \text{ mV}$ pari a $f = 1 \text{ kHz}$ (corrispondente ad una bitrate di 1 kbps). Definendo il valore picco-picco della tensione di controllo in condizioni di aggancio come:

$$V_{ripple,LOCK} = V_{ctrl}^{max} - V_{ctrl}^{min}$$

si è ipotizzato che, per ragioni derivanti dal dimensionamento del PLL, si abbia :

$$V_{ripple,LOCK} = 400 \text{ mV} \Rightarrow V_{ctrl}^{max} = 800 \text{ mV}, V_{ctrl}^{min} = 400 \text{ mV}$$

Per compensare eventuali incertezze derivanti dall'utilizzo dei modelli dei transistori, si è dimensionato il V2I Converter in modo tale che la corrente erogata in corrispondenza di $V_{ctrl}^{min} = 400 \text{ mV}$ fosse superiore ad 1 nA. In particolare, il dimensionamento scelto ha permesso di ottenere una corrente di 1.1 nA.

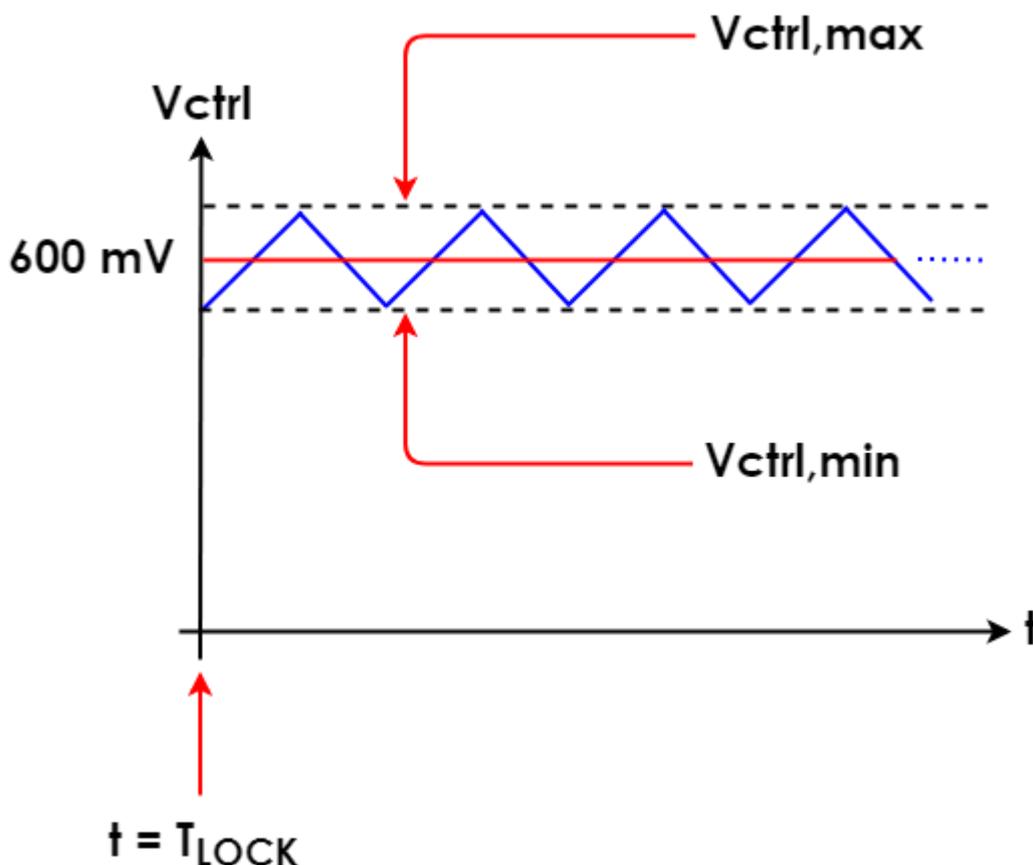


Figura 26. Andamento di V_{ctrl} in condizioni di aggancio (durante la fase di preambolo).

Di seguito si riporta il dimensionamento scelto per il convertitore tensione corrente.

	M_1	M_2	M_3	M_4	M_5	M_6	M_7
W	220 nm	220 nm	220 nm	220 nm	220 nm	220 nm	220 nm
L	2 μm	220 nm	2.7 μm	2.7 μm	220 nm	2.7 μm	2.7 μm

Tabella 2. Dimensionamento dei transistori presenti nel convertitore tensione-corrente. In aggiunta si riporta anche che il fattore di molteplicità del solo transistore M_1 è $m = 4$.

R_1	R_2
48 $M\Omega$	40 $M\Omega$

Tabella 3. Dimensionamento delle resistenze presenti nel convertitore tensione-corrente.

In Figura 27 si riporta il grafico di $e^{V_{TN2}-V_{TN5}}$ in funzione della tensione ai capi del loop filter. Il valore delle tensioni V_{TN2} e V_{TN5} è stato determinato effettuando una simulazione DC del convertitore tensione-corrente dimensionato con i parametri riportati nelle Tabelle 2 e 3. Da tale simulazione si è potuto constatare che, ovviamente, i transistori M_2 e M_5 sono soggetti ad effetto body. In particolare $V_{SB2} = V_P$, $V_{SB5} = 2R_2I_1$ da cui si ottiene: $V_{SB2} = V_P = V_{SB5} + V_{DS5}$. Aumentando linearmente V_{ctrl} aumenta la corrente erogata dal transistore M_1 . Pertanto, è possibile affermare che le tensioni di soglia dei transistori M_2 ed M_5 crescono linearmente (eccetto per valori di V_{ctrl} inferiori rispetto alla V_{ctrl}^{min}) con la tensione di controllo. Ciò è riportato nelle Figure 28 e 29.

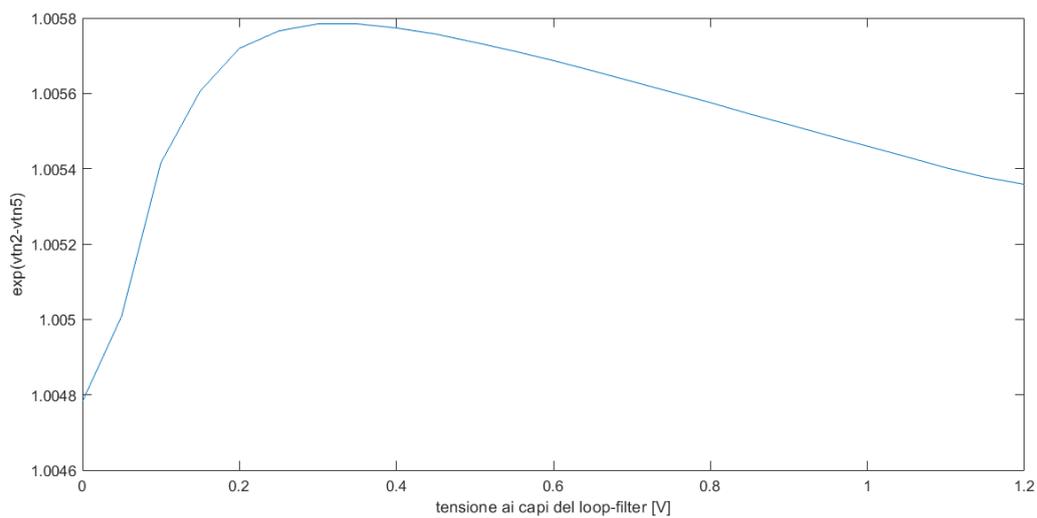


Figura 27. Andamento di $e^{V_{TN2}-V_{TN5}}$ in funzione della tensione di controllo.

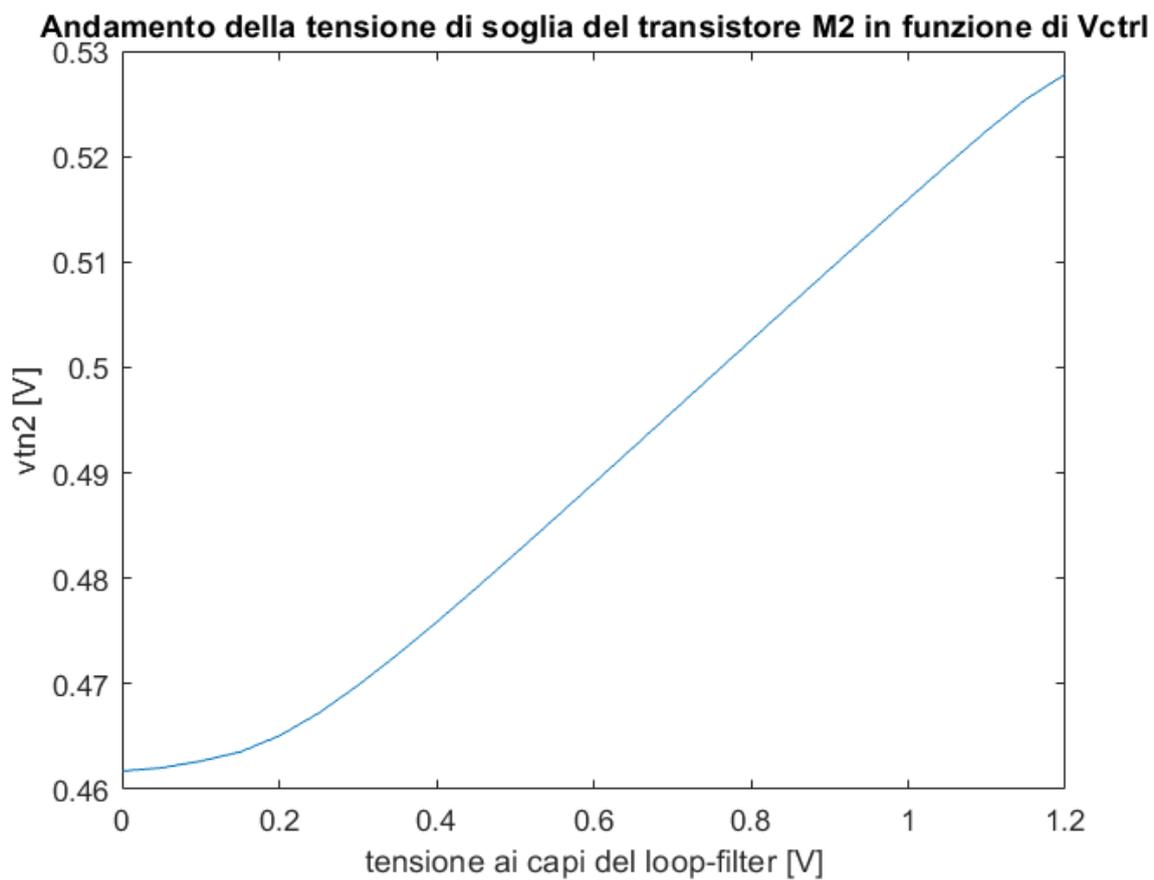


Figura 28. Andamento di V_{TN2} in funzione della tensione di controllo.

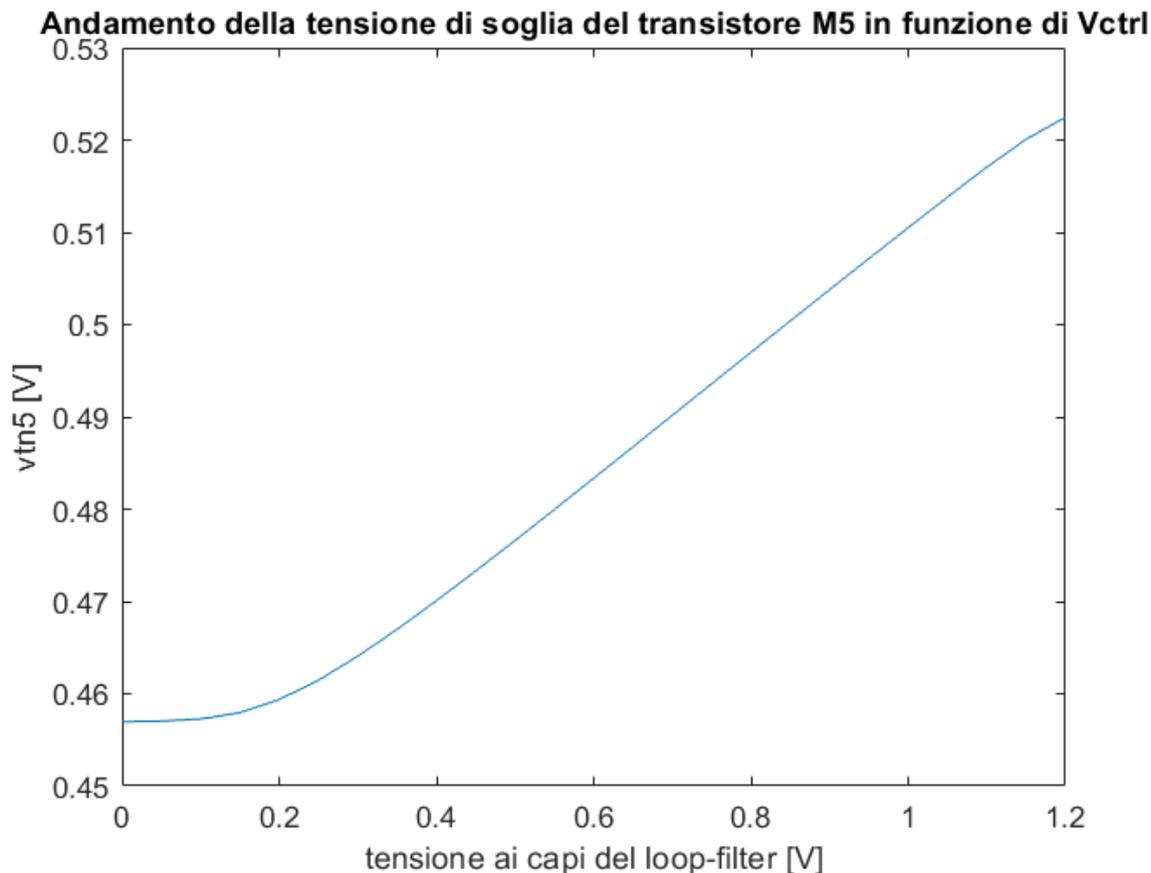


Figura 29. Andamento di V_{TN5} in funzione della tensione di controllo.

In Figura 30 è mostrato il risultato della simulazione del convertitore tensione-corrente effettuata utilizzando in ambiente CADENCE™ Virtuoso il simulatore eldoD di Mentor™. Utilizzando i risultati della simulazione è stato possibile importarli in MATLAB™. Ciò permette di determinare l'espressione analitica (utilizzando il Basic Fitting Tool di MATLAB™) della caratteristica del convertitore tensione-corrente e dunque implementare un modello Verilog-A dello stesso. Per le simulazioni a livello funzionale del PLL ciò si è reso necessario per ottimizzare la velocità computazionale del simulatore. Ciò permette di ridurre il tempo di simulazione per analisi in transitorio di lunga durata (e.g. maggiori di 200 msec). Indicando con I_{V2I} la corrente di uscita del convertitore tensione corrente (ovvero quella di drain del transistor M1 specchiata attraverso M3 ed M4) è possibile individuare la seguente espressione analitica:

$$I_{V2I} = I_1 = I_3 = I_4 = I_6 = I_7 = -3.4 * 10^{-9} * V_{ctrl}^3 + 8 * 10^{-9} * V_{ctrl}^2 + 1.2 * 10^{-10} * V_{ctrl} - 4.8 * 10^{-11}$$

Nell'espressione riportata I_1 , I_3 , I_4 , I_6 e I_7 corrispondono rispettivamente alle correnti di drain dei transistori M1, M3, M4, M6 e M7.

2.2 Progetto del VCO: Oscillatore ad anello

Una volta effettuato il progetto del convertitore tensione-corrente, è stato possibile procedere con il dimensionamento dell'oscillatore ad anello. In precedenza si è riportato che la frequenza dell'oscillatore in corrispondenza di $V_{ctrl} = 600 \text{ mV}$ debba essere dimensionata in modo tale da ottenere $f = 1 \text{ kHz}$. Noto il valore della corrente erogata dal

convertitore in corrispondenza di $V_{ctrl} = 600\text{ mV}$ (2.2 nA) si è scelto di implementare l'oscillatore a tre stadi, scegliendo come valore per la capacità $C = 400\text{ fF}$.

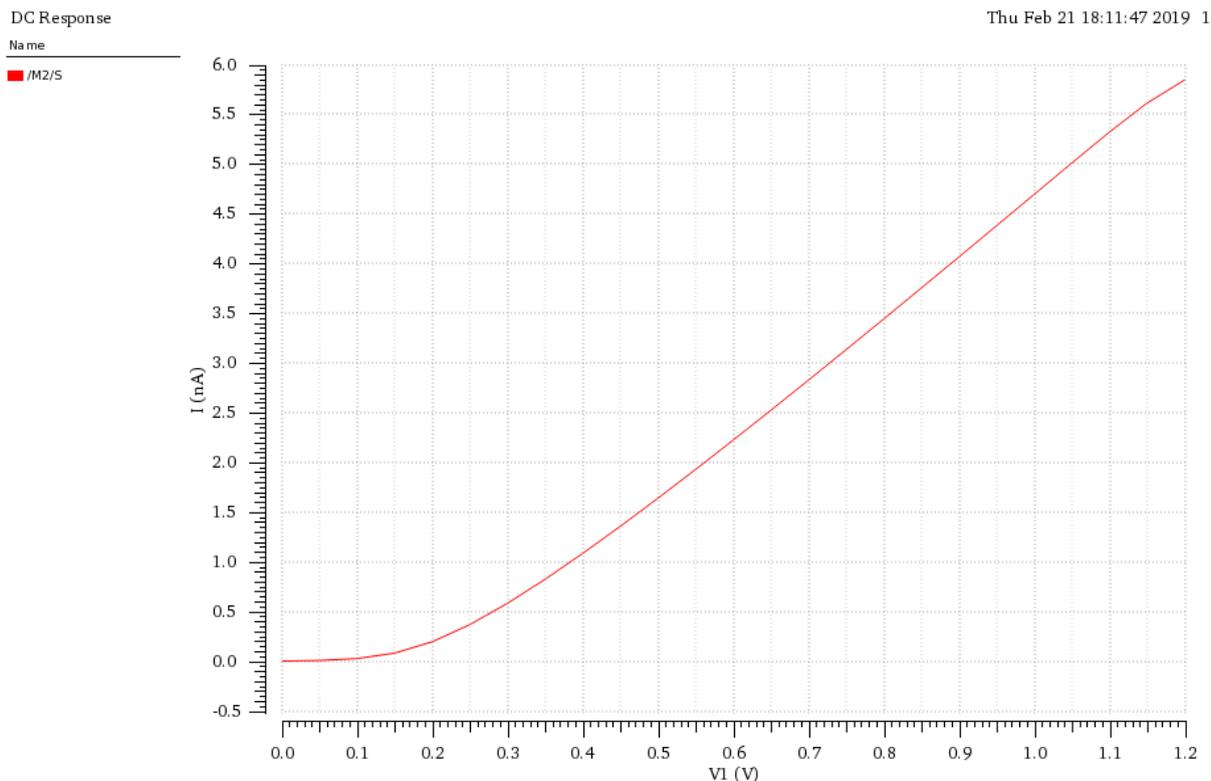


Figura 30. Caratteristica del convertitore tensione-corrente

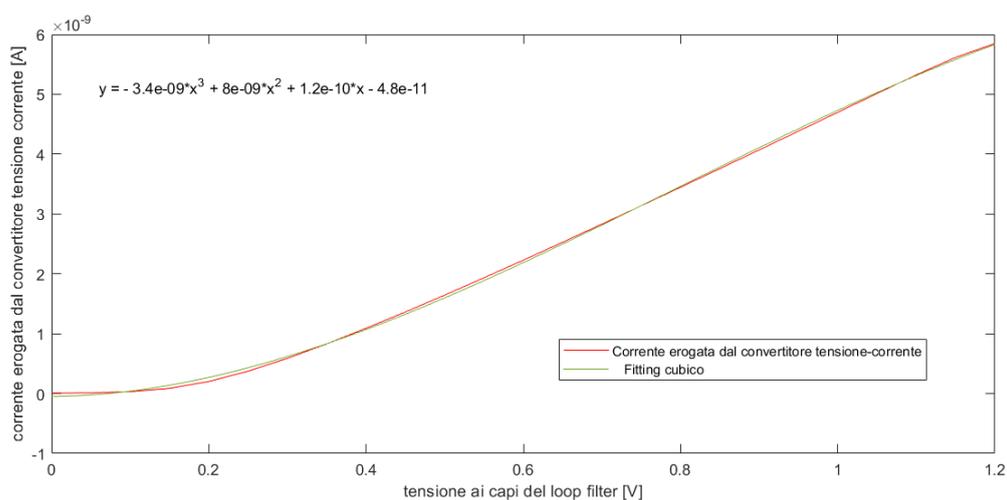


Figura 31. Caratteristica del convertitore tensione-corrente importata in MATLAB™. In rosso è mostrato il risultato della simulazione mentre in verde è riportata la curva corrispondente al fitting cubico ovvero $I_{V2I}(V_{ctrl})$.

Di seguito si riporta il dimensionamento dei transistori utilizzati per la polarizzazione dell'oscillatore ad anello:

	MP1	MP2	MP3	MN1	MN2	MN3
W	220 nm					
L	2.7 μm					

Tabella 4. Dimensionamento dei transistori utilizzati per la polarizzazione degli invertitori presenti nell'oscillatore ad anello.

Coerentemente con l'architettura di Figura 23, l'oscillatore ad anello è stato implementato come segue:

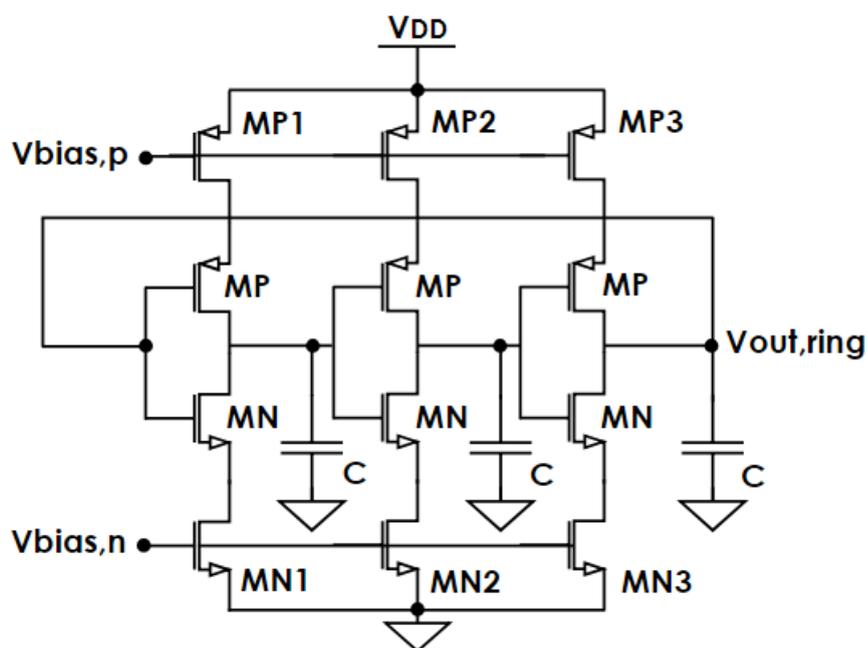


Figura 32. Circuito a livello transistor dell'oscillatore ad anello progettato in questo lavoro di tesi.

In Tabella 5 si riporta il dimensionamento degli invertitori presenti nell'oscillatore ad anello di Figura 32.

	MP	MN
W	22 μm	220 nm
L	120 nm	120 nm

Tabella 5. Dimensionamento degli invertitori presenti nell'oscillatore ad anello.

Come si può notare il rapporto tra le larghezze di canale dei mos di tipo P e quelli di tipo N è pari ad un fattore 100. I tempi di carica e scarica delle capacità C risultano essere uguali. Ciò permette di garantire un periodo di oscillazione coerente con le specifiche ($T = 1/f = 1 \text{ msec} @ V_{ctrl} = 600 \text{ mV}$) senza compromettere le prestazioni del convertitore tensione-corrente in termini di consumo di potenza. In Figura 33 è riportato il grafico della forma d'onda in uscita dall'oscillatore ad anello in corrispondenza di $V_{ctrl} = 600 \text{ mV}$.

2.3 Progetto del VCO: Trigger di Schmitt

Per rendere più ripidi i fronti del segnale in uscita dall'oscillatore ad anello è stato utilizzato il Trigger di Schmitt progettato in [7]. Il circuito del Trigger di Schmitt è riportato in Figura 34. Nelle Tabelle 6 e 7 sono riportati i dimensionamenti del Trigger di Schmitt, in particolare la corrente di polarizzazione della coppia differenziale è $I_{bias} = 1\text{ nA}$ mentre la tensione di soglia è $V_{ref} = 600\text{ mV}$. È da osservare che nel circuito di Figura 34 è presente l'uscita sia in forma vera che negata. Ciò è necessario poiché il CP-PLL di riferimento è implementato utilizzando il phase detector Three-Wave il quale necessita del segnale di clock sia in forma vera che negata. In Figura 35 sono mostrate le forme d'onda di $V_{out,ring}$ e Clock. Dal risultato della simulazione si osserva che in corrispondenza di $V_{ctrl} = 600\text{ mV}$ si ha che la frequenza corrispondente al segnale clock è $f = 1\text{ kHz}$, il duty cycle è pari a 50%.

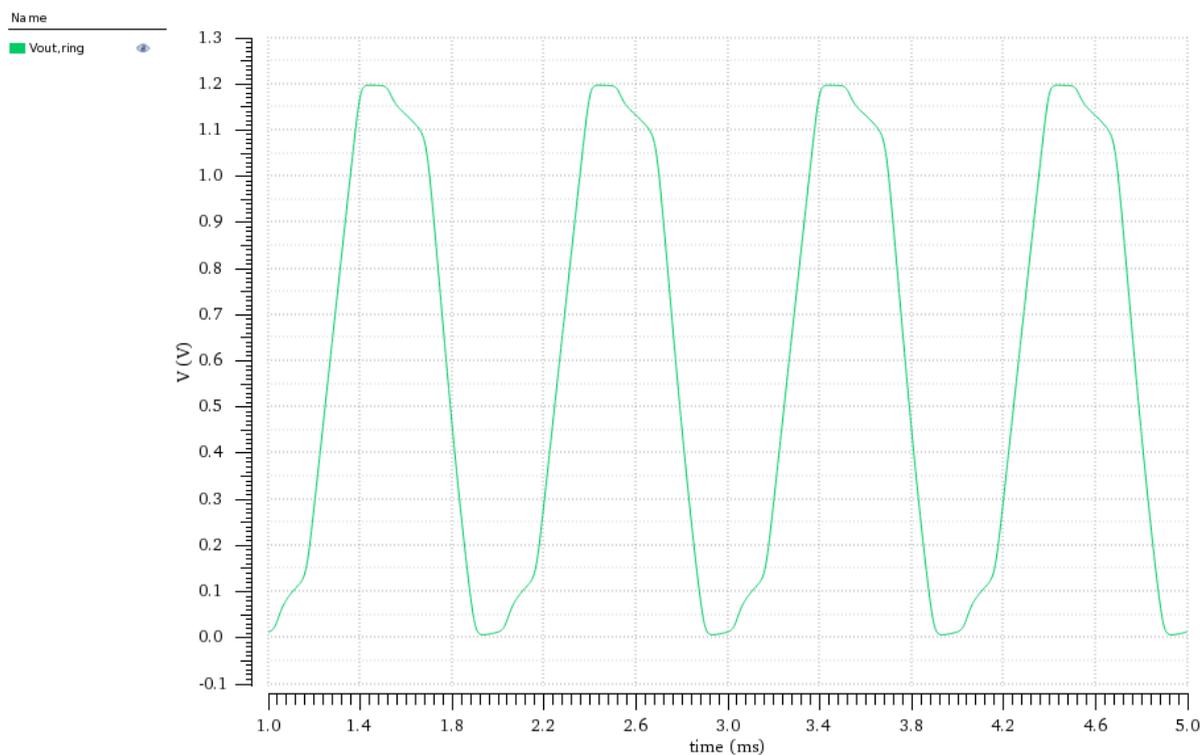


Figura 33. Andamento nel tempo della tensione $V_{out,ring}$ ottenuto applicando $V_{ctrl} = 600\text{ mV}$ al VCO.

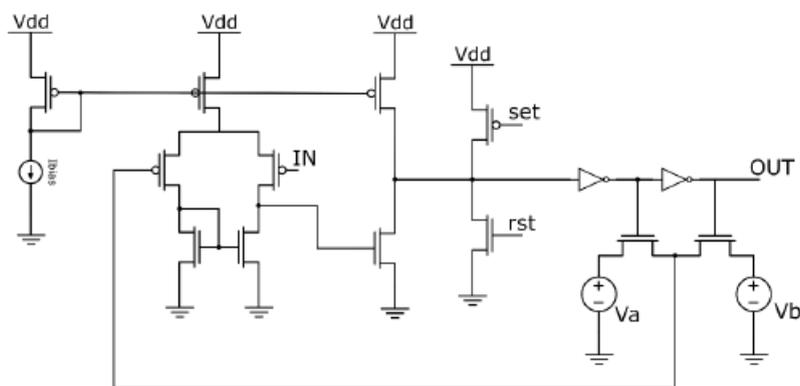


Figura 34. Trigger di Schmitt utilizzato per squadrare i fronti di $V_{out,ring}$ [7].

	MP1	MP2	MP3	MP4	MP5	MN1	MN2	MN3
W	$3 \mu m$	$3 \mu m$	$1 \mu m$	$1 \mu m$	$3 \mu m$	$1 \mu m$	$1 \mu m$	$3 \mu m$
L	$1.5 \mu m$	$1.5 \mu m$	$2 \mu m$	$2 \mu m$	$1.5 \mu m$	$3.5 \mu m$	$3.5 \mu m$	$250 nm$
nfing	2	2	1	1	2	1	1	4
m	1	1	2	2	1	2	2	1

Tabella 6. Dimensionamenti del Trigger di Schmitt di Figura 34. nfing indica il numero di fingers mentre m è il fattore di molteplicità.

	I1	I2	I3
WP	$390 nm$	$880 nm$	$880 nm$
LP	$100 nm$	$100 nm$	$100 nm$
WN	$220 nm$	$510 nm$	$510 nm$
LN	$100 nm$	$100 nm$	$100 nm$

Tabella 7. Dimensionamenti degli invertitori presenti nel circuito di Figura 34.

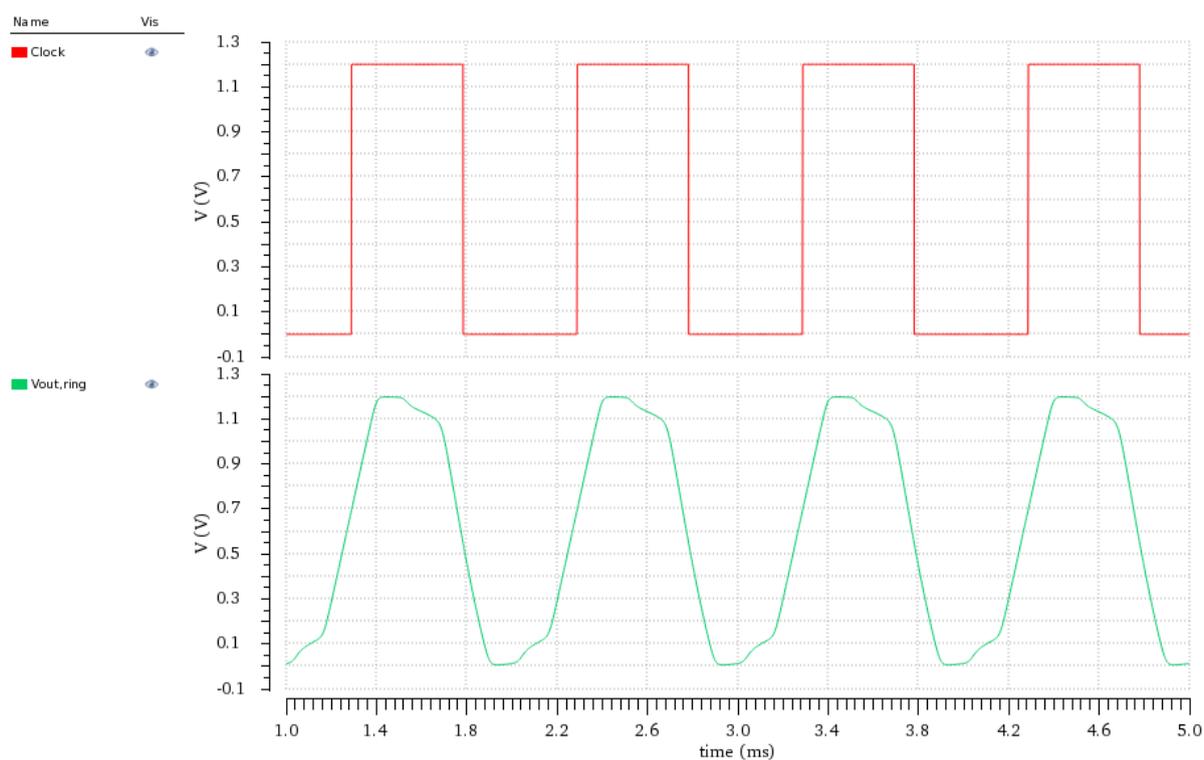


Figura 35. Forme d'onda dei segnali Clock e Vout,ring.

2.4 Caratteristica frequenza-tensione di controllo del VCO progettato

Per completezza in Figura 36 è riportato lo schema a blocchi completo del VCO progettato in questo lavoro di tesi.

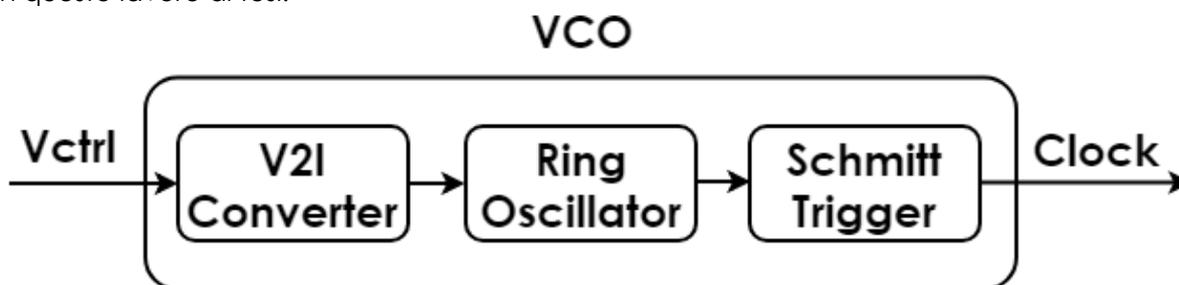


Figura 36. Schema a blocchi completo del VCO progettato in questo lavoro di tesi. V2I Converter è il convertitore tensione-corrente di Figura 25, Ring Oscillator è l'oscillatore ad anello di Figura 32 mentre Schmitt Trigger è il circuito di Figura 34 progettato in [7].

In Figura 37 è riportata la caratteristica frequenza-tensione di controllo del VCO. La caratteristica è decisamente lineare con tuning range $[200\text{ mV}, 1.2\text{ V}]$ e $K_{VCO} = 2700\text{ Hz/V}$. Al di sotto di $V_{ctrl} = 200\text{ mV}$ la corrente erogata dal V2I Converter non permette all'oscillatore di produrre in uscita un segnale oscillante. Nel tuning range del VCO l'equazione analitica di $f(V_{ctrl})$ (ottenuta dal fitting cubico della caratteristica frequenza-tensione di controllo del VCO) è:

$$f = -1600 * V_{ctrl}^3 + 3900 * V_{ctrl}^2 - 48 * V_{ctrl} - 33$$

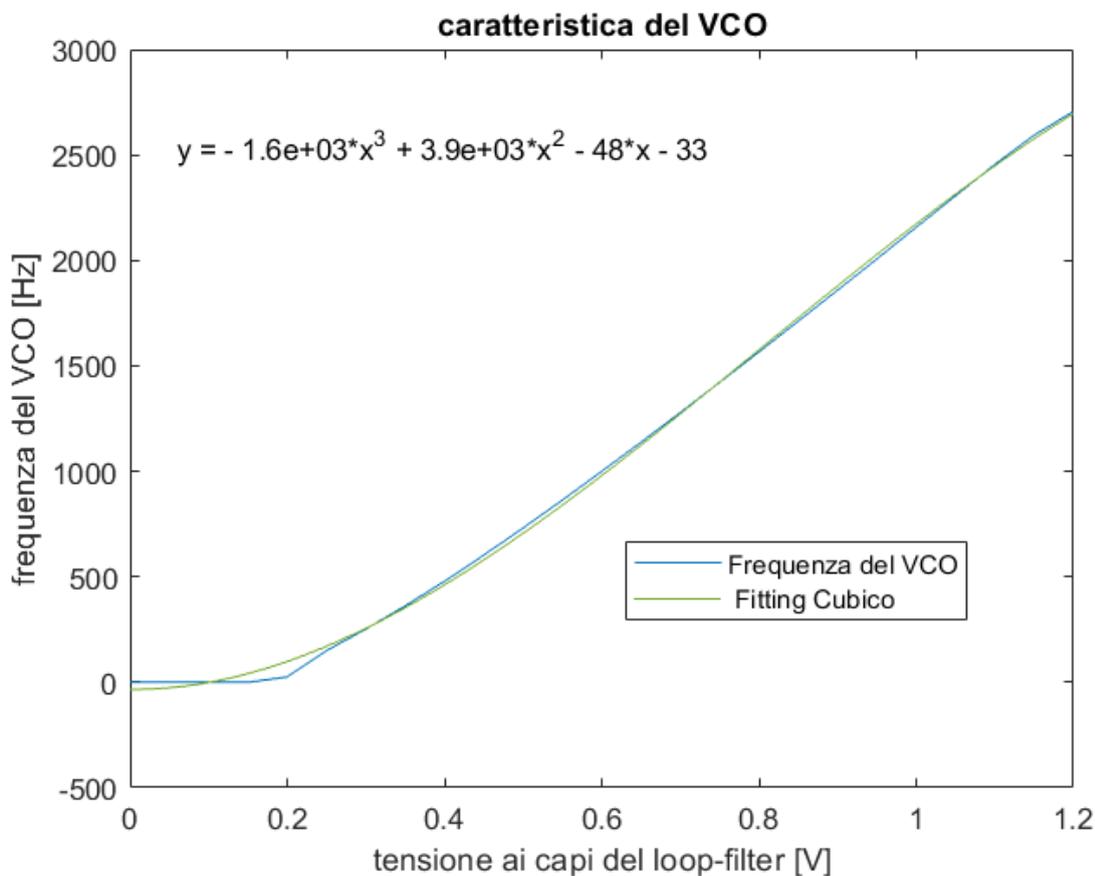


Figura 37. Caratteristica del VCO progettato in questo lavoro di tesi.

In particolare, è da osservare che l'equazione analitica di $f(V_{ctrl})$ è utilizzata in questo lavoro solamente per l'implementazione in Verilog-A del VCO. Per il dimensionamento del CP-PLL del terzo ordine si è assunto per semplicità $K_{VCO} = 2700 \text{ Hz/V}$. In Figura 37bis_a è graficata la caratteristica frequenza-tensione di controllo del VCO per valori di V_{ctrl} compresi tra 250 mV e 1.2 V (intervallo di linearità del VCO). In Figura 37bis.c è riportata la frequenza del segnale di clock corrispondente a $V_{ctrl}=600 \text{ mV}$ al variare della temperatura.

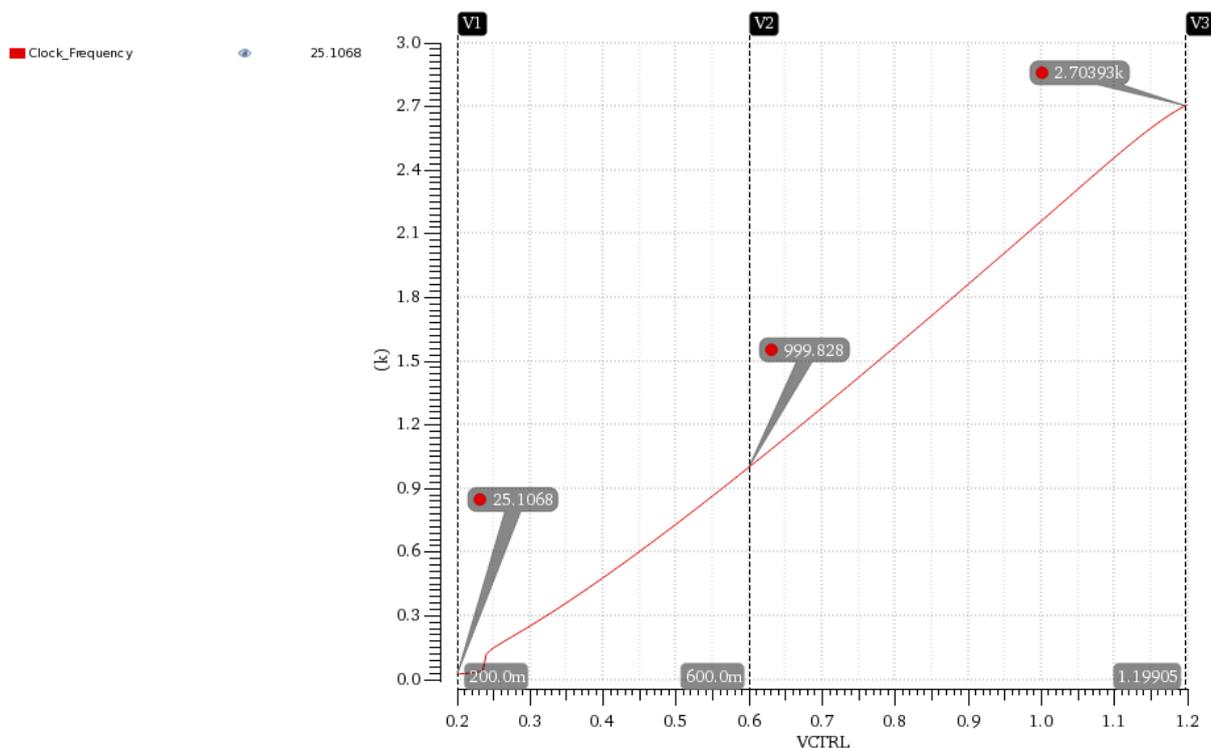


Figura 37bis_a. Caratteristica frequenza-tensione di controllo del VCO

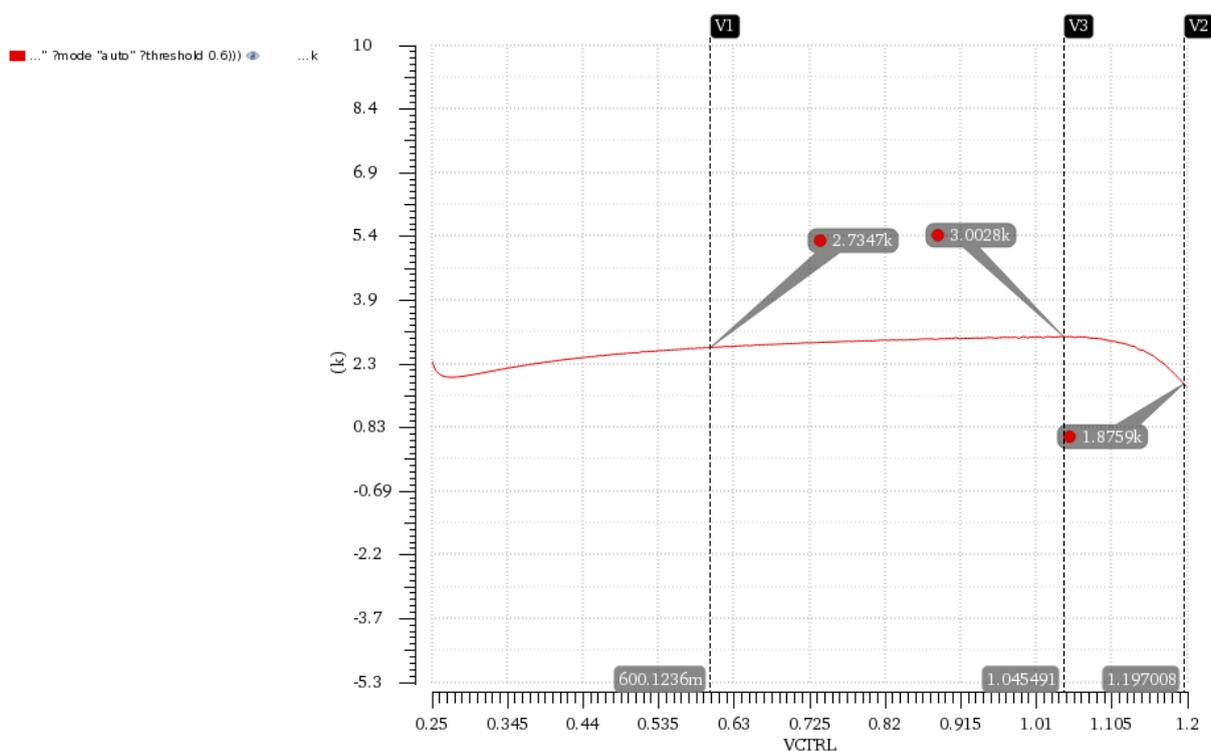


Figura 37bis_b. Guadagno del VCO

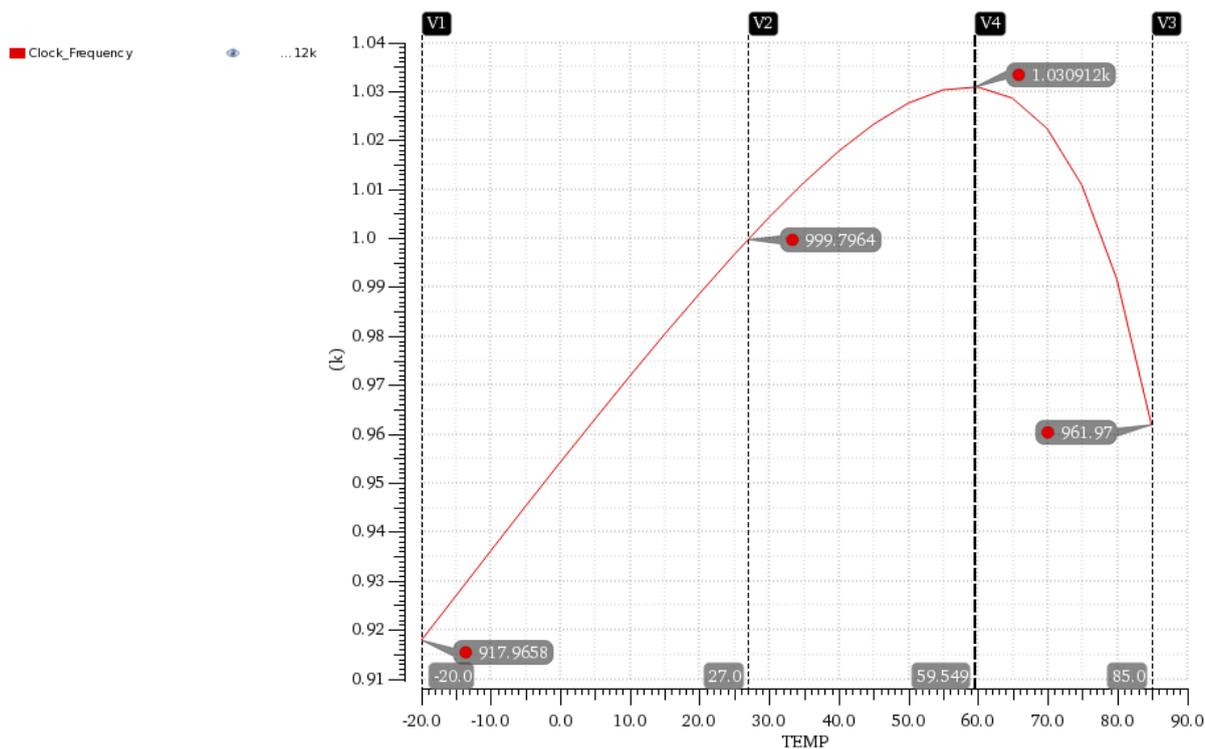


Figura 37bis_c. Frequenza del segnale di Clock in uscita dal VCO al variare della temperatura ($V_{ctrl} = 600\text{ mV}$)

2.5 Consumo di potenza del convertitore tensione- corrente

In questo paragrafo si riporta il consumo di potenza del convertitore tensione-corrente di Figura 25 progettato in questo lavoro di tesi. In particolare, la potenza dissipata dal circuito è:

$$P_{V2I} = V_{DD}I_{DD}$$

V_{DD} è la tensione di alimentazione mentre I_{DD} è la corrente assorbita dall'alimentazione.

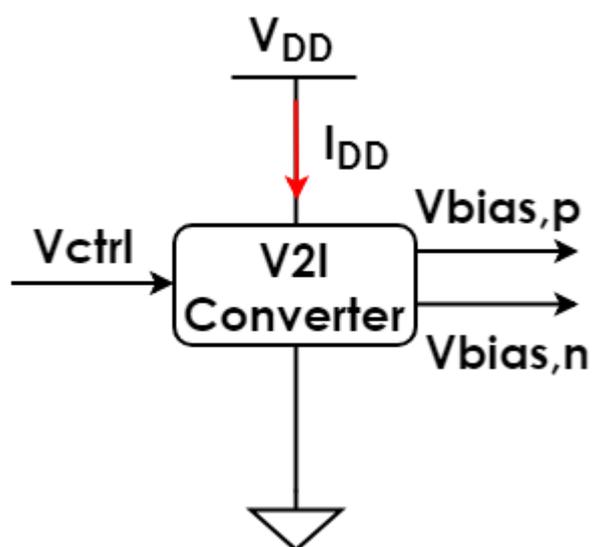


Figura 38. Misura della potenza dissipata dal convertitore tensione-corrente

In Tabella 8 è riportato il consumo di potenza del convertitore tensione-corrente misurato nel tuning range del VCO ($0.2\text{ V} \leq V_{ctrl} \leq 1.2\text{ V}$).

V_{ctrl}	0.2 V	0.3 V	0.4 V	0.5 V	0.6 V	0.7 V	0.8 V	0.9 V	1 V	1.1 V	1.2 V
P_{V2I}	0.7278 nW	2.121 nW	3.927 nW	5.9238 nW	8.0256 nW	10.194 nW	12.4068 nW	14.6502 nW	16.9116 nW	19.167 nW	21.0546 nW

Tabella 8. Potenza dissipata dal convertitore tensione-corrente

2.6 Energia dissipata dal VCO

È possibile determinare la potenza dissipata dal VCO in un periodo considerando la seguente:

$$P_{VCO} = \frac{1}{T} \int_0^T V_{DD} I_{DD}(t) dt$$

Nella quale T è il periodo di oscillazione del VCO, mentre $I_{DD}(t)$ è la corrente assorbita dall'alimentazione nel tempo. Gli estremi di integrazione vanno presi in istanti per i quali i transistori risultano essere esauriti. In Tabella 9 è riportato il consumo di potenza del VCO in un periodo (calcolato anche in questo caso all'interno del tuning range del VCO).

V_{ctrl}	0.2 V	0.3 V	0.4 V	0.5 V	0.6 V	0.7 V	0.8 V	0.9 V	1 V	1.1 V	1.2 V
P_{VCO}	6.2975 nW	9.8091 nW	14.4919 nW	19.6284 nW	24.996 nW	30.491 nW	36.15 nW	41.855 nW	47.585 nW	53.307 nW	58.086 nW

Tabella 9. Potenza dissipata dal VCO in un periodo

3 Simulazione del CP-PLL del terzo ordine: il PLL Three Wave

L'architettura del PLL del terzo ordine a pompa di carica è stata simulata implementando il circuito di Figura 13. Nel seguito questa implementazione del PLL verrà indicata anche con il nome di PLL Three Wave. In particolare il phase detector è stato implementato sostituendo alla descrizione dello stesso in Verilog-A, XOR e FFD presenti nelle librerie BCD10_SC_14T_COREL_H e BCD10_SC_14T_COREL_H del Design Kit della STMicroelectronics. La pompa di carica è descritta in Verilog-A utilizzando il codice di Figura 7, mentre per il VCO si è utilizzata l'implementazione a livello transistor dello schema in 24 con i dimensionamenti riportati nelle Tabelle 2,3,4,5,6 e 7. In riferimento alla descrizione Verilog-A della pompa di carica una importante osservazione da fare è la seguente: la corrente erogata è funzione delle sole uscite del phase detector, pertanto il modello Verilog-A non tiene conto del fatto che per valori di V_{ctrl} inferiori a 0.2 V (nella reale implementazione circuitale della pompa di carica) il generatore di corrente che impone la scarica del loop filter non è più in grado di erogare corrente. Tale considerazione si estende anche per i generatori di corrente utilizzati per la carica del loop filter. Per valori di V_{ctrl} superiori a 1 V (nella reale implementazione

circuitale della pompa di carica) i generatori di corrente che impongono la carica del loop filter non sono più in grado di erogare corrente.

È stata effettuata una prima analisi del sistema scegliendo come margine di fase, pulsazione a guadagno unitario e resistenza del loop filter gli stessi riportati in Tabella 1 (ossia quelli associati all'implementazione in Verilog-A del CP-PLL del terzo ordine). Per determinare i parametri del loop filter e della corrente si sono scelti i valori di margine di fase e pulsazione a guadagno unitario e si è utilizzato per il guadagno del VCO il parametro $K_{VCO} = 2\pi * 2700 \text{ rad/sec} * V$ (ossia il guadagno del VCO implementato a livello transistor). In Tabella 10 sono riportati i dimensionamenti del PLL Three Wave, mentre in Figura 39 sono graficati i diagrammi di Bode dell'ampiezza e della fase associati ai dimensionamenti riportati in Tabella 10.

PM	ω_{ugb}	C_1	C_2	R_1	I_{CP}
49.8°	$0.049\omega_{in}$	88.8 pF	13.7 pF	100 MΩ	1.3 nA

Tabella 10. Dimensionamento del PLL Three Wave

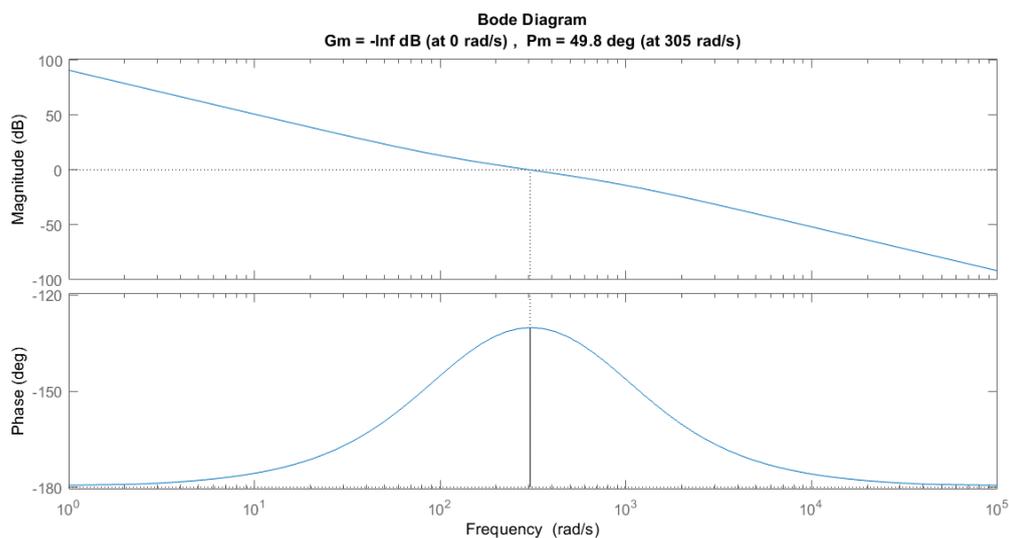


Figura 39. Diagrammi di Bode dell'ampiezza e della fase del PLL Three Wave associati ai dimensionamenti riportati in Tabella 10

Nelle Figure 40 e 41 sono riportati rispettivamente i grafici della tensione V_{ctrl} e il corrispondente segnale di clock (V_{clock}). Ovviamente con i dimensionamenti di Tabella 10 il PLL non risulta funzionare correttamente. Ciò è attribuibile all'elevato guadagno del VCO ($K_{VCO} = 2700 \text{ Hz/V}$) e alle scelte fatte sulla pulsazione a guadagno unitario e sul margine di fase. Si consideri ora l'espressione del guadagno d'anello del CP-PLL del terzo ordine:

$$LG(s) = \frac{I_{CP} K_{VCO}}{2\pi(C_1 + C_2)s^2} \frac{\left(1 + \frac{s}{\omega_z}\right)}{\left(1 + \frac{s}{\omega_{p3}}\right)}$$

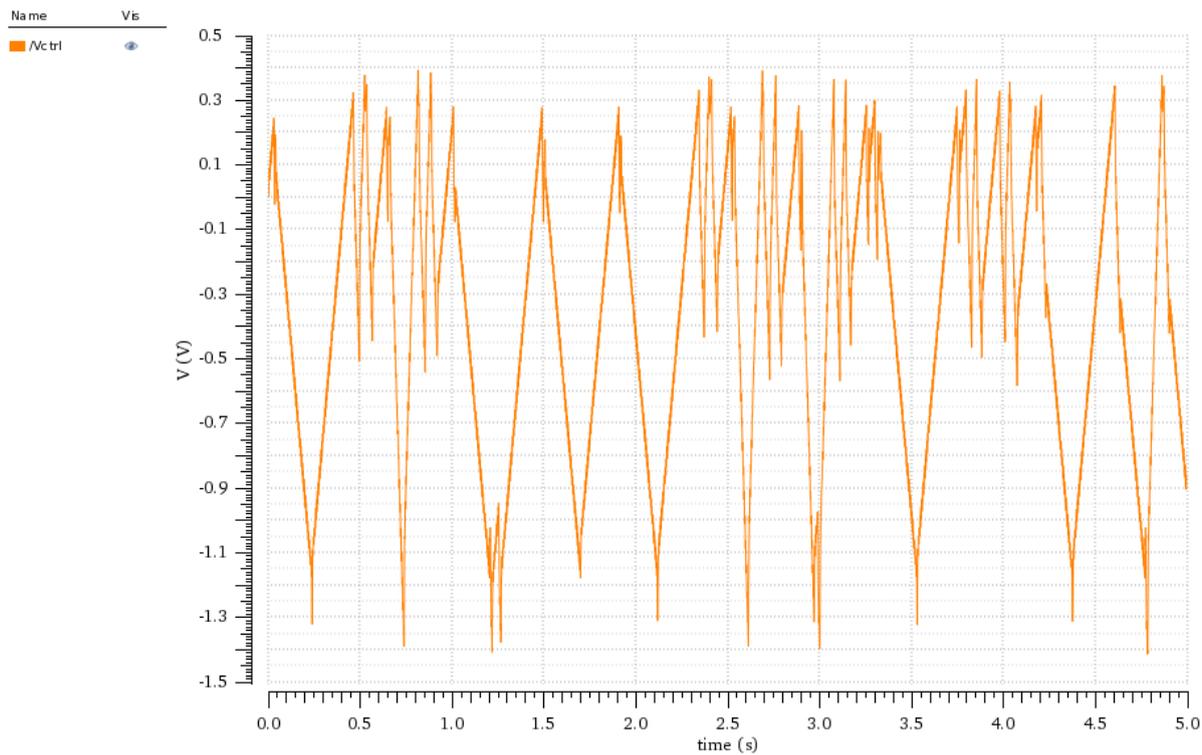


Figura 40. Andamento in transitorio della V_{ctrl} del PLL Three Wave dimensionato come riportato Tabella 10

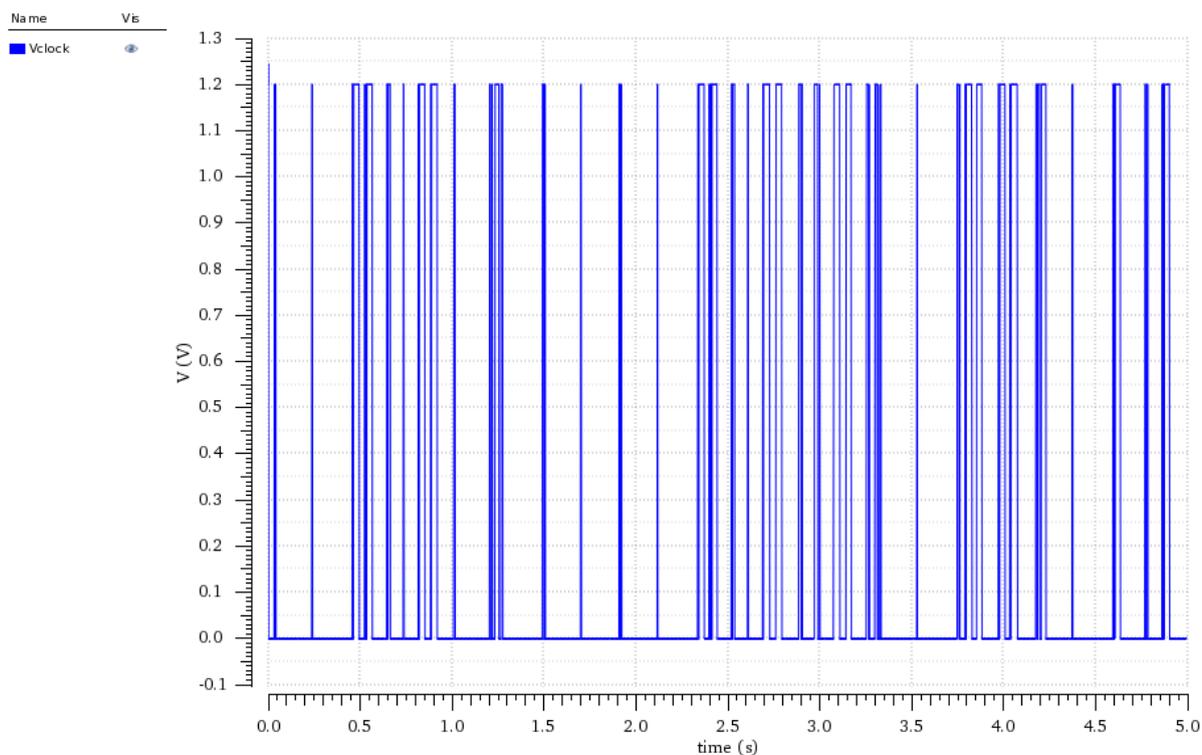


Figura 41. Andamento in transitorio del segnale di clock (V_{clock}) del PLL Three Wave dimensionato come riportato Tabella 10

Dall'espressione del guadagno d'anello è possibile osservare che al numeratore la corrente I_{CP} della pompa di carica è moltiplicata per il guadagno K_{VCO} del VCO. Le espressioni del

polo e dello zero dipendono solamente dai parametri del loop filter (C_1 , C_2 e R_1). Si consideri ora il parametro I_{CP} riportato in Tabella 1 ($I_{CP} = 9 \text{ nA}$) e il guadagno del VCO implementato in Verilog-A ($K_{VCO} = 2\pi * 400 \frac{\text{rad}}{\text{sec}} / \text{V}$), allora il prodotto $I_{CP} * K_{VCO}$ vale:

$$I_{CP} * K_{VCO} = 2.2619 * 10^{-5} \text{ A} * \frac{\text{rad}}{\text{sec} * \text{V}}$$

È possibile pensare di effettuare una simulazione del PLL Three Wave utilizzando come parametri per il loop filter gli stessi riportati in Tabella 1 e modificare il valore della corrente I_{CP} in modo tale da mantenere il prodotto $I_{CP} * K_{VCO}$ pari a $2.2619 * 10^{-5} \text{ A} * \frac{\text{rad}}{\text{sec} * \text{V}}$. Allora:

$$I_{CP}^{new} * K_{VCO}^{new} = I_{CP}^{new} * 2\pi * 2700 \frac{\text{rad}}{\text{sec} * \text{V}} = 2.2619 * 10^{-5} \text{ A} * \frac{\text{rad}}{\text{sec} * \text{V}}$$

Da cui si deduce che:

$$I_{CP}^{new} = 1.3 \text{ nA}$$

Pertanto il nuovo dimensionamento del PLL Three Wave è:

PM	ω_{ugb}	C_1	C_2	R_1	I_{CP}
49.8°	$0.049\omega_{in}$	87.5 pF	13.5 pF	$100 \text{ M}\Omega$	1.3 nA

Tabella 11. Dimensionamento del PLL Three Wave

In Figura 42 sono riportati i diagrammi di Bode delle ampiezze e delle fasi associati ai dimensionamenti di Tabella 11.

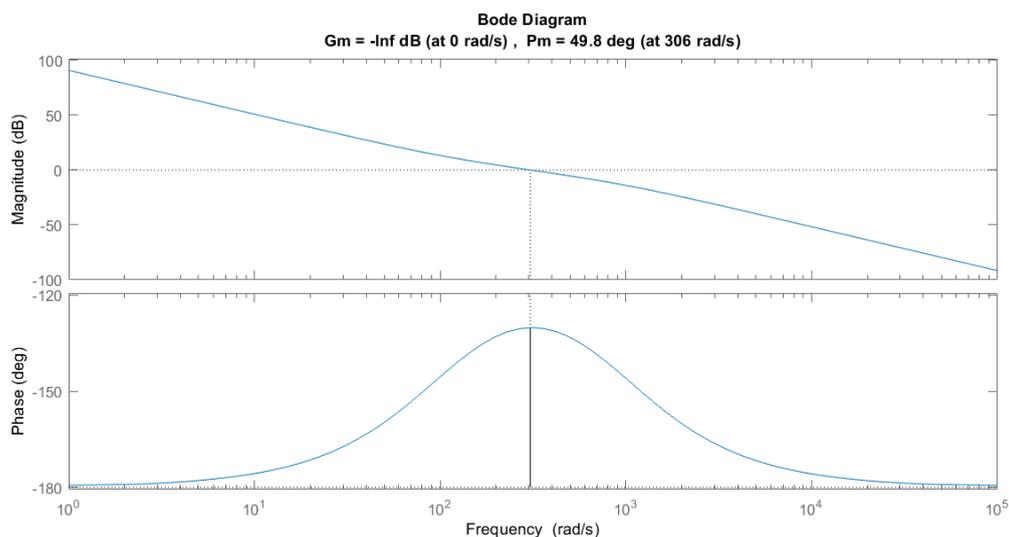


Figura 42. Diagrammi di Bode dell'ampiezza e della fase del PLL Three Wave associati ai dimensionamenti riportati in Tabella 11

I dimensionamenti riportati in Tabella 11 sono circa gli stessi di Tabella 10. I risultati della simulazione del PLL Three Wave dimensionato come riportato in Tabella 11 sono del tutto analoghi a quelli riportati nelle Figure 40 e 41. Per evitare una inutile ridondanza di informazioni, nel seguito non sono riportati i risultati delle simulazioni del PLL Three Wave dimensionato con i parametri riportati in Tabella 11.

I grafici delle Figure 40 e 41 non permettono di affermare che con i dimensionamenti riportati nelle Tabelle 10 e 11 il PLL Three Wave funzioni correttamente. Anche in questo caso, ciò è

attribuibile all'elevato guadagno del VCO e alle scelte fatte sulla pulsazione a guadagno unitario e sul margine di fase.

Successivamente, è stata effettuata una simulazione del PLL Three Wave utilizzando i seguenti dimensionamenti:

PM	ω_{ugb}	C_1	C_2	R_1	I_{CP}
19.7°	$0.022\omega_{in}$	2.62 nF	400 pF	$50\text{ M}\Omega$	3 nA

Tabella 12. Nuovo dimensionamento del PLL Three Wave

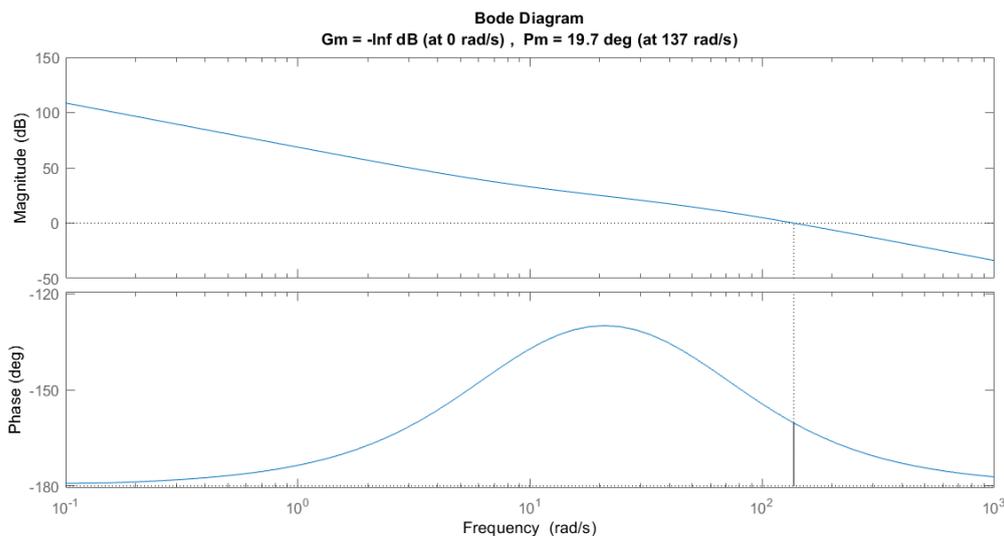
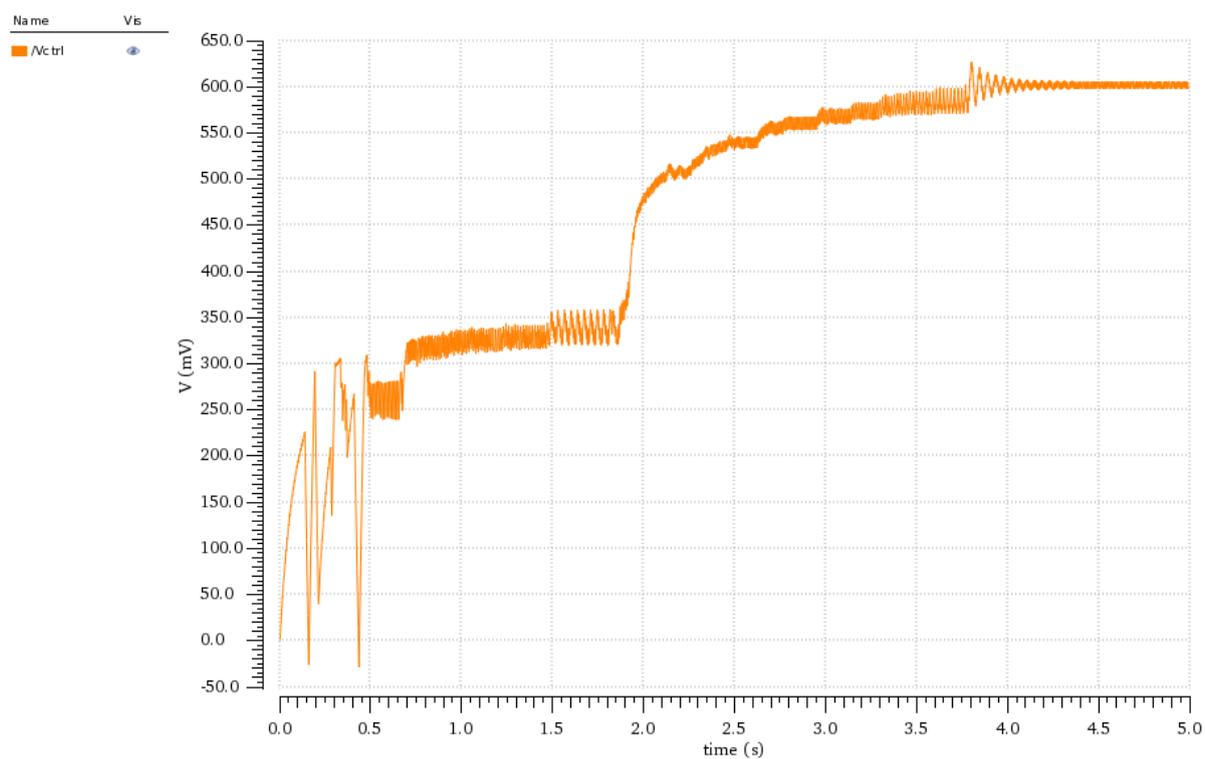
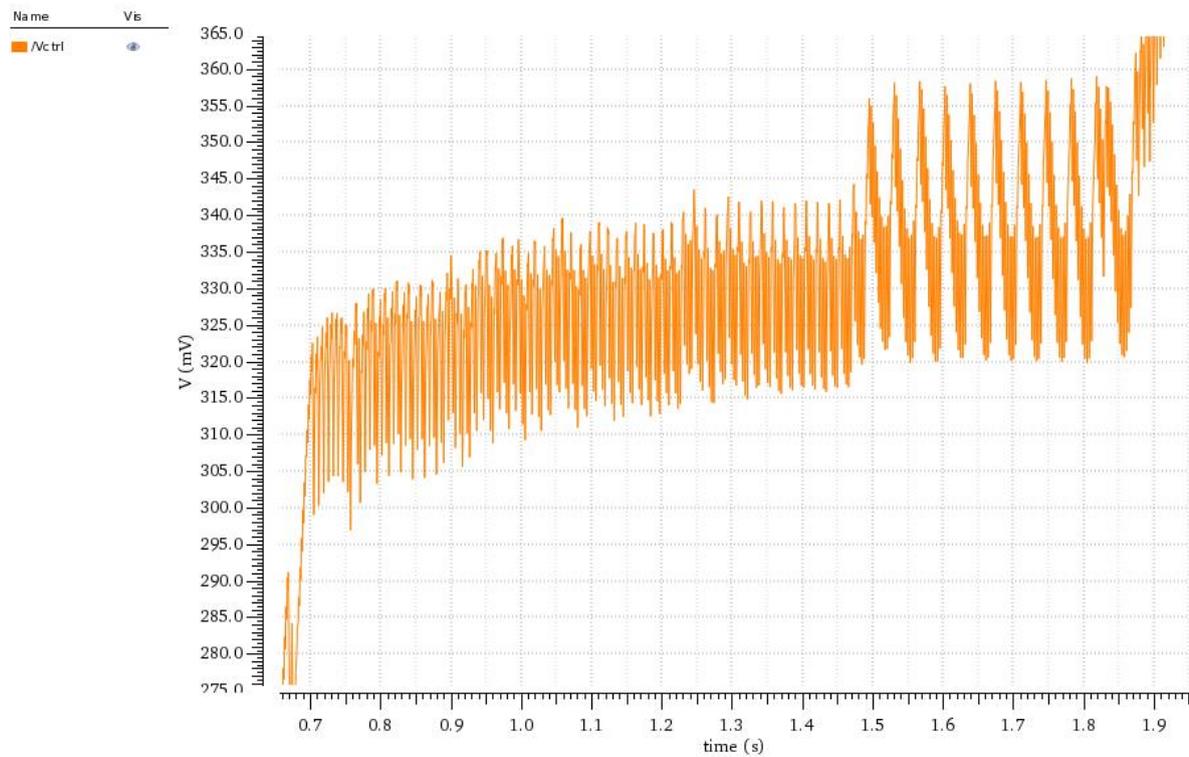
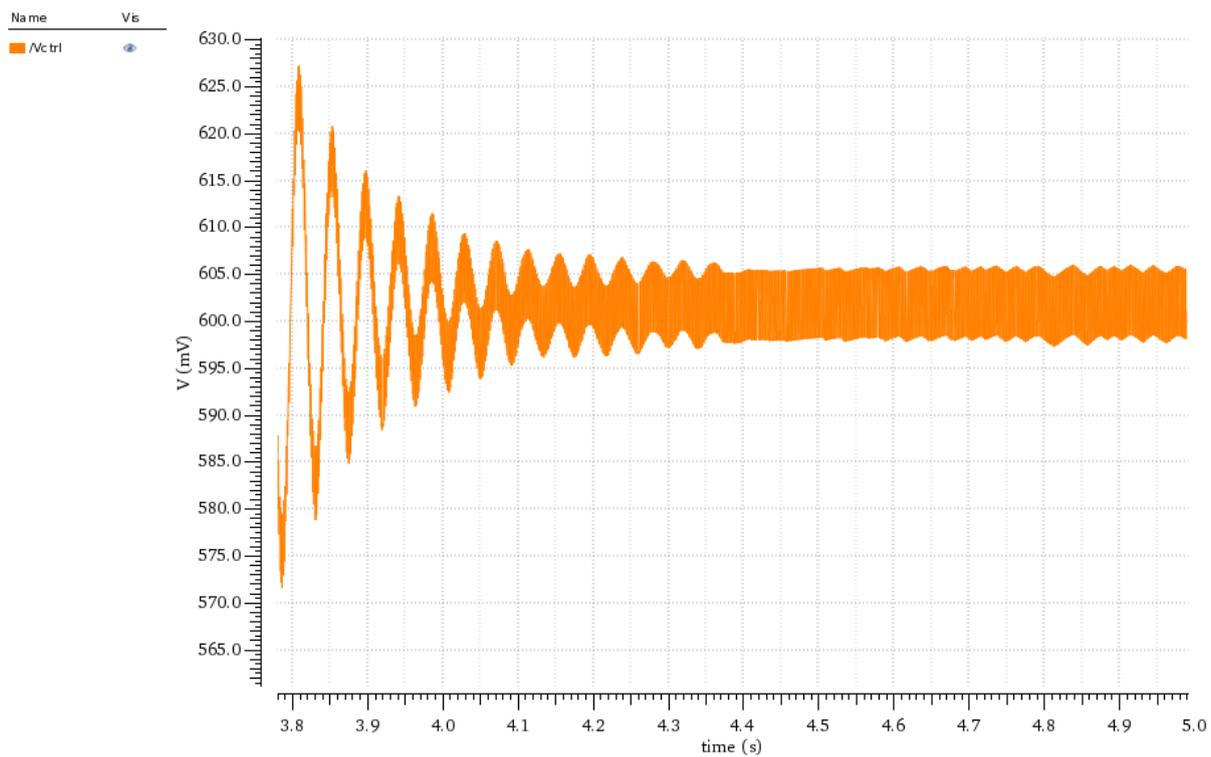
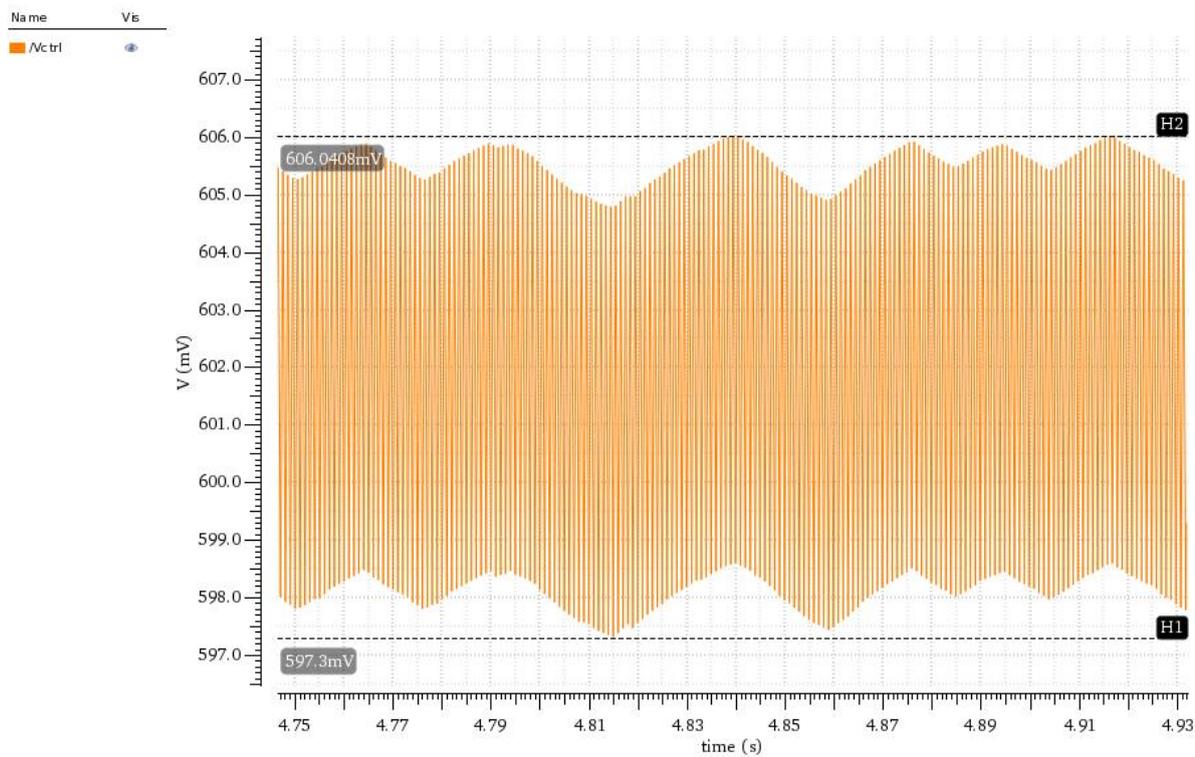


Figura 43. Diagrammi di Bode dell'ampiezza e della fase del PLL Three Wave associati ai dimensionamenti riportati in Tabella 12

In Figura 44 è riportato l'andamento in transitorio della Vctrl del PLL Three Wave dimensionato con i parametri di Tabella 12. Il grafico di Figura 44 presenta un andamento del tutto differente rispetto a quello riportato in Figura 19. L'andamento in transitorio, concordemente a quanto riportato in Figura 44, presenta fenomeni di rilassamento multipli. Nelle Figure 45 e 46 sono riportati gli zoom della Vctrl in corrispondenza dei due intervalli temporali per i quali è possibile distinguere i due fenomeni di rilassamento principali. Il grafico di Figura 45 mostra come all'interno dell'intervallo di tempo di riferimento la Vctrl continui a crescere. Il grafico di Figura 46 mostra la Vctrl all'interno dell'intervallo di tempo per il quale è possibile individuare l'ultimo fenomeno di rilassamento. In tale intervallo di tempo l'involuppo della Vctrl presenta un decadimento esponenziale. In Figura 47 è mostrato lo zoom della Vctrl in condizioni di aggancio. In particolare in condizioni di aggancio la Vctrl oscilla all'interno di valori compresi tra 597.3 mV e 606.0408 mV. In Figura 48 sono riportati gli andamenti dello stream di dati in ingresso al PLL prima dell'aggancio. In Figura 49 sono riportate le stesse forme d'onda in corrispondenza dell'aggancio. In Figura 50 sono riportate sempre le forme d'onda del dato in ingresso al PLL e del segnale di clock all'interno di un intervallo temporale successivo a quello riportato in Figura 49. A partire dall'istante $t = 4.2385\text{ sec}$ il PLL risulta essere agganciato, pertanto $T_{LOCK}=4.2385\text{ sec}$. Il tempo di aggancio di questa soluzione risulta essere molto maggiore rispetto a quello dell'architettura implementata in Verilog-A a causa dell'elevato guadagno del VCO e alle scelte fatte sul margine di fase e sulla pulsazione a guadagno unitario. Le prestazioni del PLL Three Wave (dimensionato con i parametri riportati in Tabella 12) in termini di tempo di aggancio non lo rendono adatto per gli scopi previsti da questo lavoro di tesi. Inoltre, in fase di simulazione si è verificato che, per l'architettura analizzata in questo paragrafo, il tempo di aggancio risulta essere fortemente dipendente dalla fase iniziale del dato in ingresso al PLL. La successiva architettura studiata è il CP-PLL del terzo ordine implementato utilizzando il phase detector three wave modificato.

Figura 44. Andamento in transitorio della V_{ctrl} del PLL Three Wave dimensionato con i parametri di Tabella 12Figura 45. Zoom 1 della V_{ctrl}

Figura 46. Zoom 2 della V_{ctrl} Figura 47. Zoom della V_{ctrl} in un intervallo di tempo per il quale il PLL risulta essere in condizioni di aggancio

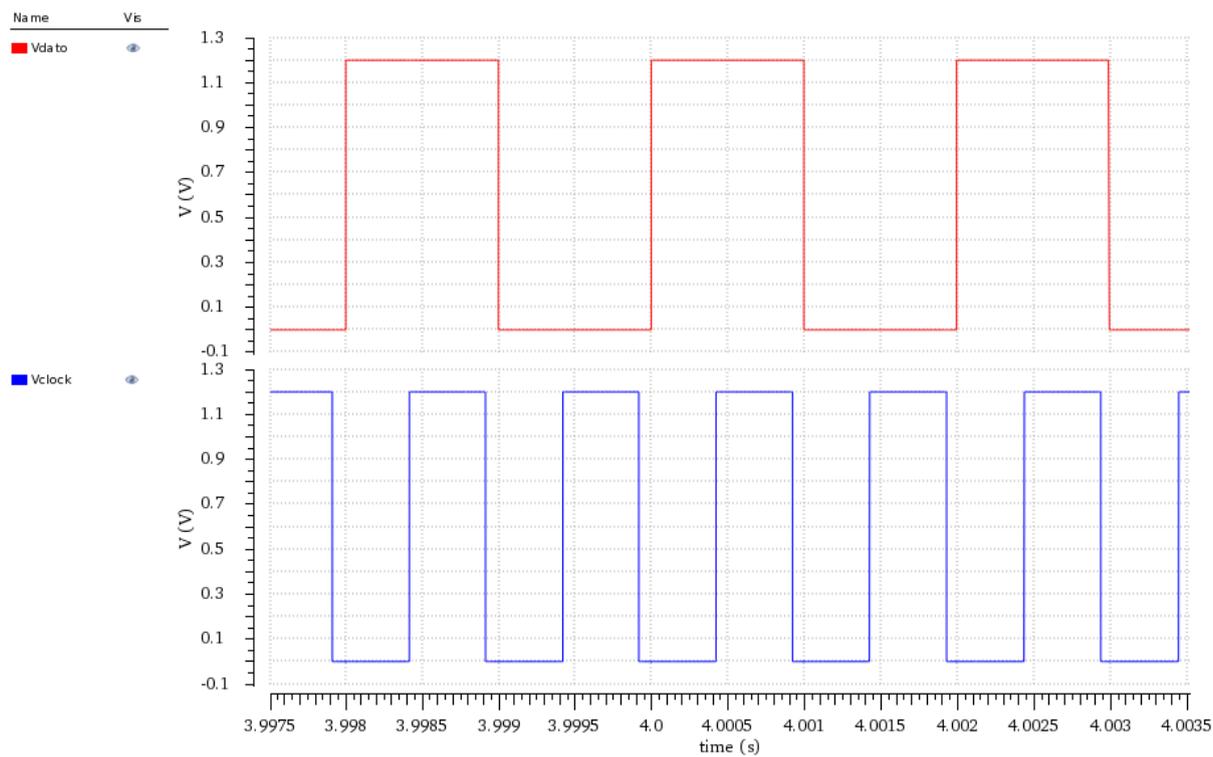


Figura 48. In rosso è riportato lo stream di dati in ingresso al PLL (V_{dato}) mentre in blu è riportato il segnale di clock prodotto dal PLL

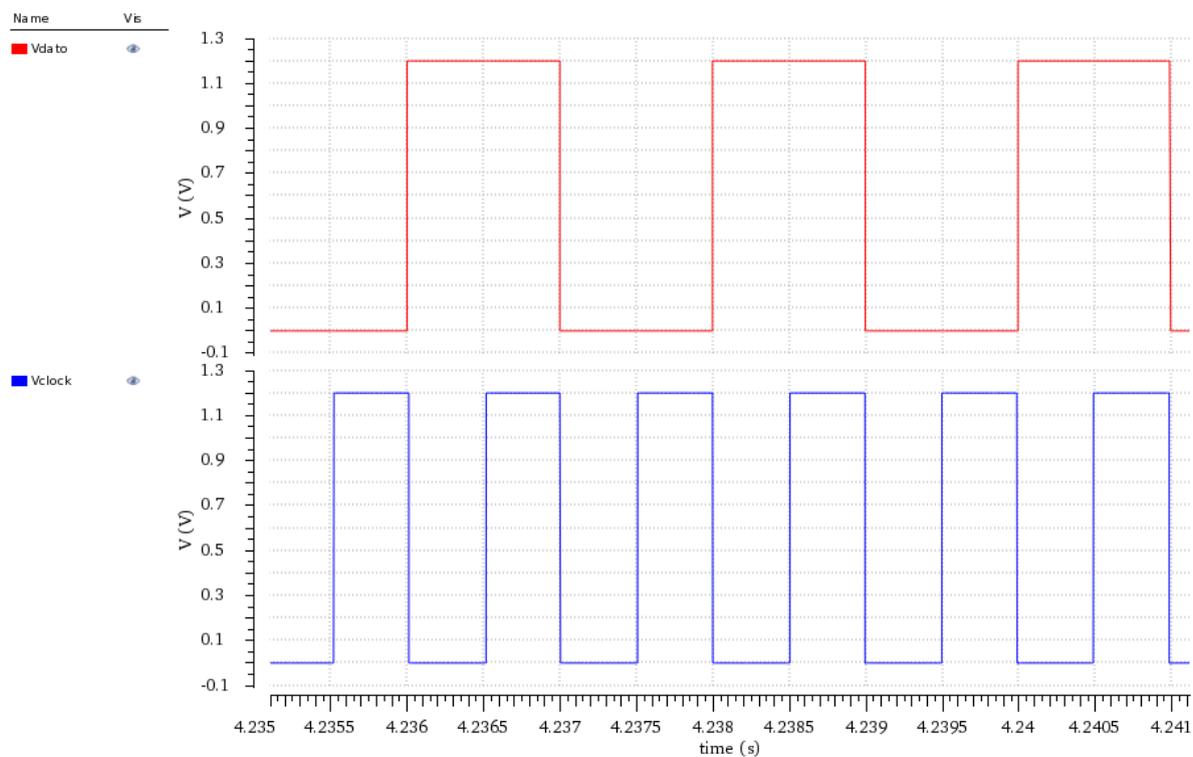


Figura 49. In rosso è riportato lo stream di dati in ingresso al PLL (V_{dato}) mentre in blu è riportato il segnale di clock prodotto dal PLL

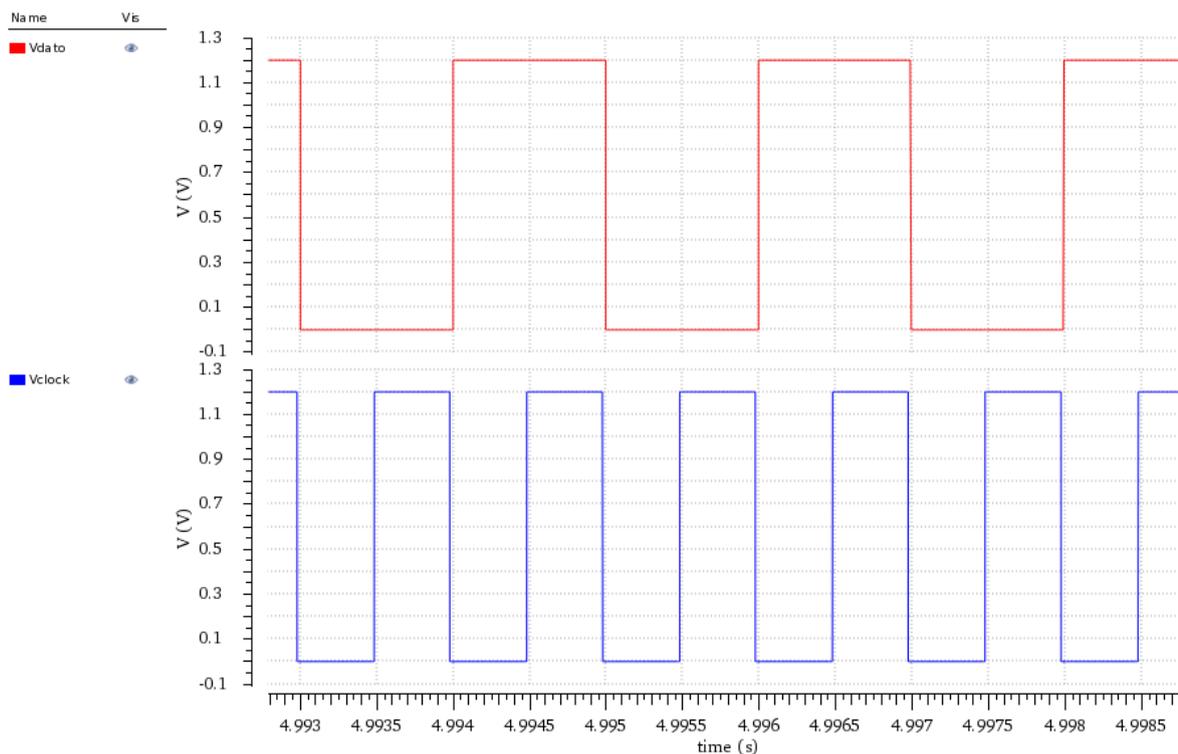


Figura 50. In rosso è riportato lo stream di dati in ingresso al PLL (Vdato) mentre in blu è riportato il segnale di clock prodotto dal PLL

4 Simulazione del CP-PLL del terzo ordine: il PLL Three Wave Modificato

Nel precedente paragrafo è stato mostrato come le prestazioni del PLL Three Wave in termini di tempo di aggancio risultino essere inaccettabili. L'architettura studiata in questo paragrafo è la seguente:

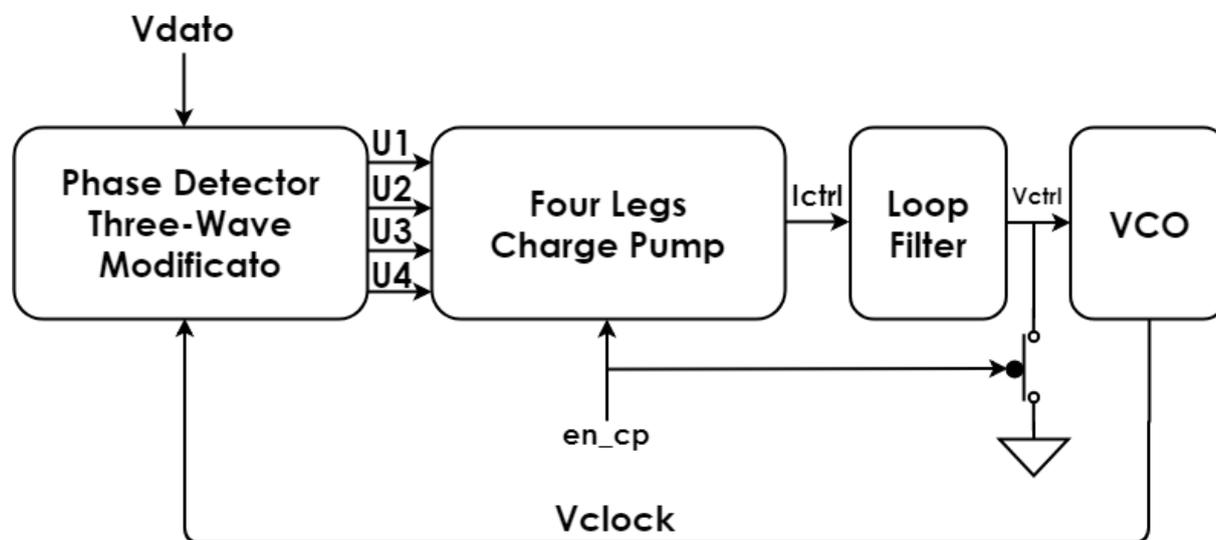


Figura 51. Architettura del PLL Three Wave Modificato

Il blocco Phase Detector Three Wave Modificato presente nell'architettura di Figura 51 è lo stesso di Figura 25 del Capitolo II, esso è stato implementato utilizzando le celle di libreria del Design Kit della STMicroelectronics. Il blocco Four Legs Charge Pump presenta la seguente architettura:

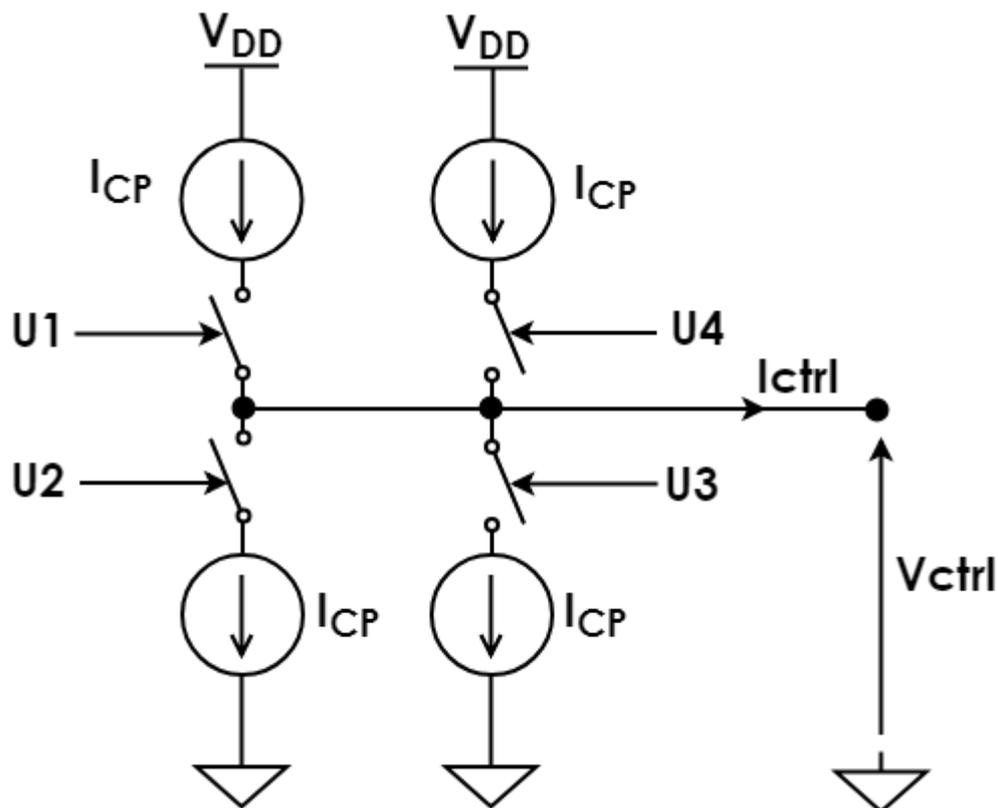


Figura 52. Architettura della Four Legs Charge Pump

La corrente I_{ctrl} erogata dalla Four Legs Charge Pump è dunque:

$$I_{ctrl} = I_{CP} \left(\frac{V(U1) + V(U4)}{V_{DD}} \right) - I_{CP} \left(\frac{V(U2) + V(U3)}{V_{DD}} \right)$$

La Four Legs Charge Pump è stata implementata in linguaggio Verilog-A utilizzando il codice di Figura 53. Il loop filter anche in questo caso è costituito dalla serie R_1 - C_1 in parallelo alla capacità C_2 . Il VCO (V2I Converter e Oscillatore ad Anello) è lo stesso utilizzato per il PLL Three Wave. Nel caso in cui $en_{cp}=0$ V la corrente I_{ctrl} è nulla e V_{ctrl} è cortocircuitata a massa, in caso contrario V_{ctrl} non è collegata a massa attraverso l'interruttore e la pompa di carica eroga corrente in funzione delle sole uscite del phase detector. Le motivazioni di questa scelta sono uguali a quelle riportate nel paragrafo 1.5. In Tabella 13 sono riportati i dimensionamenti scelti per il PLL Three Wave Modificato.

PM	ω_{ugb}	C_1	C_2	R_1	I_{CP}
46.8°	$0.1\omega_{in}$	60 pF	10 pF	100 MΩ	3 nA

Tabella 13. Dimensionamento utilizzato per il PLL Three Wave Modificato

In Figura 54 sono riportati i diagrammi di Bode dell'ampiezza e della fase del PLL Three Wave Modificato associati ai dimensionamenti riportati in Tabella 13. In Figura 55 è mostrato l'andamento in transitorio della V_{ctrl} . In Figura 56 è mostrato uno zoom sulla V_{ctrl} all'interno di

un intervallo di tempo per il quale il PLL risulta in condizioni di aggancio. In tale intervallo i valori massimo e minimo della Vctrl sono rispettivamente 754.868 mV e 455.721 mV.

```

`include "constants.vams"
`include "disciplines.vams"

module Four_Leg_Charge_Pump(u1,u2,u3,u4,en2,pout);

    parameter real cur=1e-9;
    parameter real ht=0.8,lt=0.2;
    input u1,u2,u3,en2;

    output pout;
    electrical pout,u1,u2,u3,u4,en2;
    real out;

analog begin

    if (V(en2)<=0.6) out=0;
    if (V(en2)>0.6) out=cur*(V(u1)/1.2)+cur*(V(u3)/1.2)-cur*(V(u2)/1.2)-cur*(V(u4)/1.2);
        I(pout) <+ -transition(out, 0.0, 5p, 5p);

end

endmodule

```

Figura 53. Codice Verilog-A della Four Legs Charge Pump

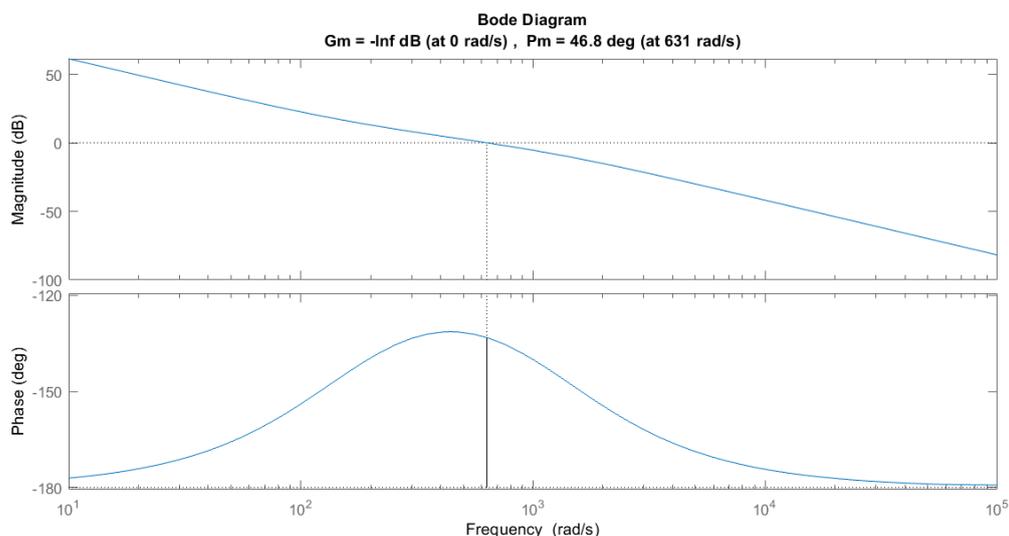


Figura 54. Diagrammi di Bode dell'ampiezza e della fase del PLL Three Wave Modificato associati ai dimensionamenti riportati in Tabella 13

In Figura 57 sono mostrate le forme d'onda del dato in ingresso al PLL e del segnale di clock in un intervallo di tempo precedente all'istante di aggancio. In Figura 58 sono mostrate le stesse forme d'onda all'interno dell'intervallo di tempo in cui avviene l'aggancio. Il tempo di aggancio misurato è $T_{LOCK}=370$ msec. In Figura 59 sono mostrate le stesse forme d'onda in un intervallo di tempo successivo rispetto a quello in cui avviene l'aggancio. I risultati delle simulazioni del PLL Three Wave Modificato mostrano che il circuito dimensionato con i parametri di Tabella 13 funziona correttamente e che a seguito dell'aggancio l'errore di fase tra il segnale di clock e il dato in ingresso al PLL si mantiene costante. Come affermato in

precedenza la pompa di carica (Four Legs Charge Pump) con la quale si è implementata l'architettura di Figura 51 è descritta in Verilog-A utilizzando un modello comportamentale del dispositivo. La pompa di carica descritta in Verilog-A eroga corrente in funzione dei soli segnali di uscita del Phase Detector Three Wave Modificato.

1

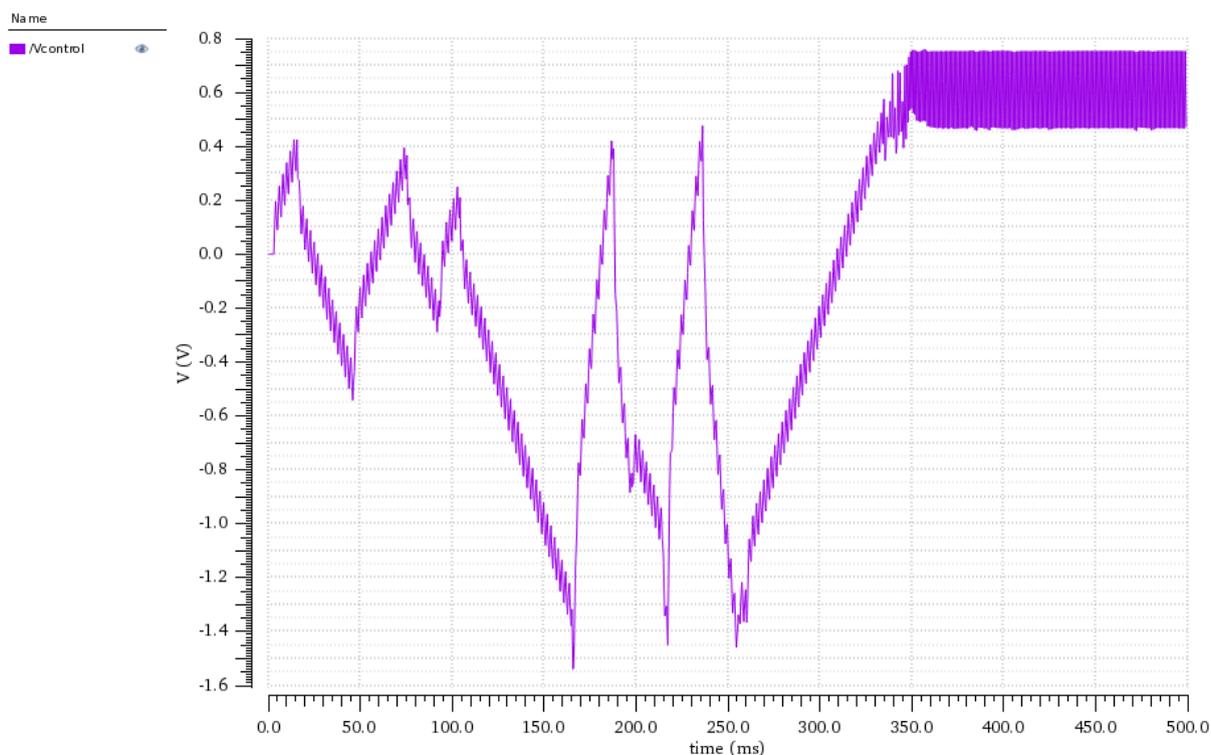


Figura 55. Andamento in transitorio della Vctrl

1

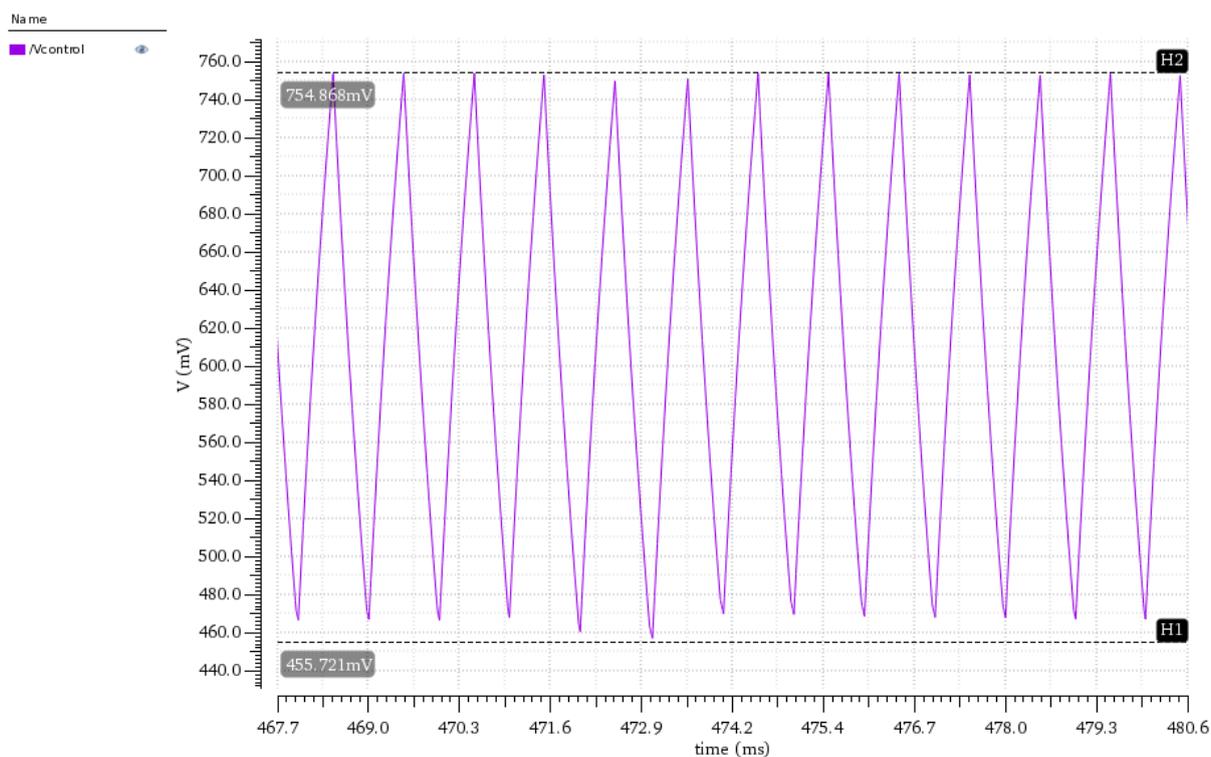


Figura 56. Zoom della Vctrl all'interno di un intervallo di tempo per il quale il PLL risulta essere in condizioni di aggancio

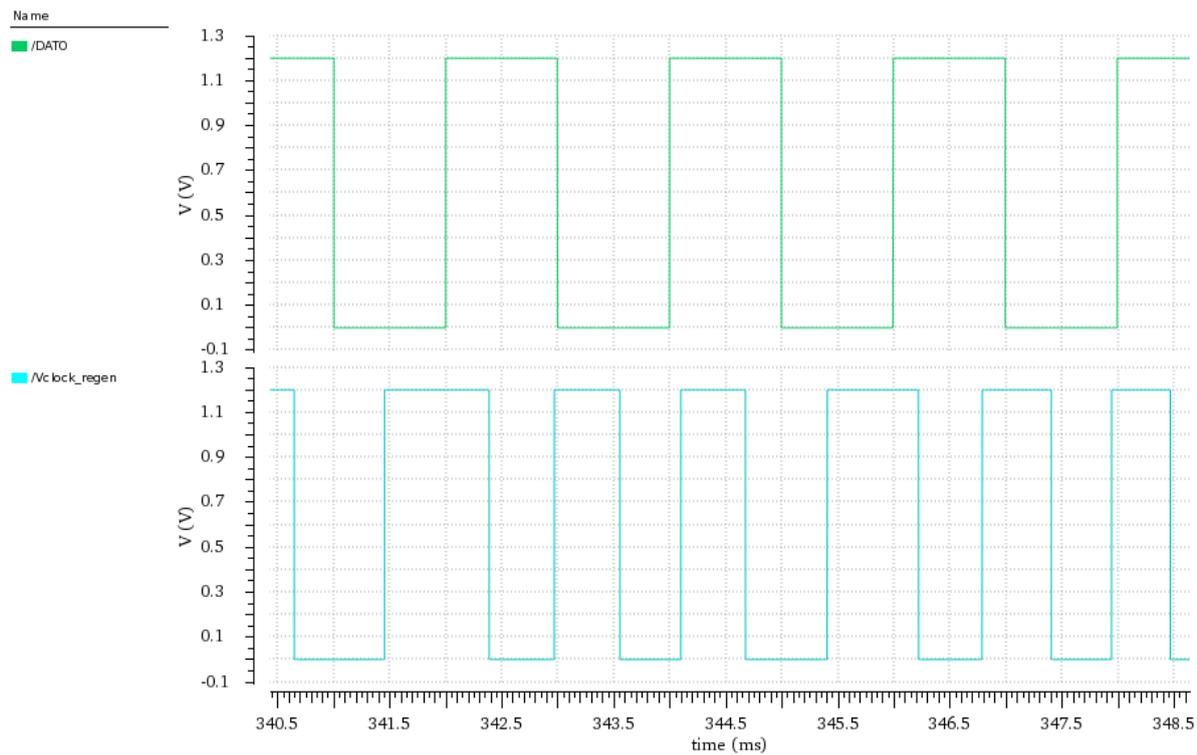


Figura 57. Forme d'onda del dato e del clock prima dell'istante di aggancio

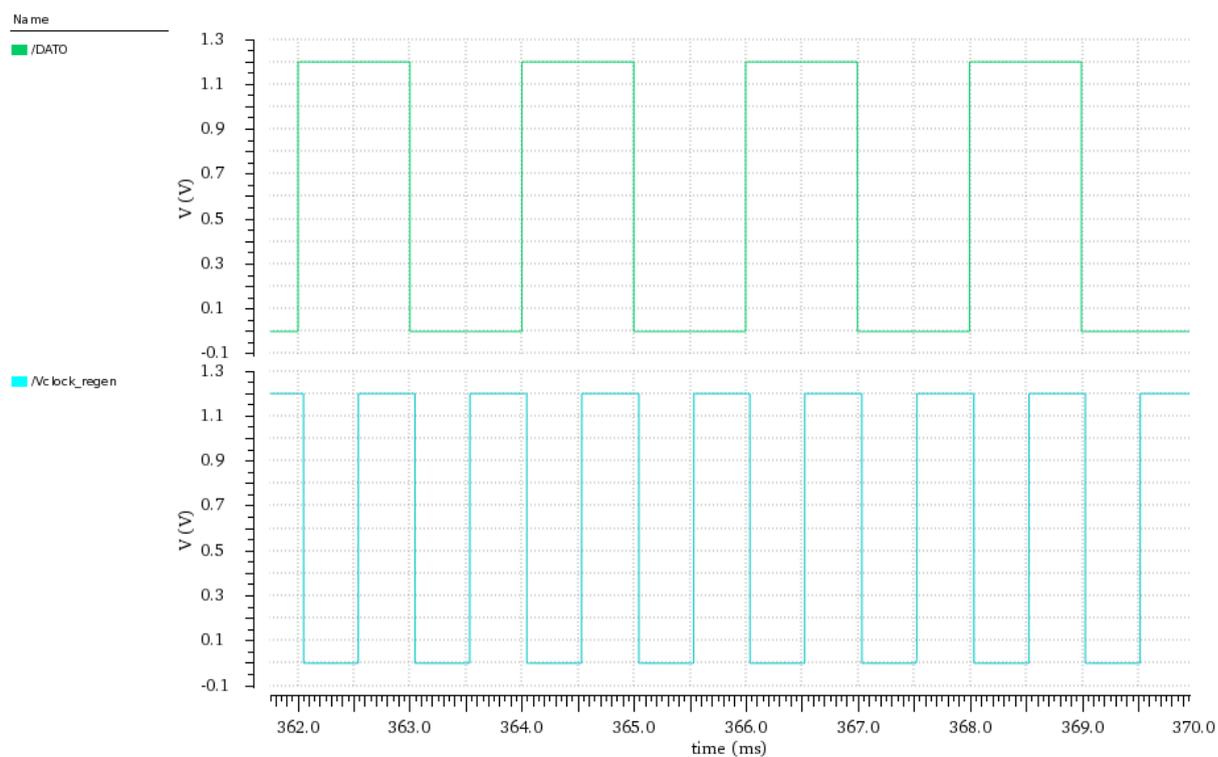


Figura 58. Forme d'onda del dato e del clock nell'intervallo di tempo in cui avviene l'aggancio

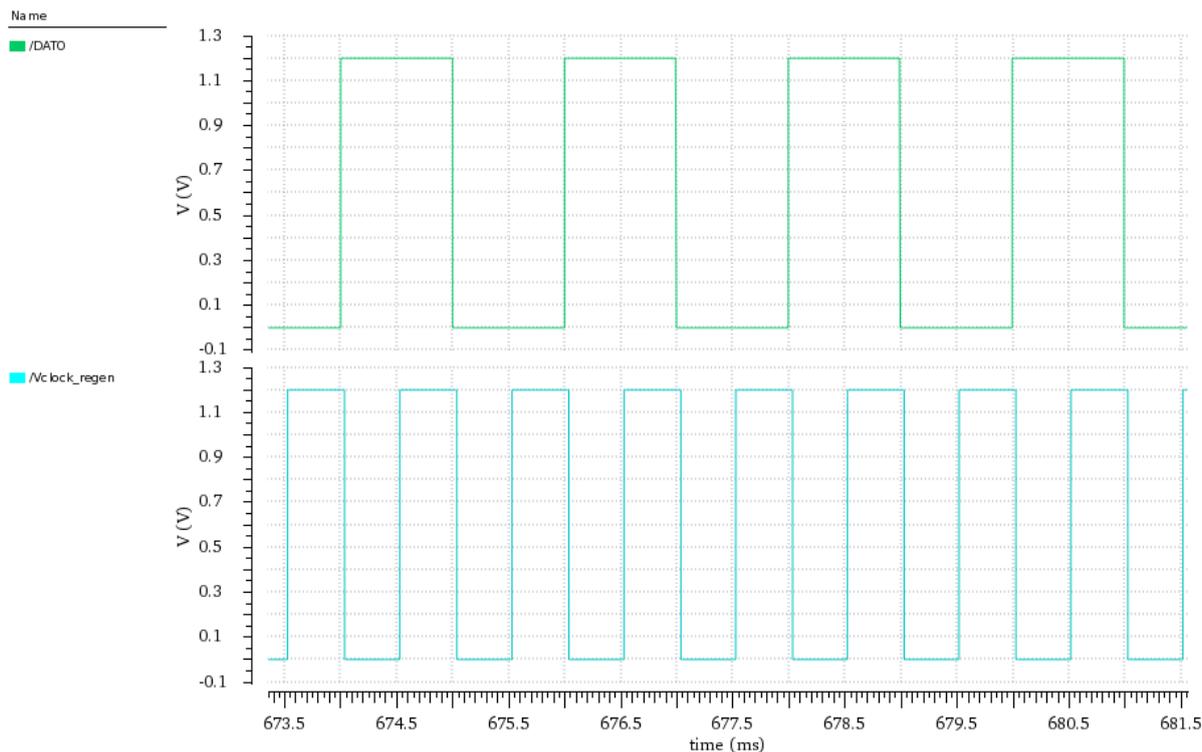


Figura 59. Forme d'onda del dato e del clock in un intervallo di tempo successivo rispetto a quello in cui avviene l'aggancio

Come deducibile dal grafico di Figura 55, le simulazioni del PLL Three Wave Modificato non possono rispecchiare la reale dinamica del PLL, poiché appunto la pompa di carica descritta in Verilog-A eroga corrente in funzione dei soli segnali U1,U2,U3 e U4. Nella realizzazione a livello transistor della pompa di carica, per valori di V_{ctrl} inferiori a 0.2 V i generatori di corrente che impongono la scarica del loop filter non possono erogare corrente. Ciò vale anche per i generatori di corrente che impongono la carica del loop filter. Per valori di V_{ctrl} superiori a 1 V essi cessano di erogare corrente.

Lo scopo di questo paragrafo non consiste nell'analisi delle prestazioni del sistema in funzione dell'architettura scelta per la pompa di carica, ma nella valutazione del tempo di aggancio del PLL. Pertanto, nell'analisi fatta si è assunto che la pompa di carica sia in grado di erogare corrente in funzione dei soli segnali U1,U2,U3 e U4. Anche l'architettura analizzata in questo paragrafo presenta un tempo di aggancio inaccettabile.

I risultati delle simulazioni delle architetture analizzate fino ad ora presentano una cosa in comune: anche nell'ipotesi che la pompa di carica eroghi corrente in funzione dei soli segnali d'uscita del phase detector, il tempo di aggancio delle architetture analizzate finora risulta essere troppo elevato e dipendente dalla fase iniziale del segnale di clock. Le architetture analizzate fino ad ora non risultano essere idonee per gli scopi previsti da questo lavoro. Inoltre, dalle simulazioni si è osservato che il tempo di aggancio risulta essere funzione dello sfasamento tra il fronte basso-alto del segnale en_{cp} e il primo fronte del dato in ingresso al PLL. La lenta dinamica delle architetture analizzate è attribuibile alla condizione iniziale associata alla tensione V_{ctrl} . In riferimento ai grafici mostrati in precedenza, la V_{ctrl} nell'istante di abilitazione del PLL è pari a 0 V. A seguito dell'abilitazione del PLL si osserva un lungo transitorio di V_{ctrl} il quale converge in condizioni di aggancio ad una forma d'onda triangolare. Il valore medio e la frequenza di quest'onda triangolare sono pari rispettivamente a 600 mV e 1 kHz. Il valore picco-picco dipende dai parametri del loop filter. È possibile pensare che nel caso in cui la V_{ctrl} parta da un valore prossimo (se non uguale) a quello di riferimento ($V_{ctrl}=600$ mV) sia possibile ridurre la durata del transitorio e accorciare dunque il tempo di aggancio del PLL. A tal proposito, si è modificata l'architettura

presentata in questo paragrafo in modo tale da riuscire ad imporre un valore di tensione dal quale possa essere innescato il transitorio della V_{ctrl} .

5 Simulazione del PLL Three Wave Modificato ad aggancio di frequenza indotto

Nel precedente paragrafo si è osservato che la durata eccessiva del tempo di aggancio delle architetture analizzate sia riconducibile al valore della V_{ctrl} nell'istante di abilitazione del PLL. Lo scopo di questo paragrafo è la verifica di questa supposizione. In particolare, l'architettura di riferimento è quella mostrata nella Figura 60. I segnali di ingresso del sistema sono (oltre al dato) en_pll ed en_cp . Questi segnali sono forniti al PLL dalla logica di controllo presentata in [8].

Al primo fronte del dato (basso-alto o alto-basso) il segnale en_pll commuta dal valore logico basso a quello alto. Esso serve per attivare il VCO (ciò può essere fatto agendo sulla corrente erogata dal V2I converter). In particolare, fintantoché il segnale en_pll è al valore logico basso i segnali $V_{bias,p}$ e $V_{bias,n}$ del V2I Converter risultano essere rispettivamente pari a V_{DD} e gnd , ciò può essere fatto utilizzando degli switch. Ciò impedisce al V2I converter di erogare corrente. Nell'istante in cui avviene la commutazione basso-alto di en_pll , $V_{bias,p}$ e $V_{bias,n}$ non risultano più essere connessi a V_{DD} e gnd . Il VCO è abilitato ed inizia ad oscillare ad una frequenza corrispondente al valore di V_{REF} . Ad, esempio se $V_{REF}=600$ mV l'oscillatore produce un segnale di clock alla frequenza di 1 kHz. Nella logica di controllo realizzata in [8] è presente un contatore. Esso serve per contare, utilizzando in questo caso il dato in ingresso al pll, un numero di fronti pari ad n . Tale conteggio serve per assicurare che il VCO produca alla sua uscita un segnale oscillante stabile. Una volta terminato il conteggio, la logica di controllo abilita la pompa di carica utilizzando il segnale en_cp . In particolare, fintantoché en_cp risulta al valore logico basso, la pompa di carica non eroga corrente. Nell'istante in cui il conteggio è arrivato ad n , il segnale en_cp commuta dal valore logico basso a quello alto. Ciò abilita la pompa di carica ed apre l'interruttore che connette la V_{ctrl} alla V_{REF} . Ciò innescava il transitorio di V_{ctrl} , il quale parte dal valore imposto dalla V_{REF} . Il dimensionamento scelto per il sistema è lo stesso riportato in Tabella 13.

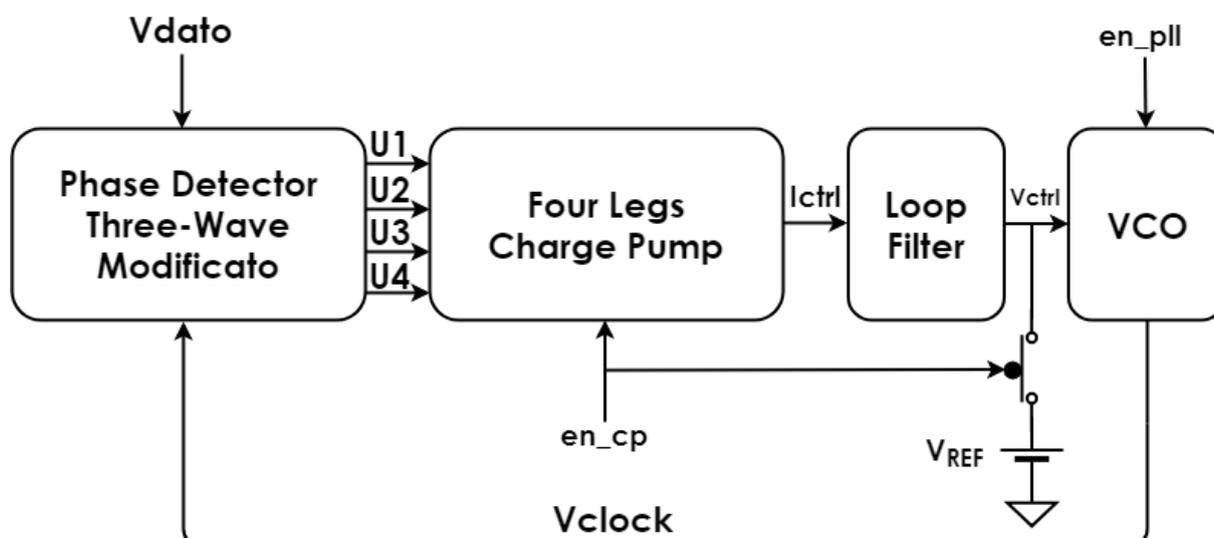


Figura 60. PLL Three Wave Modificato ad aggancio di frequenza indotto

Il sistema è stato simulato considerando $V_{REF}=600$ mV. Nelle Figure 61 e 62 sono mostrati gli andamenti nel tempo del dato, en_cp e V_{ctrl} . Le Figure 63 e 63bis mostrano l'andamento nel

tempo del dato e del segnale di clock prodotto dal PLL. In particolare, da tali figure è possibile osservare come l'errore di fase tra dato e clock non risulti essere costante. Effettuando una lunga simulazione in transitorio del sistema (della durata di 2 sec) è stato possibile riscontrare che su tutto l'intervallo di osservazione, l'errore di fase non risulta essere costante. Pertanto è stato assunto come istante di aggancio l'istante a partire dal quale l'oscillazione dell'errore di fase risulta essere contenuta all'interno dell'intervallo $\pm 0.05 \text{ msec}$. Il tempo di aggancio dedotto dalle simulazioni risulta essere pari a $T_{\text{LOCK}}=40 \text{ msec}$.

1

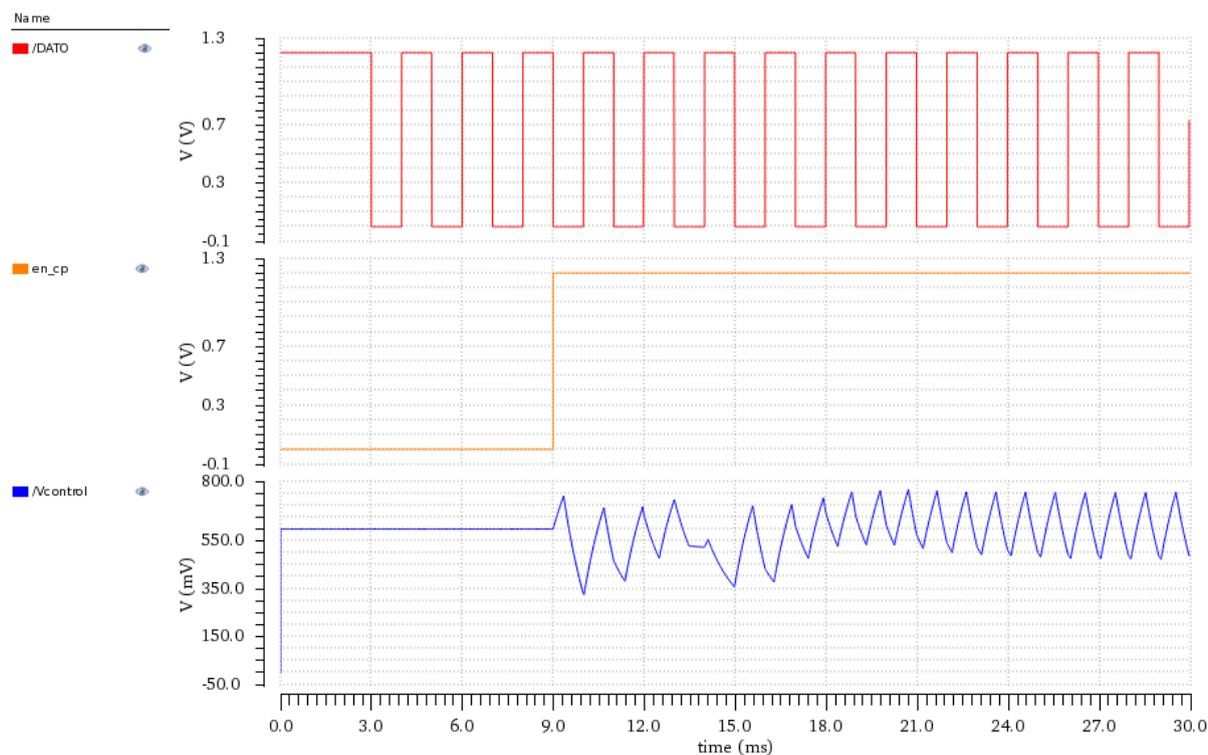


Figura 61. Andamento nel tempo dei segnali dato (in rosso), en_cp (in arancione) e Vctrl (in blu).

1

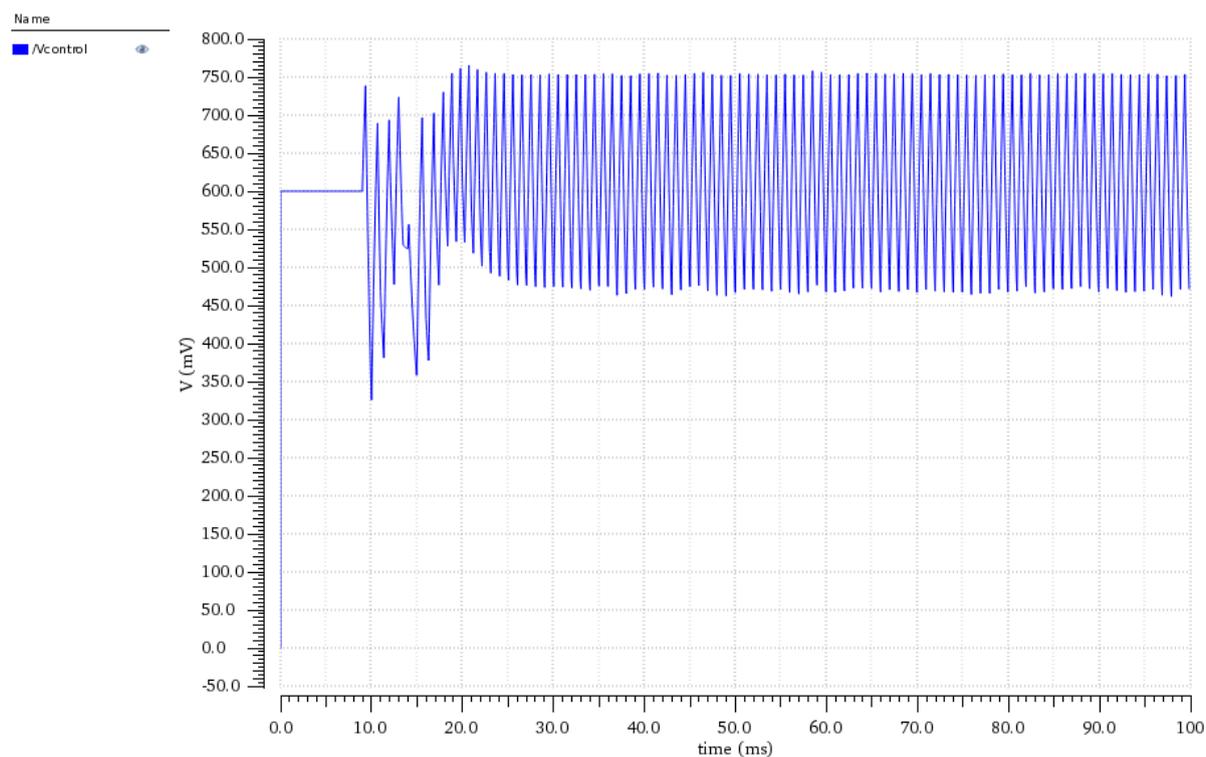
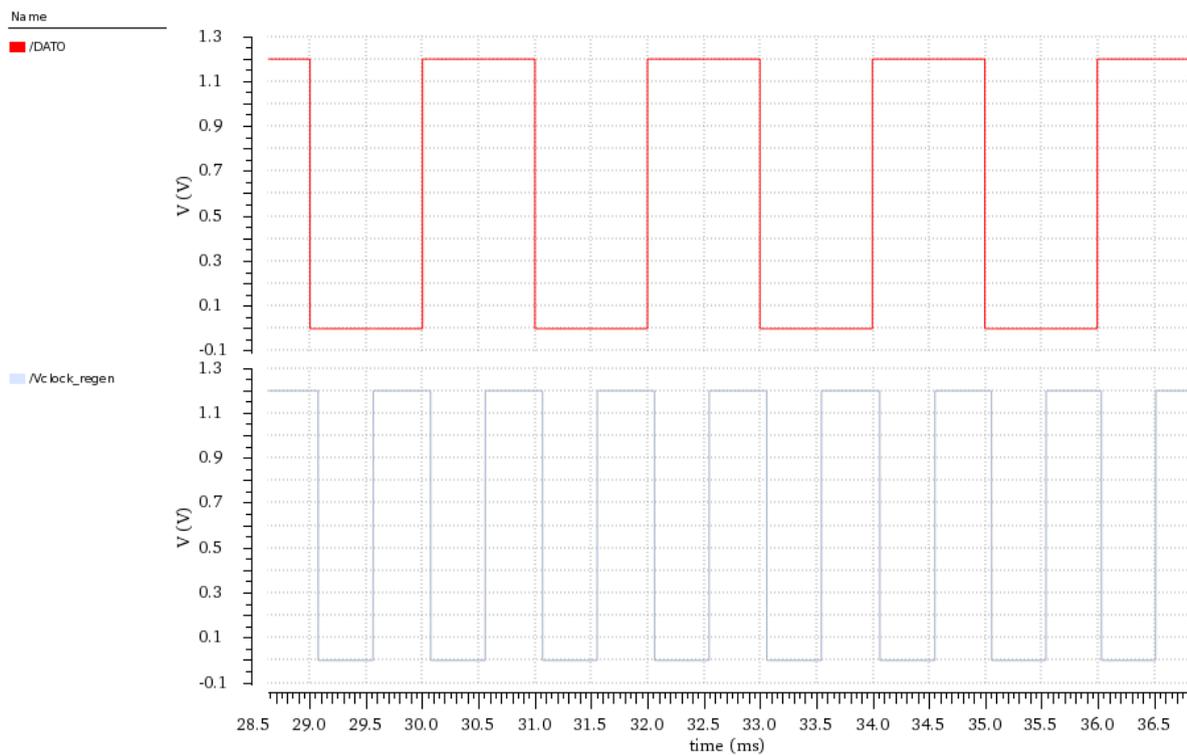
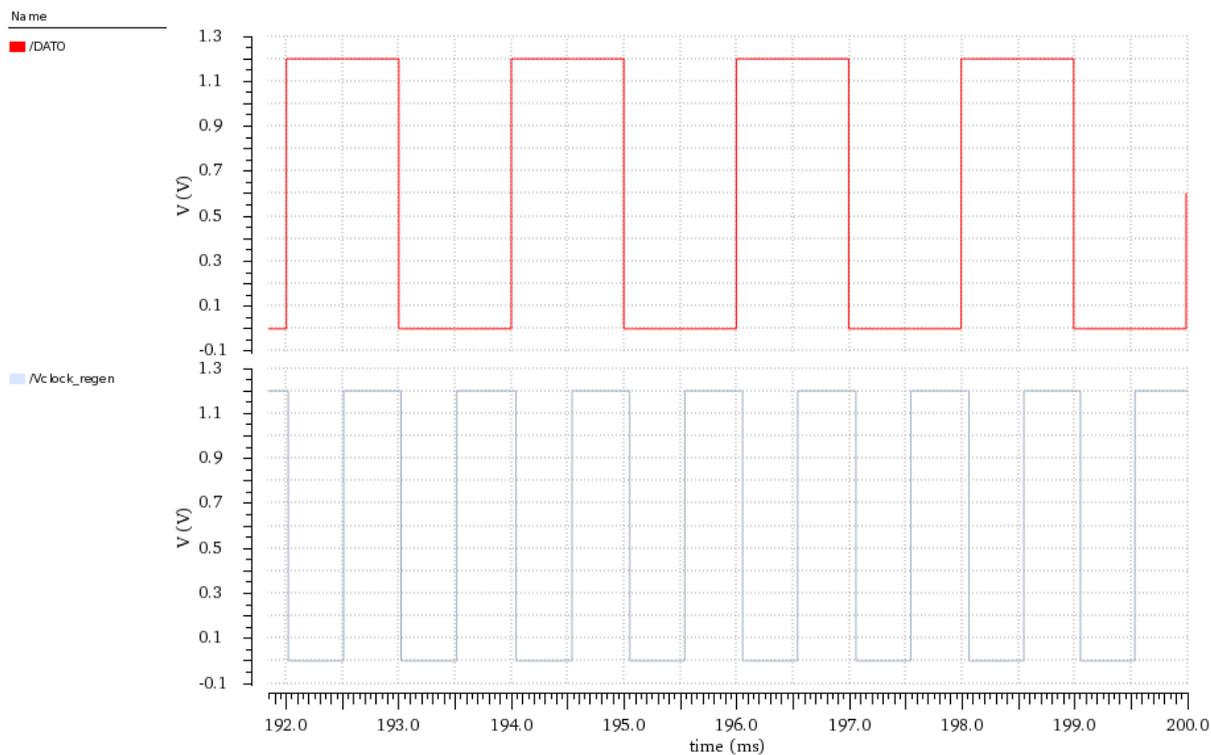


Figura 62. Andamento nel tempo del segnale Vctrl.

1

Figura 63. Andamento nel tempo del dato e del segnale di clock prodotto dal PLL in un intervallo successivo alla commutazione basso-alto di `en_cp`.

1

Figura 63bis. Andamento nel tempo del dato e del segnale di clock prodotto dal PLL in un intervallo successivo alla commutazione basso-alto di `en_cp`.

Dopo aver determinato il tempo di aggancio si è effettuata una simulazione del sistema applicando in ingresso un preambolo della durata di 40 msec seguito da una sequenza random di 200 bit. In Figura 64 è mostrato il risultato della simulazione nell'intervallo di tempo compreso 106 msec e 122 msec. Il sistema funziona correttamente.

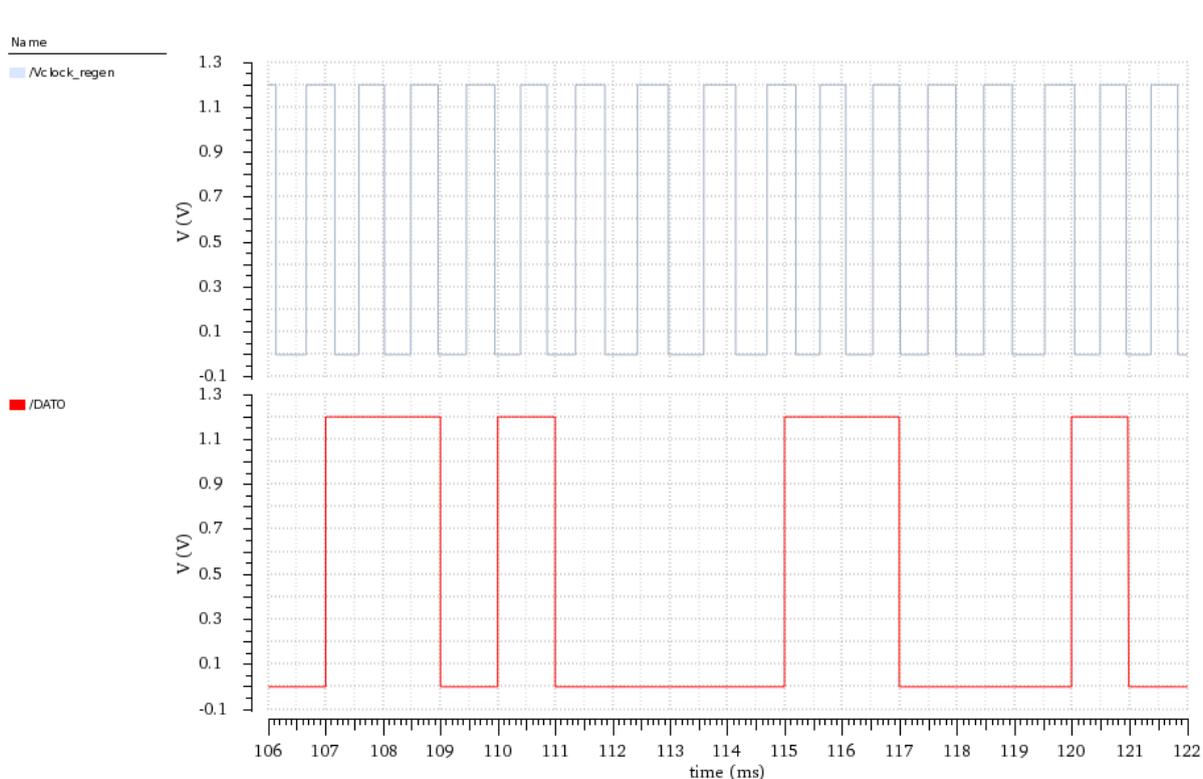


Figura 64. Verifica del corretto funzionamento del PLL nel caso in cui il dato in ingresso sia un preambolo della durata di 40 msec seguito da una sequenza di bit aleatori della durata di 160 msec

È stata inoltre effettuata una simulazione del sistema per valutare gli effetti introdotti dalle correnti di perdita della pompa di carica sulla condizione di aggancio del PLL. A tal proposito, si è connesso in parallelo al loop filter un generatore di corrente del valore di 10 pA e si è applicato anche in questo caso un preambolo della durata di 40 msec seguito da una sequenza di 200 bit random. Anche in questo caso il circuito risulta funzionare correttamente. È stato verificato il corretto funzionamento del sistema nel caso in cui il numero di '0' consecutivi sia pari a venti e numero di '1' consecutivi pari a quattro.

Dopo aver verificato il corretto funzionamento dell'architettura presentata in questo paragrafo si sono valutati gli effetti della variazione della V_{REF} sulle prestazioni del sistema. Variando la V_{REF} all'interno dell'intervallo compreso tra 400 mV e 800 mV il circuito funziona correttamente. Per $V_{REF}=400$ mV il tempo di aggancio misurato è di 50 msec mentre per $V_{REF}=800$ mV il tempo di aggancio misurato è di 30 msec. Per valori di V_{REF} inferiori a 400 mV e superiori a 800 mV, il sistema cessa di funzionare correttamente. A titolo di esempio in Figura 65 è mostrato l'andamento nel tempo di V_{ctrl} nel caso in cui si abbia $V_{REF}=300$ mV. In Figura 66 è mostrato il risultato della simulazione effettuata con $V_{REF}=1.2$ V. Adirittura, nel caso in cui il valore iniziale della V_{ctrl} risulta pari alla tensione di alimentazione il segnale di clock si aggancia al dato in ingresso al PLL ad una frequenza doppia rispetto alla bit rate (ossia a 2 kHz anziché 1 kHz). Da queste considerazioni è possibile dedurre che il corretto funzionamento del sistema dipenda fortemente dalla precisione con la quale è possibile sintetizzare il segnale V_{REF} . La condizione di aggancio, in base ai risultati delle simulazioni, risulta essere dipendente anche dallo sfasamento iniziale tra il segnale di clock e il dato in ingresso al PLL. Supponendo che il VCO non sia soggetto alle variazioni dei parametri (temperatura, alimentazione, parametri di processo) è possibile affermare che il sistema

presentato in questo paragrafo funzioni correttamente solamente nel caso in cui le escursioni del valore di V_{REF} siano contenute all'interno dell'intervallo [400 mV, 800 mV]. Ciò implica la necessità di progettare un generatore di tensione di riferimento il più preciso possibile.

1

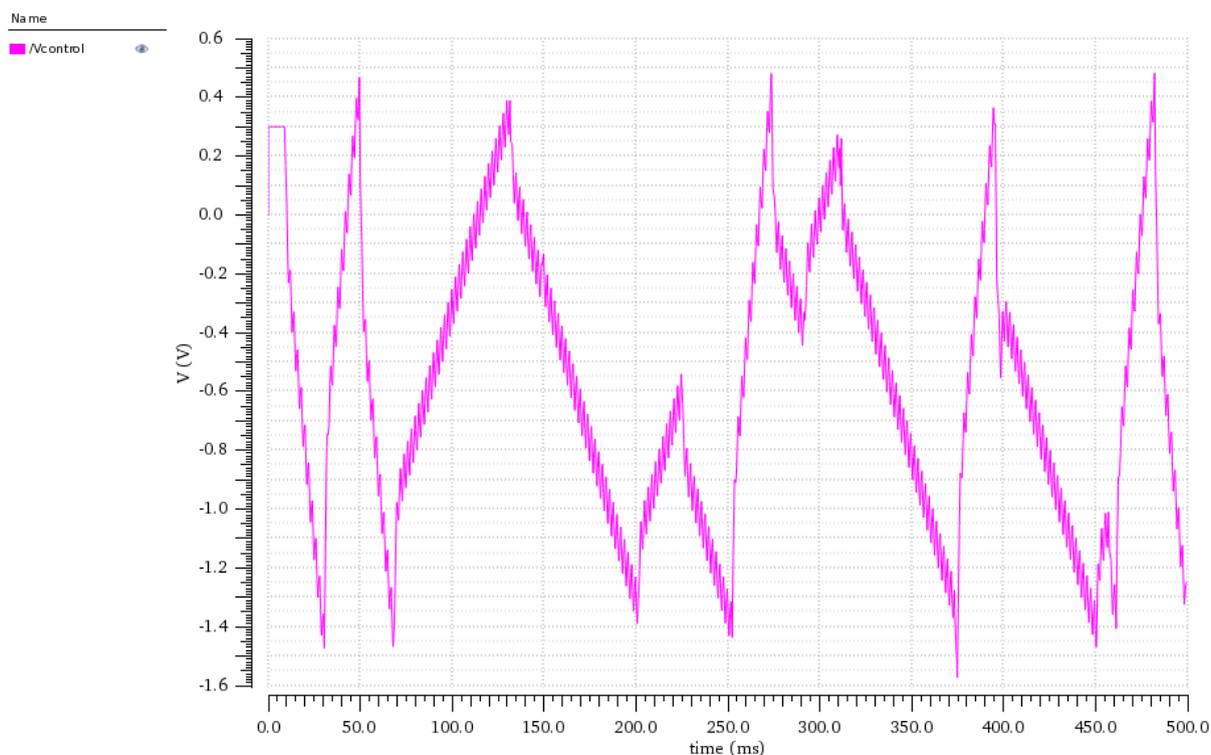


Figura 65. Andamento della V_{ctrl} nel caso in cui $V_{REF}=300$ mV

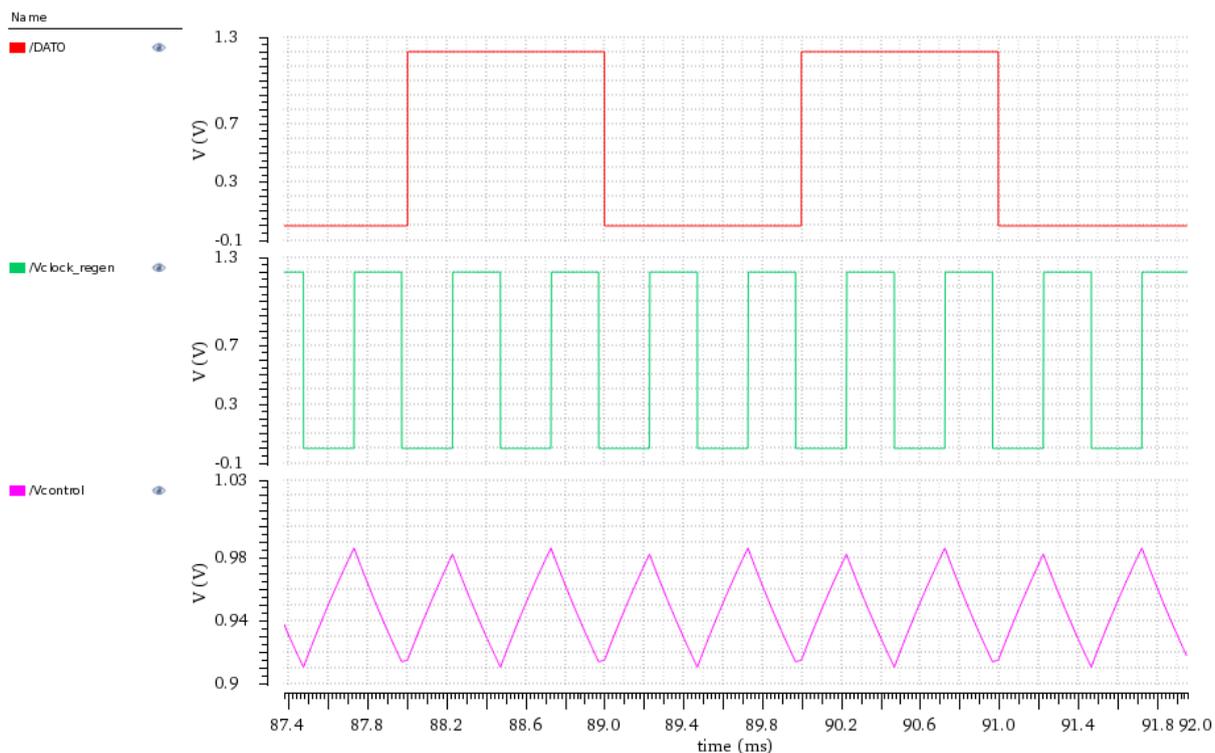


Figura 66. Risultato della simulazione in transitorio nel caso in cui $V_{ctrl}=1.2$ V. In rosso è rappresentato il dato, in verde il segnale di clock e in rosa la tensione di controllo

6 Simulazione del PLL a due anelli di aggancio

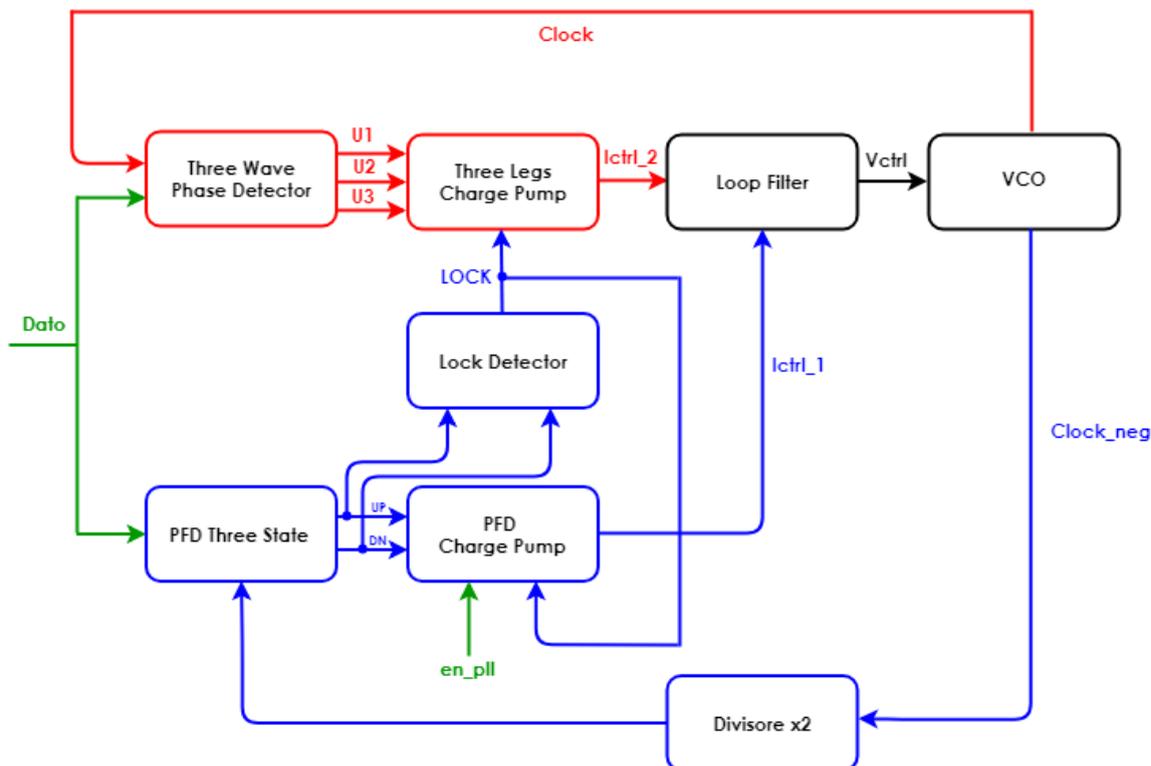


Figura 67. Architettura del PLL a due anelli di aggancio

Nel paragrafo precedente è stata presentata l'architettura del PLL Three Wave Modificato ad aggancio di frequenza indotto. Tale architettura è stata introdotta poiché gli schemi di CP-PLL del terzo ordine implementati con phase detector Three Wave e Three Wave Modificato presentano tempi di aggancio troppo lunghi. Il sistema mostrato nel precedente paragrafo permette di ridurre la durata del transitorio di V_{ctrl} e dunque ridurre il tempo di aggancio del sistema. Per ottenere ciò nel sistema è presente un generatore di tensione di riferimento che serve per impostare la condizione iniziale dalla quale parte il transitorio di V_{ctrl} . In particolare, i risultati delle simulazioni permettono di affermare che esso funzioni correttamente solamente nel caso in cui il valore della tensione V_{ctrl} risulti essere all'interno dell'intervallo compreso tra 400 mV e 800 mV. Le variazioni dei parametri di processo, della temperatura e della tensione di alimentazione rendono critica l'implementazione di questo PLL in una architettura per il clock recovery. Anche nel caso in cui sia possibile rendere il VCO indipendente da tali variazioni risulta essere comunque necessario implementare un generatore di tensione di riferimento piuttosto preciso. Da tali considerazioni si è deciso di progettare una architettura di PLL auto-polarizzata. Ciò vuol dire che il sistema implementato permette di ridurre la durata del transitorio di V_{ctrl} e che possa funzionare correttamente (nell'ipotesi che il VCO utilizzato sia indipendente da eventuali variazioni dei parametri) senza fare affidamento su un generatore di riferimento che imponga un valore di V_{ctrl} il più preciso possibile. È possibile fare ciò utilizzando l'architettura del PLL a due anelli di aggancio, è concettualmente simile all'architettura presentata nel precedente paragrafo ma non si appoggia ad un generatore di tensione per impostare il valore iniziale di V_{ctrl} .

Nel sistema mostrato in Figura 67 è possibile distinguere due anelli di aggancio, il primo (mostrato in Figura 67 con il colore blu) è denominato anello di primo aggancio, mentre il

secondo (mostrato in Figura 67 con il colore rosso) è l'anello di clock recovery. Essi condividono lo stesso loop filter e lo stesso VCO. Il funzionamento del PLL a due anelli di aggancio è distinguibile in due fasi: fase A e fase B. Durante la fase A (detta anche fase di preambolo) è attivo solamente l'anello di primo aggancio mentre l'anello di clock recovery è disabilitato (ciò può essere fatto inibendo alla Three Legs Charge Pump di erogare corrente). Durante questa fase il PLL riceve in ingresso un preambolo ossia una sequenza di '1' e '0' trasmessa alla bit rate di 1 kbps. In Figura 68 sono mostrate le forme d'onda dei segnali Clock e Clock_neg in condizioni di aggancio. La durata della fase di preambolo dipende dal T_{LOCK} dell'anello di primo aggancio.

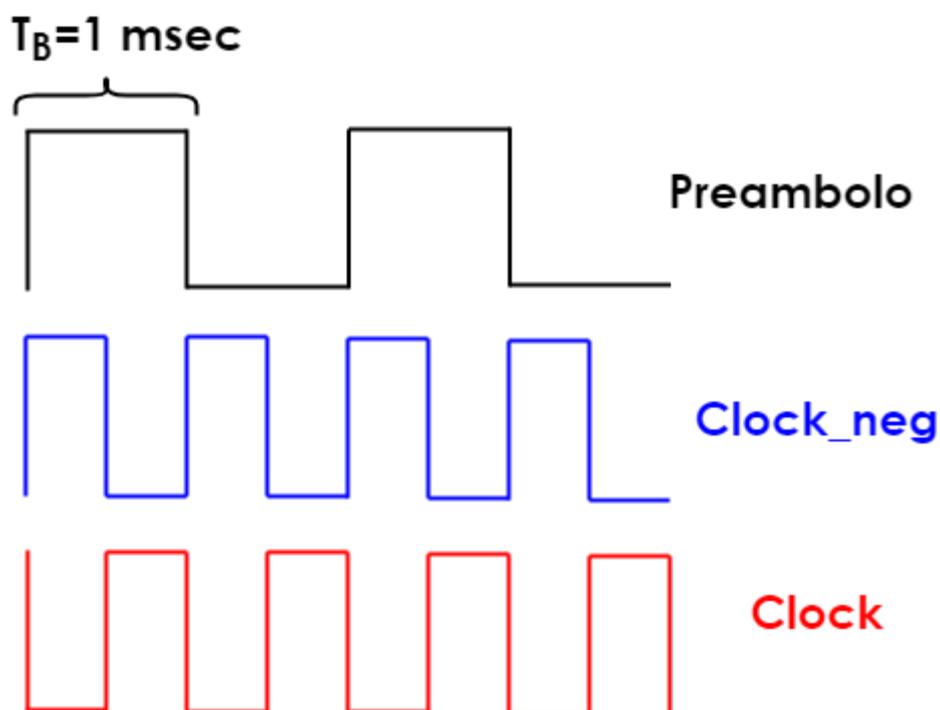


Figura 68. Forme d'onda dei segnali Clock e Clock_neg in condizioni di aggancio

Lo schema a blocchi dell'anello di sintesi è riportato in Figura 69.

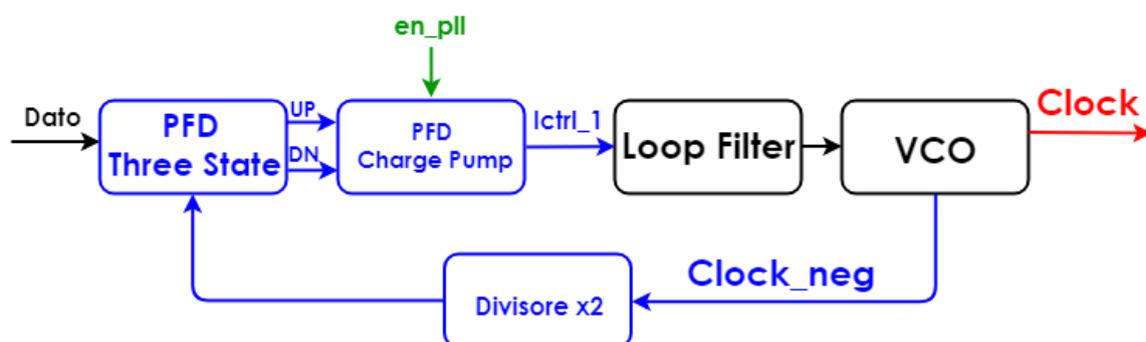


Figura 69. Schema a blocchi dell'anello di primo aggancio

L'anello di primo aggancio condivide con l'anello di clock recovery il Loop Filter e il VCO. Oltre a questi blocchi esso comprende un PFD Three State, la PFD Charge Pump e un Divisore x2. Il Divisore x2 è un divisore di frequenza, prende in ingresso il segnale Clock_neg e produce in uscita un segnale uguale a Clock_neg ma con frequenza dimezzata. In riferimento alla Figura 68, in condizioni di aggancio l'uscita del Divisore x2 è uguale al Dato. Il PFD Three State

è un blocco in grado di rilevare la differenza sia di fase che di frequenza tra il segnale in ingresso al PLL e il segnale in uscita dal Divisore x2.

Il blocco PFD Charge Pump serve per generare una corrente in funzione dei valori delle uscite del PFD Three State. Essa segue la relazione:

$$I_{ctrl,1} = I_{CP} \left(\frac{V(UP)}{V_{DD}} - \frac{V(DN)}{V_{DD}} \right)$$

L'anello di primo aggancio serve per accelerare il transitorio iniziale della tensione V_{ctrl} , esso serve per sintetizzare un segnale di clock allineato in fase e in frequenza con il dato in ingresso al PLL. Ovviamente, anche il phase detector presente nell'anello di clock recovery permette di sintetizzare un segnale di clock allineato in fase e in frequenza con il dato, tuttavia per far ciò l'utilizzo di PLL implementati con le architetture presentate nei precedenti paragrafi implica un transitorio molto lungo. Questo transitorio serve per portare la V_{ctrl} dal valore iniziale (ad esempio $V_{ctrl}=0V$) a quello desiderato. Nell'ipotesi che i dati in ingresso siano trasmessi ad una bit rate di 1 kbps, la frequenza sintetizzata dal VCO deve essere pari a 1 kHz. Considerando l'architettura del VCO progettato in questo lavoro di tesi il valore desiderato della tensione di controllo è $V_{ctrl}=600\text{ mV}$.

Durante la fase B viene disabilitato l'anello di primo aggancio e abilitato quello di clock recovery. A partire dall'istante di aggancio (ovvero dell'abilitazione dell'anello di clock recovery) è possibile fornire all'ingresso del PLL lunghe sequenze random di bit.

Nell'istante in cui avviene la commutazione basso-alto del segnale en_pll (ciò avviene in corrispondenza del primo fronte del dato in ingresso al PLL) viene attivato l'anello di primo aggancio e quindi anche il VCO. In tale istante il blocco PFD Charge Pump inizia ad erogare corrente mentre al Three Legs Charge Pump è inibita l'erogazione di corrente. L'abilitazione del VCO è fatta (come per l'architettura mostrata in precedenza) agendo sulla corrente erogata dal V2I Converter. L'architettura del blocco PFD Charge Pump è la seguente:

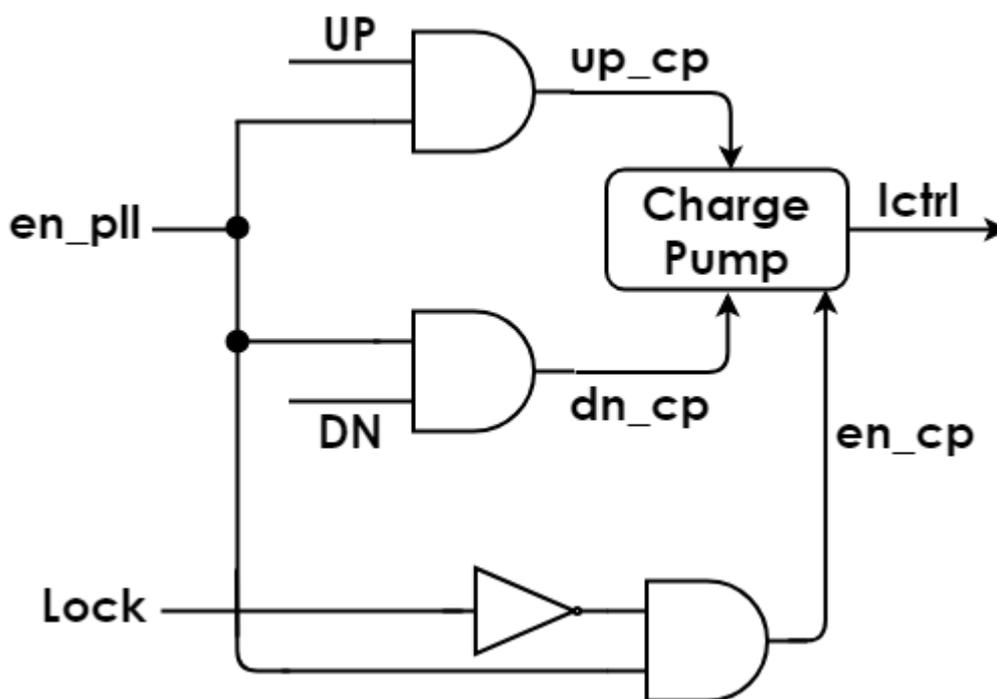


Figura 70. Architettura della pompa di carica presente nell'anello di primo aggancio

Nell'istante in cui avviene la commutazione basso-alto del segnale en_pll , il blocco Charge Pump inizia ad erogare corrente secondo la relazione:

$$I_{ctrl} = I_{CP} \left(\frac{V(up, cp)}{V_{DD}} - \frac{V(dn, cp)}{V_{DD}} \right)$$

Nell'istante in cui avviene l'aggancio (commutazione basso-alto del segnale Lock) la PFD Charge Pump cessa di erogare corrente. Il blocco Charge Pump è stato implementato utilizzando un codice Verilog-A.

L'aggancio dell'anello di primo aggancio avviene nell'istante in cui il dato in ingresso al PLL risulta allineato in fase e in frequenza con il segnale Clock. Nell'istante in cui ciò avviene, il segnale Lock commuta dal valore logico basso a quello alto. Questa commutazione permette di abilitare la Three Legs Charge Pump e inibire al blocco PFD Charge Pump presente nell'anello di primo aggancio di erogare corrente. A partire da questo istante l'unico anello di aggancio effettivamente operante è quello di clock recovery. Il Lock Detector è implementato come segue:

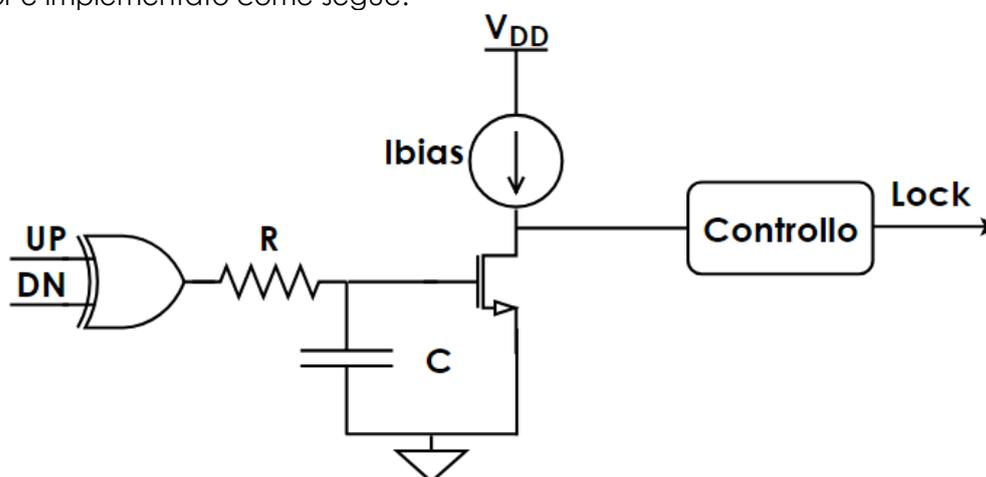


Figura 71. Architettura del Lock Detector

L'architettura di Figura 71 è stata implementata scegliendo $I_{bias}=1nA$, $R=10M\Omega$ e $C=100 pF$. Nell'istante in cui il PLL viene abilitato la tensione in ingresso allo stadio source comune è pari alla tensione di alimentazione. La logica di controllo permette di allineare il fronte di discesa del segnale di clock con il fronte di salita del dato in ingresso al PLL. In Tabella 14 è riportato il dimensionamento scelto per l'anello di primo aggancio.

PM	ω_{ugb}	C_1	C_2	R_1	I_{CP}
49.1°	$0.2\omega_{in}$	100 pF	11 pF	50 MΩ	12 nA

Tabella 14. Dimensionamento utilizzato per l'anello di primo aggancio presente nel PLL a due anelli di aggancio

In Figura 72 sono riportati i diagrammi di Bode dell'ampiezza e della fase del guadagno d'anello dell'anello di primo aggancio dimensionato con i parametri riportati in Tabella 14. In Figura 73 è riportato il funzionamento dell'anello di primo aggancio. Prima dell'arrivo del primo fronte del dato in ingresso al PLL l'ingresso dello stadio source comune è impostato a V_{DD} . Nell'istante in cui avviene la commutazione del segnale en_pll si innesca il transitorio del segnale in ingresso al source comune. Dai grafici di Figura 73 è possibile osservare come il tempo di aggancio dell'anello di primo aggancio risulti essere pari a 20 msec. Il dimensionamento scelto per l'anello di clock recovery è il seguente (i parametri del loop filter sono gli stessi utilizzati per l'anello di primo aggancio, cambia solamente la corrente erogata dalla pompa di carica).

PM	ω_{ugb}	C_1	C_2	R_1	I_{CP}
52.2°	$0.06\omega_{in}$	100 pF	11 pF	50 MΩ	3 nA

Tabella 15. Dimensionamento utilizzato per l'anello di clock recovery presente nel PLL a due anelli di aggancio

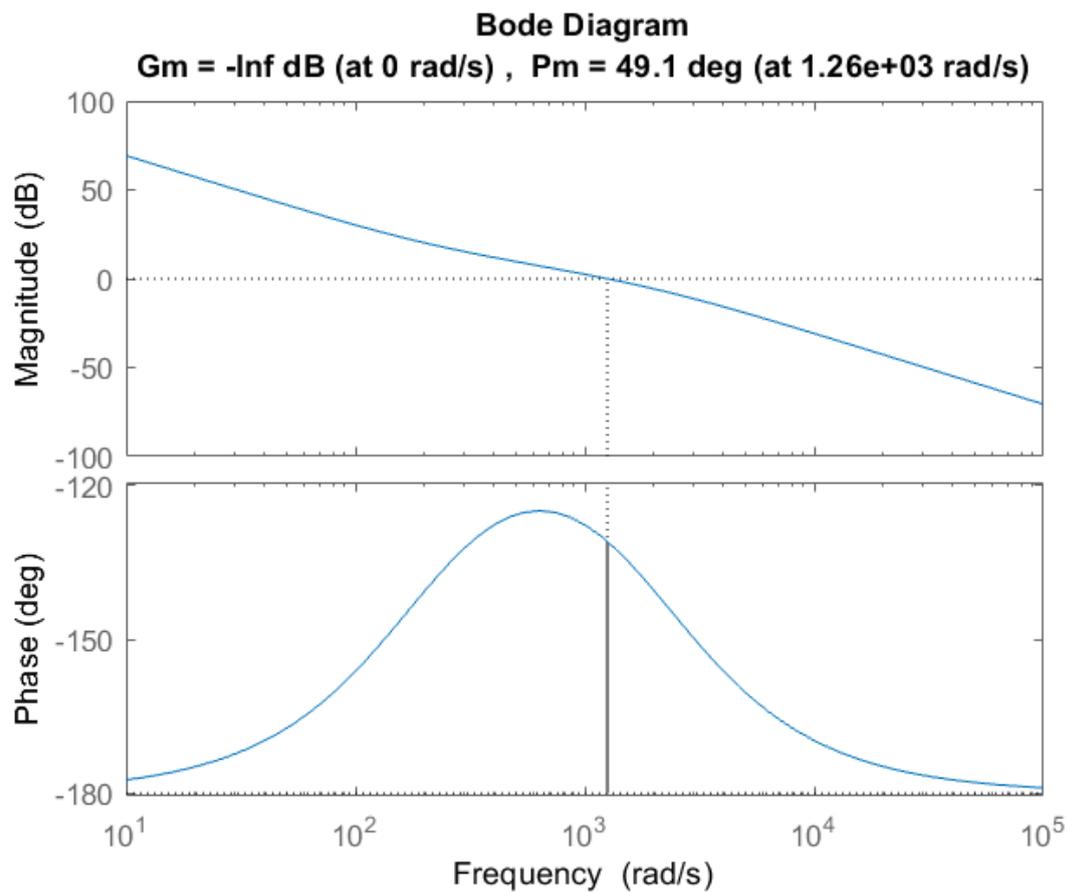


Figura 72. Diagrammi di Bode dell'ampiezza e della fase del guadagno d'anello

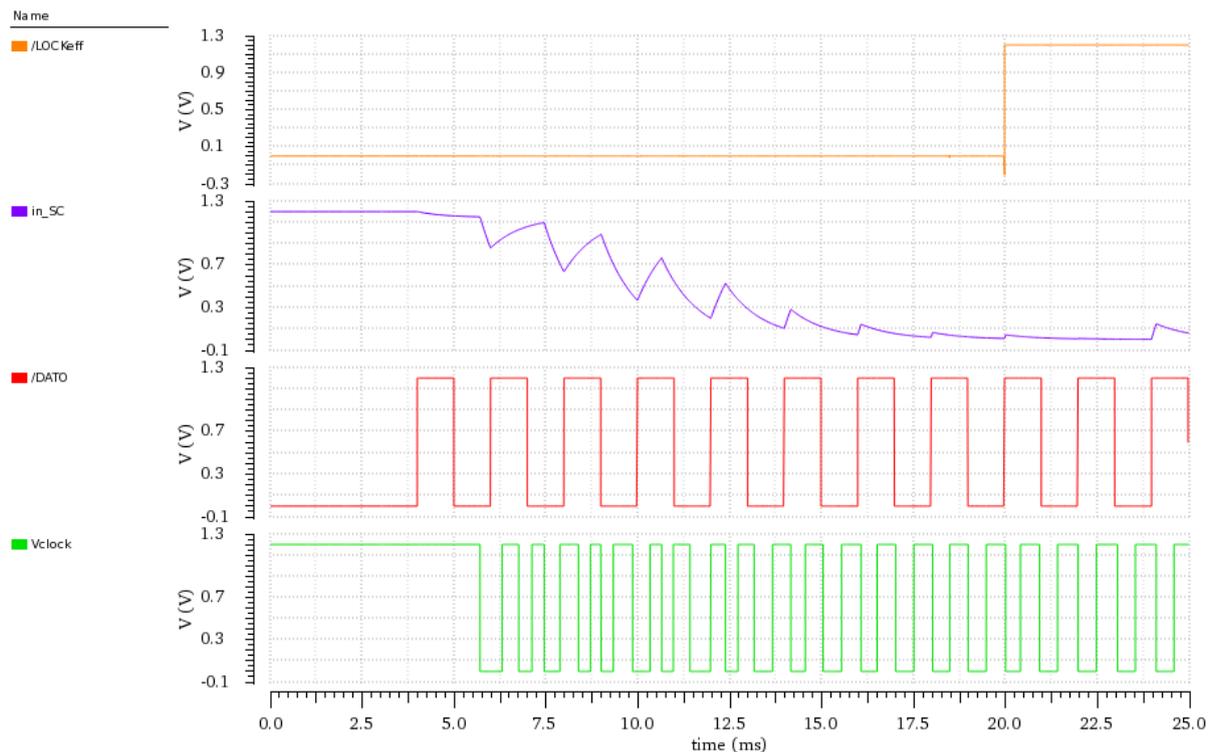


Figura 73. Funzionamento dell'anello di primo aggancio. In arancio è rappresentato il segnale Lock, in viola è rappresentato l'ingresso dello stadio a source comune presente nel Lock Detector. In rosso e in verde sono rappresentati rispettivamente il dato in ingresso al PLL e il segnale di clock.

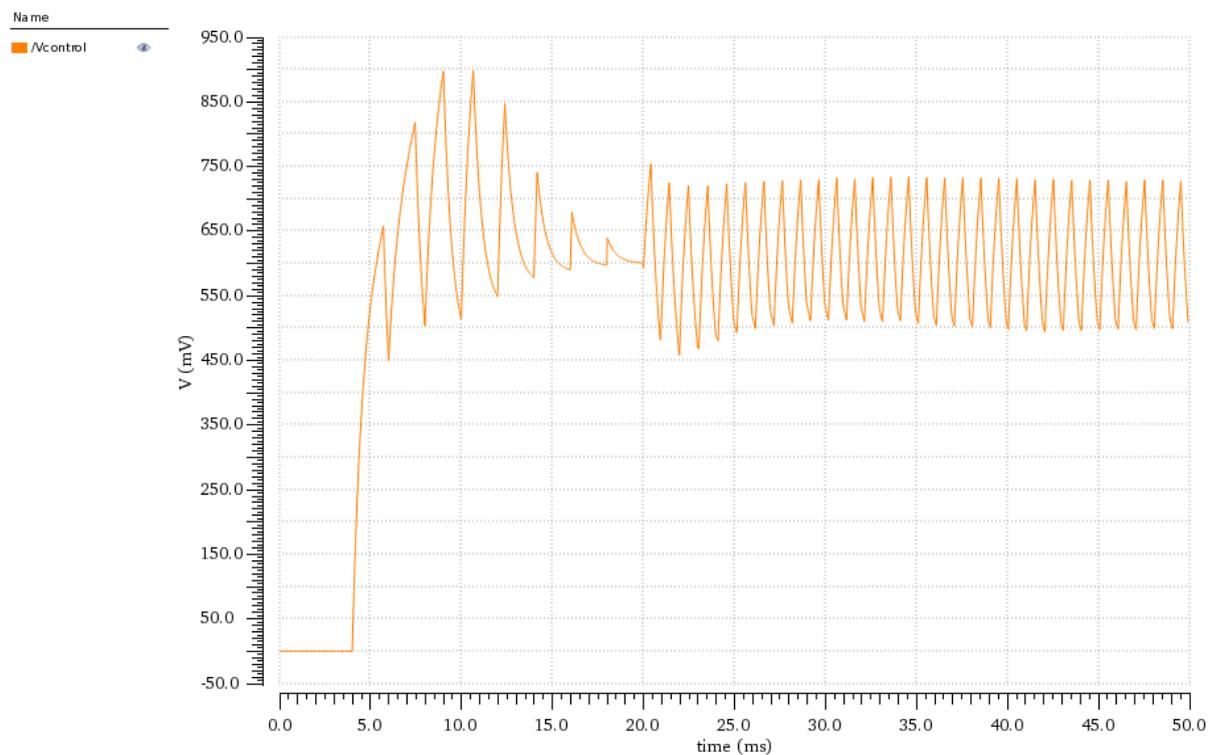


Figura 74. Andamento nel tempo di `Vctrl`

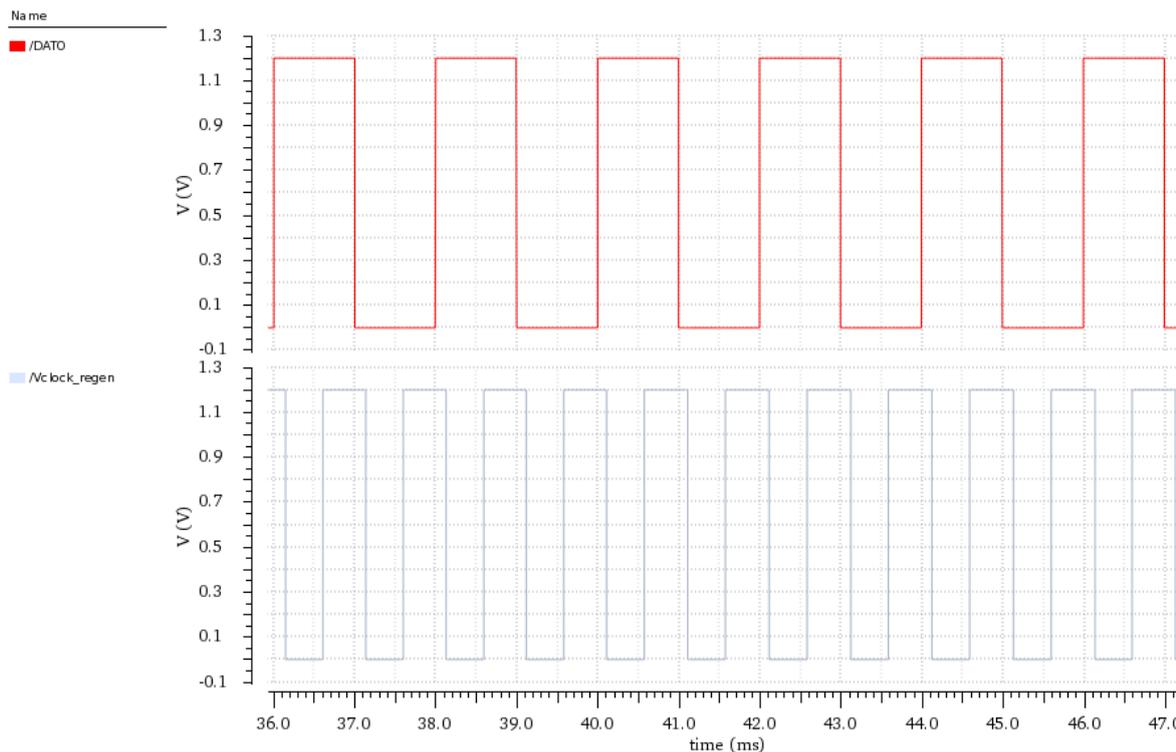


Figura 75. Andamento nel tempo dei segnali Clock e Dato

Nell'istante in cui avviene la commutazione basso-alto del segnale Lock viene abilitato l'anello di clock recovery e disabilitato l'anello di primo aggancio. In tale istante l'errore di fase tra Clock e Dato è circa nullo. A seguito dell'attivazione dell'anello di clock recovery la relazione di fase tra Clock e Dato non si mantiene costante a causa della diversa topologia di phase detector utilizzato. È dunque necessario un secondo transitorio a seguito della commutazione basso-alto del segnale Lock per portare l'anello di clock recovery in condizioni di aggancio. Il tempo totale di aggancio del PLL è pari a 40 msec. In Figura 74 è mostrato l'andamento della tensione ai capi del loop filter. In Figura 75 è mostrato l'andamento dei segnali Clock e Dato. In particolare è da osservare che in condizioni di aggancio l'errore di fase è pari a 0.1 msec. Per la verifica del corretto funzionamento del PLL a due anelli di aggancio si è applicato un preambolo della durata di 40 msec seguito da una sequenza di bit random della durata di 200 msec. In Figura 76 è mostrato il risultato di quest'ultima simulazione. Come per l'architettura analizzata in precedenza anche in questo caso si sono valutati gli effetti introdotti dalle correnti di perdita della pompa di carica sul funzionamento del PLL. Si è connesso in parallelo al loop filter un generatore di corrente da 10 pA. Da queste simulazioni si è potuto dedurre che l'errore di fase in condizioni di aggancio non influenza il funzionamento del PLL anche nel caso in cui vengano considerate le correnti di perdita introdotte dalla pompa di carica.

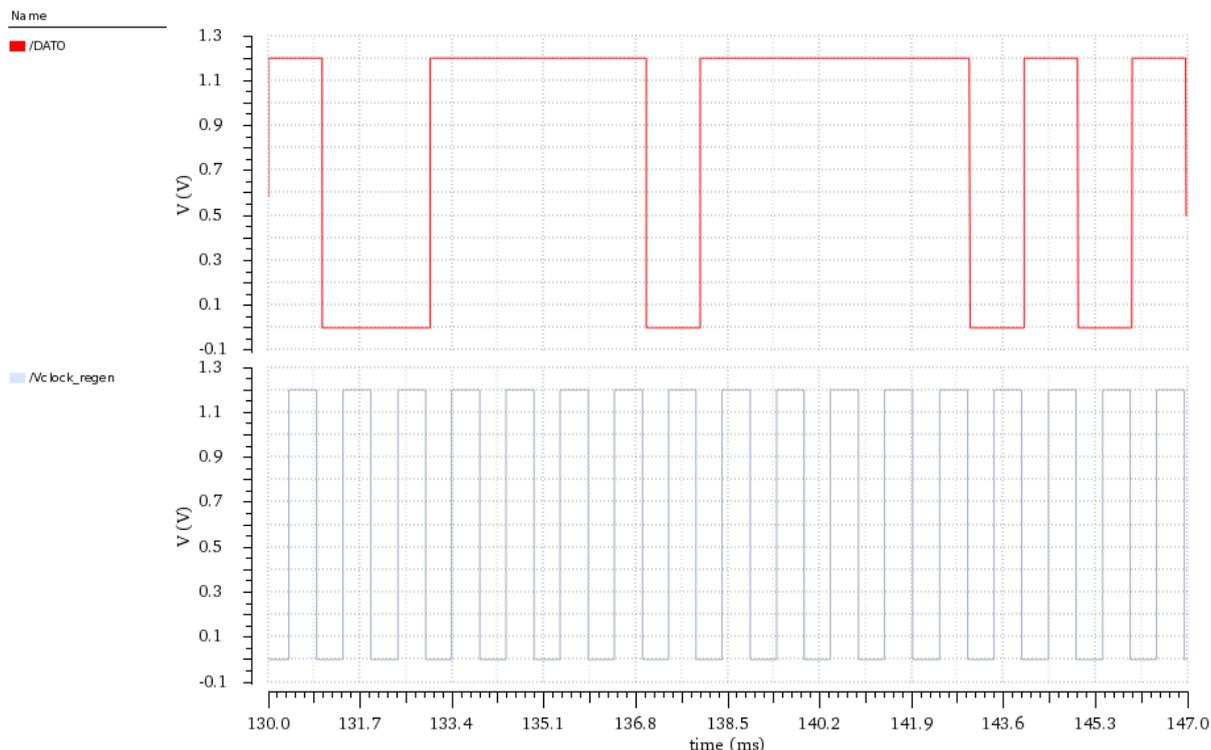


Figura 76. Verifica del funzionamento del PLL a due anelli di aggancio

L'errore di fase in condizioni di aggancio (che per il sistema considerato risulta essere pari a 0.1 msec) è attribuibile ai parametri scelti per il loop filter e alla corrente I_{cp} . Dimensionando nuovamente il PLL è possibile aumentando i valori delle capacità e di I_{cp} e riducendo il valore di R_1 ridurre l'errore di fase. A tal proposito, è possibile dimensionare nuovamente il PLL utilizzando le equazioni definite nel Capitolo II.

Il metodo di dimensionamento differisce da quelli utilizzati in precedenza poiché in questo caso si è scelto di definire oltre al margine di fase e alla pulsazione a guadagno unitario il valore del parametro I_{cp} anziché della resistenza R_1 . Partendo da questi tre parametri e risolvendo un sistema di tre equazioni è possibile determinare il valore delle incognite C_1 , C_2 e R_1 . In particolare, per l'anello di primo aggancio il margine di fase è stato scelto pari a 62° , la pulsazione a guadagno unitario è $0.05\omega_{in}$ mentre il parametro I_{cp} è lo stesso utilizzato in precedenza per il dimensionamento dell'anello di clock recovery però in questo caso è moltiplicato per un fattore 25.

PM	ω_{ugb}	C_1	C_2	R_1	I_{CP}
62°	$0.05\omega_{in}$	7.69 nF	512 pF	$1.656 \text{ M}\Omega$	75 nA

Tabella 15. Nuovo dimensionamento per l'anello di primo aggancio presente nel PLL a due anelli di aggancio

Dai dimensionamenti riportati in Tabella 15 è possibile ricavare i seguenti valori delle pulsazioni dello zero e del polo del guadagno d'anello:

$$\omega_z = \frac{1}{R_1 C_1} = 78.6 \text{ rad/sec} \text{ e } \omega_{p3} = \frac{C_1 + C_2}{R_1 (C_1 C_2)} = 1255 \text{ rad/sec}$$

In Tabella 16 è riportato il dimensionamento scelto per l'anello di clock recovery. In particolare, l'anello di clock recovery è stato dimensionato garantendo lo stesso margine di

fase dell'anello di primo aggancio, pulsazione a guadagno unitario pari a $0.01\omega_{in}$ e per I_{cp} lo stesso valore utilizzato per l'anello di clock recovery presentato in precedenza ($I_{cp} = 3 \text{ nA}$).

PM	ω_{ugb}	C_1	C_2	R_1	I_{CP}
62°	$0.01\omega_{in}$	7.69 nF	512 pF	$8.28 \text{ M}\Omega$	3 nA

Tabella 16. Nuovo dimensionamento per l'anello di clock recovery presente nel PLL a due anelli di aggancio

Di seguito sono riportati i corrispondenti valori delle pulsazioni dello zero e del polo:

$$\omega_z = \frac{1}{R_1 C_1} = 15.72 \text{ rad/sec} \text{ e } \omega_{p3} = \frac{C_1 + C_2}{R_1 (C_1 C_2)} = 251.07 \text{ rad/sec}$$

Da ciò si può notare che la banda del filtro presente nell'anello di clock recovery risulta essere molto più stretta rispetto a quella dell'anello di primo aggancio.

Nell'architettura del PLL a due anelli di aggancio il loop filter è condiviso, considerando le Tabelle 15 e 16 è possibile osservare che dato che i parametri delle capacità sono gli stessi sia possibile implementare il filtro come riportato in Figura 77. Se Lock è al livello logico basso la resistenza R_a è cortocircuitata, se Lock è al livello logico alto l'interruttore è aperto.

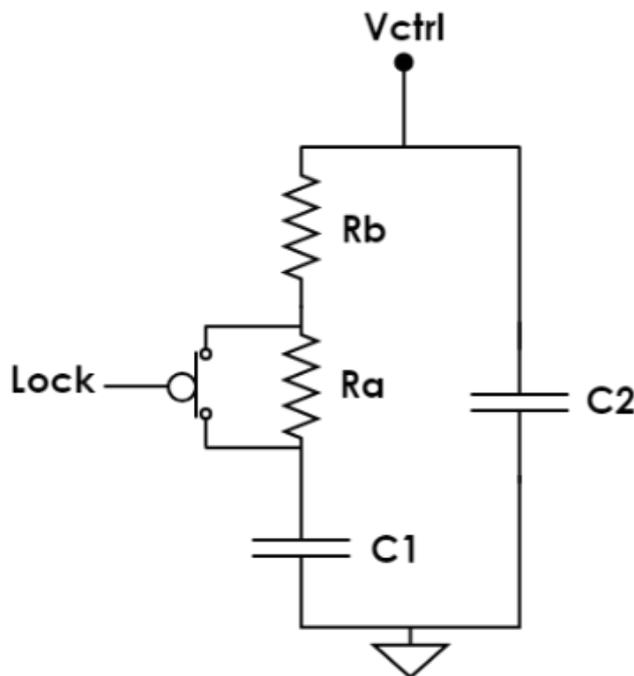


Figura 77. Realizzazione del filtro d'anello

I parametri scelti per C_1 e C_2 sono gli stessi riportati nelle Tabelle 15 e 16. Le resistenze sono state scelte concordemente ai dimensionamenti riportati in precedenza:

$$R_b = \frac{2}{10} * 8.28 \text{ M}\Omega = 1.656 \text{ M}\Omega \text{ e } R_a = \frac{8}{10} * 8.28 \text{ M}\Omega = 6.624 \text{ M}\Omega$$

In Figura 78 è mostrato l'andamento nel tempo di V_{ctrl} , è possibile osservare come, rispetto alla soluzione precedente, il ripple della V_{ctrl} risulti essere sensibilmente ridotto.

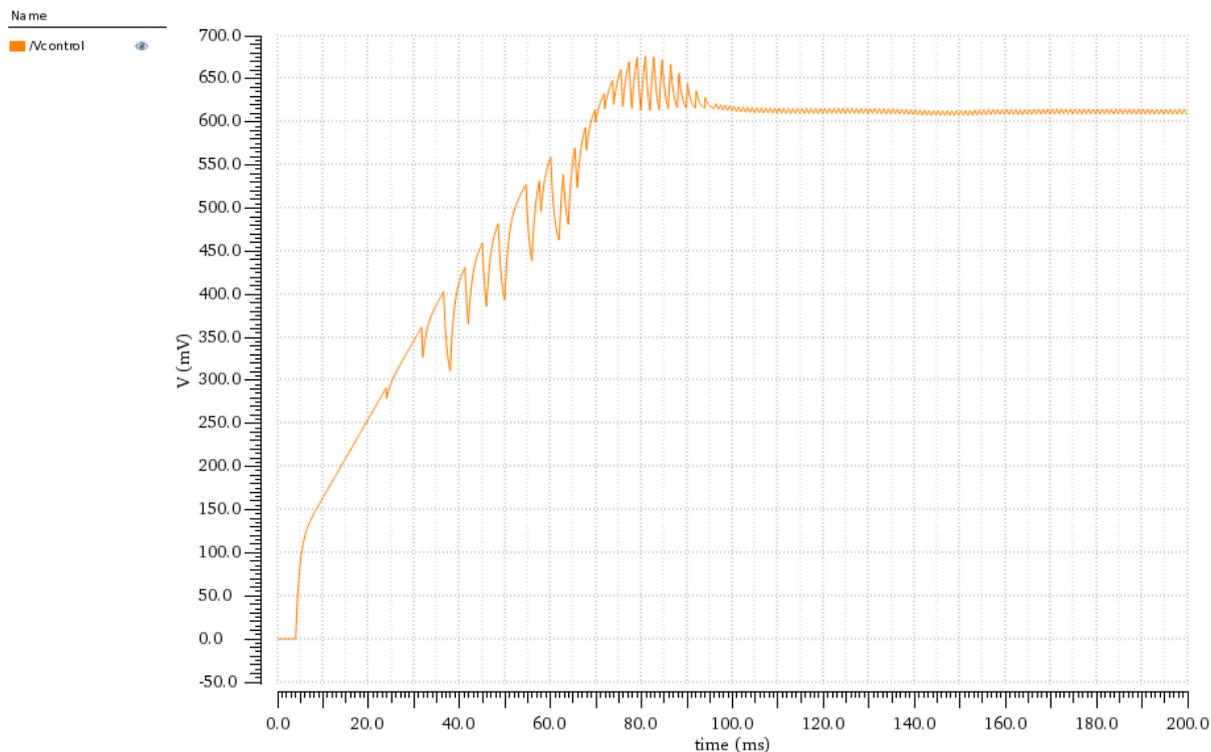


Figura 78. Andamento di V_{ctrl}

I risultati delle simulazioni hanno permesso di constatare che in questo caso il tempo di aggancio del sistema risulti essere pari a 100 msec, l'errore di fase è dimezzato rispetto alla soluzione precedente. Esso risulta essere 0.05 msec anziché 0.1 msec. Nella soluzione precedente la commutazione di Lock avveniva 20 msec dopo l'attivazione del PLL. In riferimento alla soluzione precedente, dopo l'aggancio dell'anello di primo aggancio è necessario attendere altri 20 msec per garantire l'aggancio dell'anello di clock recovery (ciò è dovuto all'elevato ripple di V_{ctrl} e quindi ai parametri scelti per il dimensionamento del PLL). Nel PLL a due anelli di aggancio dimensionato con i parametri delle Tabelle 15 e 16 non è necessario attendere un ulteriore intervallo di tempo a seguito dell'aggancio dell'anello di primo aggancio. Gli svantaggi di quest'ultima soluzione sono due: tempo di aggancio e corrente erogata dall'anello di primo aggancio elevati (100 msec vs. 40 msec e 75 nA vs. 12 nA). Sono state effettuate delle simulazioni per verificare il corretto funzionamento del sistema nel caso in cui all'ingresso del PLL sia fornito un preambolo della durata di 100 msec seguito da una sequenza random di bit. Il sistema funziona correttamente anche nel caso in cui vengano considerate le correnti di perdita associate alla pompa di carica.

Conclusioni

L'obiettivo di questo lavoro di tesi consiste nel progetto di un PLL a bassissimo consumo per il clock recovery dei dati ricevuti da una Wake-Up Radio "short-range" (ARCES-STMicroelectronics Wake-Up Radio). Tale sistema permette di allineare in fase e in frequenza il segnale di clock generato dallo stesso PLL con i dati ricevuti dalla Wake-Up Radio. Poiché implica tempi di aggancio e consumo di potenza non trascurabili questa soluzione si presta in modo particolare quando è richiesta la trasmissione di una lunga sequenza di bit.

Nel Capitolo I di questo lavoro di tesi è stata presentata l'architettura di una Wake-Up Radio e sono state illustrate le criticità di tali sistemi (sensibilità e consumo di potenza).

Nel Capitolo II sono state presentate la teoria alla base del funzionamento dei PLL e le architetture utilizzate per il clock recovery. Inoltre, è mostrata una possibile strategia di dimensionamento per PLL del terzo ordine a pompa di carica. Quest'ultimo è stato l'oggetto di questo lavoro di tesi poiché evita l'utilizzo di un filtro attivo basato su amplificatore operazionale che implicherebbe maggiori consumi e una maggiore occupazione di area.

Nel Capitolo III sono state presentate diverse architetture di PLL. In particolare:

- la prima architettura presentata è l'implementazione in Verilog-A di un CP-PLL del terzo ordine.
- È stata presentata l'implementazione a livello transistor del VCO. Esso è progettato utilizzando transistori operanti in regione di sottosoglia (per ridurre il consumo di potenza) ed è costituito da un convertitore tensione-corrente e da un oscillatore ad anello. Alla frequenza di 1 kHz (corrispondente ad un valore di V_{ctrl} di 600 mV) il VCO consuma una potenza media di 25 nW.
- Sono state inizialmente confrontate due architetture di CP-PLL del terzo ordine implementate a livello transistor (fatta eccezione per la pompa di carica, per la quale si è utilizzato un modello Verilog-A). La prima architettura utilizza un phase detector Triwave, mentre la seconda un phase detector Triwave modificato. I risultati delle simulazioni hanno dimostrato che, in entrambi i casi, l'intervallo di tempo necessario per garantire l'aggancio (in fase e in frequenza) del segnale di clock con il dato ricevuto dalla WUR risulta essere troppo elevato (centinaia di colpi di clock). L'elevata durata del tempo di aggancio è attribuibile al lungo transitorio che porta V_{ctrl} a convergere da un valore iniziale al valore corrispondente alla condizione di aggancio.
- Da queste considerazioni si è scelto di implementare un'architettura di PLL nella quale risulta possibile ridurre il tempo di aggancio agendo sul valore iniziale della tensione ai capi del filtro d'anello. Ciò è possibile introducendo nel sistema un generatore di tensione di riferimento (V_{REF}). In questo sistema, inizialmente la pompa di carica è disabilitata (non eroga corrente verso il loop filter) e il VCO oscilla alla frequenza corrispondente al valore imposto dalla V_{REF} . Successivamente viene abilitata la pompa di carica e disconnesso il generatore di tensione dal filtro d'anello. Nel caso in cui il valore iniziale di V_{ctrl} risulti essere pari a 600 mV, il tempo di aggancio dedotto dalle simulazioni è di 40 msec, esso risulta essere nettamente inferiore rispetto a quello delle soluzioni precedentemente analizzate. Il sistema è in grado di campionare correttamente lunghe sequenze di bit (>200 bit) con un consumo di potenza confrontabile con quello delle precedenti soluzioni. La criticità di questa architettura è costituita dalle variazioni dei parametri di processo, della temperatura e della tensione di alimentazione. Inoltre, al di sotto di 400 mV e sopra 800 mV, il sistema non risulta funzionare correttamente.
- Per ridurre la sensibilità del PLL da tali variazioni si è scelto di implementare una architettura costituita da due anelli di aggancio (primo aggancio e clock recovery). Ciò evita l'utilizzo di un generatore di tensione di riferimento, a scapito però di un consumo di corrente maggiore rispetto a quello delle precedenti soluzioni. Tale soluzione utilizza uno schema con loop filter e VCO condivisi tra i due anelli. L'integrazione nel sistema di un lock detector permette di disabilitare l'anello di primo

aggancio non appena il clock generato risulta essere agganciato in fase e in frequenza con il preambolo ricevuto dalla Wake-Up Radio. Il sistema implica dunque un consumo di corrente maggiore rispetto a quello delle precedenti soluzioni nella sola fase iniziale di funzionamento (24 nW vs. 6 nW). In questo modo il transitorio iniziale di V_{ctrl} risulta essere accelerato e si ha un consumo di corrente maggiore solamente durante la fase di preambolo. Anche in questo caso il sistema risulta essere in grado di campionare lunghe sequenze di bit.

Bibliografia

- [1] P. P. Mercier, A. P. Chandrakasan, *Ultra-Low-Power Short-Range Radios*, Springer, 2015.
- [2] Dialog Semiconductor, DA14580 Low Power Bluetooth Smart SoC, DA14580 datasheet, 2014.
- [3] N.M. Pletcher et al., A 52 uW Wake-Up receiver with -72 dBm sensitivity using an uncertain-IF architecture, JSSC, 2009.
- [4] J. Choi et al., An interference-aware 5.8 GHz wake-up radio for ETCS, ISSCC, 2012.
- [5] S. Oh et al., A 116 nW multi-band wake-up receiver with 31-bit correlator and interference rejection. CICC, 2013.
- [6] P. Wang et al., A near-Zero-Power Wake-Up Receiver Achieving -69 dBm Sensitivity, JSSC, 2018.
- [7] A. Elgani et al., Nanowatt Wake-Up Radios: Discrete Components and Integrated Architecture, ICECS, 2018
- [8] A. Antolini, Studio e realizzazione di circuiti per la sincronizzazione di Wake-Up Radio, 2019
- [9] B. Razavi, Design of Monolithic Phase-Locked Loops and Clock Recovery Circuits-A Tutorial, IEEE, 1996
- [10] T.H. Lee, The Design of CMOS Radio-Frequency Integrated Circuits, Cambridge University Press, 1998
- [11] F.M. Gardner, Charge Pump Phase Lock Loops, IEEE Transactions of Communications, 1980
- [12] H.R. Rategh, T.H. Lee, Multi-GHz Frequency Synthesis and Division, Kluwer Academic Publishers, 2001
- [13] A. Rajwardan, Design and Simulation of a Charge Pump Phase Locked Loop in 65 nm CMOS Technology, 2016
- [14] M. Barbaro, VerilogA-tutorial, 2016