

ALMA MATER STUDIORUM - UNIVERSITÀ DI BOLOGNA

SCUOLA DI INGEGNERIA E ARCHITETTURA

DIPARTIMENTO DI INGEGNERIA ELETTRONICA

CORSO DI LAUREA MAGISTRALE IN INGEGNERIA ELETTRONICA

TESI DI LAUREA

in

Sistemi elettronici ad alta affidabilità

Analisi degli Effetti di Guasti Transitori di Memorie Resistive

CANDIDATO
Giuseppe Pacifico

RELATORE:
Chiar.mo Prof. Ing. Cecilia Metra

CORRELATORE:
Dott. Ing. Martin Eugenio Omaña

Anno Accademico 2017/2018

Sessione II

Ai miei genitori

Indice

Elenco delle figure	iii
Elenco delle tabelle	iv
1 Introduzione	1
1.1 Motivazioni	1
1.2 Lavoro svolto	5
2 Concetti preliminari	6
2.1 Definizione del memristor	6
2.2 Modello elettrico	8
2.3 Architettura della ReRAM	12
2.4 Guasti transistori nei circuiti.....	15
3 Analisi effettuate	18
3.1 Array crossbar ReRAM 128X128	18
3.2 Memristor e sense amplifier considerati	20
3.3 Driver e selettori considerati	23
3.4 Obiettivi delle simulazioni	26
4 Risultati ottenuti	27
4.1 Simulazioni di caso fault-free	27

4.2 Simulazioni dei casi faulty	31
4.3 Caso del driver a zero anni di vita	32
4.4 Caso del driver ad un anno di vita	36
4.5 Caso del driver a tre anni di vita	37
4.6 Caso del driver a sei anni di vita.....	38
5 Conclusioni	39
Bibliografia	40

Elenco delle figure

2.1	Quattro elementi passivi fondamentali	6
2.2	Livelli logici e range di memristance	7
2.3	(a) Modello del memristor di HP (b) Circuito equivalente	8
2.4	(a) Caratteristica $V-I$ (b) V ed I in funzione del tempo	11
2.5	Dispositivo memristor nell'incrocio tra barre dell'array	13
2.6	Struttura crossbar della ReRAM	14
3.1	Operazione di scrittura di "1" sulle prime 4 celle della WL1	17
3.2	Sense amplifier	21
3.3	Transfer gate utilizzati per pilotare WL e BL	23
4.1	Simulazione fault-free di scrittura/lettura su 4 celle della WL1	26
4.2	Simulazione di scrittura/lettura delle prime 4 celle nella WL1	29
4.3	Particella energetica che colpisce il driver della WL1	30
4.4	Simulazione con particella con $Q_{crit} = 7,34mC$	31
4.5	Simulazione con particella con $Q_{crit} = 12,01mC$	32
4.6	Simulazione con particella con $Q_{crit} = 18,13mC$	33

Elenco delle tabelle

3.1 Parametri di simulazione per l'array crossbar ReRAM	19
3.2 Parametri del modello di memristor considerato	20
4.1 Driver senza aging colpito da particelle con vari valori di Q_{crit}	34
4.2 Driver con 1 anno d'aging colpito da particelle con vari valori di Q_{crit}	35
4.3 Driver con 3 anni d'aging colpito da particelle con vari valori di Q_{crit}	36
4.4 Driver con 6 anni d'aging colpito da particelle con vari valori di Q_{crit}	37

Capitolo 1

Introduzione

1.1 Motivazioni

Il continuo avanzare della digitalizzazione, induce un aumento di dati e di conseguenza, un crescente bisogno di supporti di memorizzazione a capacità sempre maggiore e in grado di fornire prestazioni sempre migliori.

Questo fenomeno sta incrementando sempre più la ricerca mirata allo sviluppo di architetture innovative di memoria, basate su tecnologie emergenti [1].

Tra le memorie in fase di sperimentazione, occupano un posto privilegiato le ReRAM (“Resistive RAM”), a cui gli studiosi stanno prestando particolare attenzione grazie alle loro interessanti caratteristiche. I dispositivi di memoria a commutazione resistiva sono memorie non volatili alternative (NVMs in fase di sviluppo), che possono offrire ottime prestazioni tra cui:

- basso costo in termini di occupazione d’area;
- elevata densità;
- notevole livello di integrazione;
- costi ridotti.

Il meccanismo di switching della ReRAM si basa principalmente sulla variazione della resistenza interna, che passa da un valore alto, ad uno basso, e viceversa.

Grazie alla non linearità ed all’estrema scalabilità, le ReRAM

possono essere introdotte ed utilizzate all'interno di crossbar ad alta densità [3].

La semplice cella di memoria resistiva è costituita dalla configurazione 1S1R (un resistore ed un selettore collegati in serie) :

- *elemento di memorizzazione*: è l'elemento resistivo la cui resistenza può variare da un valore alto ($\approx G\Omega$) ad un valore basso ($\approx k\Omega$);
- *selettore*: implementato mediante un dispositivo a due terminali (diodo), o mediante un dispositivo a tre terminali (transistor), permette di accedere alla cella di memoria per effettuare operazioni di lettura o scrittura [2].

Un problema d'interesse comune è quello relativo agli errori transitori che limitano il funzionamento dei circuiti elettronici.

Il continuo scaling elettronico conseguentemente aumenta la suscettibilità a questo tipo di errori. I soft error possono colpire le celle di memoria sia durante la loro selezione (transitorio di scrittura/lettura), che durante un periodo di inattività. In ogni caso, minacciano l'integrità e l'affidabilità dei dati presenti nella struttura. I guasti transitori compaiono senza preavviso e sono causati da particelle energetiche (provenienti da raggi cosmici) di diversa tipologia, tra cui le particelle alfa (emessa dal decadimento radioattivo di isotopi instabili).

Al momento dell'impatto con il silicio, le particelle perdono energia per unità di lunghezza percorsa (LET – Linear Energy

Transfer), dando origine ad elevate quantità di coppie elettrone-lacuna; conseguentemente si genera un glitch di corrente che può cambiare il dato della singola cella o di diverse celle. La parte di circuito che pilota la memoria (tecnologia CMOS per ogni wordline e bitline) è quella in cui l'energia rilasciata dalla particella può generare la carica critica nel nodo del drain colpito, attivando senza preavviso la linea collegata. Inoltre, l'elettronica scalata sta diventando in modo aggressivo sempre più incline all'invecchiamento. In particolare, l'instabilità della temperatura di polarizzazione negativa (NBTI), causata sia dalla generazione di stati all'interfaccia, che dalla carica intrappolata, è riconosciuto come il meccanismo di guasto parametrico primario nei moderni circuiti integrati. È stato dimostrato che, a causa di NBTI, la tensione di soglia assoluta dei transistor pMOS può aumentare di oltre 50mV in dieci anni, con conseguente degrado delle prestazioni del circuito superiore al 20%. La degradazione può portare il segnale che alimenta un flip-flop a violare i suoi tempi di set-up e hold, in modo tale da campionare un valore errato, dando così origine ad un errore logico. Di conseguenza, negli ultimi anni, sono stati compiuti sforzi significativi per modellare il fenomeno dell'NBTI, in funzione della vita del circuito. Inoltre, sono stati proposti diversi approcci per limitare gli effetti di NBTI, tutti basati sull'idea di integrare sul circuito opportuni sensori di invecchiamento, in grado di rilevare il degrado delle prestazioni indotto da NBTI, per poi consentire la

regolazione del periodo di clock del sistema, prima che il degrado delle prestazioni superi il margine temporale, portando al campionamento di dati non corretti [4].

La criticità d'esposizione ad errori soft aumenta con l'aging dei driver, infatti come dimostrato in [5], i circuiti diventano più suscettibili ai soft error. Nonostante le performance ed i vantaggi delle memorie resistive, nasce il bisogno di quantificare la loro affidabilità e robustezza anche per diversi anni di vita.

Viene analizzato come una certa quantità di carica dannosa possa aumentare il suo effetto con l'aging della circuiteria periferica CMOS che pilota la memoria. È proprio la parte di circuiteria composta dai driver, quella più esposta allo sviluppo dei soft error, poiché in essa viene raccolta dal campo elettrico l'energia della particella sottoforma di carica elettrica.

L'analisi prosegue simulando il numero di celle che possono cambiare stato a causa di un soft error che genera una data carica critica, che come vedremo diminuisce con l'aging del dispositivo.

1.2 Lavoro svolto

Nel seguente lavoro di tesi, viene eseguita un'analisi in cui è indicato il numero di celle che cambiano stato (per un array di 128x128), in relazione all'energia della particella che colpisce il circuito (analizzato da [6] per diverse correnti in un array 1024x1024), con l'aggiunta dell'effetto del meccanismo di invecchiamento della circuiteria periferica che aumenta maggiormente la vulnerabilità a transient fault.

In queste condizioni, viene valutato il numero di celle in cui avviene l'upset, generato dalla corrente dovuta alla particella incidente.

L'analisi si focalizza dunque su come i soft error possano svilupparsi, per diverse correnti realistiche (calcolate fittando i dati da [6]) e con l'aggravante del fattore dell'aging dei driver.

L'obiettivo è quello di quantificare il numero di celle che cambiano stato causato a causa della comparsa di transient fault, evidenziandone l'aumento negli anni di utilizzo del dispositivo. Nell'ultimo capitolo sono forniti risultati significativi riguardanti il numero di upset delle celle (fino a 53), causato da una particella che colpisce il driver di una WL. È stato messo in evidenza il contributo significativo dell'aging del driver colpito, che risulta proporzionale all'aumento del numero di upset delle celle.

Capitolo 2

Concetti preliminari

2.1 Definizione del memristor

Il professor Leon Ong Chua, dell'università della California, utilizzando le tre relazioni elettriche fondamentali :

- 1) Resistore $\rightarrow dv = Rdi$
- 2) Condensatore $\rightarrow dq = Cdv$
- 3) Induttore $\rightarrow d\phi = Ldi$

ipotizzò la relazione di un quarto bipolo passivo che denominò “*Memristor*” (“resistore di memoria”). Data la difficoltà di implementazione, è rimasto un componente teorico per quasi quarant'anni; le relazioni su citate, sono mostrate in figura :

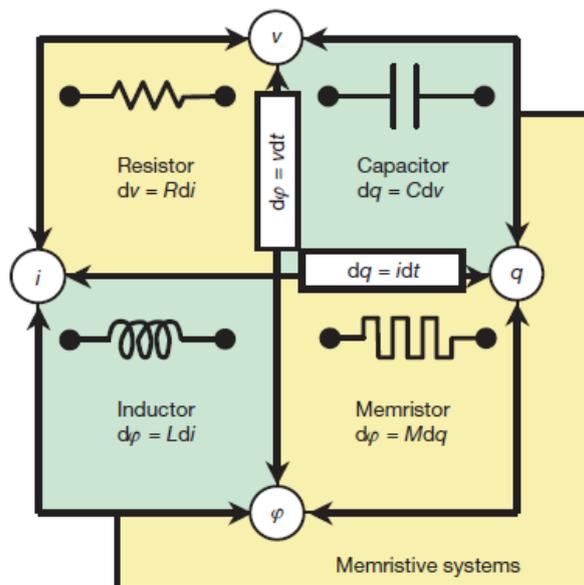


Figura 2.1: I quattro elementi passivi fondamentali [7]

Il memristor è un bipolo passivo in cui una certa corrente non stazionaria (variazione della carica elettrica), fornisce una tensione (variazione di flusso magnetico) che si colloca ai capi del componente. Si definisce “*Memristance*” il rapporto tra :

$$M(q) = \frac{d\phi \rightarrow \text{variazione del flusso}}{dq \rightarrow \text{variazione della carica}} \quad (2.1)$$

la funzione di memristance descrive il tasso di dipendenza dalla carica del memristor. Si può facilmente mostrare come l’elemento di memoria può essere utilizzato nell’ambito digitale :

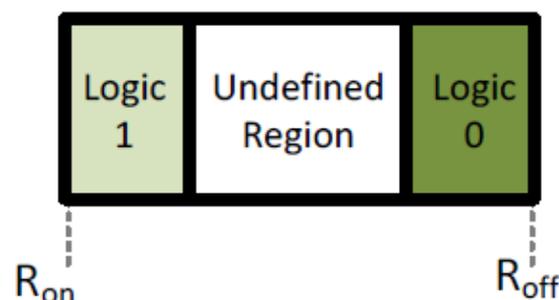


Figura 2.2: Livelli logici e range di memristance

Caratteristica fondamentale del memristor è la proprietà di “ricordare” lo stato elettronico assunto e di descriverlo attraverso segnali analogici [8]. Un circuito composto da quest’elemento permetterebbe la produzione di elaboratori ad accensione istantanea, senza alcun bisogno di caricare ad ogni avvio il sistema operativo (memoria non-volatile che conserva l’informazione senza alcuna corrente elettrica).

2.2 Modello elettrico

Un gruppo di ricercatori HP nel 2008 ha elaborato il prototipo del memristor con il suo relativo modello elettrico.

Il memristor dell'HP è realizzato con un film sottile di ossido di titanio in cui vengono iniettati (con differenti velocità di drogaggio) degli atomi di ossigeno, con il risultato di strati drogati e non drogati, com'è mostrato nella figura 1.2(a).

Lo strato drogato (con spessore w) corrisponde a una bassa memristance (R_{ON}), mentre lo strato senza drogaggio (con spessore $D - w$) corrisponde ad un'alta memristance (R_{OFF}), dove D è lo spessore totale del memristor [9].

Nel momento in cui una tensione positiva viene applicata al terminale positivo del memristor (terminale sinistro in Fig. 1.2 (a)), mentre si mette a massa il terminale negativo (terminale destro della medesima figura), i droganti si spostano verso lo strato non drogato riducendo così la memristance. Quando invece la polarità della tensione di alimentazione viene invertita, i droganti si spostano verso lo strato drogato aumentando la memristance. Dopo queste operazioni, quando viene rimossa l'alimentazione, i droganti rimangono nella loro ultima posizione (impostando la memristance su un stato specifico).

La figura 1.2(b) mostra il circuito elettrico equivalente di un memristor modellato come un resistore variabile accoppiato, in cui ciascun resistore è congiunto con il rispettivo spessore dello strato drogato e non drogato.

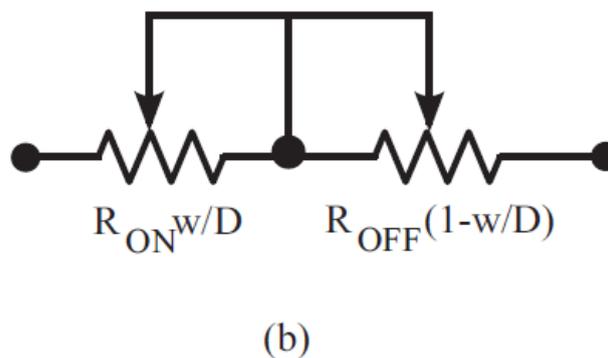
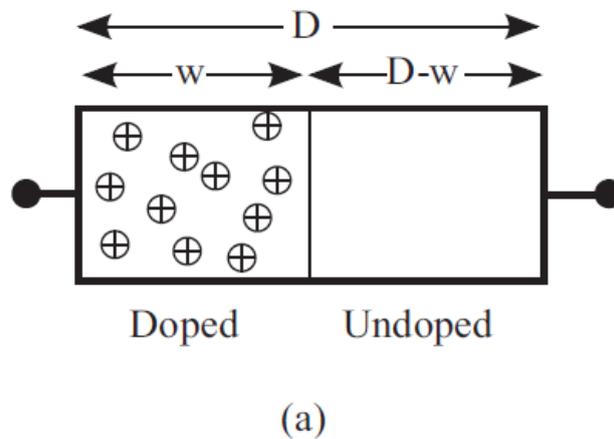


Figura 2.3: (a) Modello del memristor di HP
(b) circuito equivalente [9]

La corrente che si muove attraverso un memristor è proporzionale al flusso del campo magnetico che fluisce attraverso il dispositivo. A seconda delle sorgenti di polarizzazione utilizzate (sia di corrente che di tensione), il memristor può essere controllato rispettivamente dalla carica oppure dal flusso.

Viene di solito considerato il memristor controllato dal flusso,

poiché è tipicamente pilotato da una tensione.

La relazione *tensione-corrente* del memristor di HP labs è :

$$v(t) = i(t) \left(R_{ON} \frac{w(t)}{D} + R_{OFF} \left(1 - \frac{w(t)}{D} \right) \right) \quad (2.2)$$

dove $w(t)$ è la larghezza della regione drogata, indicata anche come stato interno del memristor ed è espressa come :

$$\frac{w(t)}{D} = 1 - \sqrt{1 - \frac{2\mu_v \phi(t)}{\beta D^2}} \quad (2.3)$$

dove $\phi(t) = \int_0^T V(t) dt$ è il flusso iniettato per il periodo T, μ_v è la mobilità media del drogante e $\beta = \frac{R_{OFF}}{R_{ON}}$ [9][10].

La figura 1.4 mostra la relazione $V-I$ e le stesse grandezze in funzione del tempo; si può notare che la caratteristica al variare della tensione applicata descrive un ciclo d'isteresi:

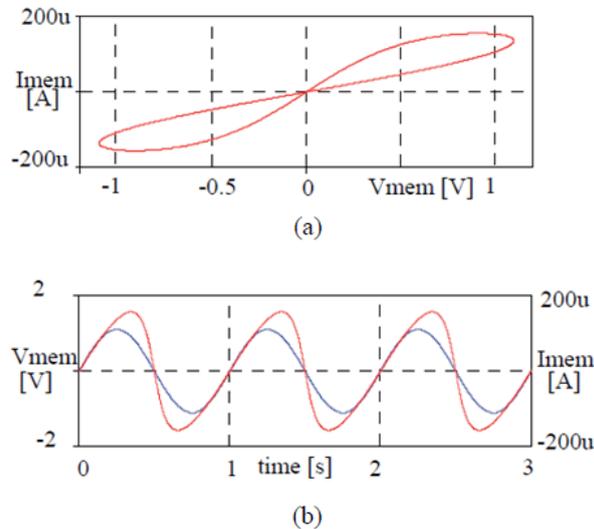


Figura 2.4: (a) Caratteristica V - I (b) V ed I in funzione del tempo [11]

Nella prima parte del grafico (figura 2.4 (a)) è possibile notare che per un medesimo valore di tensione si possono ottenere due distinti valori di corrente, con la conseguenza di avere una resistenza differente del componente.

Ipotizzando che la variazione di corrente supera un valore prestabilito, è possibile classificare due stati “ I ” e “ O ” (utilizzati per la memorizzazione di un bit) associandoli ai valori di resistenza del memristor.

2.3 Architettura della ReRAM

La tecnologia di memoria basata sul dispositivo memristor, nota anche come resistive ReRAM (Resistive Random Access Memory), è una delle tecnologie di memoria emergenti, potenzialmente in grado di sostituire le memorie attuali (DRAM, flash e SRAM) che memorizzano i dati come carica; i ricercatori si stanno concentrando sulla memorizzazione di bit come resistenza, implementando memorie non volatili.

Principalmente la categoria più studiata di RAM resistiva usa una tensione per cambiare in modo reversibile la resistenza. ReRAM è ancora ad un livello di maturità precoce, ma sembra essere più promettente anche delle PCM (phase-change memory).

Non tutti le RAM resistive sono simili, ogni tipo utilizza un materiale con proprietà diverse (tempi di accesso, durata di conservazione dei dati e consumo energetico). Alcuni tipi presentano tempi di lettura e scrittura molto rapidi, simile alla DRAM, mentre altri mostrano ottime proprietà di conservazione dei dati (fattore essenziale per NVMs).

Simili alle memorie flash, le celle di memoria basate su memristor possono essere utilizzate per memorizzare un'informazione a bit singolo o multiplo (elemento di memoria a più livelli), adoperato come elemento "bistabile" [12]. La ReRAM opera più velocemente di una memoria a cambiamento di fase (PCRAM) ed ha una struttura più semplice di una memoria magnetica (MRAM). Un campo di applicazione accattivante per i memristori è

l'implementazione di memorie non volatili ad alta densità, solitamente in una configurazione crossbar. In termini di densità, le crossbar basate su memristor prodotte da HP producono una densità di oltre 400 Gbit/cm² rispetto alle memorie flash con densità di 32 Gbit/cm² [13].

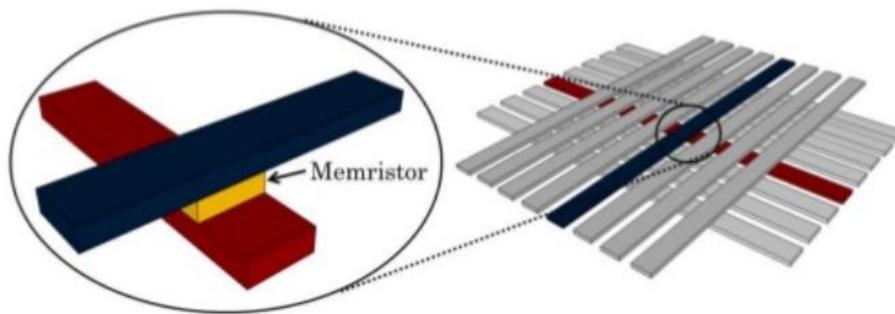


Figura 2.5: dispositivo memristor nell'intersezione tra barre dell'array [14]

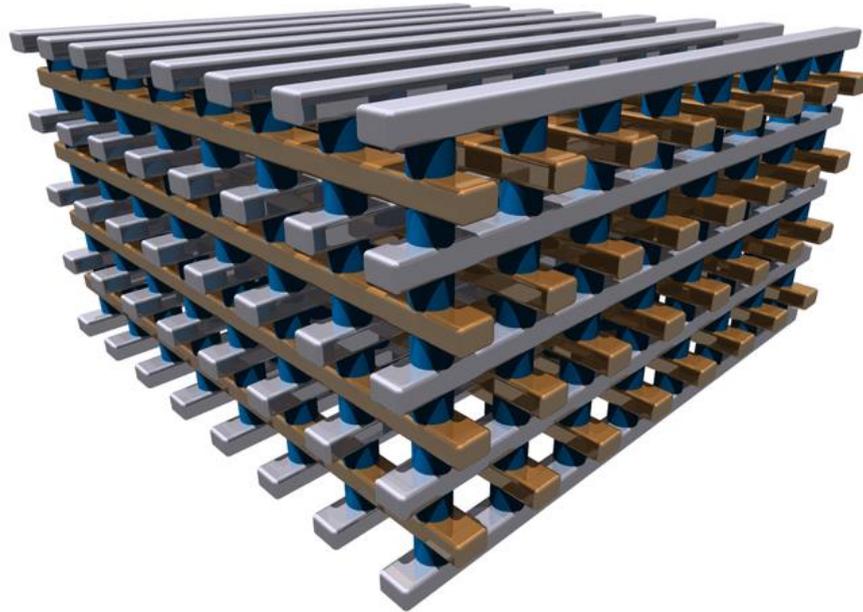


Figura 2.6: Struttura crossbar della ReRAM [15]

Vedremo nel quarto capitolo che gli array di memorie ReRAM non sono immuni ai soft error.

Visto che il paradigma funzionale non è basato sulla carica ma sulla resistenza (per memorizzare l'informazione), ciò potrebbe far pensare all'assenza d'influenza di errori provocati da particelle energetiche, ma vedremo che dall'analisi proposta in seguito che gli errori transitori possono presentarsi anche in quantità maggiore con il passare degli anni di vita della circuiteria periferica.

2.4 Guasti transitori nei circuiti

I guasti transitori (transient fault), sono un'alterazione temporanea del valore di tensione in un nodo del circuito.

L'alterazione temporanea del valore di tensione in un nodo è denominato glitch.

Se un glitch viene campionato, nasce l'errore logico : Soft error.

I soft error sono dannosi per le memorie e per circuiti utilizzati in applicazioni spaziali che vanno in contro a particelle ad elevata energia.

Con lo sviluppo della tecnologia VDSM, diminuiscono le dimensioni dei dispositivi e la capacità associata ai nodi , e diminuiscono le tensioni di alimentazione; di conseguenza aumenta la probabilità di generazione e propagazione dei transient fault nei circuiti.

L'aumento di frequenze di operazioni aumenta la probabilità che i TF si propagano, rendendo i circuiti sempre più vulnerabili ad i guasti transitori.

I raggi cosmici a contatto con l'atmosfera, rilasciano particelle energetiche, dannose per i circuiti elettronici.

A causare i glitch sono le particelle energetiche di diverso tipo; quelle dannose ai circuiti CMOS sono le particelle alfa : vengono originate nel decadimento radioattivo di isotopi instabili.

Al livello del mare, arriva solo una piccola percentuale di particelle energetiche, mentre più si va in alto e più i circuiti sono esposti

ad essere colpiti dalle particelle.

Quando la particella alfa colpisce il silicio, vengono generate elevate quantità di coppie elettrone-lacuna per interazione coulombiana.

Viene così generata la LET (trasferimento lineare di energia), energia persa dalla particella per unità di lunghezza percorsa.

Il glitch di corrente che viene a crearsi dall'energia trasferita dalla particella all'impatto col silicio, può indurre ad una carica critica.

La carica critica è l'area della curva di corrente rappresentata dal glitch, che rappresenta la carica nel nodo colpito.

Questa carica, quando colpisce il nodo del drain di un MOSFET viene chiamata critica (Q_{crit}), perché assume un valore tale da indurre una variazione di tensione al nodo attivando casualmente dispositivi.

La corrente indotta dalle particelle alfa che colpiscono i circuiti CMOS sono state modellate in [16] da un doppio impulso esponenziale di corrente, come mostrato nell'equazione (2.4):

$$I(t) = \frac{Q}{\tau_\alpha - \tau_\beta} (e^{-t/\tau_\alpha} - e^{-t/\tau_\beta}) \quad (2.4)$$

dove Q è la quantità totale di carica raccolta dal nodo interessato (dipendente dall'energia delle particelle e dalla traiettoria), τ_α rappresenta la costante temporale di raccolta della giunzione e τ_β rappresenta la costante di tempo di stabilimento della traccia

ionica. Gli errori sono dovuti alla carica raccolta che raggiunge un valore critico (Q_{crit}) abbastanza alto da provocare un errore di tensione con un'ampiezza superiore alla soglia logica del gate di uscita.

Come affermato in precedenza, NBTI causa il degrado delle prestazioni di un transistor. Ciò potrebbe causare un aumento del valore assoluto della tensione di soglia V_{th} . Questo spostamento della tensione di soglia (ΔV_{th}) è stato accuratamente modellato in [17]. Un tale modello ci consente di stimare ΔV in funzione del tempo operativo del chip o della durata del chip (Δt). Come descritto in [17], oltre dal valore del campo elettrico e temperatura di giunzione, ΔV_{th} dipende dal parametro $\alpha = t_{on} / \Delta t$, dove t_{on} è il tempo totale durante il quale il MOS considerato è sotto una condizione di stress (cioè, conduttivo). Il valore di $0 \leq \alpha \leq 1$, dove $\alpha = 0$ se il transistor considerato sempre spento, mentre $\alpha = 1$ se è sempre attivo. In particolare, per una tecnologia specifica e un insieme di condizioni ambientali costanti (come ad es. tensione di esercizio e temperatura), ΔV_{th} può essere espresso in funzione di α e Δt come segue:

$$\Delta V_{th} = b \cdot \alpha^n \cdot \Delta t^n \quad (2.5)$$

dove il parametro n è uguale a 0.16, mentre il parametro b è uguale a $3.9 \cdot 10^{-3} \text{ V} \cdot \text{s}^{-1/6}$ [17]. Pertanto, il modello in (2.5) ci consente di stimare ΔV_{th} come funzione di Δt .

Capitolo 3

Analisi effettuate

In questo capitolo si analizza l'implementazione dell'array crossbar ReRAM 128x128 composto da diversi tipi di circuiteria (memristor, sense amplifier, driver in tecnologia CMOS, selettore) con i relativi parametri utilizzati; si procede esprimendo il motivo ed il fine delle varie simulazioni proposte.

3.1 Array crossbar ReRAM 128x128

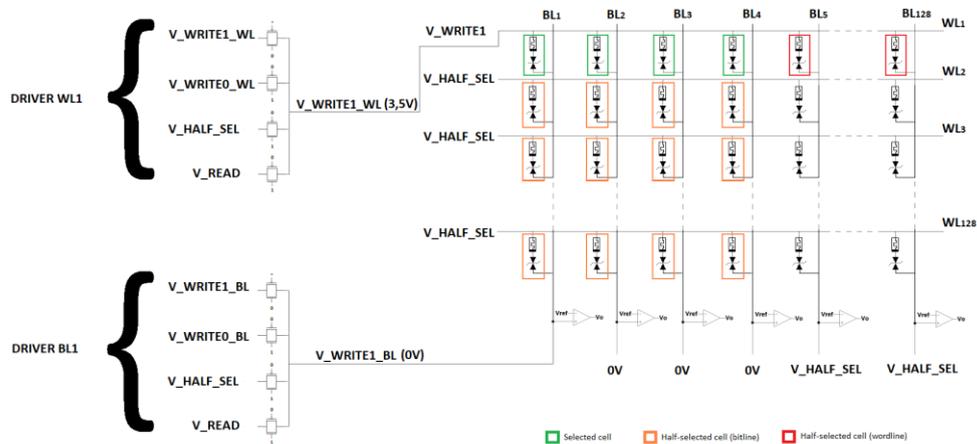


Figura 3.1: Operazione di scrittura di "1" sulle prime 4 celle della WL1

L'array mostrato in Figura 3.1, è rappresentato da coppie di linee orizzontali e verticali che si intersecano ortogonalmente tra loro. Per ogni intersezione dell'array, è presente una cella, composta da un elemento di memoria in serie ad un selettore. Per rendere più realistico il modello, viene aggiunta una resistenza di linea tra ogni cella. Nella Tabella 3.1 sono elencati i parametri utilizzati per il funzionamento dell'array di memoria analizzato.

Le linee orizzontali sono chiamate *wordlines*, mentre quelle verticali *bitlines*. Un modo per scrivere ad esempio lo stato "1" nella quattro celle evidenziate in verde in Figura 3.1, è quello di applicare V_WRITE1_WL (1,35V) al driver di ingresso della WL1 attivato dai segnali di controllo, ed attuando V_WRITE1_BL (0V) alle quattro corrispondenti bitline (BL1...BL4). Utilizzando questo metodo, si crea un percorso conduttivo tra la tensione di selezione e ground, che permette alla corrente di attraversare la cella selezionata.

Le altre celle presenti nelle linee selezionate (WL1 e BL1...BL4) sono half-selected in quanto alle corrispondenti WL/BL è applicato il potenziale di V_HALF_SEL . Tutte le altre celle sono non selezionate, cioè il valore di tensione tra wordline e bitline è lo stesso così da annullarsi. Sono evidenziate in rosso ed arancio le celle half-selected, delle rispettive della WL/BL selezionate. In Figura 3.1, le tensioni ai fronti delle WL e BL sono applicate prima ai driver che pilotano il segnale applicato alle linee (nelle sezioni successive è spiegato il funzionamento).

Parametri	valori
Tensione di scrittura cella selezionata da WL (V_WRITE1_WL)	1.35V
Tensione di scrittura cella selezionata da WL (V_WRITE0_WL)	0V
Tensione di scrittura cella selezionata da BL (V_WRITE1_BL)	0V
Tensione di scrittura cella selezionata da BL (V_WRITE0_BL)	1,35V
Tensione di lettura per la cella selezionata (V_READ)	0.8V
Tensione di half-selected (V_HALF_SEL)	0.3V
Soglia del selettore	0.7V
Resistenza di linea tra celle	1.9Ω
Tensione di riferimento del sense amplifier	3mV

Tabella 3.1 : Parametri di simulazione per l'array crossbar ReRAM

3.2 Memristor e sense amplifier considerati

L'array implementato, fa uso per ogni cella dell'elemento memristor (dispositivo passivo a due terminali in cui la resistenza è determinata dalla tensione applicata in funzione del tempo) per la memorizzazione dei dati. Si è utilizzato il modello del memristor creato dalla Knowm Inc. nel 2017 [18], che possiede caratteristiche di velocità e stabilità maggiori rispetto agli altri modelli fin ad oggi implementati. L'elemento di memoria presente

nelle celle assume due stati differenziati dalla commutazione tra alta resistenza (HRS – High resistance state) e bassa resistenza (LRS – Low resistance state). I parametri chiave del suddetto modello sono presentati nella seguente Tabella 3.1:

Parametro	Descrizione	Valore
Ron	Resistenza minima del dispositivo (stato ON)	500 Ω
Roff	Resistenza massima del dispositivo (stato OFF)	1500 Ω
Von	Tensione di soglia per lo stato ON	1,35 V
Voff	Tensione di soglia per lo stato OFF	-1,35 V
Vread	Tensione di lettura	0,8 V
T	Temperatura di lavoro ottimale	298,5 K

Tabella 3.2 : Parametri del modello di memristor della Knowm Inc. [18]

L'array crossbar ReRAM proposto, fa uso al termine di ogni bitline, di un sense amplifier (Figura 3.4) rappresentato da un semplice comparatore, che confronta la corrente della bitline convertita in tensione, con una potenziale di riferimento:

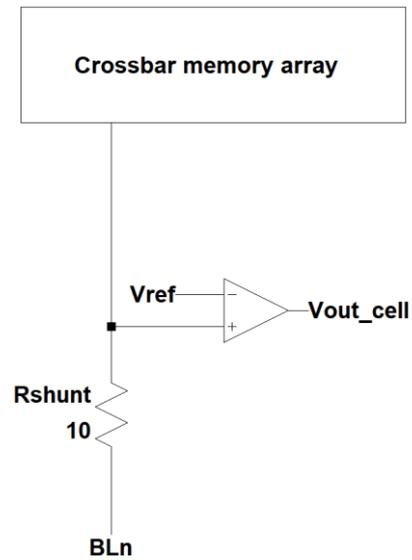


Figura 3.2 : Sense amplifier

per il modello di memristor utilizzato e di conseguenza per i suoi parametri (Tabella 3.2), si è considerata una tensione di riferimento pari a 3mV

3.3 Driver e selettore considerati

L'array in esame, presenta dispositivi di pilotaggio per ogni wordline e bitline, rappresentati da transfer gate (Figura 3.3), che risultano accesi/spenti grazie ai segnali di controllo opposti. I MOSFET che compongono i transfer gate sono implementati in tecnologia CMOS a 32nm (dimensioni minime dei transistor) che permettono un corretto funzionamento dell'array, verificato nelle successive simulazioni con i seguenti dimensionamenti:

- nMOS: L=32nm ; W=64nm
- pMOS: L=64nm; W=128nm

Si utilizzano quattro transfer gate per ogni WL/BL. Oltre i segnali di controllo (1V o 0V a seconda dei tempi del transitorio utilizzato), si possono applicare ai driver i seguenti segnali d'ingresso:

- V_WRITE1: è attivato dai segnali di controllo per la scrittura dello stato "1" ;
- V_WRITE0: è attivato dai segnali di controllo per la scrittura dello stato "0" ;
- V_READ: è attivato dai segnali di controllo per la lettura della cella;
- V_HALF_SEL: è attivato dai segnali di controllo per deselezionare;

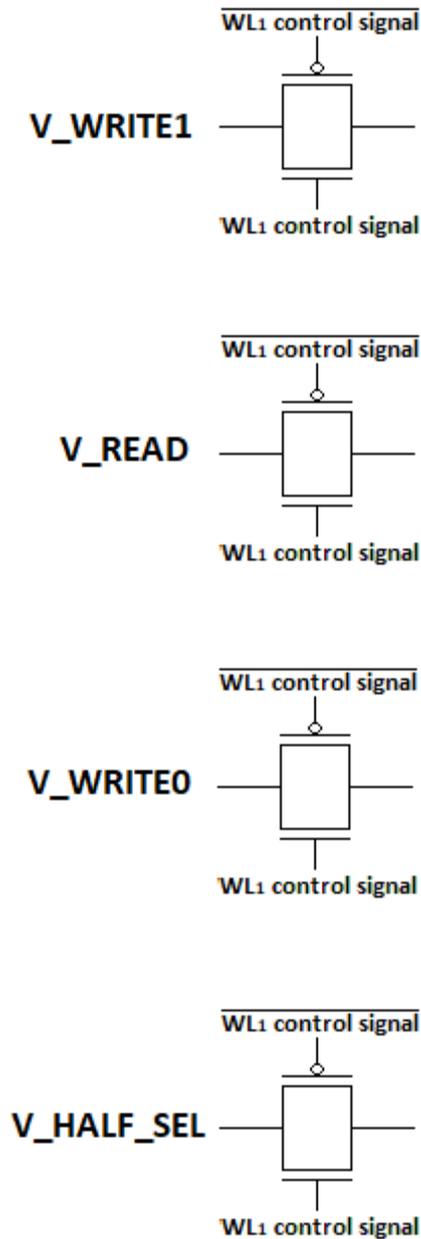


Figura 3.3 : Transfer gate utilizzati per pilotare WL e BL

Nelle simulazioni dell'array, vengono effettuate le operazioni di scrittura/lettura di memoria. La tensione applicata alla cella

selezionata deve essere necessaria a fornire la giusta quantità di corrente, per far sì che essa cambi stato. Se il potenziale applicato non raggiunge uno dei valori presenti in Tabella 3.1, il memristor presente nella cella su cui si vuole operare, rimane non selezionato; mentre se la tensione applicata è maggiore dei parametri in Tabelle 3.1 non si fa altro che incrementare la corrente di dispersione (sneak current) nelle celle non selezionate

Riguardo invece al selettore utilizzato per ogni cella dell'array crossbar, esso è rappresentato da un diodo (infatti si parla della configurazione 1S1R rappresentati dal diodo e dal memristor). Il dispositivo a diodo permette di trasferire una corrente irrilevante quando viene applicata ai suoi terminali una tensione al di sotto di 0,7V (tensione di soglia espressa in Tabella 3.1), mentre lascia scorrere una grande quantità di corrente quando la tensione applicata supera quella di soglia.

È possibile sfruttare questa proprietà per garantire una piccola corrente di perdita (sneak current) nelle celle non selezionate e una forte corrente che attraversa le celle selezionate. Bisogna ricordare che le proprietà di un selettore (es. diodo) non devono limitare le prestazioni dell'array di memoria, ma far sì che esso funzioni nel migliore dei modi. [1].

3.4 Obiettivi delle simulazioni

Nel capitolo successivo, vengono svolte delle simulazioni principalmente con e senza la presenza di soft error:

- Simulazione senza soft error :

Caso fault-free, in si sono simulate nell'array crossbar ReRAM le operazioni di scrittura/lettura effettuate in parallelo su quattro celle selezionate della WL1;

- Simulazioni con soft error :

Caso in cui una particella alfa colpisce la WL1 o la BL1 dell'array; sono presentate diverse simulazioni classificate per valori realistici di corrente (prodotti dalla particella energetica) ottenuti fittando i risultati da [6]. Sono stati utilizzati tre valori di corrente rappresentanti un caso minimo a 1,2mA, intermedio a 4,9mA e massimo pari a 9,8mA. Con le correnti ricavate, si è simulato il numero di celle in cui avviene l'upset in funzione della carica critica generata. L'analisi è stata ripetuta per uno, tre e sei anni di vita dei MOSFET presenti nella circuiteria periferica, per osservare e quantificare l'aumento di stati modificati delle celle nell'array.

Capitolo 4

Risultati ottenuti

Ogni simulazione è stata implementata con l'ausilio del software di simulazione circuitale LTSpice.

4.1 Simulazioni di caso fault-free

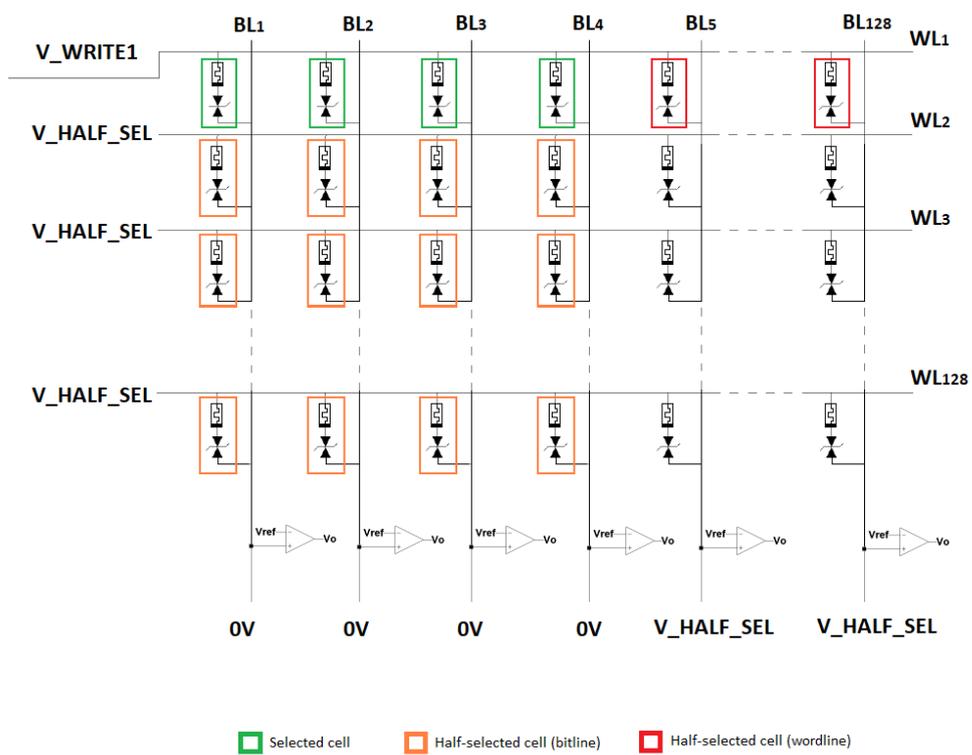


Figura 4.1: Simulazione fault-free di scrittura/lettura su 4 celle della WL

In questa simulazione effettuata sull'array crossbar ReRAM 128x128, sono state eseguite le operazioni di scrittura di "1", lettura, scrittura di "0" ed un'ultima lettura. Le operazioni sono state applicate in parallelo alle prime quattro celle della WL1 (Figura 4.1) nei seguenti intervalli di tempo :

- Δt_1 che va da 0,1ms ad 1ms;
- Δt_2 che va da 2,4001ms a 2,6ms;
- Δt_3 che va da 3,5001ms a 4,6ms;
- Δt_4 che va da 4,6001ms a 6,1ms.

come viene in seguito indicato :

- in Δt_1 : viene applicata la tensione V_WRITE1 (1,35V) alla WL1 e 0V alle prime quattro bitline (BL1,BL2,BL3 e BL4), il tutto per una durata di 0.9ms; In questo modo dalla WL1 si è scritto il valore logico alto alle quattro celle contemporaneamente selezionate;
- tra Δt_1 e Δt_2 : sia la WL1 che le quattro bitline considerate, sono portate al potenziale di V_HALF_SEL di selezione;

- in Δt_2 : viene applicata la tensione V_{READ} (0,8V) alla WL1 e 0v alle quattro bitline considerate, eseguendo una lettura in parallelo delle quattro celle;
- tra Δt_2 e Δt_3 : le linee in esame vengono riportate al potenziale di selezione $V_{\text{HALF_SEL}}$;
- in Δt_3 : viene applicata la tensione V_{WRITE} (1,35V) alle quattro bitline e 0V alla WL1, in modo che venga scritto in parallelo il valore logico "0" sulle quattro celle selezionate;
- in Δt_4 : vengono eseguite le stesse operazioni fatte in Δt_2 , leggendo ancora in parallelo le quattro celle selezionate;

Le operazioni elencate in sequenza, appartenenti al transitorio di simulazione dell'array crossbar di durata 7,5ms, sono mostrate nella seguente Figura 4.2:

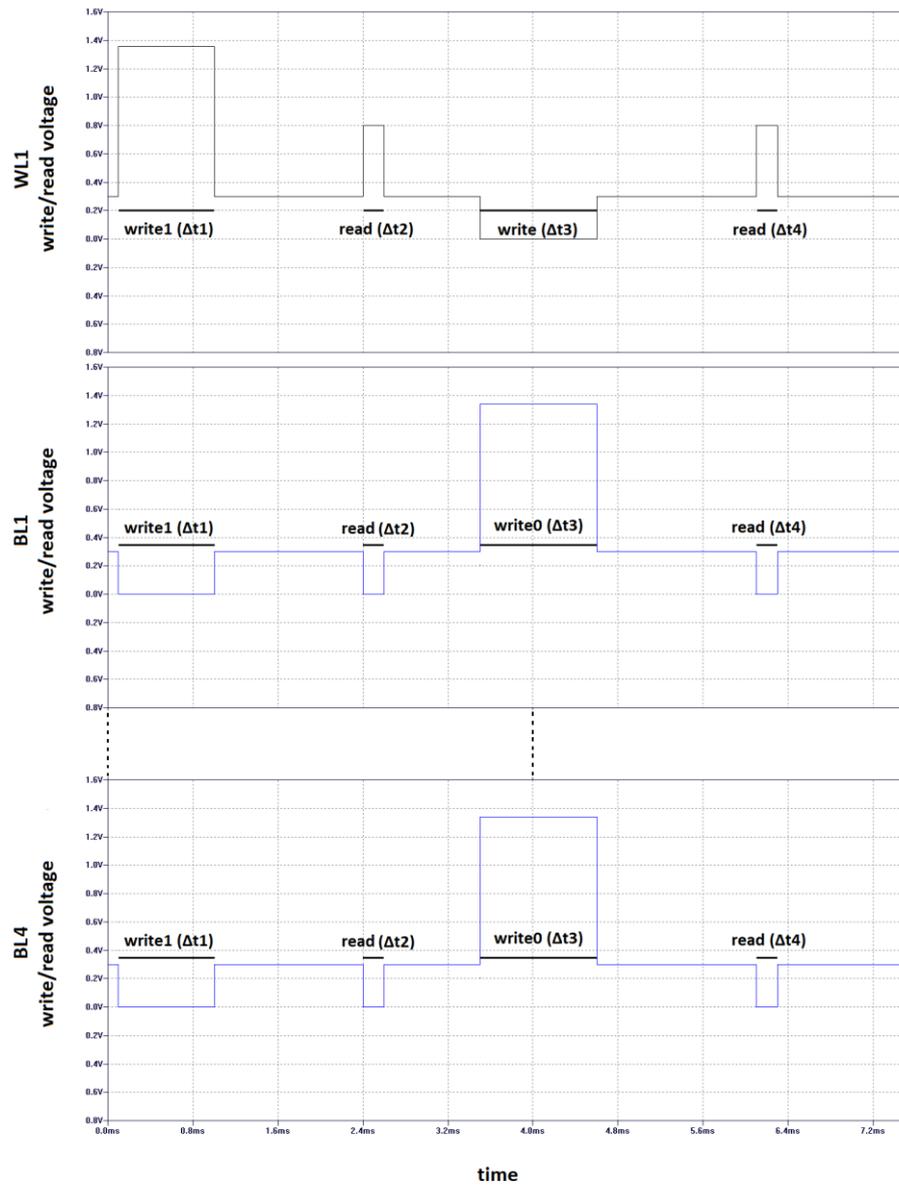


Figura 4.2: Simulazione di scrittura/lettura delle prime 4 celle nella WL1

4.2 Simulazioni dei casi faulty

Nelle seguenti simulazioni effettuate, si è tenuto conto che l'array è stato colpito dalla particella energetica al driver della WL1 (o BL1 simmetrica) riportando come vedremo, cambi di stato ad un numero variabile di celle (a partire dalle prime celle della WL1 colpita). Il numero di upset è stato simulato nel caso peggiore, ovvero tutte le celle colpite da errore, assumono una resistenza tale da permettere al transient fault di cambiarne lo stato.

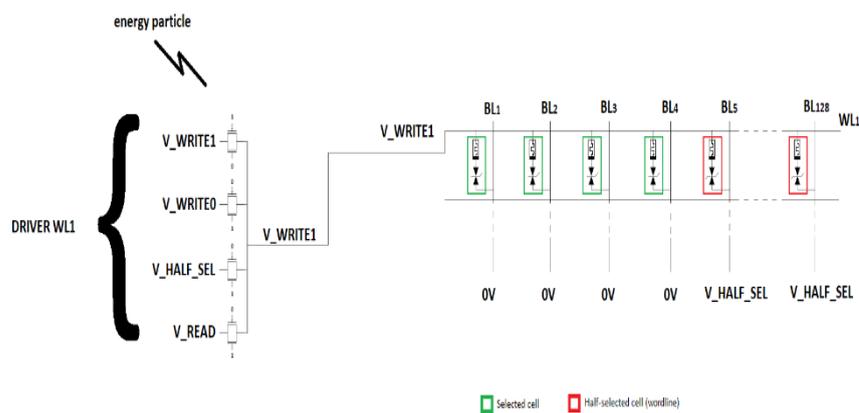


Figura 4.3: Particella energetica che colpisce il driver della WL1

4.3 Caso del driver a zero anni di vita

In questa simulazione non viene adottato l'effetto dell'aging sui MOSFET del driver; si è utilizzata una corrente di 1,2mA generata dalla particella energetica che colpisce la WL1, creando una carica critica di $7,34 \text{ mC}$

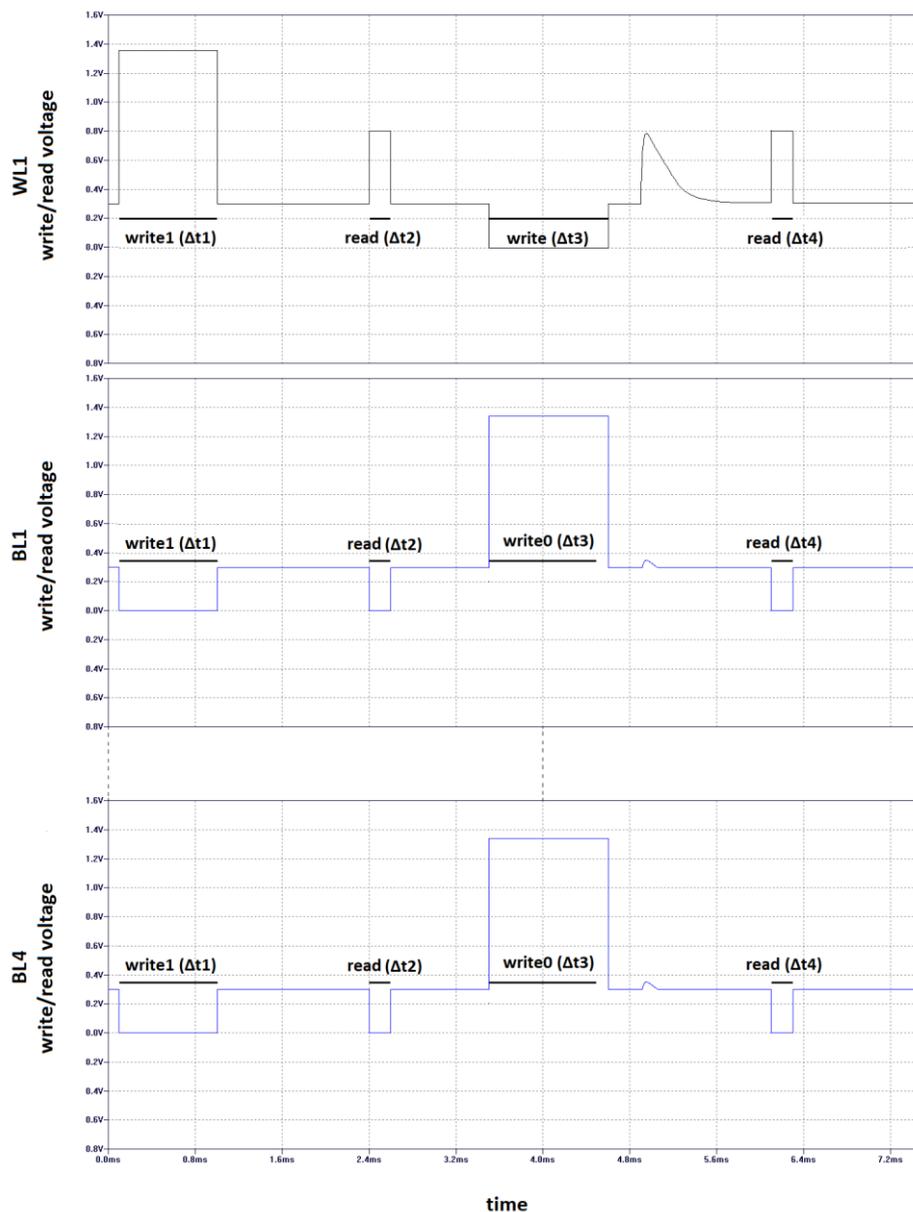


Figura 4.4: Simulazione con particella con $Q_{crit} = 7,34 \text{ mC}$

La Figura 4.4 mette in evidenza la WL1 colpita a 4.9ms da una

particella energetica, tra la scrittura dello stato “0” e successiva lettura. Si nota il glitch di tensione di 0,8V circa provocato dall’impatto sulla WL1 ed un conseguente glitch di circa 0,25V sulle bitline collegate. Se la particella che colpisce il driver della WL1 crea una corrente intermedia pari a 4,9ms con $Q_{crit}=12,01\text{mC}$:

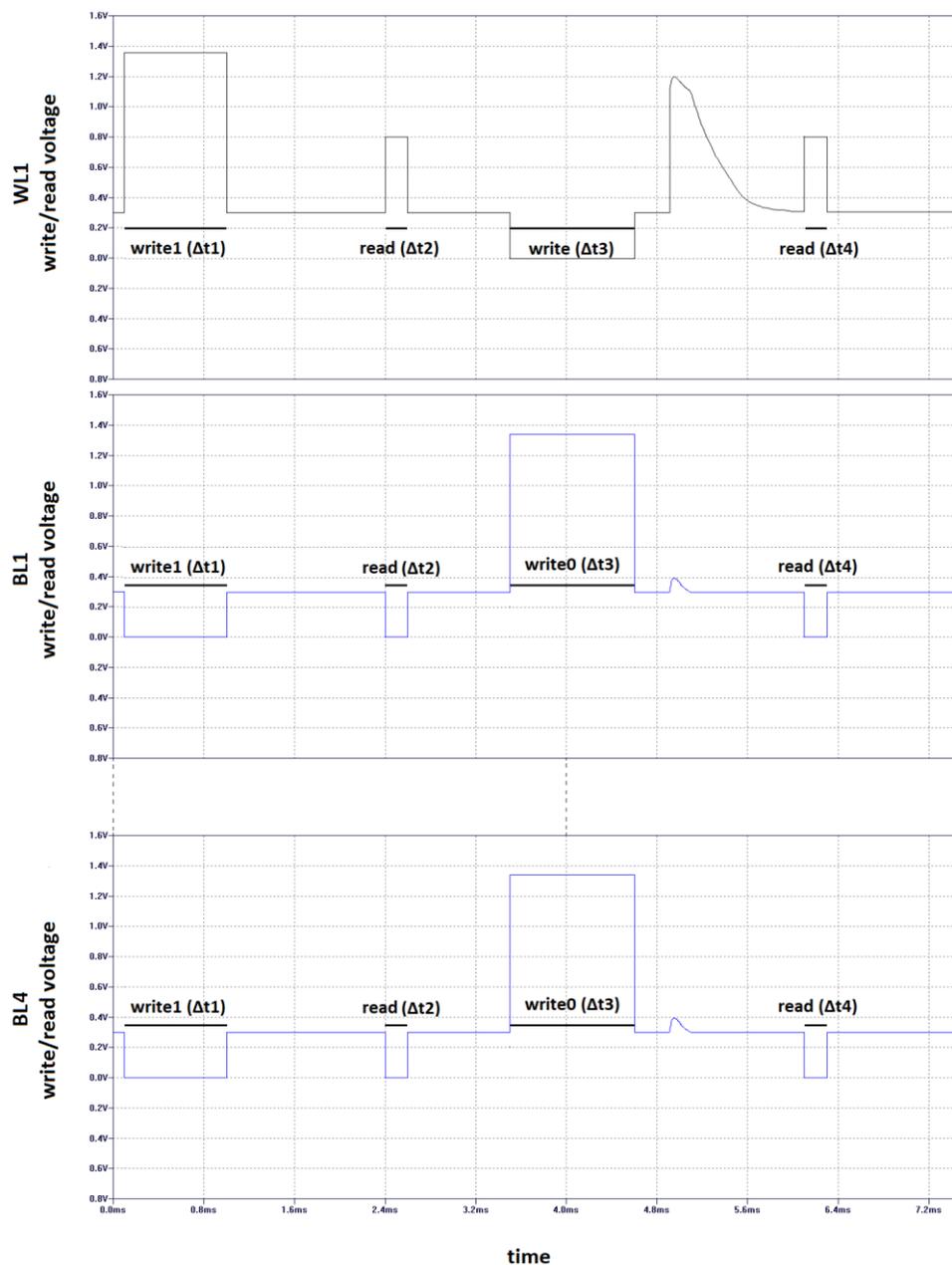


Figura 4.5: Simulazione con particella con $Q_{crit} = 12,01\text{mC}$

È possibile notare che in questo caso la particella essendo ad energia maggiore (genera una corrente di 4,9mA) il glitch di tensione creato sulla WL1 è maggiore del precedente caso, infatti è pari a 1,2V, mentre un glitch di circa 0,4V è presente sulle bitline selezionate. Nel caso in cui la particella ha energia ancora più alta, può sviluppare una corrente di 9,8mA con $Q_{crit}=18,13mC$:

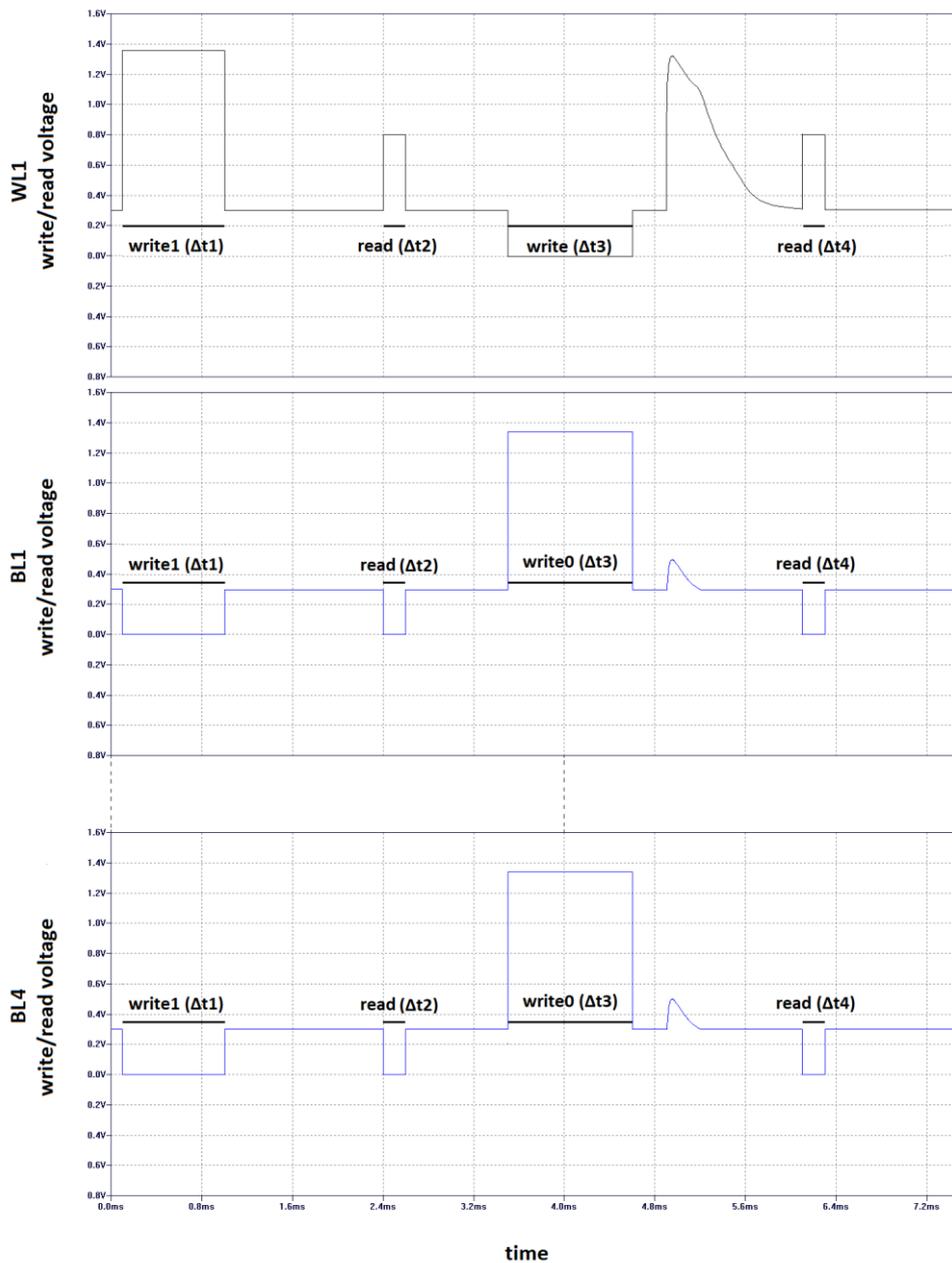


Figura 4.6: Simulazione con particella con $Q_{crit} = 18,13mC$

In Figura 4.6 è possibile notare i glitch generati dalla carica a massima energia utilizzata nelle simulazioni, che genera il valore di corrente di circa 9,8mA. In questo caso abbiamo un massimo glitch generato sulla WL1 colpita di ben 1,31V (quasi in prossimità della tensione di scrittura), con altri glitch sviluppati da 0,55V sulle bitline selezionate.

Nella seguente Tabella 4.3 è possibile vedere il numero di celle in cui è avvenuto il cambio di stato a causa della particella energetica che ha colpito la WL1 :

Anni di vita dei MOSFET	Corrente generata dalla particella	Carica critica generata	Numero di upset sulla WL1
0 anni	1,2mA	7,34mC	14
0 anni	4,9mA	12,01mC	23
0 anni	9,5mA	18,13mC	37

Tabella 4.1: Driver senza aging colpito da particelle con Qcrit diversa

4.4 Caso del driver ad un anno di vita

È stata eseguita una successiva simulazione con gli stessi parametri utilizzati nella precedente, ma modificando l'aging di vita dei MOSFET che compongono la circuiteria driver, ottenendo i risultati visibili in Tabella 4.7 :

Anni di vita dei MOSFET	Corrente generata dalla particella	Carica critica generata	Numero di upset sulla WL1
1 anni	1,2mA	7,11mC	19
1 anni	4,9mA	11,74mC	30
1 anni	9,5mA	17,91nC	45

Tabella 4.2: Driver con 1 anno d'aging colpito da particelle con Q_{crit} diversa

Dalla tabella sopra esposta, si nota che già con l'aging di un anno per i MOSFET considerati, il soft error subito dalla memoria inizia ad aumentare anche se in minima percentuale il numero di celle coinvolte nell'upset.

4.5 Caso del driver a tre anni di vita

È stata eseguita un' altra simulazione con gli stessi parametri utilizzati nella precedente, ma aumentando di tre anni l'aging di dei MOSFET dei driver, ottenendo i risultati mostrati :

Anni di vita dei MOSFET	Corrente generata dalla particella	Carica critica generata	Numero di upset sulla WL1
3 anni	1,2mA	6,47mC	23
3 anni	4,9mA	11,23mC	34
3 anni	9,5mA	17,36nC	50

Tabella 4.3: Driver con 3anni d'aging colpito da particelle con Q_{crit} diversa

Si nota in Tabella 4.7, che con l'aumentare dell'aging di tre anni da parte dei MOSFET utilizzati, le celle affette da errore continuano ad aumentare.

4.6 Caso del driver a sei anni di vita

L'ultima simulazione eseguita, utilizza gli stessi parametri delle precedenti, con l'aggiunta di ulteriori tre anni d'invecchiamento per i MOSFET che compongono la circuiteria driver della WL1 colpita :

Anni di vita dei MOSFET	Corrente generata dalla particella	Carica critica generata	Numero di upset sulla WL1
6 anni	1,2mA	6,47mC	25
6 anni	4,9mA	11,23mC	36
6 anni	9,5mA	17,36nC	53

Tabella 4.4: Driver con 6anni d'aging colpito da particelle con Q_{crit} diversa

Si nota in Tabella 4.8, che il caso di massimo aging simulato aumenta le celle corrotte di una percentuale inferiore rispetto a tre anni in meno di vita.

Il numero di celle colpite è in ogni caso rilevante e come si è notato dalle tabelle e dai grafici non c'è codice a correzione d'errore d'uso comune che può correggere questa molteplicità di errori rilevati nell'array crossbar ReRAM 128x128.

Conclusioni

Questo lavoro di tesi mette in evidenza il costante pericolo per l'affidabilità dei dispositivi di memoria, minacciata dai soft error, causati da particelle energetiche presenti nell'atmosfera e provenienti dai raggi cosmici.

Il problema va peggiorando nel tempo, semplicemente perché aumenta sempre più lo scaling dei dispositivi e l'elevata densità (es. crossbar ReRAM), con la riduzione del consumo. Queste sono caratteristiche di interesse primario nel campo della ricerca, ma sono un'arma a doppio taglio, in quanto bastano particelle di piccola entità energetica a causare danni sulle ridotte energie e dimensioni delle nuove memorie del futuro. Dai risultati ottenuti si nota che non esiste codice a correzione d'errore che possa funzionare d'innanzi a questa moltitudine di errori possibili. È rilevante l'aggravante dell'invecchiamento dei driver che amplificano il fenomeno dei SE, aumentando il numero delle celle cambiano di stato. Bisogna dire che le memorie di tipo resistivo sono comunque memorie di alto rilievo tecnologico che cambieranno sicuramente il futuro dei dispositivi; occorre però concentrarsi sul miglioramento della circuiteria che pilota queste memorie, in quanto questo costituisce l'anello debole dal punto di vista dell'affidabilità, soprattutto se si vogliono utilizzare questi dispositivi in ambito aerospaziale, dove le particelle sono in quantità maggiore e soprattutto con maggiore energia.

Bibliografia

[1] Test and Reliability of Emerging Non-volatile Memories Said Hamdioui; Peyman Pouyan; Huawei Li; Ying Wang; Arijit Raychowdhur; Insik Yoon 2017 IEEE 26th Asian Test Symposium (ATS) Year: 2017

[2] Sung Hyun Jo, Tanmay Kumar, Sundar Narayanan, and Hagop Nazarian, “*Cross-Point Resistive RAM Based on Field-Assisted Superlinear Threshold Selector*”, IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 62, NO. 11, NOVEMBER 2015

[3] C. Xu, X. Dong, N. P. Jouppi, and Y. Xie, “Design implications of memristor-based rram cross-point structures” *Design Automation Test in Europe Conference Exhibition DATE 2011*, pp. 1–6, 2011

[4] Cecilia Metra, Martin Omaña, Daniele Rossi, Alessandro Paccagnella : “*Impact of Aging Phenomena on Soft Error Susceptibility*”:

[5] Cecilia Metra, Martin Omaña, Daniele Rossi, Alessandro Paccagnella : “*Impact of Bias Temperature Instability on Soft Error Susceptibility*”, IEEE TRANSACTIONS ON VERY LARGE SCALE INTEGRATION (VLSI) SYSTEMS , TVLSI-00281-2013

[6] Rui Liu, Debayan Mahalanabis, Hugh J. Barnaby, Shimeng Yu: ”Investigation of Single-Bit and Multiple-Bit Upsets in Oxide RRAM-Based 1T1R and Crossbar Memory Arrays” IEEE TRANSACTIONS ON NUCLEAR SCIENCE, VOL. 62, NO. 5, OCTOBER 2015

[7] Dmitri B. Strukov, Gregory S. Snider, Duncan R. Stewart & R. Stanley Williams : *The missing memristor found*, Nature 453, 80–83 (2008)

- [8] Sachhindh Kannan, Naghmeh Karimi, Ramesh Karri, Ozgur Sinanoglu : *“Detection, Diagnosis, and Repair of Faults in Memristor-based Memories”*, 2014 IEEE 32nd VLSI Test Symposium (VTS) Nor Zaidi Haron, Said Hamdioui: *“On Defect Oriented Testing for Hybrid CMOS/memristor Memory”*, 2011 Asian Test Symposium pp. 352-358
- [9] Angelo Giuseppe Ruotolo, Marco Ottavi, Salvatore Pontarelli, Fabrizio Lombardi : *“A Novel Write-Scheme For Data Integrity In Memristor-Based Crossbar Memories”*
- [10] Z. BIOLEK, D. BIOLEK, V. BIOLKOVÁ : *“SPICE MODEL OF MEMRISTOR WITH NONLINEAR DOPANT DRIFT”*, pp. 210-214
- [11] R. C. Johnson, “Will memristors prove irresistible?” EE Times Europe, pp. 12–13, September 2008
- [12] D. Lewis and H.-H. Lee, “Architectural evaluation of 3d stacked rram caches,” in 3D System Integration, 2009. 3DIC 2009. IEEE International Conference on, sept. 2009, pp. 1 –4
- [13] <https://www.slideshare.net/RaminVagharMousavi/memristor-structures-in-non-volatile-memorysubmit-with-ramin-vaghar-mousavi>
- [14] <https://www.digitaltrends.com/computing/resistive-ram-how-it-could-change-storage-forever/>
- [15] R. Rosezin, E.Linn, C. Kügeler, R. Bruchhaus, R. Waser: *“Complementary resistive switches for future memory devices”*
- [16]G. C. Messenger, “Collection of Charge on Junction Nodes from Ion Tracks”, IEEE Trans. on Nuclear Science, NS-29(6), pp. 2024 – 2031 December 1982

[17] W. Wang, Z. Wei, S. Yang, Y.Cao, “An Efficient Method to Identify Critical Gates under Circuit Aging”, in Proc. of IEEE/ACM Int. Conf. On Computer-Aided Design, pp. 735-740, 2007.

[18] <https://knowm.org/memristors/>

[19] Tz-yi Liu et al., “A 130.7mm² 2-layer 32Gb ReRAM memory device in 24nm technology”, in IEEE Journal of Solid-State Circuits, Vol. 49, Issue. 1, Jan 2014, pp. 140-153

[20] Tz-yi Liu et al., “A 130.7mm² 2-layer 32Gb ReRAM memory device in 24nm technology”, in *IEEE Journal of Solid-State Circuits*, Vol. 49, Issue. 1, Jan Jan 2014, pp. 140-153